



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월16일

(11) 등록번호 10-1529005

(24) 등록일자 2015년06월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2014-0080000

(22) 출원일자 2014년06월27일

심사청구일자 2014년06월27일

(56) 선행기술조사문헌

KR1020140071097 A

KR1020140042451 A

KR1020100086876 A

KR100846970 B1

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

유상호

경기 파주시 책향기로 441, 1013동 1403호 (동패동, 책향기마을동문굿모닝힐아파트)

김범식

경기 수원시 권선구 권광로 55, 113동 1302호 (권선동, 권선자이 이편한세상)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 9 항

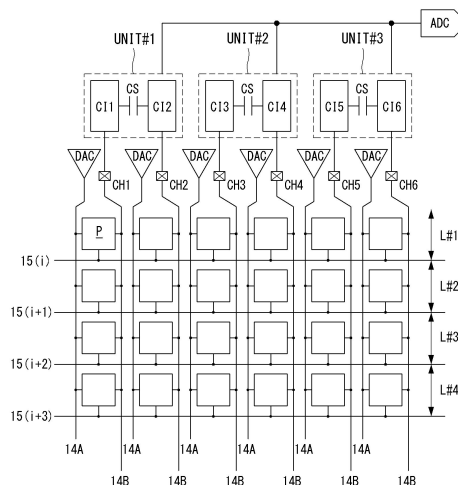
심사관 : 조기덕

(54) 발명의 명칭 구동소자의 전기적 특성을 센싱할 수 있는 유기발광 표시장치

(57) 요약

본 발명의 실시예에 따른 유기발광 표시장치는 OLED, 상기 OLED의 발광량을 제어하는 구동 TFT를 각각 포함하며, 데이터라인들과 센싱 라인들에 연결된 다수의 픽셀들이 형성된 표시패널; 및 센싱 구동시, 상기 데이터라인들에 센싱용 데이터전압을 인가하는 DAC와, 상기 센싱 라인들에 접속된 다수의 센싱 채널들을 통해 상기 픽셀들의 전류 정보를 센싱하는 다수의 센싱 유닛들과, 상기 센싱 유닛들에 공통으로 연결된 ADC를 포함한 데이터 드라이버 IC를 구비하고; 상기 센싱 유닛들 각각은, 오드 센싱 채널에 연결된 제1 전류 적분기와, 상기 오드 센싱 채널과 이웃한 이븐 센싱 채널에 연결된 제2 전류 적분기와, 상기 제1 전류 적분기로부터 입력되는 제1 샘플링값과 상기 제2 전류 적분기로부터 입력되는 제2 샘플링값을 저장 및 홀딩한 상태에서 상기 제1 및 제2 샘플링값에 포함된 공통 노이즈 성분을 제거하는 샘플&홀드부를 포함한다.

대표도 - 도5



명세서

청구범위

청구항 1

OLED, 상기 OLED의 발광량을 제어하는 구동 TFT를 각각 포함하며, 데이터라인들과 센싱 라인들에 연결된 다수의 픽셀들이 형성된 표시패널; 및

센싱 구동시, 상기 데이터라인들에 센싱용 데이터전압을 인가하는 DAC와, 상기 센싱 라인들에 접속된 다수의 센싱 채널들을 통해 상기 픽셀들의 전류 정보를 센싱하는 다수의 센싱 유닛들과, 상기 센싱 유닛들에 공통으로 연결되는 ADC를 포함한 데이터 드라이버 IC를 구비하고;

상기 센싱 유닛들 각각은,

오드 센싱 채널에 연결된 제1 전류 적분기와,

상기 오드 센싱 채널과 이웃한 이븐 센싱 채널에 연결된 제2 전류 적분기와, 상기 제1 전류 적분기로부터 입력되는 제1 샘플링값과 상기 제2 전류 적분기로부터 입력되는 제2 샘플링값을 저장 및 홀딩한 상태에서 상기 제1 및 제2 샘플링값에 포함된 공통 노이즈 성분을 제거하는 샘플&홀드부를 포함하는 것을 특징으로 하는 특징으로 하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 샘플&홀드부는,

상기 제1 전류 적분기의 제1 출력노드와 상기 제2 전류 적분기의 제2 출력노드 사이에 접속된 샘플링&디프렌셜 커패시터;

상기 제1 전류 적분기의 출력단자와 상기 제1 출력노드 사이에 접속된 제1 샘플링 스위치;

상기 제2 전류 적분기의 출력단자와 상기 제2 출력노드 사이에 접속된 제2 샘플링 스위치;

상기 제1 출력노드와 상기 ADC의 입력단 사이에 접속된 제1 홀딩 스위치;

상기 제2 출력노드와 상기 ADC의 입력단 사이에 접속된 제2 홀딩 스위치;

상기 제2 출력노드와 접지 전원 사이에 접속된 제1 노이즈 소거용 스위치; 및

상기 제1 출력노드와 접지 전원 사이에 접속된 제2 노이즈 소거용 스위치를 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 센싱 구동이 이뤄지는 기간은, 상기 센싱 라인들 중 오드 센싱 라인들로부터 입력되는 픽셀 전류들을 센싱하여 순차적으로 출력하는 오드 센싱 기간과, 상기 센싱 라인들 중 이븐 센싱 라인들로부터 입력되는 픽셀 전류들을 센싱하여 순차적으로 출력하는 이븐 센싱 기간을 포함하고, 상기 픽셀 전류들은 상기 픽셀들의 구동 TFT에 흐르는 소스-드레인 전류를 지시하며;

상기 센싱용 데이터전압은 '0'보다 큰 픽셀 전류를 생성시키는 소정 계조용 데이터전압과 픽셀 전류를 미 생성시키는 블랙 계조용 데이터전압을 포함하고,

상기 오드 센싱 기간 동안, 상기 오드 센싱 라인들에 접속된 픽셀들에는 상기 소정 계조용 데이터전압이 상기 데이터라인들을 통해 동시에 인가되고, 상기 이븐 센싱 라인들에 접속된 픽셀들에는 상기 블랙 계조용 데이터전압이 상기 데이터라인들을 통해 동시에 인가되며;

상기 이븐 센싱 기간 동안, 상기 이븐 센싱 라인들에 접속된 픽셀들에는 상기 소정 계조용 데이터전압이 상기

데이터라인들을 통해 동시에 인가되고, 상기 오드 센싱 라인들에 접속된 픽셀들에는 상기 블랙 게조용 데이터전압이 상기 데이터라인들을 통해 동시에 인가되는 것을 특징으로 하는 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 오드 센싱 기간에서, 상기 제1 샘플링값에는 픽셀 전류 성분과 상기 공통 노이즈 성분이 모두 포함되며, 상기 제2 샘플링값에는 상기 공통 노이즈 성분만이 포함되고;

상기 이븐 센싱 기간에서, 상기 제2 샘플링값에는 픽셀 전류 성분과 상기 공통 노이즈 성분이 모두 포함되며, 상기 제1 샘플링값에는 상기 공통 노이즈 성분만이 포함되는 것을 특징으로 하는 유기발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 ADC의 특성 편차와, 상기 제1 및 제2 전류 적분기의 특성 편차를 보상하기 위해, 상기 센싱 유닛들에 공통으로 연결된 캘리브레이션 스위칭부를 더 포함하고;

상기 캘리브레이션 스위칭부는,

노드X와 상기 오드 센싱 채널 사이에 접속된 제1 바이어싱 스위치와, 상기 노드X와 상기 이븐 센싱 채널 사이에 접속된 제2 바이어싱 스위치와, 상기 노드X와 기준전압의 입력단자 사이에 접속된 전압 소싱 스위치와, 상기 노드X와 기준전류의 입력단자 사이에 접속된 전류 소싱 스위치를 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 6

제 2 항에 있어서,

상기 센싱 유닛들 각각은,

초기화전압의 입력단과 상기 ADC의 입력단 사이에 접속된 초기화 스위치를 더 포함하고;

상기 센싱 구동 중의 소정 기간 동안, 상기 제1 및 제2 홀딩 스위치와 상기 초기화 스위치는 동시에 턴 온되어, 상기 샘플링&디프렌셜 커패시터의 양단을 초기화하는 것을 특징으로 하는 유기발광 표시장치.

청구항 7

제 2 항에 있어서,

상기 센싱 유닛들 각각은,

상기 제1 전류 적분기의 출력단자와 상기 제1 샘플링 스위치 사이에 접속된 제1 로우패스 필터와,

상기 제2 전류 적분기의 출력단자와 상기 제2 샘플링 스위치 사이에 접속된 제2 로우패스 필터를 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 센싱 유닛들 각각은,

상기 오드 센싱 채널과 상기 제1 전류 적분기 사이에 접속된 제1 전류 컨베이어와,

상기 이븐 센싱 채널과 상기 제2 전류 적분기 사이에 접속된 제2 전류 컨베이어를 더 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 9

제 1 항에 있어서,

상기 제1 및 제2 전류 적분기 각각은,

상기 센싱 채널들 중 어느 하나에 연결되는 반전 입력단자, 기준전압이 입력되는 비 반전 입력단자, 샘플링값을 출력하는 출력 단자를 포함한 앰프와,

상기 앰프의 반전 입력단자와 출력 단자 사이에 접속된 적분 커패시터와,

상기 적분 커패시터의 양단에 접속된 제1 스위치를 구비하고;

상기 적분 커패시터는, 상기 앰프의 상기 반전 입력단자에 병렬 접속된 다수의 커패시터들과, 상기 커패시터들과 상기 앰프의 출력 단자 사이에 접속된 다수의 커패시턴스 조정용 스위치들을 포함하고, 상기 커패시턴스 조정용 스위치들은, 상기 ADC로부터 출력되는 디지털 센싱값에 기초한 스위칭 제어신호에 따라 온/오프 되는 것을 특징으로 하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 특히 구동소자의 전기적 특성을 센싱할 수 있는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 자신의 게이트전극과 소스전극 사이에 걸리는 전압(Vgs)에 따라 OLED에 흐르는 구동전류를 제어하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. 문턱 전압, 이동도 등과 같은 구동 TFT의 전기적 특성은 구동 시간 경과에 따라 열화 되어 픽셀들마다 편차가 생길 수 있다. 구동 TFT의 전기적 특성이 픽셀들마다 달라지면 동일 비디오 데이터에 대해 픽셀들 간 휘도가 달라지므로 원하는 화상 구현이 어렵다.

[0005] 구동 TFT의 전기적 특성 편차를 보상하기 위해 내부 보상 방식과 외부 보상 방식이 알려져 있다. 내부 보상 방식은 구동 TFT들 간의 문턱 전압 편차를 화소 회로 내부에서 자동으로 보상한다. 내부 보상을 위해서는 OLED에 흐르는 구동전류가 구동 TFT의 문턱 전압에 상관없이 결정되도록 해야 하기 때문에, 화소 회로의 구성이 매우 복잡하다. 더욱이, 내부 보상 방식은 구동 TFT들 간의 이동도 편차를 보상하기에는 부적합하다.

[0006] 외부 보상 방식은 구동 TFT들의 전기적 특성(문턱전압, 이동도)에 대응되는 센싱 전압들을 측정하고, 이 센싱 전압들을 기반으로 외부 회로에서 비디오 데이터를 변조함으로써 전기적 특성 편차를 보상한다. 최근에는 이러한 외부 보상 방식에 대한 연구가 활발히 진행되고 있다.

[0007] 종래의 외부 보상 방식에서, 데이터 구동회로는 센싱 라인을 통해 각 픽셀로부터 센싱 전압을 직접 입력받고, 이 센싱 전압을 디지털 센싱값으로 변환한 후 타이밍 컨트롤러에 전송한다. 타이밍 컨트롤러는 디지털 센싱값을 기초로 디지털 비디오 데이터를 변조하여 구동 TFT의 전기적 특성 편차를 보상한다.

[0008] 구동 TFT는 전류 소자이므로 그의 전기적 특성은, 일정 게이트-소스 간 전압(Vgs)에 따라 드레인-소스 사이에 흐르는 전류(Ids)의 크기로 대변된다. 그런데, 종래 외부 보상 방식의 데이터 구동회로는, 구동 TFT의 전기적 특성을 센싱하기 위해 구동 TFT에 흐르는 전류(Ids)를 직접 센싱하는 것이 아니라, 그 전류(Ids)에 대응되는 전압값을 센싱한다.

[0009] 예컨대, 본원 출원인에 기출원된 출원번호 제10-2013-0134256호, 제10-2013-0149395호 등을 통해 제안된 외부 보상 방식에서는 구동 TFT를 소스 팔로워(Source Follower) 방식으로 동작시킨 후 센싱 라인의 라인 커패시터(기생 커패시터)에 저장되는 전압(구동 TFT의 소스 전압)을 데이터 구동회로에서 센싱한다. 이 외부 보상 방식은 구동 TFT의 문턱전압 편차를 보상하기 위해, 소스 팔로워(Source Follower) 방식으로 동작되는 구동 TFT(DT)의 소스 전극 전위가 세추레이션(saturation state)될 때(즉, 구동 TFT(DT)의 전류(Ids)가 제로가 될 때)의 소스 전압을 센싱한다. 그리고, 이 외부 보상 방식은 구동 TFT의 이동도 편차를 보상하기 위해, 소스 팔로워(Source Follower) 방식으로 동작되는 구동 TFT(DT)의 소스 전극 전위가 세추레이션 상태에 도달되기 전의 선형 상태의 값을 센싱한다.

[0010] 이러한 종래 외부 보상 방식은 다음과 같은 문제가 있다.

[0011] 첫째, 종래 외부 보상 방식은 구동 TFT에 흐르는 전류를 센싱 라인의 기생 커패시터를 이용하여 소스 전압으로 변경 및 저장한 후, 이 소스 전압을 센싱한다. 이때, 센싱 라인의 기생 커패시터는 비교적 크며, 더욱이 표시패널의 표시 부하에 따라 기생 커패시터의 크기가 변동될 수 있다. 기생 커패시터는 일정한 레벨로 유지되지 않고 다양한 환경적 요인에 의해 변하기 때문에 캘리브레이션 처리를 할 수도 없다. 이렇게 전류가 축적되는 기생 커패시터의 크기가 센싱 라인들 간에 달라지면, 정확한 센싱값을 얻기 어렵다.

[0012] 둘째, 종래 외부 보상 방식은 전압 센싱 방식을 취하기 때문에, 구동 TFT의 소스전압이 세추레이션 되기까지 많은 시간이 소요되는 등, 센싱값 획득에 소요되는 시간이 매우 길다. 특히, 센싱 라인의 기생 커패시터가 크면, 센싱 가능한 전압 수준으로 전류를 인입하는 데 많은 시간이 소요되며, 이러한 문제는 도 1과 같이 고계조 센싱보다 저계조 센싱에서 더욱 심해진다.

발명의 내용

해결하려는 과제

[0013] 따라서, 본 발명의 목적은 구동소자의 전기적 특성을 센싱함에 있어 센싱 시간을 줄이고 센싱 성능을 높일 수 있도록 한 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0014] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광 표시장치는 OLED, 상기 OLED의 발광량을 제어하는 구동 TFT를 각각 포함하며, 데이터라인들과 센싱 라인들에 연결된 다수의 픽셀들이 형성된 표시패널; 및 센싱 구동시, 상기 데이터라인들에 센싱용 데이터전압을 인가하는 DAC와, 상기 센싱 라인들에 접속된 다수의 센싱 채널들을 통해 상기 픽셀들의 전류 정보를 센싱하는 다수의 센싱 유닛들과, 상기 센싱 유닛들에 공통으로 연결된 ADC를 포함한 데이터 드라이버 IC를 구비하고; 상기 센싱 유닛들 각각은, 오드 센싱 채널에 연결된 제1 전류 적분기와, 상기 오드 센싱 채널과 이웃한 이븐 센싱 채널에 연결된 제2 전류 적분기와, 상기 제1 전류 적분기로부터 입력되는 제1 샘플링값과 상기 제2 전류 적분기로부터 입력되는 제2 샘플링값을 저장 및 홀딩한 상태에서 상기 제1 및 제2 샘플링값에 포함된 공통 노이즈 성분을 제거하는 샘플&홀드부를 포함한다.

[0015] 상기 샘플&홀드부는, 상기 제1 전류 적분기의 제1 출력노드와 상기 제2 전류 적분기의 제2 출력노드 사이에 접속된 샘플링&디플렌셜 커패시터; 상기 제1 전류 적분기의 출력단자와 상기 제1 출력노드 사이에 접속된 제1 샘플링 스위치; 상기 제2 전류 적분기의 출력단자와 상기 제2 출력노드 사이에 접속된 제2 샘플링 스위치; 상기 제1 출력노드와 상기 ADC의 입력단 사이에 접속된 제1 홀딩 스위치; 상기 제2 출력노드와 상기 ADC의 입력단 사이에 접속된 제2 홀딩 스위치; 상기 제2 출력노드와 접지 전원 사이에 접속된 제1 노이즈 소거용 스위치; 및 상기 제1 출력노드와 접지 전원 사이에 접속된 제2 노이즈 소거용 스위치를 포함한다.

[0016] 상기 센싱 구동이 이뤄지는 기간은, 상기 센싱 라인들 중 오드 센싱 라인들로부터 입력되는 픽셀 전류들을 센싱하여 순차적으로 출력하는 오드 센싱 기간과, 상기 센싱 라인들 중 이븐 센싱 라인들로부터 입력되는 픽셀 전류들을 센싱하여 순차적으로 출력하는 이븐 센싱 기간을 포함하고, 상기 픽셀 전류들은 상기 픽셀들의 구동 TFT에 흐르는 소스-드레인 전류를 지시하며; 상기 센싱용 데이터전압은 '0'보다 큰 픽셀 전류를 생성시키는 소정 계조용 데이터전압과 픽셀 전류를 미 생성시키는 블랙 계조용 데이터전압을 포함하고, 상기 오드 센싱 기간 동안, 상기 오드 센싱 라인들에 접속된 픽셀들에는 상기 소정 계조용 데이터전압이 상기 데이터라인들을 통해 동시에

인가되고, 상기 이븐 센싱 라인들에 접속된 픽셀들에는 상기 블랙 계조용 데이터전압이 상기 데이터라인들을 통해 동시에 인가되며; 상기 이븐 센싱 기간 동안, 상기 이븐 센싱 라인들에 접속된 픽셀들에는 상기 소정 계조용 데이터전압이 상기 데이터라인들을 통해 동시에 인가되고, 상기 오드 센싱 라인들에 접속된 픽셀들에는 상기 블랙 계조용 데이터전압이 상기 데이터라인들을 통해 동시에 인가된다.

- [0017] 상기 오드 센싱 기간에서, 상기 제1 샘플링값에는 픽셀 전류 성분과 상기 공통 노이즈 성분이 모두 포함되며, 상기 제2 샘플링값에는 상기 공통 노이즈 성분만이 포함되고; 상기 이븐 센싱 기간에서, 상기 제2 샘플링값에는 픽셀 전류 성분과 상기 공통 노이즈 성분이 모두 포함되며, 상기 제1 샘플링값에는 상기 공통 노이즈 성분만이 포함된다.
- [0018] 상기 센싱 유닛들 각각은, 상기 ADC의 특성 편차와, 상기 제1 및 제2 전류 적분기의 특성 편차를 보상하기 위한 캘리브레이션 스위칭부를 더 포함하고;
- [0019] 상기 캘리브레이션 스위칭부(CSW)는, 노드X와 상기 오드 센싱 채널 사이에 접속된 제1 바이어싱 스위치와, 상기 노드X와 상기 이븐 센싱 채널 사이에 접속된 제2 바이어싱 스위치와, 상기 노드X와 기준전압의 입력단자 사이에 접속된 전압 소싱 스위치와, 상기 노드X와 기준전류의 입력단자 사이에 접속된 전류 소싱 스위치를 포함한다.
- [0020] 상기 센싱 유닛들 각각은, 초기화전압의 입력단과 상기 ADC의 입력단 사이에 접속된 초기화 스위치를 더 포함하고; 상기 센싱 구동 중의 소정 기간 동안, 상기 제1 및 제2 홀딩 스위치와 상기 초기화 스위치는 동시에 턴 온되어, 상기 샘플링&디프렌셜 커패시터의 양단을 초기화한다.
- [0021] 상기 센싱 유닛들 각각은, 상기 제1 전류 적분기의 출력단자와 상기 제1 샘플링 스위치 사이에 접속된 제1 로우패스 필터와, 상기 제2 전류 적분기의 출력단자와 상기 제2 샘플링 스위치 사이에 접속된 제2 로우패스 필터를 더 포함한다.
- [0022] 상기 센싱 유닛들 각각은, 상기 오드 센싱 채널과 상기 제1 전류 적분기 사이에 접속된 제1 전류 컨베이어와, 상기 이븐 센싱 채널과 상기 제2 전류 적분기 사이에 접속된 제2 전류 컨베이어를 더 포함한다.
- [0023] 상기 제1 및 제2 전류 적분기 각각은, 상기 센싱 채널들 중 어느 하나에 연결되는 반전 입력단자, 기준전압이 입력되는 비 반전 입력단자, 샘플링값을 출력하는 출력 단자를 포함한 앰프와, 상기 앰프의 반전 입력단자와 출력 단자 사이에 접속된 적분 커패시터와, 상기 적분 커패시터의 양단에 접속된 제1 스위치를 구비하고; 상기 적분 커패시터는, 상기 앰프의 상기 반전 입력단자에 병렬 접속된 다수의 커패시터들과, 상기 커패시터들과 상기 앰프의 출력 단자 사이에 접속된 다수의 커패시터스 조정용 스위치들을 포함하고, 상기 커패시터스 조정용 스위치들은, 상기 ADC로부터 출력되는 디지털 센싱값에 기초한 스위칭 제어신호에 따라 온/오프 된다.

발명의 효과

- [0024] 본 발명은 구동소자의 전기적 특성 편차를 센싱함에 있어 전류 적분기를 이용한 전류 센싱 방식을 통해 저전류 및 고속 센싱을 구현하여 센싱 시간을 크게 줄일 수 있다.
- [0025] 더욱이, 본 발명은 각 센싱 유닛을, 오드 센싱 채널에 연결된 제1 전류 적분기와, 상기 오드 센싱 채널과 이웃한 이븐 센싱 채널에 연결된 제2 전류 적분기와, 상기 제1 전류 적분기로부터 입력되는 제1 샘플링값과 상기 제2 전류 적분기로부터 입력되는 제2 샘플링값을 저장 및 홀딩한 상태에서 상기 제1 및 제2 샘플링값에 포함된 공통 노이즈 성분을 제거하는 샘플&홀드부를 포함하여 구성한다.
- [0026] 이를 통해 본 발명은 기준전압 변동, 센싱 라인들 간 노이즈 소스 차이 등으로 인해 전류 적분기 내에 유입되는 노이즈 영향을 최소화하여 픽셀 전류를 보다 정확히 센싱함으로써, 센싱 성능, 나아가 보상 성능을 크게 향상시킬 수 있다.

도면의 간단한 설명

- [0027] 도 1은 전류 센싱 방식을 기초로 하여 외부 보상을 구현하는 유기발광 표시장치의 개략적 구성을 보여주는 도면.
- 도 2는 전류 센싱 방식의 외부 보상에 적용되는 일 픽셀과 전류 적분기 간의 접속 구조를 보여주는 도면.

도 3은 외부 노이즈에 취약한 전류 센싱 방식의 단점을 보여주는 도면.
 도 4는 개선된 전류 센싱 방식이 적용되는 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면.
 도 5는 도 4의 표시패널에 형성된 픽셀 어레이와, 개선된 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC의 구성을 보여주는 도면들.
 도 6은 센싱 유닛들에 인가되는 구동 신호들을 보여주는 도면.
 도 7은 센싱 유닛의 세부 구성을 보여주는 도면.
 도 8은 ADC 캘리브레이션 모드의 동작 수순을 개략적으로 보여주는 도면.
 도 9 및 도 10은 ADC 캘리브레이션 모드에서 센싱 유닛의 동작 상태를 보여주는 도면들.
 도 11은 CI 캘리브레이션 모드의 동작 수순을 개략적으로 보여주는 도면.
 도 12 및 도 13은 CI 캘리브레이션 모드에서 센싱 유닛의 동작 상태를 보여주는 도면들.
 도 14는 센싱 모드의 동작 수순을 개략적으로 보여주는 도면.
 도 15 및 도 16은 센싱 모드에서 센싱 유닛의 동작 상태를 보여주는 도면들.
 도 17은 센싱 유닛들에 기준전류/기준전압이 공통으로 인가되는 것을 보여주는 도면.
 도 18은 본 발명에 따른 센싱 유닛의 일 변형 예를 보여주는 도면.
 도 19는 본 발명에 따른 센싱 유닛의 다른 변형 예를 보여주는 도면.
 도 20은 ADC의 오버 레인지(over range) 현상을 방지할 수 있는 적분 커패시터의 커패시턴스 조정 방안을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

[0028] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0029] 1. 전류 센싱 방식

[0030] 본 발명의 기초가 되는 전류 센싱 방식을 설명한다.

[0031] 도 1은 전류 센싱 방식을 기초로 하여 외부 보상을 구현하는 유기발광 표시장치의 개략적 구성을 보여준다. 도 2는 전류 센싱 방식의 외부 보상에 적용되는 일 픽셀과 전류 적분기 간의 접속 구조를 보여준다.

[0032] 도 1을 참조하면, 본 발명은 전류 센싱에 필요한 센싱 블록 및 ADC(아날로그-디지털 컨버터)를 데이터 드라이버 IC(SDIC)에 포함시키고, 표시패널의 픽셀들로부터 전류 정보를 센싱한다. 센싱 블록은 다수의 전류 적분기들을 포함하여 표시패널로부터 입력되는 전류 정보를 적분한다. 표시패널의 픽셀들은 센싱 라인들에 접속되며, 전류 적분기들은 센싱 채널들을 통해 센싱 라인들에 접속된다. 각 적분기에서 얻어진 적분값(전압값으로 나타남)은 샘플링 및 홀딩 되면서 ADC에 입력된다. ADC는 아날로그 적분값을 디지털 센싱값으로 변환한 후 타이밍 콘트롤러에 전송한다. 타이밍 콘트롤러는 디지털 센싱값을 기초로 문턱전압 편차와 이동도 편차를 보상하기 위한 보상 데이터를 도출하고, 이 보상 데이터를 이용하여 화상 구현을 위한 이미지 데이터를 변조한 후 데이터 드라이버 IC(SDIC)에 전송한다. 변조된 이미지 데이터는 데이터 드라이버 IC(SDIC)에서 화상 표시용 데이터전압으로 변환된 후 표시패널에 인가된다.

[0033] 전류 센싱 방식의 외부 보상에 적용되는 일 픽셀과 전류 적분기 간의 접속 구조가 도 2에 도시되어 있다. 도 2를 참조하면, 픽셀(PIX)은 OLED, 구동 TFT(Thin Film Transistor)(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다.

[0034] OLED는 제2 노드(N2)에 접속된 애노드전극과, 저전위 구동전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 입력되는 전류량을 제어한다. 구동 TFT(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 구동전압

(EVDD)의 입력단에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다. 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다. 제1 스위치 TFT(ST1)는 게이트펄스(SCAN)에 응답하여 데이터전압 공급라인(14A) 상의 데이터전압(Vdata)을 제1 노드(N1)에 인가한다. 제1 스위치 TFT(ST1)는 게이트라인(15)에 접속된 게이트전극, 데이터전압 공급라인(14A)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다. 제2 스위치 TFT(ST2)는 게이트펄스(SCAN)에 응답하여 제2 노드(N2)와 센싱 라인(14B) 간의 전류 흐름을 스위칭한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(15D)에 접속된 게이트전극, 센싱 라인(14B)에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 구비한다.

[0035]

또한, 도 2와 같이 전류 적분기(CI)는, 센싱 채널(CH)을 통해 센싱 라인(14B)에 연결되어 센싱 라인(14B)으로부터 픽셀 전류(Ipix) 즉, 구동 TFT의 소스-드레인 간 전류(Ids)를 입력받는 반전 입력단자(-), 기준전압(VREF)을 입력받는 비 반전 입력단자(+), 및 출력 단자를 포함한 앰프(AMP)와, 앰프(AMP)의 반전 입력단자(-)와 출력 단자 사이에 접속된 적분 커패시터(CFB)와, 적분 커패시터(CFB)의 양단에 접속된 리셋 스위치(RST)를 포함한다.

[0036]

전류 적분기(CI)는 샘플&홀드 회로를 통해 ADC에 연결된다. 샘플&홀드 회로는 앰프(AMP)의 출력값(Vout)을 샘플링하기 위한 샘플링 스위치(SAM), 샘플링 스위치(SAM)를 통해 인가되는 출력값(Vout)을 저장하는 샘플링 커패시터(C), 샘플링 커패시터(C)에 저장된 출력값(Vout)을 ADC에 전달하기 위한 홀딩 스위치(HOLD)를 포함한다.

[0037]

전류 적분기(CI)로부터 적분값(Vsen)을 얻어내기 위한 센싱 구동은 초기화 기간(1), 센싱 기간(2), 및 샘플링 기간(3)을 포함하여 이루어진다.

[0038]

초기화 기간(1)에서 리셋 스위치(RST)의 턴 온으로 인해 앰프(AMP)는 이득이 1인 유닛 게인 버퍼로 동작한다. 초기화 기간(1)에서 앰프(AMP)의 입력 단자들(+,-)과 출력 단자, 센싱 라인(14B), 및 제2 노드(N2)는 모두 기준전압(VREF)으로 초기화된다.

[0039]

초기화 기간(1) 중에 데이터 드라이버 IC(SDIC)의 DAC를 통해 센싱용 데이터전압(Vdata-SEN)이 제1 노드(N1)에 인가된다. 그에 따라 구동 TFT(DT)에는 제1 노드(N1)와 제2 노드(N2)의 전위차{(Vdata-SEN)-VREF}에 상응하는 소스-드레인 간 전류(Ids)가 흘러 안정화된다. 하지만, 초기화 기간(1) 중에 앰프(AMP)는 계속해서 유닛 게인 버퍼로 동작하므로, 출력 단자의 전위는 기준전압(VREF)으로 유지된다.

[0040]

센싱 기간(2)에서 리셋 스위치(RST)의 턴 오프로 인해 앰프(AMP)는 전류 적분기(CI)로 동작하며, 적분 커패시터(CFB)를 이용하여 구동 TFT(DT)에 흐르는 소스-드레인 간 전류(Ids)를 적분한다. 센싱 기간(2)에서 앰프(AMP)의 반전 입력단자(-)에 유입되는 전류(Ids)에 의해 적분 커패시터(CFB)의 양단 전위차는 센싱 시간이 경과 할수록, 즉 축적되는 전류값(Ids)가 증가할수록 커진다. 그런데, 앰프(AMP)의 특성상 반전 입력단자(-) 및 비 반전 입력단자(+)는 가상 접지(Virtual Ground)를 통해 쇼트되어 서로 간 전위차가 0이므로, 센싱 기간(2)에서 반전 입력단자(-)의 전위는 적분 커패시터(CFB)의 전위차 증가에 상관없이 기준전압(VREF)으로 유지된다. 그 대신, 적분 커패시터(CFB)의 양단 전위차에 대응하여 앰프(AMP)의 출력 단자 전위가 낮아진다. 이러한 원리로 센싱 기간(2)에서 센싱 라인(14B)을 통해 유입되는 전류(Ids)는 적분 커패시터(CFB)를 통해 전압값인 적분값(Vsen)으로 변한다. 전류 적분기(CI)의 출력값(Vout)의 하강 기울기는 센싱 라인(14B)을 통해 유입되는 전류량(Ids)이 클수록 증가하므로 적분값(Vsen)의 크기는 상기 전류량(Ids)이 클수록 오히려 작아진다. 센싱 기간(2)에서 적분값(Vsen)은 샘플링 스위치(SAM)를 경유하여 샘플링 커패시터(C)에 저장된다.

[0041]

샘플링 기간(3)에서 홀딩 스위치(HOLD)가 턴 온 되면, 샘플링 커패시터(C)에 저장된 적분값(Vsen)이 홀딩 스위치(HOLD)를 경유하여 ADC에 입력된다. 적분값(Vsen)은 ADC에서 디지털 센싱값으로 변환된 후 타이밍 콘트롤러에 전송된다. 타이밍 콘트롤러는 디지털 센싱값을 미리 저장된 보상 알고리즘에 적용하여, 구동 TFT의 문턱전압 편차(ΔV_{th})와 이동도 편차(ΔK)를 도출함과 아울러, 상기 편차들을 보상하기 위한 보상 데이터를 도출한다. 보상 알고리즘은 룩업 테이블 또는, 계산 로직으로 구현될 수 있다.

[0042]

이러한 본 발명의 전류 적분기(CI)에 포함되는 적분 커패시터(CFB)의 커패시턴스는 센싱 라인에 존재하는 기생 커패시턴스에 비해 수백 분의 1만큼 작아, 본 발명의 전류 센싱 방식은 센싱 가능한 적분값(Vsen) 수준까지 전류(Ids)를 인입하는 데 소요되는 시간이 종래의 전압 센싱 방식에 비해 획기적으로 짧아진다. 더욱이, 기존의 전압 센싱 방식에서는 문턱전압 센싱시 구동 TFT의 소스전압이 세채레이션 된 이후에 그 전압을 센싱 전압으로 샘플링하였기 때문에 센싱 시간이 매우 길어졌지만, 본 발명의 전류 센싱 방식에서는 문턱전압 및 이동도 센싱시 전류 센싱을 통해 짧은 시간 내에 구동 TFT의 소스-드레인 전류를 적분하고, 그 적분값을 샘플링할 수 있어 센싱 시간을 크게 단축할 수 있다.

- [0043] 또한, 본 발명의 전류 적분기(CI)에 포함되는 적분 커패시터(CFB)는 센싱 라인의 기생 커패시터와 달리, 표시 부하에 따라 저장값이 변동되지 않고, 캘리브레이션이 용이하여 정확한 센싱값 획득이 가능하다.
- [0044] 이와 같이 본 발명은 전류 적분기를 이용한 전류 센싱 방식을 통해 저전류 및 고속 센싱을 구현하여 센싱 시간을 크게 줄일 수 있다.
- [0045] **2. 전류 센싱 방식의 단점**
- [0046] 도 3은 외부 노이즈에 취약한 전류 센싱 방식의 단점을 보여준다.
- [0047] 전술했듯이, 전류 적분기를 이용한 전류 센싱 방식은 기존의 전압 센싱 방식에 비해 센싱 시간 단축에 유리하나, 통상 센싱의 타겟이 되는 픽셀 전류(Ipix)(구동 TFT의 소스-드레인 전류, Ids)가 매우 작으므로 노이즈에 취약한 단점이 있다. 노이즈는 전류 적분기의 비 반전 입력단자(+)에 인가되는 기준전압(VREF)의 변동과, 전류 적분기의 반전 입력단자(-)에 연결되는 센싱 라인들 간 노이즈 소스 차이 등으로 인해 전류 적분기 내에 유입될 수 있다. 이러한 노이즈들은 전류 적분기 내에서 증폭되어 적분값(Vsen)에 반영되기 때문에, 센싱 결과를 왜곡시킬 수 있다. 또한, 전류 센싱 방식에서는 전류 적분기의 적분값에 해당 채널의 누설 전류 성분을 반영시킬 수 없기 때문에 실제적인 픽셀 전류(Ipix)를 정확히 센싱하기 어렵다.
- [0048] 이렇게 센싱 성능이 저하되면, 원하는 만큼 구동 TFT의 전기적 특성을 보상할 수 없어 보상 성능도 저하된다.
- [0049] 이하에서는 센싱 성능을 높일 수 있는 개선된 전류 센싱 방식을 살펴본다.
- [0050] **3. 본 발명에 따른 개선된 전류 센싱 방식과 이를 포함한 제반 실시예**
- [0051] 도 4는 개선된 전류 센싱 방식이 적용되는 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다. 그리고, 도 5는 도 4의 표시패널에 형성된 픽셀 어레이와, 개선된 전류 센싱 방식을 구현하기 위한 데이터 드라이버 IC의 구성을 보여준다.
- [0052] 도 4 및 도 5를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 및 메모리(16)를 구비한다.
- [0053] 표시패널(10)에는 다수의 데이터라인 및 센싱라인들(14A, 14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교차 영역마다 픽셀들(P)이 매트릭스 형태로 배치된다.
- [0054] 각 픽셀(P)은 데이터라인들(14A) 중 어느 하나에, 센싱라인들(14B) 중 어느 하나에, 그리고 게이트라인들(15) 중 어느 하나에 접속된다. 각 픽셀(P)은 게이트라인(15)을 통해 입력되는 게이트펄스에 응답하여, 데이터전압 공급라인(14A)과 전기적으로 연결되어 데이터전압 공급라인(14A)으로부터 데이터전압을 입력받고, 센싱라인(14B)을 통해 센싱신호를 출력한다.
- [0055] 픽셀(P) 각각은 도시하지 않은 전원생성부로부터 고전위 구동전압(EVDD)과 저전위 구동전압(EVSS)을 공급받는다. 본 발명의 픽셀(P)은 외부 보상을 위해 OLED, 구동 TFT, 제1 및 제2 스위치 TFT, 및 스토리지 커패시터를 포함할 수 있다. 픽셀(P)을 구성하는 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀(P)을 구성하는 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0056] 픽셀(P) 각각은 화상 표시를 위한 노멀 구동시와, 센싱값 획득을 위한 센싱 구동시에 서로 다르게 동작할 수 있다. 센싱 구동은 노멀 구동에 앞서 소정 시간 동안 수행되거나 또는, 노멀 구동 중의 수직 블랭크 기간들에서 수행될 수 있다.
- [0057] 노멀 구동은 타이밍 컨트롤러(11)의 제어하에 데이터 구동회로(12)와 게이트 구동회로(13)의 일 동작으로 이루어질 수 있다. 센싱 구동은 타이밍 컨트롤러(11)의 제어하에 데이터 구동회로(12)와 게이트 구동회로(13)의 다른 동작으로 이루어질 수 있다. 센싱 결과를 기반으로 편차 보상을 위한 보상 데이터를 도출하는 동작과, 보상 데이터를 이용하여 디지털 비디오 데이터를 변조하는 동작은 타이밍 컨트롤러(11)에서 수행된다.
- [0058] 데이터 구동회로(12)는 적어도 하나 이상의 데이터 드라이버 IC(Integrated Circuit)(SDIC)를 포함한다. 데이터 드라이버 IC(SDIC)에는 각 데이터라인(14A)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들과, 센싱

채널들(CH1~CHn)을 통해 센싱라인(14B)들에 연결된 다수의 센싱 유닛들(UNIT#1~UNIT#m), 센싱 유닛들(UNIT#1~UNIT#m)에 공통 연결된 ADC가 포함되어 있다.

- [0059] 데이터 드라이버 IC(SDIC)의 DAC는 노멀 구동시 타이밍 콘트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 디지털 비디오 데이터(RGB)를 화상 표시용 데이터전압으로 변환하여 데이터라인들(14A)에 공급한다. 한편, 데이터 드라이버 IC(SDIC)의 DAC는 센싱 구동시 타이밍 콘트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 센싱용 데이터전압을 생성하여 데이터라인들(14A)에 공급한다. 여기서, 센싱용 데이터전압은 '0'보다 큰 픽셀 전류(구동 TFT의 소스-드레인 전류(I_{ds}))를 생성시키는 소정 계조용 데이터전압과, 픽셀 전류의 발생을 억제하는 블랙 계조용 데이터전압을 포함한다. 데이터 드라이버 IC(SDIC)는 센싱 구동시 타이밍 콘트롤러(11)의 제어하에 상기 소정 계조용 데이터전압과 상기 블랙 계조용 데이터전압을 데이터라인들(14A)에 교대로 공급하여, 상기 소정 계조용 데이터전압과 상기 블랙 계조용 데이터전압이 이븐 센싱 채널들에 접속된 픽셀들과 오드 센싱 채널들에 접속된 픽셀들에 서로 반대로 공급되게 한다. 즉, 이븐 센싱 채널들에 접속된 픽셀들에 소정 계조용 데이터전압이 공급되는 경우 오드 센싱 채널들에 접속된 픽셀들에는 블랙 계조용 데이터전압이 인가되고, 반대로 이븐 센싱 채널들에 접속된 픽셀들에 블랙 계조용 데이터전압이 공급되는 경우 오드 센싱 채널들에 접속된 픽셀들에는 소정 계조용 데이터전압이 인가되게 된다.
- [0060] 데이터 드라이버 IC(SDIC)의 각 센싱 유닛(UNIT#1~UNIT#m)은, 오드 센싱 채널들(CH1,3,5,...) 중 어느 하나에 연결된 제1 전류 적분기(CI1)와, 이븐 센싱 채널들(CH2,4,6,...) 중 어느 하나에 연결된 제2 전류 적분기(CI2)와, 제1 전류 적분기(CI1)의 출력단자와 제2 전류 적분기(CI2)의 출력단자 사이에 접속된 샘플링&디프렌셜 커패시터(CS)를 포함한다. 여기서, 제1 전류 적분기(CI1)가 접속된 오드 센싱 채널과 제2 전류 적분기(CI2)가 접속된 이븐 센싱 채널은 서로 이웃할 수 있다. 샘플링&디프렌셜 커패시터(CS)는 제1 전류 적분기(CI1)로부터의 제1 샘플링값과 제2 전류 적분기(CI2)로부터의 제2 샘플링값을 저장함과 아울러, 노이즈 소거 동작을 통해 제1 및 제2 샘플링값에 포함된 공통 노이즈 성분을 제거한다.
- [0061] 데이터 드라이버 IC(SDIC)의 ADC는 센싱 유닛들(UNIT#1~UNIT#m)의 출력을 순차적으로 디지털 처리하여 타이밍 콘트롤러(11)에 전송한다.
- [0062] 게이트 구동회로(13)는 노멀 구동시 게이트 제어신호(GDC)를 기반으로 화상 표시용 게이트펄스를 생성한 후, 행 순차 방식(L#1,L#2,...)으로 게이트라인들(15)에 순차 공급한다. 게이트 구동회로(13)는 센싱 구동시 게이트 제어신호(GDC)를 기반으로 센싱용 게이트펄스를 생성한 후, 행 순차 방식(L#1,L#2,...)으로 게이트라인들(15)에 순차 공급한다. 센싱용 게이트펄스는 화상 표시용 게이트펄스에 비해 온 펄스 구간이 넓을 수 있다. 센싱용 게이트펄스의 온 펄스 구간은 1 라인 센싱 온 타임에 대응되며, 여기서, 1 라인 센싱 온 타임이란 1 행 픽셀라인((L#1,L#2,...)의 픽셀들을 동시에 센싱하는 데 할애되는 스캔 시간을 의미한다.
- [0063] 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성한다. 타이밍 콘트롤러(11)는 소정의 참조 신호(구동전원 인에이블신호, 수직 동기신호, 데이터 인에이블 신호등)를 기반으로 노멀 구동과 센싱 구동을 구분하고, 각 구동에 맞게 데이터 제어신호(DDC)와 게이트 제어신호(GDC)를 생성한다. 센싱 구동은, ADC의 특성 편차를 보상하기 위한 ADC 캘리브레이션 모드(도 8 내지 도 10 참조)와, 전류 적분기의 특성 편차를 보상하기 위한 CI 캘리브레이션 모드(도 11 내지 도 13 참조)와, 픽셀들의 전류 정보를 센싱하기 위한 센싱 모드(도 14 내지 도 16 참조)를 포함할 수 있다. 타이밍 콘트롤러(11)는 센싱 구동시 미리 정해진 수순대로 구동 모드를 제어할 수 있으며, 또한 각 구동 모드에 맞게 센싱 유닛들(UNIT#1~UNIT#m)의 동작을 제어할 수 있다. 이를 위해, 타이밍 콘트롤러(11)는 각 구동 모드에 맞는 콘트롤 신호(CON)를 생성하여 센싱 유닛들(UNIT#1~UNIT#m)의 내부 스위치들(도 7의 RST,CVCE,CVCO,SIO_VREF,SIO_CREF,SAM_E,SAM_O,HOLD_E,HOLD_O,HOLE_EG,HOLD_OG,EQ등)의 스위칭 타이밍을 제어할 수 있다.
- [0064] 타이밍 콘트롤러(11)는 센싱 구동시 센싱용 데이터전압에 대응되는 디지털 데이터를 데이터 구동회로(12)에 전송할 수 있다. 상기 디지털 데이터는 상기 소정 계조용 데이터전압에 대응되는 제1 디지털 데이터와, 상기 블랙 계조용 데이터전압에 대응되는 제2 디지털 데이터를 포함한다. 타이밍 콘트롤러(11)는 센싱 구동시 데이터 구동회로(12)로부터 전송되는 디지털 센싱값(SD)을 미리 저장된 보상 알고리즘에 적용하여, 문턱전압 편차(ΔV_{th})와 이동도 편차($\Delta \mu$)를 도출한 후 그 편차들을 보상할 수 있는 보상 데이터를 메모리(16)에 저장한다.
- [0065] 타이밍 콘트롤러(11)는 노멀 구동시 메모리(16)에 저장된 보상 데이터를 참조로 화상 구현을 위한 디지털 비디

오 데이터(RGB)를 변조한 후 데이터 구동회로(12)에 전송한다.

[0066] 도 6은 센싱 유닛들(UNIT#1~UNIT#m)에 인가되는 구동 신호들을 보여준다. 그리고, 도 7은 센싱 유닛(UNIT)의 세부 구성을 보여준다. 도 6에서는 편의상 구동 신호들 각각의 명칭을 도 7에 도시된 스위치들과 동일하게 기재한다. 예컨대, 도 6의 구동신호 "EQ"는 도 7에 도시된 스위치 "EQ"를 스위칭시키기 위한 제어신호이다.

[0067] 도 6 및 도 7을 참조하면, 센싱 유닛들(UNIT#1~UNIT#m) 각각은 오드 센싱 채널(CH_O)에 연결된 제1 전류 적분기(CI1)와, 상기 오드 센싱 채널(CH_O)과 이웃한 이븐 센싱 채널(CH_E)에 연결된 제2 전류 적분기(CI2)와, 제1 및 제2 전류 적분기(CI1, CI2)로부터 입력되는 샘플링값들을 서로 차분하여 공통 노이즈 성분이 제거된 아날로그 적분값을 출력값(Vout)으로 하여 ADC에 공급하는 샘플&홀드부(S&H)를 포함한다.

[0068] 제1 전류 적분기(CI1)는, 오드 센싱 채널(CH_O)을 통해 센싱 라인들(14B) 중 어느 하나의 오드 센싱 라인에 연결되어 그 오드 센싱 라인으로부터 제1 픽셀 전류(I_{pix} , I_b) 즉, 구동 TFT의 소스-드레인 간 전류(I_{ds})를 입력받는 반전 입력단자(-), 기준전압(VREF)을 입력받는 비 반전 입력단자(+), 및 출력 단자를 포함한 제1 앰프(AMP_O)와, 제1 앰프(AMP_O)의 반전 입력단자(-)와 출력 단자 사이에 접속된 제1 적분 커패시터(CFB_O)와, 제1 적분 커패시터(CFB_O)의 양단에 접속된 리셋 스위치(RST)를 포함한다. 제1 전류 적분기(CI1)는 제1 픽셀 전류(I_{pix} , I_b)를 적분하여 제1 샘플링값(V_b)을 출력한다.

[0069] 제2 전류 적분기(CI2)는, 이븐 센싱 채널(CH_E)을 통해 센싱 라인들(14B) 중 어느 하나의 이븐 센싱 라인에 연결되어 그 이븐 센싱 라인으로부터 제2 픽셀 전류(I_{pix} , I_a)를 입력받는 반전 입력단자(-), 기준전압(VREF)을 입력받는 비 반전 입력단자(+), 및 출력 단자를 포함한 제2 앰프(AMP_E)와, 제2 앰프(AMP_E)의 반전 입력단자(-)와 출력 단자 사이에 접속된 제2 적분 커패시터(CFB_E)와, 제2 적분 커패시터(CFB_E)의 양단에 접속된 리셋 스위치(RST)를 포함한다. 제2 전류 적분기(CI2)는 제2 픽셀 전류(I_{pix} , I_a)를 적분하여 제2 샘플링값(V_a)을 출력한다.

[0070] 샘플&홀드부(S&H)는 제1 전류 적분기(CI1)로부터 입력되는 제1 샘플링값(V_b)과 제2 전류 적분기(CI2)로부터 입력되는 제2 샘플링값(V_a)을 저장 및 홀딩한 상태에서 노이즈 소거 동작을 통해 제1 및 제2 샘플링값(V_b , V_a)에 포함된 공통 노이즈 성분(누설전류 성분 포함)을 제거함으로써, ADC로 출력되는 출력값(Vout)에 픽셀 전류 성분만이 포함되도록 하여 센싱의 정확도를 높인다.

[0071] 이를 위해, 샘플&홀드부(S&H)는, 제1 전류 적분기(CI1)의 제1 출력노드(NO_O)와 제2 전류 적분기(CI2)의 제2 출력노드(NO_E) 사이에 접속된 샘플링&디프렌셜 커패시터(CS)와, 제1 전류 적분기(CI1)의 출력단자와 제1 출력노드(NO_O) 사이에 접속된 제1 샘플링 스위치(SAM_O)와, 제2 전류 적분기(CI2)의 출력단자와 제2 출력노드(NO_E) 사이에 접속된 제2 샘플링 스위치(SAM_E)와, 제1 출력노드(NO_O)와 ADC의 입력단 사이에 접속된 제1 홀딩 스위치(HOLD_O)와, 제2 출력노드(NO_E)와 ADC의 입력단 사이에 접속된 제2 홀딩 스위치(HOLD_E)와, 제2 출력노드(NO_E)와 접지 전원(GND) 사이에 접속된 제1 노이즈 소거용 스위치(HOLD_OG)와, 제1 출력노드(NO_O)와 접지 전원(GND) 사이에 접속된 제2 노이즈 소거용 스위치(HOLD_EG)를 포함한다.

[0072] 샘플링&디프렌셜 커패시터(CS)는 제1 및 제2 샘플링 스위치(SAM_O, SAM_E)의 스위칭 작용에 의해 제1 및 제2 샘플링값(V_b , V_a)을 그의 양단에 저장한다. 제1 노이즈 소거용 스위치(HOLD_OG)는 제2 출력노드(NO_E)를 접지 전원(GND)에 연결시켜 제1 및 제2 샘플링값(V_b , V_a)에 포함된 공통 노이즈 성분을 제거하고, 제2 노이즈 소거용 스위치(HOLD_EG)는 제1 출력노드(NO_O)를 접지 전원(GND)에 연결시켜 제1 및 제2 샘플링값(V_b , V_a)에 포함된 공통 노이즈 성분을 제거한다. 제1 홀딩 스위치(HOLD_O)는 공통 노이즈 성분이 제거된 제1 출력노드(NO_O)의 전압을 출력값(Vout)으로서 ADC에 공급하고, 제2 홀딩 스위치(HOLD_E)는 공통 노이즈 성분이 제거된 제2 출력노드(NO_E)의 전압을 출력값(Vout)으로서 ADC에 공급한다.

[0073] ADC는 공통 노이즈 성분이 제거된 출력값(Vout)을 디지털 센싱값으로 변환한다. 이 디지털 센싱값에는 노이즈 영향이 미 포함되어 있으므로 실제 픽셀 전류값을 최대한 정확히 반영한다. 따라서, 본 발명은 센싱의 정확도(센싱 성능)를 크게 높일 수 있고, 나아가 센싱 결과를 기초로 이루어지는 보상 동작에서 보상 성능을 크게 향상시킬 수 있다.

[0074] 한편, 센싱 유닛들(UNIT#1~UNIT#m) 각각은 센싱에 앞서 ADC의 특성 편차와, 제1 및 제2 전류 적분기(CI1, CI2)의 특성 편차를 보상하기 위한 캘리브레이션 스위칭부(CSW)를 더 포함할 수 있다.

[0075] 캘리브레이션 스위칭부(CSW)는, 노드X(N_x)와 오드 센싱 채널(CH_O) 사이에 접속된 제1 바이어싱 스위치(CVCO)와, 노드X(N_x)와 이븐 센싱 채널(CH_E) 사이에 접속된 제2 바이어싱 스위치(CVCE)와, 노드X(N_x)와 기준전압(VREF)의 입력단자 사이에 접속된 전압 소싱 스위치(SIO_VREF)와, 노드X(N_x)와 기준전류(CREF)의 입력

단자 사이에 접속된 전류 소싱 스위치(SIO_CREF)를 포함한다.

- [0076] 전압 소싱 스위치(SIO_VREF)는 ADC의 특성 편차를 보상하기 위한 ADC 캘리브레이션 모드(도 8 내지 도 10 참조)에서 턴 온 된다. 전류 소싱 스위치(SIO_CREF)는 제1 및 제2 전류 적분기(CI1, CI2)의 특성 편차를 보상하기 위한 CI 캘리브레이션 모드(도 11 내지 도 13 참조)에서 턴 온 된다. CI 캘리브레이션 모드에서, 제1 바이어싱 스위치(CVCO)와 제2 바이어싱 스위치(CVCE)는 번갈아 턴 온 될 수 있다.
- [0077] 센싱 유닛들(UNIT#1~UNIT#m) 각각은 ADC/CI 캘리브레이션 모드에서 캘리브레이션 스위칭부(CSW)를 통해 입력되는 기준전압(VREF) 또는 기준전류(CREF)에 의해 캘리브레이션 동작을 수행한다. 본 발명은 캘리브레이션 스위칭부(CSW)를 이용한 캘리브레이션 동작을 통해 ADC의 오프셋 및 게인 편차, 적분기에 포함된 앰프의 오프셋 및 게인 편차 등을 추가적으로 보상할 수 있어, 센싱 성능 및 보상 성능을 더욱 높일 수 있다.
- [0078] 한편, 센싱 유닛들(UNIT#1~UNIT#m) 각각은 초기화전압(AVREF)의 입력단과 ADC의 입력단 사이에 접속된 초기화 스위치(EQ)를 더 포함하고, 센싱 구동 중의 소정 기간 동안, 제1 및 제2 홀딩 스위치(HOLD_0, HOLD_E)와 초기화 스위치(EQ)를 동시에 턴 온 시켜, 샘플링& 디프렌셜 커패시터(CS)의 양단을 초기화함으로써, 센싱 성능 및 보상 성능을 한층 더 높일 수 있다.
- [0079] [ADC 캘리브레이션 모드]
- [0080] 도 8은 ADC 캘리브레이션 모드의 동작 수순을 개략적으로 보여주고, 도 9 및 도 10은 ADC 캘리브레이션 모드에서 센싱 유닛의 동작 상태를 보여준다.
- [0081] 도 8 내지 도 10을 참조하면, ADC 캘리브레이션 모드에서는 표시패널을 구동시키지 않은 상태에서 진행된다. ADC 캘리브레이션 모드는, 이븐 센싱 채널들을 대상으로 1차 센싱을 수행한 이후에 오드 센싱 채널들을 대상으로 2차 센싱을 수행할 수 있으나, 그 반대 수순으로 센싱을 수행할 수도 있다. 도 10에서 "[n]"은 n번째 센싱 유닛(UNIT#n)을 지시하는 표기이고, "[n+1]"은 n+1번째 센싱 유닛(UNIT#n+1)을 지시하는 표기이다.
- [0082] 1차 센싱에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 제1 및 제2 홀딩 스위치(HOLD_0, HOLD_E)와 초기화 스위치(EQ)를 동시에 턴 온 시켜, 샘플링& 디프렌셜 커패시터(CS)의 양단을 초기화한다.(도 10의 ①) 이어서, 1차 센싱에서는 각 센싱 유닛들(UNIT#1~UNIT#m)의 리셋 스위치(RST)를 동시에 턴 온 시켜, 센싱 유닛들(UNIT#1~UNIT#m)의 전류 적분기들을 모두 유닛 게인 버퍼로 동작시키고, 센싱 유닛들(UNIT#1~UNIT#m)에 기준전압(VREF)을 동시에 바이어싱한다. 그리고, 센싱 유닛들(UNIT#1~UNIT#m)의 제1 전류 적분기 출력들과 제2 전류 적분기 출력들 중에서, 이븐 센싱 채널들에 대응되는 제2 전류 적분기 출력들을 동시에 샘플링하여 센싱 유닛들(UNIT#1~UNIT#m)의 샘플링& 디프렌셜 커패시터들(CS)에 저장한다.(도 10의 ②) 이어서, 1차 센싱에서는 제2 홀딩 스위치들을 순차적으로 턴 온 시켜 샘플링& 디프렌셜 커패시터들(CS)에 저장된 제2 전류 적분기 출력들을 순차적으로 ADC에 공급한다.(도 10의 ③)
- [0083] 2차 센싱에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 제1 및 제2 홀딩 스위치(HOLD_0, HOLD_E)와 초기화 스위치(EQ)를 동시에 턴 온 시켜, 샘플링& 디프렌셜 커패시터(CS)의 양단을 초기화한다.(도 10의 ①') 이어서, 2차 센싱에서는 각 센싱 유닛들(UNIT#1~UNIT#m)의 리셋 스위치(RST)를 동시에 턴 온 시켜, 센싱 유닛들(UNIT#1~UNIT#m)의 전류 적분기들을 모두 유닛 게인 버퍼로 동작시키고, 센싱 유닛들(UNIT#1~UNIT#m)에 기준전압(VREF)을 동시에 바이어싱한다. 그리고, 센싱 유닛들(UNIT#1~UNIT#m)의 제1 전류 적분기 출력들과 제2 전류 적분기 출력들 중에서, 오드 센싱 채널들에 대응되는 제1 전류 적분기 출력들을 동시에 샘플링하여 센싱 유닛들(UNIT#1~UNIT#m)의 샘플링& 디프렌셜 커패시터들(CS)에 저장한다.(도 10의 ②') 이어서, 2차 센싱에서는 제1 홀딩 스위치들을 순차적으로 턴 온 시켜 샘플링& 디프렌셜 커패시터들(CS)에 저장된 제1 전류 적분기 출력들을 순차적으로 ADC에 공급한다.(도 10의 ③')
- [0084] ADC에 인가되는 센싱 유닛들(UNIT#1~UNIT#m)의 출력 레벨은 기준전압(VREF) 또는 초기화전압(AVREF)에 따라 달라진다. 본 발명은 기준전압(VREF) 또는 초기화전압(AVREF)을 스위프(sweep) 하면서 ADC 캘리브레이션을 수행하여 ADC의 오프셋 편차 및/또는 ADC의 게인 편차를 보상할 수 있다.
- [0085] [CI 캘리브레이션 모드]
- [0086] 도 11은 CI 캘리브레이션 모드의 동작 수순을 개략적으로 보여주고, 도 12 및 도 13은 CI 캘리브레이션 모드에

서 센싱 유닛의 동작 상태를 보여준다.

[0087] 도 11 내지 도 13을 참조하면, CI 캘리브레이션 모드에서는 표시패널을 구동시키지 않은 상태에서 진행된다. 센싱 유닛들(UNIT#1~UNIT#m)은 도 17과 같이 기준전류(CREF) 입력단자에 공통으로 접속되어 있다. 따라서, 기준전류(CREF)가 각 센싱 유닛에 100% 인가될 수 있도록 CI 캘리브레이션 모드에서는, 센싱 유닛 단위로 순차적으로 센싱이 수행될 수 있다. 각 센싱 유닛에서는, 이븐 센싱 채널을 대상으로 1차 센싱 수행된 이후에 오드 센싱 채널을 대상으로 2차 센싱이 수행될 수 있으나, 그 반대 순서로 센싱이 수행될 수도 있다. 도 13에서 "[n]"은 n번째 센싱 유닛(UNIT#n)을 지시하는 표기이고, "[n+1]"은 n+1번째 센싱 유닛(UNIT#n+1)을 지시하는 표기이다.

[0088] n번째 센싱 유닛(UNIT#n)을 대상으로 한 1차 센싱과 2차 센싱을 설명하면 다음과 같다.

[0089] 1차 센싱에서는, 센싱 유닛(UNIT#n)의 제1 및 제2 홀딩 스위치(HOLD_O, HOLD_E)와 초기화 스위치(EQ)를 동시에 턴 온 시켜, 샘플링& 디프렌셜 커패시터(CS)의 양단을 초기화한다.(도 13의 ①) 이어서, 1차 센싱에서는 센싱 유닛(UNIT#n)의 리셋 스위치(RST)를 턴 온 시켜, 센싱 유닛(UNIT#n)의 전류 적분기들을 유닛 계인 버퍼로 동작시키며, 센싱 유닛(UNIT#n)의 이븐 센싱 채널(CH_E)에 노이즈 성분이 혼입된 기준전류(CREF)를 바이어싱한다. 한편, 센싱 유닛(UNIT#n)의 오드 센싱 채널(CH_O)에는 기준전류(CREF)가 인가되지 않기 때문에 노이즈 성분에 의한 제로 전류(Izero)(여기서, 제로 전류는 기준전류보다 매우 낮음)가 센싱 유닛(UNIT#n)의 오드 센싱 채널(CH_O)에 흐른다.(도 13의 ②) 이어서, 1차 센싱에서는 센싱 유닛(UNIT#n)의 리셋 스위치(RST)를 턴 오프 시켜 센싱 유닛(UNIT#n)의 전류 적분기들을 적분 모드로 동작시킨다. 적분 모드에 의해, 이븐 센싱 채널(CH_E)에 연결된 제2 전류 적분기의 출력은 제2 샘플링값(Va)로서 샘플링& 디프렌셜 커패시터(CS)의 일측(NO_E)에 저장되고, 오드 센싱 채널(CH_O)에 연결된 제1 전류 적분기의 출력은 제1 샘플링값(Vb)으로서 샘플링& 디프렌셜 커패시터(CS)의 타측(NO_O)에 저장된다.(도 13의 ③) 이어서, 1차 센싱에서는 제1 노이즈 소거용 스위치(HOLD_OG)를 턴 온 시켜 상기 샘플링& 디프렌셜 커패시터(CS)의 일측(NO_E)을 접지 전원에 연결하여 제1 및 제2 샘플링값(Vb, Va)에 포함된 공통 노이즈 성분을 제거한다. 도 2를 통해 설명했듯이, 전류 적분기에서 출력되는 적분값은 입력되는 전류의 크기에 반비례하는 특성이 있으므로, 제로 전류(Izero)에 대응되는 제1 샘플링값(Va)은, 제로 전류(Izero)보다 큰 기준전류(CREF)에 대응되는 제2 샘플링값(Vb)보다 크다. 따라서, 본 발명은 공통 노이즈 소거를 위해 상대적으로 낮은 전위의 제2 샘플링값(Va)이 저장된 일측 노드(NO_E)를 접지화시킨다.(도 13의 ④) 커패시터의 커플링 작용에 의해, 샘플링& 디프렌셜 커패시터(CS)의 타측(NO_O) 전위는 제2 샘플링값(Va)만큼 낮아진다. 이어서, 1차 센싱에서는 제1 홀딩 스위치(HOLD_O)를 턴 온 시켜 샘플링& 디프렌셜 커패시터(CS)의 타측(NO_O) 전압(Vb-Va)을 노이즈 성분이 제거된 출력값(Vout)으로 하여 ADC에 공급한다.

[0090] 2차 센싱에서는 센싱 유닛(UNIT#n)의 리셋 스위치(RST)를 턴 온 시켜, 센싱 유닛(UNIT#n)의 전류 적분기들을 유닛 계인 버퍼로 동작시키고, 센싱 유닛(UNIT#n)의 오드 센싱 채널(CH_O)에 노이즈 성분이 혼입된 기준전류(CREF)를 바이어싱한다. 한편, 센싱 유닛(UNIT#n)의 이븐 센싱 채널(CH_E)에는 기준전류(CREF)가 인가되지 않기 때문에 노이즈 성분에 의한 제로 전류(Izero)(여기서, 제로 전류는 기준전류보다 매우 낮음)가 센싱 유닛(UNIT#n)의 이븐 센싱 채널(CH_E)에 흐른다.(도 13의 ②') 이어서, 2차 센싱에서는 센싱 유닛(UNIT#n)의 리셋 스위치(RST)를 턴 오프 시켜 센싱 유닛(UNIT#n)의 전류 적분기들을 적분 모드로 동작시킨다. 적분 모드에 의해, 오드 센싱 채널(CH_O)에 연결된 제1 전류 적분기의 출력은 제1 샘플링값(Vb)로서 샘플링& 디프렌셜 커패시터(CS)의 타측(NO_O)에 저장되고, 이븐 센싱 채널(CH_E)에 연결된 제2 전류 적분기의 출력은 제2 샘플링값(Va)으로서 샘플링& 디프렌셜 커패시터(CS)의 일측(NO_E)에 저장된다.(도 13의 ③') 이어서, 2차 센싱에서는 제2 노이즈 소거용 스위치(HOLD_EG)를 턴 온 시켜 상기 샘플링& 디프렌셜 커패시터(CS)의 타측(NO_O)을 접지 전원에 연결하여 제1 및 제2 샘플링값(Vb, Va)에 포함된 공통 노이즈 성분을 제거한다. 이어서, 본 발명은 공통 노이즈 소거를 위해 상대적으로 낮은 전위의 제1 샘플링값(Vb)이 저장된 타측 노드(NO_O)를 접지화시킨다.(도 13의 ④') 커패시터의 커플링 작용에 의해, 샘플링& 디프렌셜 커패시터(CS)의 일측(NO_E) 전위는 제1 샘플링값(Vb)만큼 낮아진다. 이어서, 2차 센싱에서는 제2 홀딩 스위치(HOLD_E)를 턴 온 시켜 샘플링& 디프렌셜 커패시터(CS)의 일측(NO_E) 전압(Va-Vb)을 노이즈 성분이 제거된 출력값(Vout)으로 하여 ADC에 공급한다.

[0091] 본 발명은 CI 캘리브레이션 통해 획득한 디지털 센싱값을 기반으로 전류 적분기의 옅은 편차 및/또는 전류 적분기의 계인 편차를 보상할 수 있다.

[0092] [센싱 모드]

- [0093] 도 14는 센싱 모드의 동작 수순을 개략적으로 보여주고, 도 15 및 도 16은 센싱 모드에서 센싱 유닛의 동작 상태를 보여준다.
- [0094] 도 14 내지 도 16을 참조하면, 센싱 모드는 표시패널을 동작시키고, 표시패널로부터 인가되는 픽셀의 전류 정보를 기반으로 하여 진행된다. 센싱 모드는 센싱 라인들 중 오드 센싱 라인들로부터 입력되는 픽셀 전류들을 센싱하여 순차적으로 출력하는 오드 센싱 기간과, 상기 센싱 라인들 중 이븐 센싱 라인들로부터 입력되는 픽셀 전류들을 센싱하여 순차적으로 출력하는 이븐 센싱 기간을 포함한다. 여기서, 센싱용 데이터전압은 '0'보다 큰 픽셀 전류를 생성시키는 소정 계조용 데이터전압과 픽셀 전류를 미 생성시키는 블랙 계조용 데이터전압을 포함한다.
- [0095] 오드 센싱 기간 동안, 오드 센싱 라인들에 접속된 픽셀들에는 소정 계조용 데이터전압이 데이터라인들을 통해 동시에 인가되고, 이븐 센싱 라인들에 접속된 픽셀들에는 블랙 계조용 데이터전압이 데이터라인들을 통해 동시에 인가된다. 반면, 이븐 센싱 기간 동안, 이븐 센싱 라인들에 접속된 픽셀들에는 소정 계조용 데이터전압이 데이터라인들을 통해 동시에 인가되고, 오드 센싱 라인들에 접속된 픽셀들에는 블랙 계조용 데이터전압이 데이터라인들을 통해 동시에 인가된다.
- [0096] 센싱 모드에서는 이븐 센싱 기간 동안 이븐 센싱 채널들을 대상으로 센싱을 수행한 이후에 오드 센싱 기간 동안 오드 센싱 채널들을 대상으로 센싱을 수행할 수 있으나, 그 반대 수순으로 센싱을 수행할 수도 있다. 도 16에서 "[n]"은 n번째 센싱 유닛(UNIT#n)을 지시하는 표기이고, "[n+1]"은 n+1번째 센싱 유닛(UNIT#n+1)을 지시하는 표기이다.
- [0097] 이븐 센싱 기간에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 제1 및 제2 홀딩 스위치(HOLD_0, HOLD_E)와 초기화 스위치(EQ)를 동시에 턴 온 시켜, 샘플링& 디프렌셜 커패시터(CS)들의 양단을 모두 초기화한다.(도 16의 ①) 이어서, 이븐 센싱 기간에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 리셋 스위치(RST)를 턴 온 시켜, 각 센싱 유닛들(UNIT#1~UNIT#m)의 전류 적분기들을 유닛 게인 버퍼로 동작시킨다. 이때, 각 센싱 유닛들(UNIT#1~UNIT#m)의 이븐 센싱 채널들(CH_E)에는 노이즈 성분이 혼입된 픽셀 전류(I_{pix})가 인가되는데 반해, 각 센싱 유닛들(UNIT#1~UNIT#m)의 오드 센싱 채널들(CH_O)에는 노이즈 성분에 의한 제로 전류(I_{zero})가 인가된다.(도 16의 ②) 이어서, 이븐 센싱 기간에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 리셋 스위치(RST)를 턴 오프 시켜 센싱 유닛들(UNIT#1~UNIT#m)의 전류 적분기들을 적분 모드로 동작시킨다. 적분 모드에 의해, 이븐 센싱 채널들(CH_E)에 연결된 제2 전류 적분기들의 출력은 제2 샘플링값(V_a)로서 각 샘플링& 디프렌셜 커패시터(CS)의 일측(NO_E)에 저장되고, 오드 센싱 채널들(CH_O)에 연결된 제1 전류 적분기들의 출력은 제1 샘플링값(V_b)으로서 각 샘플링& 디프렌셜 커패시터(CS)의 타측(NO_O)에 저장된다.(도 16의 ③) 이어서, 이븐 센싱 기간에서는, 제1 노이즈 소거용 스위치(HOLD_OG)를 턴 온 시켜 상기 샘플링& 디프렌셜 커패시터들(CS)의 일측들(NO_E)을 동시에 접지 전원에 연결하여 제1 및 제2 샘플링값(V_b, V_a)에 포함된 공통 노이즈 성분을 제거한다. 본 발명은 공통 노이즈 소거를 위해 상대적으로 낮은 전위의 제2 샘플링값(V_a)이 저장된 일측 노드들(NO_E)을 접지화시킨다.(도 16의 ④) 커패시터의 커플링 작용에 의해, 샘플링& 디프렌셜 커패시터들(CS)의 타측들(NO_O) 전위는 제2 샘플링값(V_a)만큼 낮아진다. 이어서, 이븐 센싱 기간에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 제1 홀딩 스위치(HOLD_O)를 순차적으로 턴 온 시켜 각 샘플링& 디프렌셜 커패시터들(CS)의 타측(NO_O) 전압(V_b-V_a)을 노이즈 성분이 제거된 출력값(V_{out})으로 하여 ADC에 순차적으로 공급한다.
- [0098] 오드 센싱 기간에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 제1 및 제2 홀딩 스위치(HOLD_0, HOLD_E)와 초기화 스위치(EQ)를 동시에 턴 온 시켜, 샘플링& 디프렌셜 커패시터(CS)들의 양단을 모두 초기화한다.(도 16의 ①') 이어서, 오드 센싱 기간에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 리셋 스위치(RST)를 턴 온 시켜, 각 센싱 유닛들(UNIT#1~UNIT#m)의 전류 적분기들을 유닛 게인 버퍼로 동작시킨다. 이때, 각 센싱 유닛들(UNIT#1~UNIT#m)의 오드 센싱 채널들(CH_O)에는 노이즈 성분이 혼입된 픽셀 전류(I_{pix})가 인가되는데 반해, 각 센싱 유닛들(UNIT#1~UNIT#m)의 이븐 센싱 채널들(CH_E)에는 노이즈 성분에 의한 제로 전류(I_{zero})가 인가된다.(도 16의 ②') 이어서, 오드 센싱 기간에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 리셋 스위치(RST)를 턴 오프 시켜 센싱 유닛들(UNIT#1~UNIT#m)의 전류 적분기들을 적분 모드로 동작시킨다. 적분 모드에 의해, 오드 센싱 채널들(CH_O)에 연결된 제1 전류 적분기들의 출력은 제1 샘플링값(V_b)로서 각 샘플링& 디프렌셜 커패시터(CS)의 타측(NO_O)에 저장되고, 이븐 센싱 채널들(CH_E)에 연결된 제2 전류 적분기들의 출력은 제2 샘플링값(V_a)로서 각 샘플링& 디프렌셜 커패시터(CS)의 일측(NO_E)에 저장된다.(도 16의 ③') 이어서, 오드 센싱 기간에서는, 제2 노이즈 소거용 스위치(HOLD_EG)를 턴 온 시켜 상기 샘플링& 디프렌셜 커패시터들(CS)의 타측들(NO_O)을 동시에 접지 전원에 연결하여 제1 및 제2 샘플링값(V_b, V_a)에 포함된 공통 노이즈 성분을 제거한다. 본 발명은 공통 노이즈 소거를 위해 상대적으로 낮은 전위의 제1 샘플링값(V_b)이 저장된 타측 노드들(NO_O)을 접지화시킨다.(도 16의

④') 커패시터의 커플링 작용에 의해, 샘플링& 디프렌셜 커패시터들(CS)의 일측들(NO_E) 전위는 제1 샘플링값(Vb)만큼 낮아진다. 이어서, 오드 센싱 기간에서는, 각 센싱 유닛들(UNIT#1~UNIT#m)의 제2 홀딩 스위치(HOLD_E)를 순차적으로 턴 온 시켜 각 샘플링& 디프렌셜 커패시터들(CS)의 일측(NO_E) 전압(Va-Vb)을 노이즈 성분이 제거된 출력값(Vout)으로 하여 ADC에 순차적으로 공급한다.

[0099] 도 18은 본 발명에 따른 센싱 유닛의 일 변형 예를 보여준다.

[0100] 도 18을 참조하면, 센싱 유닛들(UNIT#1~UNIT#m) 각각은, 도 7에 도시된 구성 이외에, 제1 전류 적분기(CI1)의 출력단자와 제1 샘플링 스위치(SAM_O) 사이에 접속된 제1 로우패스 필터(LPF_O)와, 제2 전류 적분기(CI2)의 출력단자와 제2 샘플링 스위치(SAM_E) 사이에 접속된 제2 로우패스 필터(LPF_E)를 더 포함할 수 있다. 여기서, 제1 및 제2 로우패스 필터(LPF_O, LPF_E)는 저항과 커패시터 등을 포함한 공지의 필터회로로 구현될 수 있다.

[0101] 제1 로우패스 필터(LPF_O)는 제1 전류 적분기(CI1)의 출력이 샘플링& 디프렌셜 커패시터(CS)에 저장되기에 앞서 제1 전류 적분기(CI1)의 출력에 포함된 노이즈 성분을 1차적으로 필터링한다.

[0102] 마찬가지로, 제2 로우패스 필터(LPF_E)는 제2 전류 적분기(CI2)의 출력이 샘플링& 디프렌셜 커패시터(CS)에 저장되기에 앞서 제2 전류 적분기(CI2)의 출력에 포함된 노이즈 성분을 1차적으로 필터링한다.

[0103] 본 발명은 이러한 제1 및 제2 로우패스 필터(LPF_O, LPF_E)를 통해 제1 및 제2 전류 적분기(CI1, CI2)의 출력에 포함된 노이즈 성분을 미리 걸러줌으로써, 노이즈 성분 소거 효과를 극대화할 수 있다.

[0104] 도 19는 본 발명에 따른 센싱 유닛의 다른 변형 예를 보여준다.

[0105] 도 19를 참조하면, 센싱 유닛들(UNIT#1~UNIT#m) 각각은, 도 18에 도시된 구성 이외에, 오드 센싱 채널(CH_O)과 제1 전류 적분기(CI1) 사이에 접속된 제1 전류 컨베이어(CV_O)와, 이븐 센싱 채널(CH_E)과 제2 전류 적분기(CI2) 사이에 접속된 제2 전류 컨베이어(CV_E)를 더 포함할 수 있다. 제1 및 제2 전류 컨베이어(CV_O, CV_E)는 다수의 트랜지스터들과 저항들을 포함한 공지의 전류 컨베이어 회로로 구현될 수 있다.

[0106] 제1 전류 컨베이어(CV_O)는 임피던스 매칭 등에 따른 픽셀 전류 누설을 방지하여, 오드 센싱 채널(CH_O)의 픽셀 전류를 최대한 손실없이 제1 전류 적분기(CI1)에 전달하는 역할을 한다.

[0107] 마찬가지로, 제2 전류 컨베이어(CV_E)는 임피던스 매칭 등에 따른 픽셀 전류 누설을 방지하여, 이븐 센싱 채널(CH_E)의 픽셀 전류를 최대한 손실없이 제2 전류 적분기(CI2)에 전달하는 역할을 한다.

[0108] 이러한 제1 및 제2 전류 컨베이어(CV_O, CV_E)를 통해 픽셀 전류의 손실을 줄이면, 센싱의 정확성 제고에 큰 효과가 있다.

[0109] 도 20은 ADC의 오버 레인지(over range) 현상을 방지할 수 있는 적분 커패시터의 커패시턴스 조정 방안을 보여준다.

[0110] ADC는 아날로그 신호를 디지털 신호 형태의 데이터로 변환하는 특수한 부호기이다. ADC는 그 입력 전압 범위 즉, 센싱 레인지가 정해져 있다. ADC의 전압 범위는 AD 변환의 분해능에 따라 달라질 수 있으나, 통상 $E_{vref}(ADC \text{ 기준전압}) \sim E_{vref} + kV$ (k는 양의 실수)로 설정될 수 있다. 여기서, AD 변환의 분해능이란 아날로그 입력 전압을 디지털 값으로 변환할 수 있는 비트값을 지시한다. ADC에 입력되는 아날로그 신호가 ADC의 입력 범위를 벗어나는 경우, ADC의 출력값은 입력 전압 범위의 하한값으로 언더 플로우(underflow)되거나 또는, 입력 전압 범위의 상한값으로 오버 플로우(overflow) 될 수 있다.

[0111] 이렇게 ADC의 오버 레인지(over range) 현상이 생기면 센싱의 정확도가 떨어진다. ADC의 오버 레인지 현상을 방지하기 위한 일 방안으로 본 발명은, ADC에서 출력되는 디지털 센싱값에 따라 센싱 유닛에 포함된 제1 및 제2 전류 적분기(CI1, CI2)의 적분 커패시턴스 값을 조정하는 방법을 제안한다.

[0112] 이를 위해, 본 발명은 도 7의 제1 및 제2 적분 커패시터(CFB_O, CFB_E)를 도 20과 같이 설계할 수 있다. 도 20을 참조하면, 제1 및 제2 적분 커패시터(CFB_O, CFB_E) 각각은 앰프(AMP_O, AMP_E)의 반전 입력단(-)에 병렬 접속된 다수의 커패시터들(Cfb1~Cfbi)과, 상기 커패시터들(Cfb1~Cfbi)과 앰프(AMP_O, AMP_E)의 출력단자 사이에 접속된 다수의 커패시턴스 조정용 스위치들(S1~Si)을 포함할 수 있다. 제1 및 제2 적분 커패시터(CFB_O, CFB_E) 각각의 합성 커패시턴스는 온 되는 커패시턴스 조정용 스위치(S1~Si)의 갯수에 따라 결정된다.

[0113] 타이밍 컨트롤러(11)는 디지털 센싱값들(SD)을 분석하여, 디지털 센싱값들(SD) 중에서 미리 설정된 ADC의 하한

값 및 상한값과 동일한 디지털 센스값들(SD)의 비율에 따라 스위칭 제어신호를 다르게 생성할 수 있다. 커패시턴스 조정용 스위치들(S1~Si)은 타이밍 콘트롤러(11)로부터 입력되는 스위칭 제어신호에 따라 온/오프 된다. 적분 커패시터(CFB_0 또는 CFB_E)의 합성 커패시턴스가 클수록 전류 적분기 유닛(CI1 또는 CI2)의 출력값에 대한 하강 기울기는 작아지며, 반대로 적분 커패시터(CFB_0 또는 CFB_E)의 합성 커패시턴스가 작을수록 전류 적분기 유닛(CI1 또는 CI2)의 출력값에 대한 하강 기울기는 커진다.

[0114]

따라서, 타이밍 콘트롤러(11)는 스위칭 제어신호를 통해 턴 온 되는 커패시턴스 조정용 스위치(S1~Si)의 갯수를 제어함으로써, ADC의 출력값이 입력 전압 범위의 하한값으로 언더 플로우(underflow)되는 경우에는 제1 및 제2 적분 커패시터(CFB_0, CFB_E) 각각의 합성 커패시턴스를 증가시키고, 반대로 ADC의 출력값이 입력 전압 범위의 상한값으로 오버 플로우(overflow)되는 경우에는 제1 및 제2 적분 커패시터(CFB_0, CFB_E) 각각의 합성 커패시턴스를 감소시킬 수 있다.

[0115]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

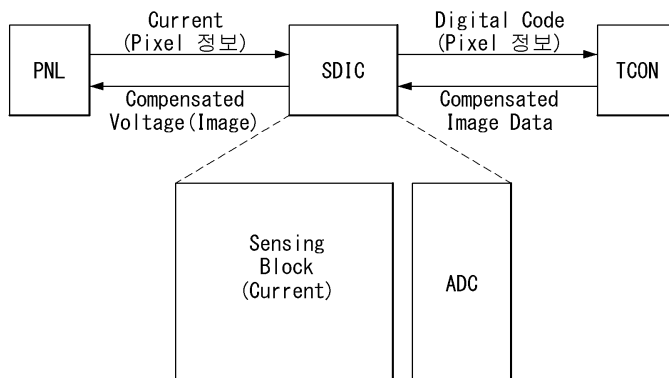
부호의 설명

[0116]

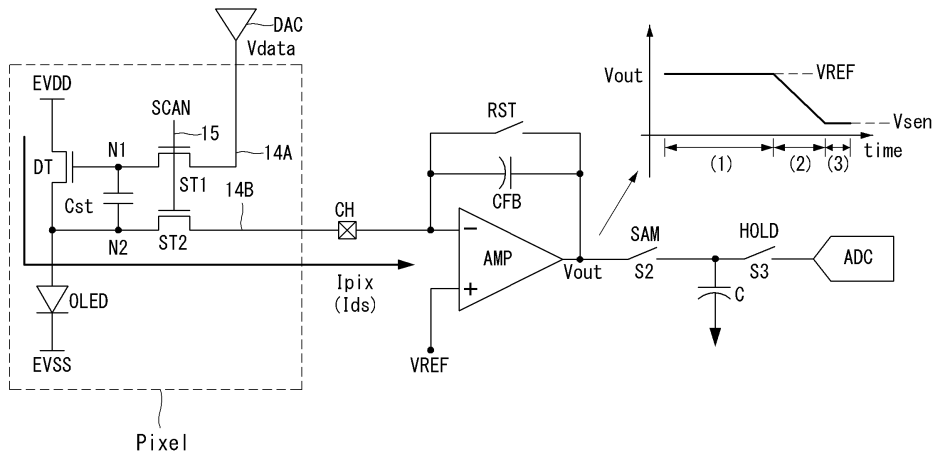
10 : 표시패널	11 : 타이밍 콘트롤러
12 : 데이터 구동회로	13 : 게이트 구동회로
14 : 데이터라인들	15 : 게이트라인들
16 : 메모리	

도면

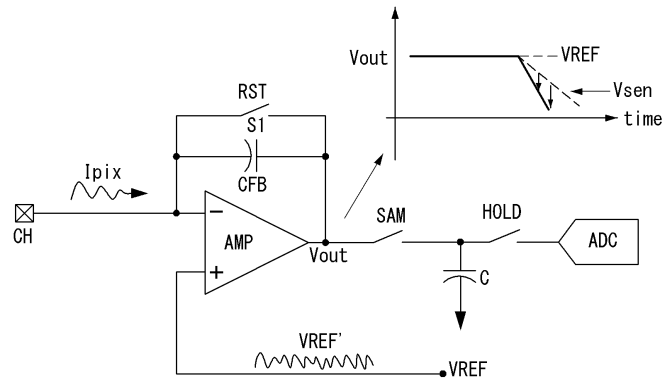
도면1



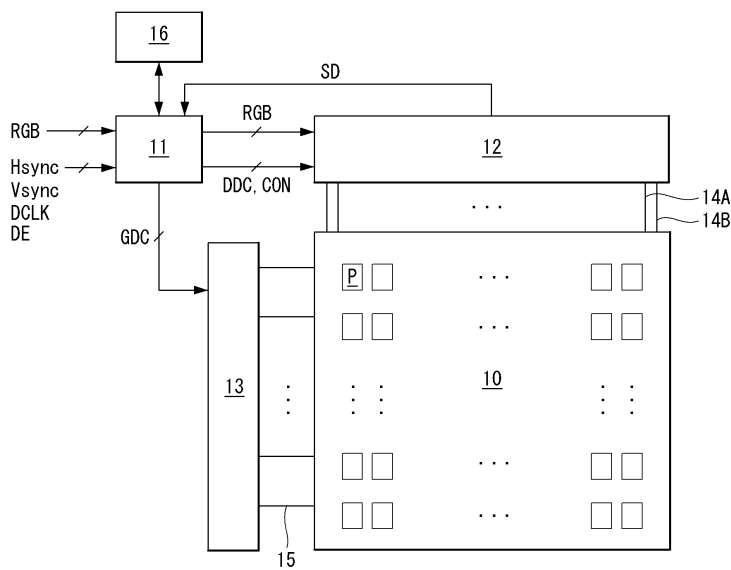
도면2



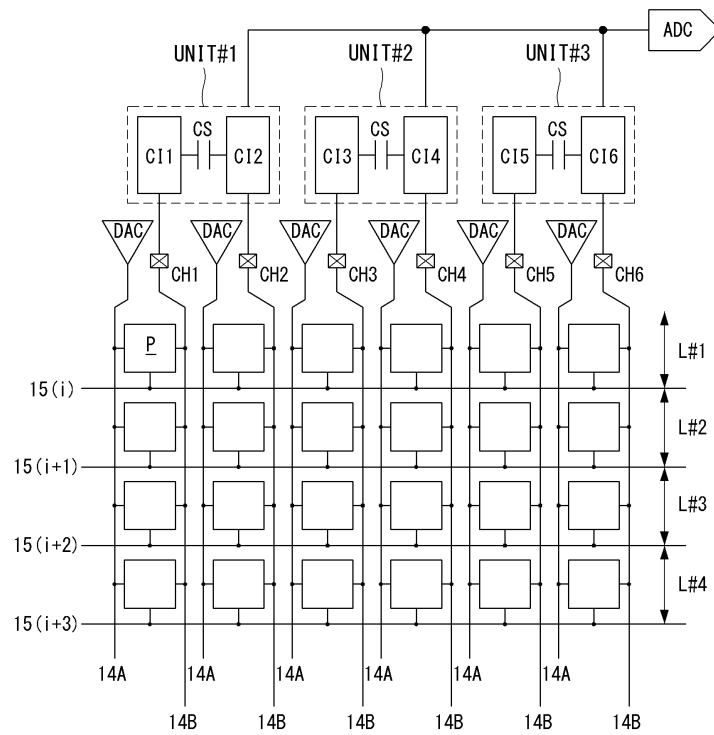
도면3



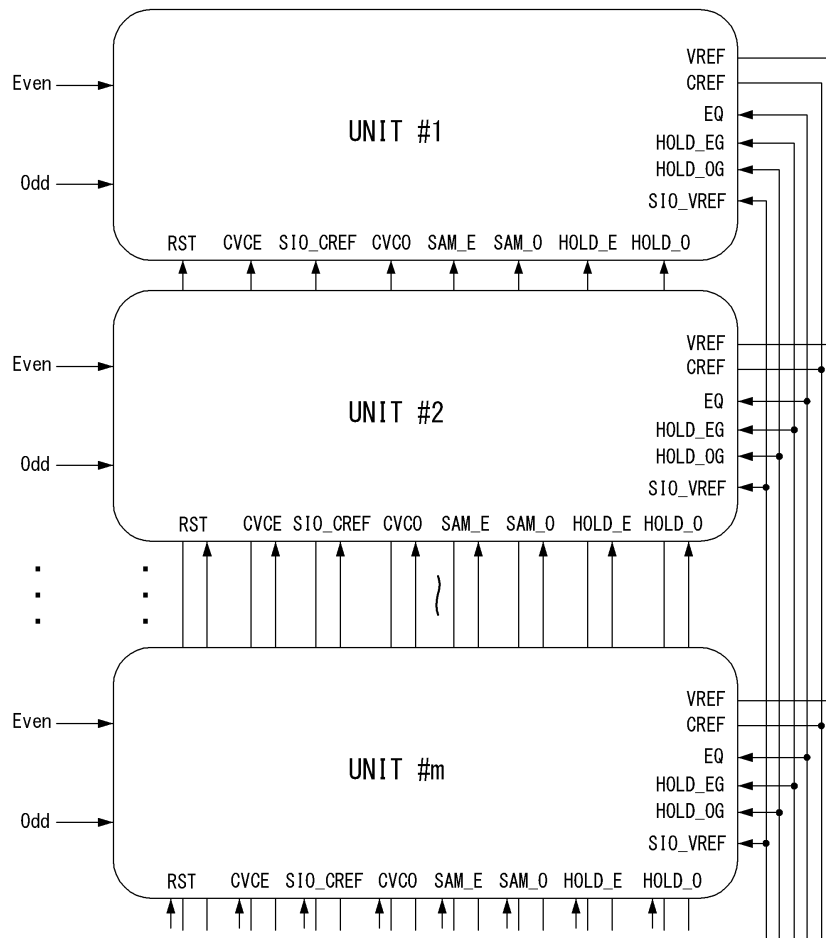
도면4



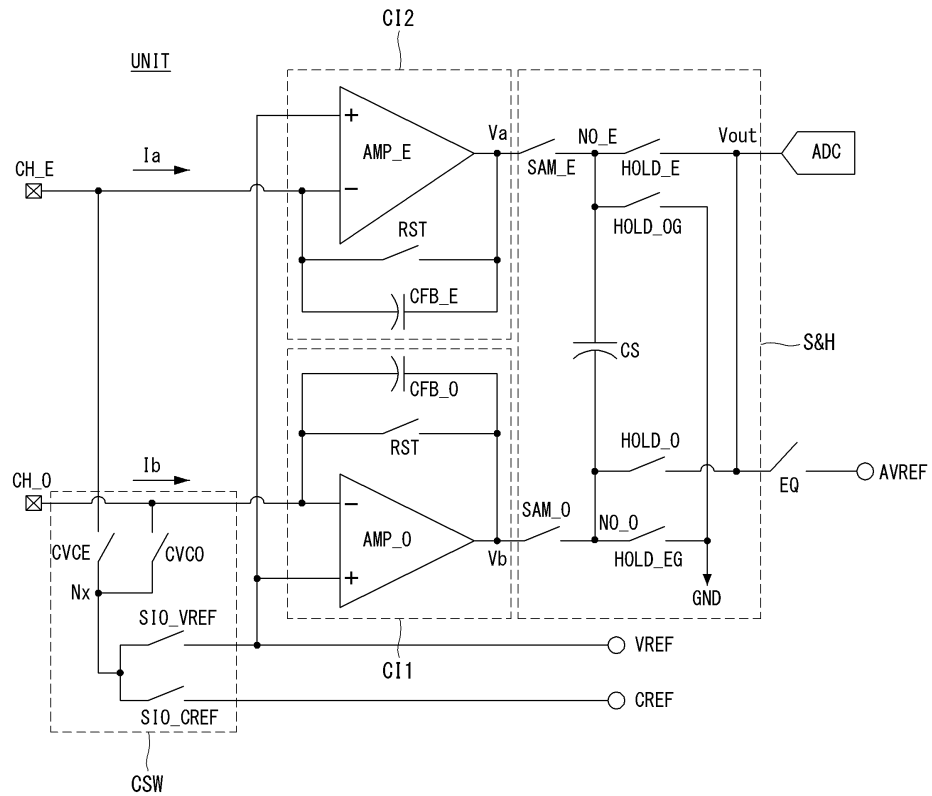
도면5



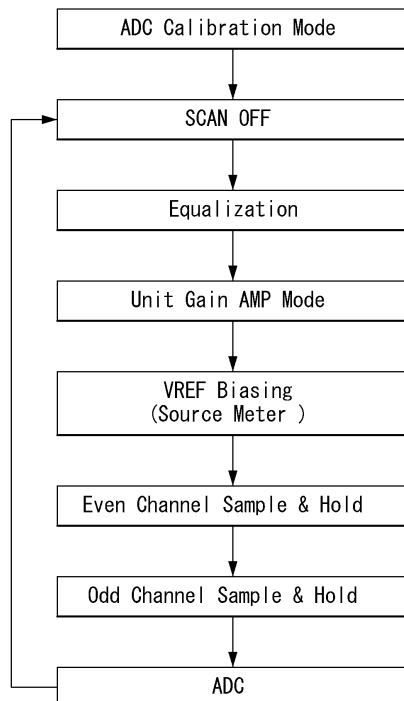
도면6



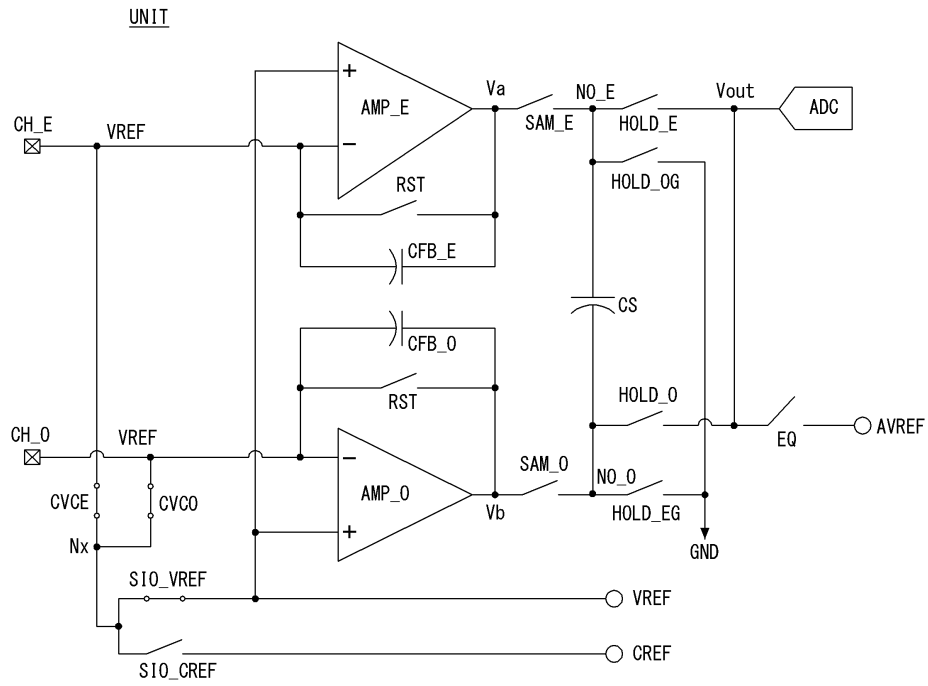
도면7



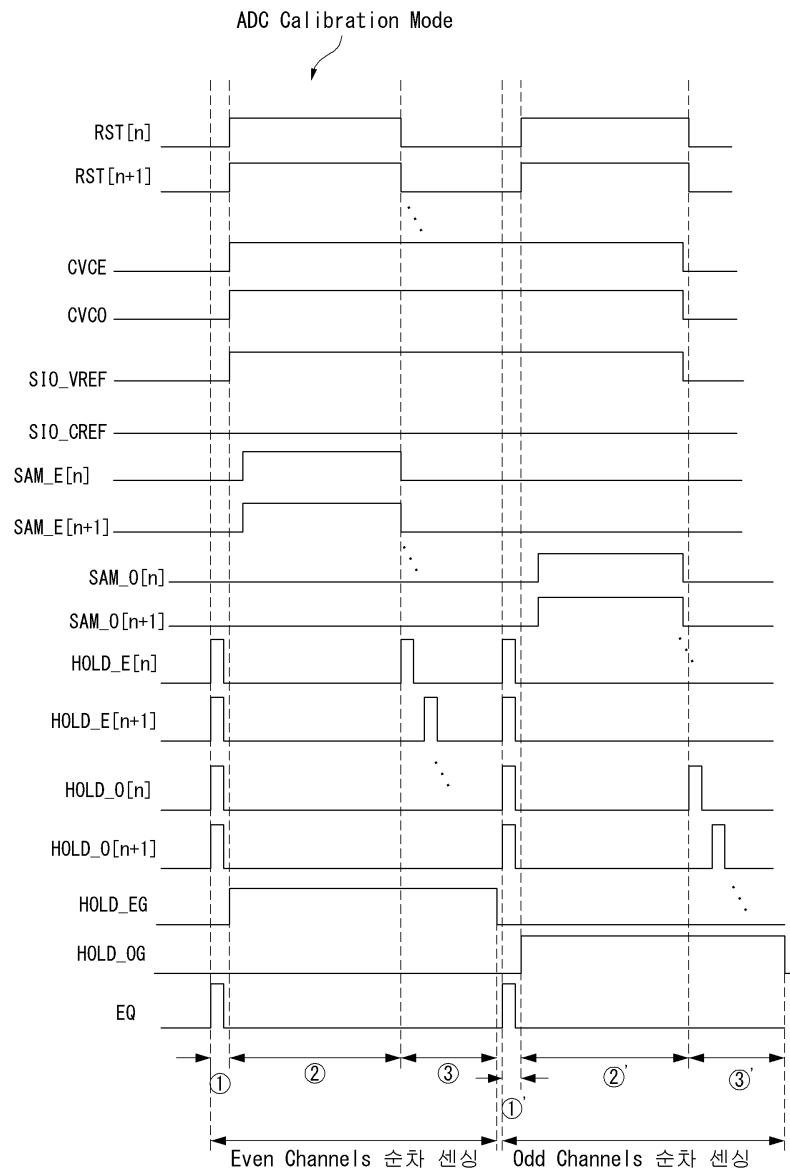
도면8



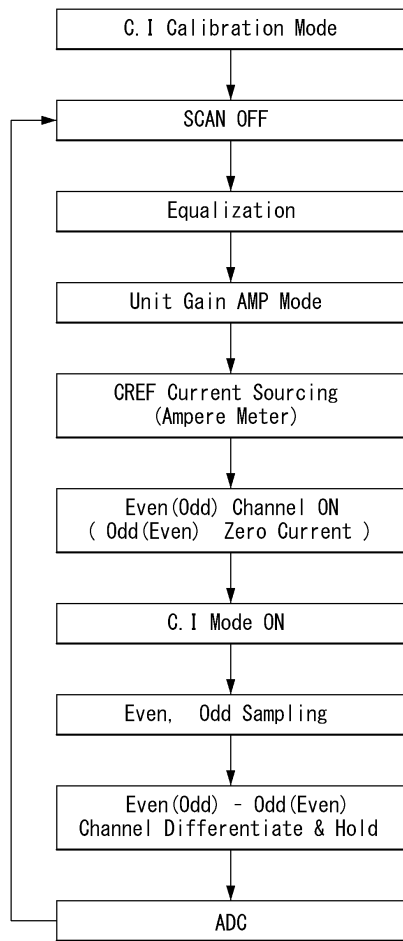
도면9



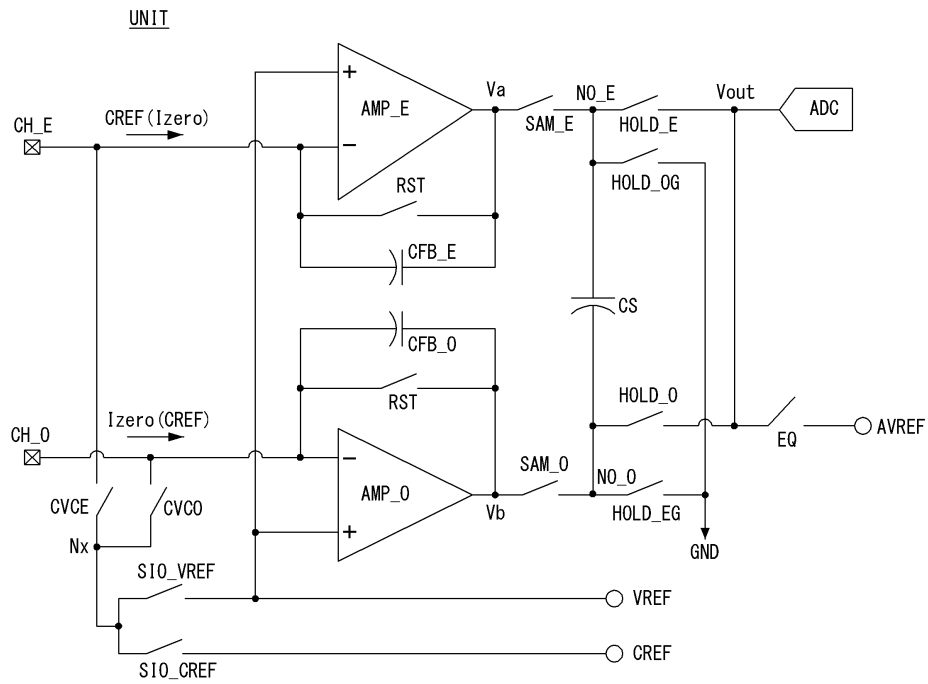
도면10



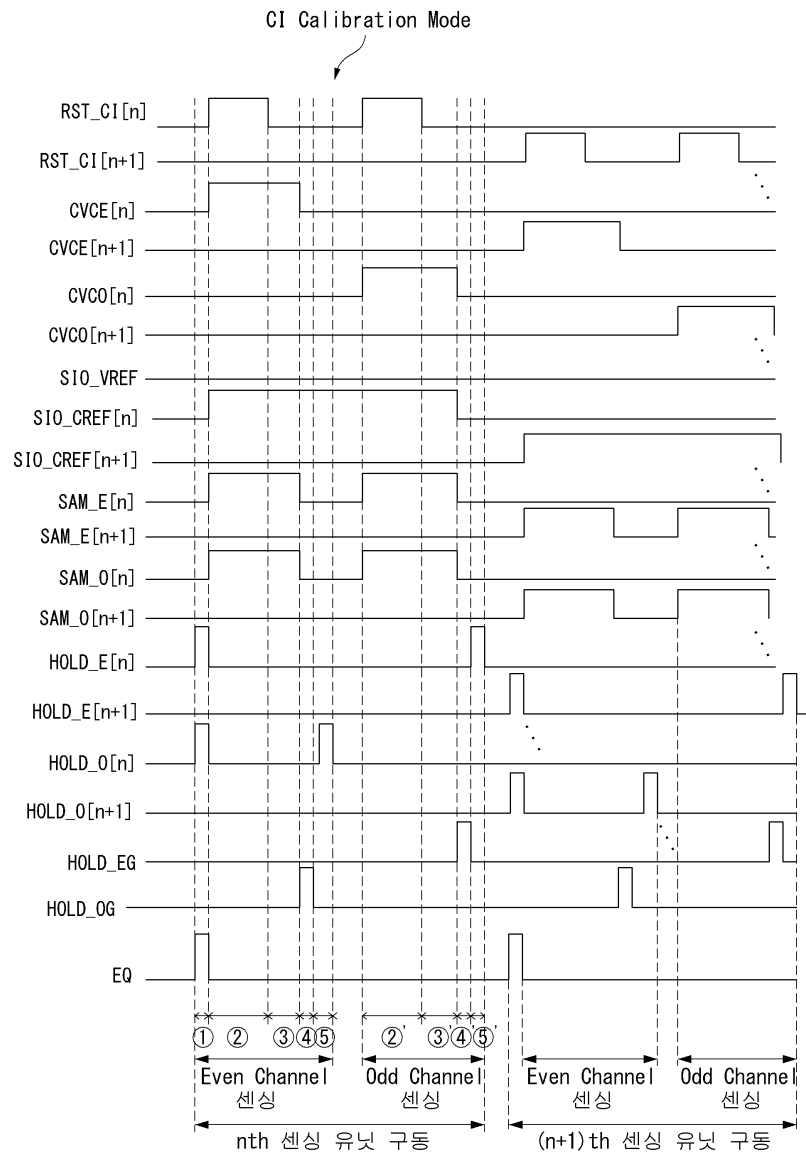
도면11



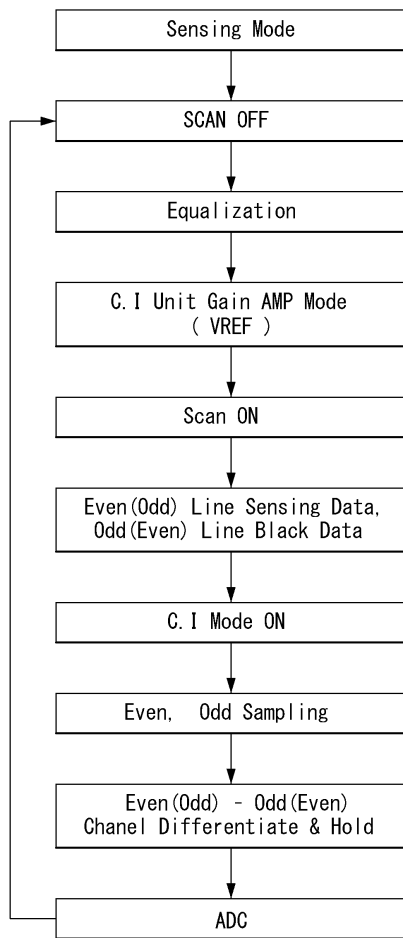
도면12



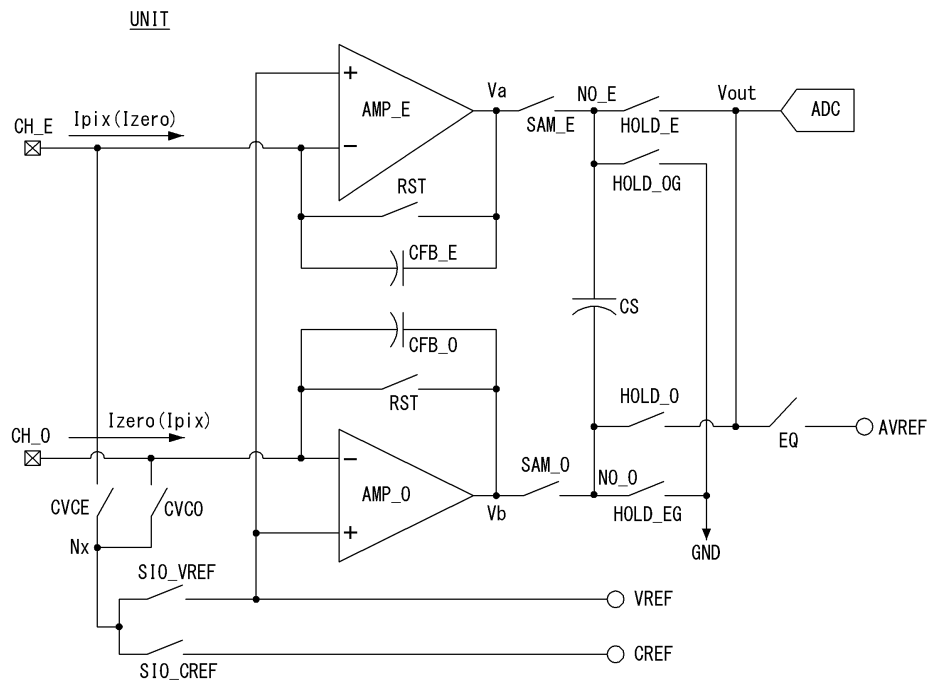
도면13



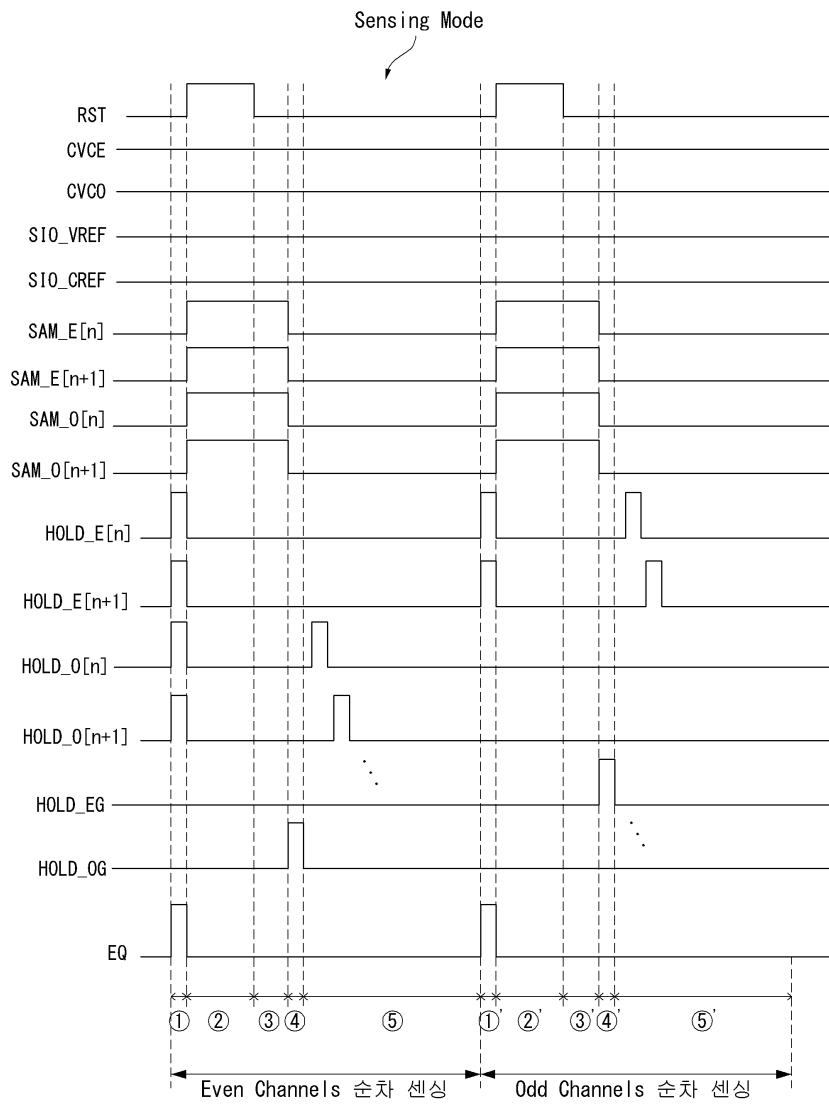
도면14



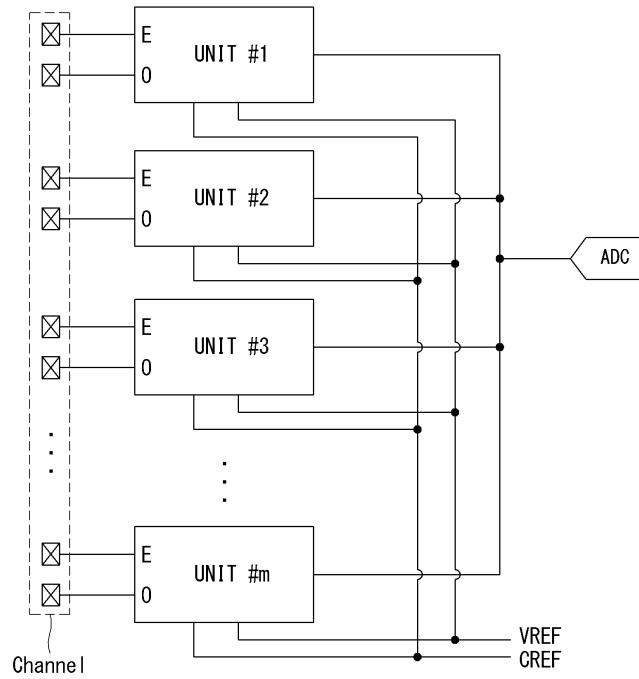
도면15



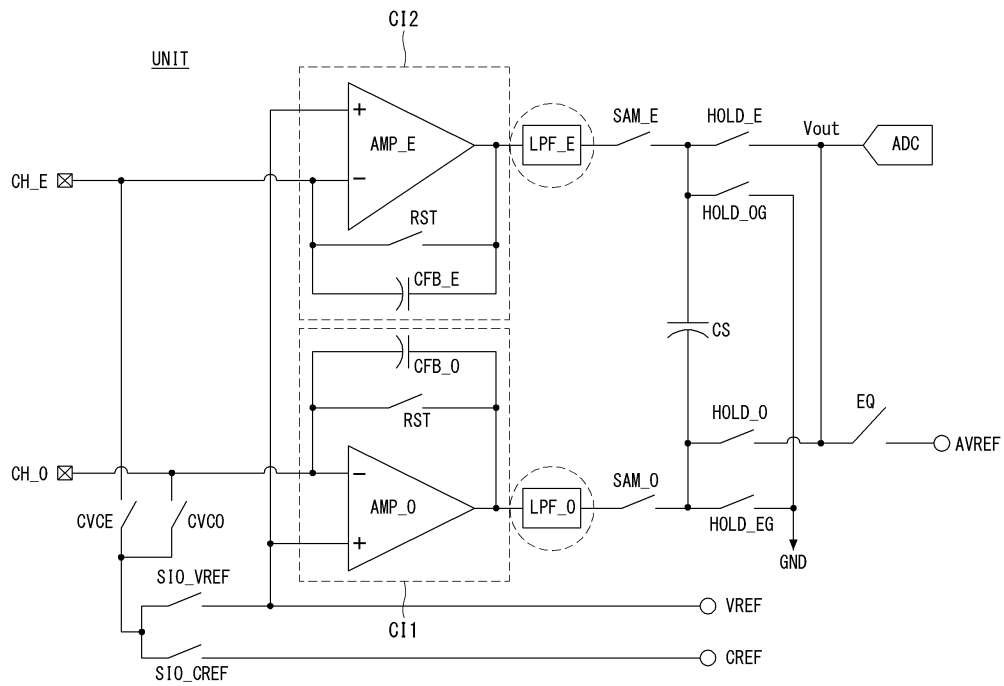
도면16



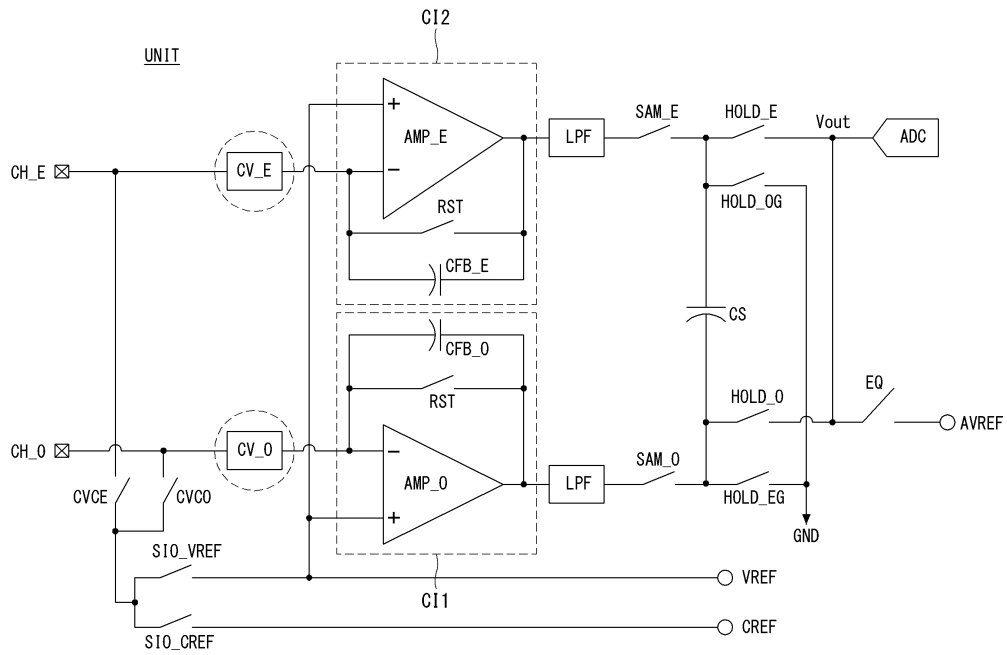
도면17



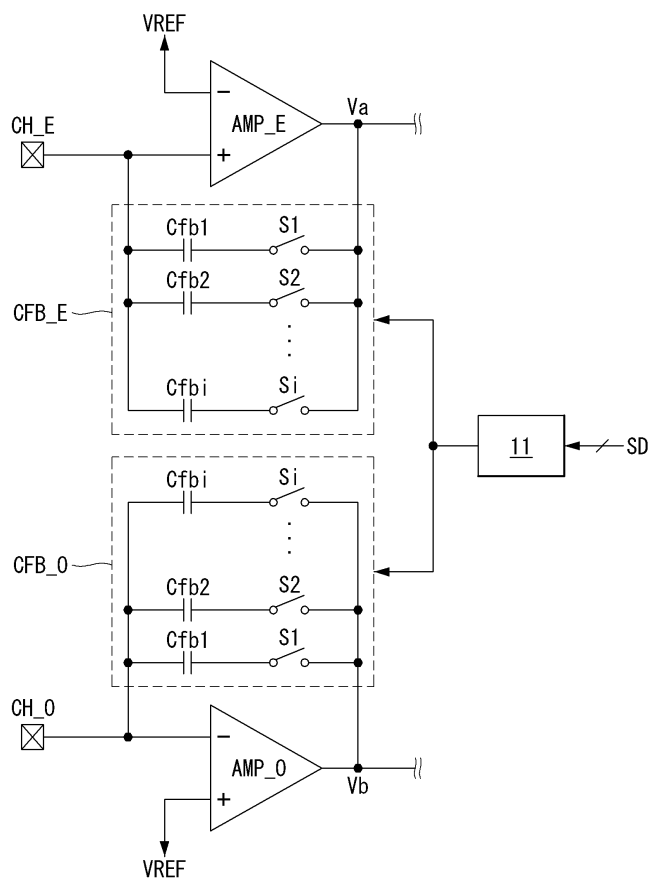
도면18



도면19



도면20



专利名称(译)	一种能够感测驱动装置的电特性的有机发光显示装置		
公开(公告)号	KR101529005B1	公开(公告)日	2015-06-16
申请号	KR1020140080000	申请日	2014-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU SANG HO 유상호 KIM BUM SIK 김범식		
发明人	유상호 김범식		
IPC分类号	G09G3/32		
CPC分类号	G09G3/006 G09G3/2007 G09G3/3258 G09G3/3291 G09G2300/0426 G09G2300/0819 G09G2300/0828 G09G2310/027 G09G2320/0295 G09G2320/045 G09G2320/0693 G09G2330/12		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光显示器包括显示面板，该显示面板包括 OLED和用于控制从OLED发射的光量的驱动TFT，该显示面板包括数据线和连接到感测线的多个像素；以及用于在感测操作期间将感测数据电压施加到数据线的DAC，多个感测单元，用于通过连接到线路的多个感测通道感测像素的电流信息；以及数据驱动器IC，包括共同连接到感测单元的ADC；每个所述传感单元包括：第一电流积分器，耦合到奇数传感通道；与所述通道的存储并保持相邻伊本第二电流连接到感测频道积分器和从所述第一电流积分器接收的第一采样值的第二采样值和从所述第一的第二电流积分状态的输入以及用于去除包括在第二采样值中的公共噪声分量的采样和保持单元它包括。

