

특허청구의 범위

청구항 1

데이터 라인과 교차되는 스캔 라인, 제1 초기화 라인, 컨트롤 라인, 및 발광 라인이 형성되고, 상기 데이터 라인과 스캔 라인에 의해 정의되는 셀 영역에 형성된 다수의 화소들을 포함하는 표시패널을 구비하고,

상기 화소들 각각은,

제1 노드와 제2 노드 사이에 접속된 제1 캐패시터;

상기 제2 노드와 고전위 전압 단자 사이에 접속된 제2 캐패시터;

게이트 전극이 상기 제1 노드에 접속되고, 소스 전극이 상기 제2 노드에 접속된 구동 트랜지스터;

상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광다이오드;

상기 제1 초기화 라인의 제1 초기화 펄스에 응답하여 턴-온되어 상기 제1 노드를 기준 전압으로 초기화시키는 제1 트랜지스터;

상기 발광 라인의 발광 펄스에 응답하여 턴-온되어 상기 구동 트랜지스터의 드레인 전극과 유기발광다이오드의 애노드 전극을 접속시키는 제2 트랜지스터;

상기 스캔 라인의 스캔 펄스에 응답하여 턴-온되어 상기 데이터 라인의 데이터 전압을 상기 제1 노드에 공급하는 제3 트랜지스터; 및

상기 컨트롤 라인의 컨트롤 펄스에 응답하여 턴-온되어 상기 제2 노드와 고전위 전압 단자를 접속시키는 제4 트랜지스터를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 초기화 펄스와 컨트롤 펄스는 상기 스캔 펄스와 발광 펄스에 앞서 발생하는 것을 특징으로 하는 유기 발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 초기화 펄스와 상기 스캔 펄스의 펄스 폭은 상기 컨트롤 펄스와 상기 발광 펄스보다 짧은 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 2 항에 있어서,

상기 제1 초기화 펄스와 상기 스캔 펄스는 펄스 폭이 동일한 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제 2 항에 있어서,

상기 컨트롤 펄스와 발광 펄스는 펄스 폭이 동일한 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 1 항에 있어서,

상기 제1 트랜지스터의 게이트 전극은 상기 제1 초기화 라인에 접속되고, 소스 전극은 상기 제1 노드에 접속되며, 드레인 전극은 기준 전압 단자에 접속되고,

상기 제2 트랜지스터의 게이트 전극은 상기 발광 라인에 접속되고, 소스 전극은 상기 구동 트랜지스터의 드레인

전극에 접속되며, 드레인 전극은 상기 유기발광다이오드의 애노드 전극에 접속되고,

상기 제3 트랜지스터의 게이트 전극은 상기 스캔 라인에 접속되고, 소스 전극은 상기 제1 노드에 접속되며, 드레인 전극은 상기 데이터 라인에 접속되고,

상기 제4 트랜지스터의 게이트 전극은 상기 컨트롤 라인에 접속되고, 소스 전극은 상기 고전위 전압 단자에 접속되며, 드레인 전극은 상기 제2 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

제 1 항에 있어서,

상기 화소들 각각은,

상기 제1 초기화 라인의 제1 초기화 펄스에 응답하여 턴-온되어 상기 제2 트랜지스터의 드레인 전극과 상기 유기발광다이오드의 애노드 전극의 접점인 제3 노드를 저전위 전압으로 방전시키는 제5 트랜지스터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

제 7 항에 있어서,

상기 제5 트랜지스터의 게이트 전극은 상기 제1 초기화 라인에 접속되고, 소스 전극은 저전위 전압 단자에 접속되며, 드레인 전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 9

제 1 항에 있어서,

상기 화소들 각각은,

상기 스캔 라인의 스캔 펄스에 응답하여 턴-온되어 상기 제2 트랜지스터의 드레인 전극과 상기 유기발광다이오드의 애노드 전극의 접점인 제3 노드를 저전위 전압으로 방전시키는 제5 트랜지스터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 10

제 9 항에 있어서,

상기 제5 트랜지스터의 게이트 전극은 상기 스캔 라인에 접속되고, 소스 전극은 저전위 전압 단자에 접속되며, 드레인 전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 11

제 1 항에 있어서,

상기 표시패널에는 상기 제1 초기화 라인과 나란하게 제2 초기화 라인이 형성되고,

상기 화소들 각각은,

상기 제2 초기화 라인의 제2 초기화 펄스에 응답하여 턴-온되어 상기 제2 트랜지스터의 드레인 전극과 상기 유기발광다이오드의 애노드 전극의 접점인 제3 노드를 상기 유기발광다이오드의 문턱전압보다 낮은 전압을 공급하는 제5 트랜지스터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 12

제 11 항에 있어서,

상기 제2 초기화 펄스는 상기 스캔 펄스와 발광 펄스에 앞서 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 13

제 12 항에 있어서,

상기 제2 초기화 펠스의 펠스 폭은 상기 컨트롤 펠스와 상기 발광 펠스보다 좁은 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 14

제 12 항에 있어서,

상기 제1 및 제2 초기화 펠스와 상기 스캔 펠스는 펠스 폭이 동일한 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 15

제 11 항에 있어서,

상기 제5 트랜지스터의 게이트 전극은 상기 제2 초기화 라인에 접속되고, 소스 전극은 제1 전압 단자에 접속되며, 드레인 전극은 상기 제3 노드에 접속되고,

상기 제1 전압 단자는 상기 유기발광다이오드의 문턱전압보다 낮은 전압을 공급하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 16

제 11 항에 있어서,

상기 제5 트랜지스터의 게이트 전극은 상기 제2 초기화 라인에 접속되고, 소스 전극은 저전위 전압 단자에 접속되며, 드레인 전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 17

제 11 항에 있어서,

상기 제5 트랜지스터의 게이트 전극은 상기 제2 초기화 라인에 접속되고, 소스 전극은 상기 게이트 전극에 접속되며, 드레인 전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 18

제 11 항에 있어서,

상기 제5 트랜지스터의 게이트 전극은 상기 제2 초기화 라인에 접속되고, 소스 전극은 상기 발광 라인에 접속되며, 드레인 전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

명세서

기술분야

[0001] 본 발명은 구동 트랜지스터의 문턱전압과, 고전위 전압원의 전압 강하와, 구동 트랜지스터의 전자 이동도를 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다.

배경기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기발광다이오드 표시장치는 저전압 구동이 가능하고, 박적이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광다이오드 표시장치 중에서 다수의 화소가 매트릭스 형태로 위치하여 영상을 표시하는 액티브 매트릭스 타입 유기발광다이오드 표시장치가 널리 사용된다.

[0003] 액티브 매트릭스 타입 유기발광다이오드 표시장치의 표시패널은 스캔라인과 데이터라인들로 정의되는 다수의 화소들을 포함한다. 화소 어레이는 일반적으로 스캔라인의 스캔 펠스에 응답하여 데이터 전압을 공급하는 스캔

트랜지스터와 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(OLED)에 공급되는 전류의 양을 조절하는 구동 트랜지스터로 구현된다. 이때, 구동 트랜지스터의 드레인-소스간 전류(Ids)는 수학식 1과 같이 표현될 수 있다.

수학식 1

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005] 수학식 1에서, β 는 트랜지스터의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 게이트-소스간 전압, V_{th} 는 구동 트랜지스터의 문턱전압을 의미한다. 이때, 화소들마다 구동 트랜지스터의 문턱전압(V_{th})이 다르므로, 동일한 데이터 전압을 화소들에 공급하더라도 구동 트랜지스터의 드레인-소스간 전류(Ids)는 화소들마다 달라진다. 따라서, 동일한 데이터 전압을 화소들 각각에 공급하더라도 화소들 각각이 발광하는 빛의 휘도가 달라지는 문제점이 발생한다. 이를 해결하기 위해, 화소들 각각의 구동 트랜지스터의 문턱전압을 검출하여 보상하는 여러 형태의 화소 구조가 제안되고 있다.

발명의 내용

해결하려는 과제

[0006]

본 발명은 구동 트랜지스터의 문턱전압 뿐만 아니라, 고전위 전압원의 전압 강하와, 구동 트랜지스터의 전자 이동도를 보상할 수 있는 유기발광다이오드 표시장치를 제공한다.

과제의 해결 수단

[0007]

본 발명의 유기발광다이오드 표시장치는 데이터 라인과 교차되는 스캔 라인, 제1 초기화 라인, 컨트롤 라인, 및 발광 라인이 형성되고, 상기 데이터 라인과 스캔 라인에 의해 정의되는 셀 영역에 형성된 다수의 화소들을 포함하는 표시패널을 구비하고, 상기 화소들 각각은, 제1 노드와 제2 노드 사이에 접속된 제1 캐패시터; 상기 제2 노드와 고전위 전압 단자 사이에 접속된 제2 캐패시터; 게이트 전극이 상기 제1 노드에 접속되고, 소스 전극이 상기 제2 노드에 접속된 구동 트랜지스터; 상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광다이오드; 상기 제1 초기화 라인의 제1 초기화 펄스에 응답하여 턴-온되어 상기 제1 노드를 기준 전압으로 초기화시키는 제1 트랜지스터; 상기 발광 라인의 발광 펄스에 응답하여 턴-온되어 상기 구동 트랜지스터의 드레인 전극과 유기발광다이오드의 애노드 전극을 접속시키는 제2 트랜지스터; 상기 스캔 라인의 스캔 펄스에 응답하여 턴-온되어 상기 데이터 라인의 데이터 전압을 상기 제1 노드에 공급하는 제3 트랜지스터; 및 상기 컨트롤 라인의 컨트롤 펄스에 응답하여 턴-온되어 상기 제2 노드와 고전위 전압 단자를 접속시키는 제4 트랜지스터를 포함하는 것을 특징으로 한다.

발명의 효과

[0008]

본 발명은 구동 트랜지스터의 문턱전압을 센싱하고, 제1 캐패시터를 이용하여 센싱한 구동 트랜지스터의 문턱전압을 구동 트랜지스터의 게이트 전극이 접속된 제1 노드에 반영한다. 그 결과, 본 발명은 구동 트랜지스터의 문턱전압을 보상할 수 있다.

[0009]

나아가, 본 발명은 t_1 기간 동안 구동 트랜지스터의 전자 이동도와 관계된 α 를 센싱하고, t_2 기간 동안 β 를 센싱한 후, 제1 및 제2 캐패시터를 이용하여 α 와 β 를 제1 노드에 반영한다. 또한, 본 발명은 α 와 β 를 보상하기 위해 제1 기간과 제2 기간을 조정하고, 제1 및 제2 캐패시터의 용량비를 조정한다. 그 결과, 본 발명은 구동 트랜지스터의 전자 이동도와 관계된 α 와 β 를 보상할 수 있다.

[0010]

나아가, 본 발명은 구동 트랜지스터의 소스 전극이 접속된 제2 노드에 고전위 전압 공급을 제어하는 트랜지스터를 포함하므로, 제1 캐패시터를 이용하여 고전위 전압의 전압 강하를 제1 노드에 반영할 수 있다. 그 결과, 본

발명은 고전위 전압의 전압 강하를 보상할 수 있다.

도면의 간단한 설명

[0011]

도 1은 본 발명의 제1 실시예에 따른 표시패널의 화소에 대한 등가회로도이다.

도 2는 도 1의 화소에 입력되는 신호들과, 제1 및 제2 노드의 전압 변화를 보여주는 파형도이다.

도 3은 본 발명의 제2 실시예에 따른 표시패널의 화소에 대한 등가회로도이다.

도 4는 본 발명의 제3 실시예에 따른 표시패널의 화소에 대한 등가회로도이다.

도 5는 본 발명의 제4 실시예에 따른 표시패널의 화소에 대한 등가회로도이다.

도 6은 도 5의 화소에 입력되는 신호들과, 제1 및 제2 노드의 전압 변화를 보여주는 파형도이다.

도 7은 본 발명의 제5 실시예에 따른 표시패널의 화소에 대한 등가회로도이다.

도 8은 본 발명의 제6 실시예에 따른 표시패널의 화소에 대한 등가회로도이다.

도 9는 본 발명의 제7 실시예에 따른 표시패널의 화소에 대한 등가회로도이다.

도 10은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0012]

이하 첨부된 도면을 참조하여 유기발광다이오드 표시장치를 중심으로 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.

[0013]

도 1은 본 발명의 제1 실시예에 따른 표시패널의 화소에 대한 등가회로도이다. 도 1을 참조하면, 본 발명의 제1 실시예에 따른 표시패널(10)의 화소(P)는 서로 교차하는 펠스 라인들과 데이터 라인(DL)으로 정의된다. 또한, 펠스 라인들은 스캔 라인(SL), 컨트롤 라인(CL), 발광 라인(EL), 제1 초기화 라인(IL1) 등을 포함한다. 화소(P)는 구동 트랜지스터(Td), 유기발광다이오드(OLED), 및 제어 회로 등을 포함한다.

[0014]

제어 회로는 제1 내지 제4 트랜지스터(T1, T2, T3, T4)를 포함한다. 제1 트랜지스터(T1)는 제1 초기화 라인(IL1)의 제1 초기화 펠스(IL1)에 응답하여 텐-온되어 제1 노드(N1)를 기준 전압(REF)으로 초기화시킨다. 제1 트랜지스터(T1)의 게이트 전극은 제1 초기화 라인(IL1)에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 기준 전압(REF) 단자에 접속된다.

[0015]

제2 트랜지스터(T2)는 발광 라인(EL)의 발광 펠스(EM)에 응답하여 텐-온되어 구동 트랜지스터(Td)와 유기발광다이오드(OLED)를 접속시킨다. 제2 트랜지스터(T2)의 게이트 전극은 발광 라인(EL)에 접속되고, 소스 전극은 구동 트랜지스터(Td)의 드레인 전극에 접속되며, 드레인 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속된다.

[0016]

제3 트랜지스터(T3)는 스캔 라인(SL)의 스캔 펠스(SP)에 응답하여 텐-온되어 제1 노드(N1)에 데이터 라인(DL)의 데이터 전압(Vdata)을 공급한다. 제3 트랜지스터(T3)의 게이트 전극은 스캔 라인(SL)에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 데이터 라인(DL)에 접속된다.

[0017]

제4 트랜지스터(T4)는 컨트롤 라인(CL)의 컨트롤 펠스(CTR)에 응답하여 텐-온되어 제2 노드(N2)를 고전위 전압(VDD)으로 충전시킨다. 제4 트랜지스터(T4)의 게이트 전극은 컨트롤 라인(CL)에 접속되고, 소스 전극은 고전위 전압(VDD) 단자에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.

[0018]

구동 트랜지스터(Td)의 게이트 전극은 제1 노드(N1)에 접속되고, 소스 전극은 제2 노드(N2)에 접속되며, 드레인 전극은 제2 트랜지스터(T2)의 소스 전극에 접속된다. 구동 트랜지스터(Td)는 게이트 전극에 인가된 전압 량에 따라, 드레인-소스간 전류(Ids)의 양을 다르게 조절한다.

- [0019] 본 발명의 제1 실시예에 따른 화소(P)의 제1 내지 제4 트랜지스터(T1, T2, T3, T4), 및 구동 트랜지스터(Td)는 박막 트랜지스터(Thin Film Transistor)로 형성될 수 있다. 제1 내지 제4 트랜지스터(T1, T2, T3, T4), 및 구동 트랜지스터(Td)의 반도체 층은 a-Si, Poly-Si, 산화물 반도체 중 어느 하나로 형성될 수 있다. 또한, 본 발명의 제1 실시예에서 제1 내지 제4 트랜지스터(T1, T2, T3, T4), 및 구동 트랜지스터(Td)가 P 타입 MOS-FET으로 구현된 것을 중심으로 설명하였지만, 이에 한정되지 않으며, N 타입 MOS-FET으로도 구현될 수 있다.
- [0020] 유기발광다이오드(OLED)의 애노드 전극은 제2 트랜지스터(T2)의 드레인 전극과 연결되고, 캐소드 전극은 저전위 전압원(VSS)과 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)에 따라 발광된다. 제1 캐패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되고, 제1 노드(N1)와 제2 노드(N2)의 차전압을 저장한다. 제2 캐패시터(C2)는 제4 트랜지스터(T4)의 소스 전극과 드레인 전극 사이에 접속되고, 제4 트랜지스터(T4)의 소스 전극과 드레인 전극의 차전압을 저장한다.
- [0021] 고전위 전압원(VDD)은 구동 트랜지스터(Td)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 직류 전압을 공급하도록 설정될 수 있다. 고전위 전압원(VDD)은 게이트 하이 전압(VGH)으로 설정되고, 저전위 전압원(VSS)은 게이트 로우 전압(VGL) 또는 그라운드 전압(GND)으로 설정될 수 있다. 기준 전압(REF)은 제1 노드(N1)를 초기화시키기 위한 전압이다.
- [0022] 제1 노드(N1)는 구동 트랜지스터(Td)의 게이트 전극, 제1 트랜지스터(T1)의 소스 전극, 제3 트랜지스터(T3)의 소스 전극 간의 접점이다. 제2 노드(N2)는 구동 트랜지스터(Td)의 소스 전극, 및 제4 트랜지스터(T4)의 드레인 전극 간의 접점이다.
- [0023] 도 2는 도 1의 화소에 입력되는 신호들과, 제1 및 제2 노드의 전압 변화를 보여주는 과정도이다. 도 2에는 표시패널(10)의 어느 한 화소(P)에 입력되는 제1 초기화 펄스(INI1), 스캔 펄스(SP), 컨트롤 펄스(CTR), 및 발광 펄스(EM)가 나타나 있다. 또한, 도 2에는 화소(P)의 제1 노드(N1)와 제2 노드(N2)의 전압 변화량이 나타나 있다.
- [0024] 제1 초기화 펄스(INI1), 스캔 펄스(SP), 컨트롤 펄스(CTR), 및 발광 펄스(EM)는 화소(P)의 제1 내지 제4 트랜지스터(T1, T2, T3, T4)를 제어하기 위한 신호들이다. 제1 초기화 펄스(INI1), 스캔 펄스(SP), 컨트롤 펄스(CTR), 및 발광 펄스(EM)는 순차적으로 발생한다. 또한, 도 2와 같이 표시패널(10)의 어느 한 화소(P)에 입력되는 제1 초기화 펄스(INI1), 스캔 펄스(SP), 컨트롤 펄스(CTR), 및 발광 펄스(EM)는 1 프레임 기간을 주기로 발생한다.
- [0025] 제1 초기화 펄스(INI1) 및 스캔 펄스(SP)는 게이트 로우 전압(VGL)으로 발생한다. 이에 비해, 컨트롤 펄스(CTR) 및 발광 펄스(EM)는 게이트 하이 전압(VGH)으로 발생한다. 게이트 하이 전압(VGH)은 대략 14V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -12V 내지 -5V로 설정될 수 있다.
- [0026] 제1 초기화 펄스(INI1)와 컨트롤 펄스(CTR)는 스캔 펄스(SP)와 발광 펄스(EM)보다 앞서 발생한다. 제1 초기화 펄스(INI1)와 스캔 펄스(SP)는 컨트롤 펄스(CTR)와 발광 펄스(EM)보다 짧은 기간 동안 발생한다. 제1 초기화 펄스(INI1)와 스캔 펄스(SP)는 펄스 폭이 동일하게 발생할 수 있고, 컨트롤 펄스(CTR)와 발광 펄스(EM)는 펄스 폭이 동일하게 발생할 수 있다.
- [0027] 이하에서, 도 1 및 도 2를 참조하여 t1 내지 t6 기간 동안 본 발명의 제1 실시예에 따른 화소(P)의 동작을 상세히 설명한다. t1 및 t2 기간은 구동 트랜지스터(Td)의 문턱전압을 센싱하는 기간이고, t3 및 t4 기간은 데이터 전압(Vdata)이 공급되는 기간이며, t5 기간은 고전위 전압(VDD)의 전압 강하를 보상하는 기간이고, t6 기간은 유기발광다이오드(OLED)가 발광하는 기간이다.
- [0028] t1 기간 동안, 게이트 로우 전압(VGL)의 제1 초기화 펄스(INI1) 및 발광 펄스(EM)가 발생한다. 또한, 게이트 하이 전압(VGH)의 스캔 펄스(SP) 및 컨트롤 펄스(CTR)가 발생한다.
- [0029] 제1 트랜지스터(T1)는 게이트 로우 전압(VGL)의 제1 초기화 펄스(INI1)에 응답하여 턴-온되어 제1 노드(N1)를 기준 전압(REF)으로 초기화시킨다. 제2 트랜지스터(T2)는 게이트 로우 전압(VGL)의 발광 펄스(EM)에 응답하여 턴-온되어 구동 트랜지스터(Td)의 드레인 전극과 유기발광다이오드(OLED)의 애노드 전극을 접속시킨다. 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 스캔 펄스(SP)에 의해 턴-오프된다. 제4 트랜지스터(T4)는 게이트 하

이 전압(VGH)의 컨트롤 펄스(CTR)에 의해 턴-오프된다.

[0030] 제1 노드(N1)는 기준 전압(REF)으로 초기화되므로, 구동 트랜지스터(Td)의 게이트 전극과 소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)보다 커진다. 이로 인해, 구동 트랜지스터(Td)는 게이트 전극과 소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성하게 된다. 따라서, 구동 트랜지스터(Td)의 소스 전극의 전압은 기준 전압(REF)과 문턱전압(Vth)의 차전압(REF-Vth)까지 낮아진다. 그러므로, 제2 노드(N2)의 전압은 t1 기간 동안 기준 전압(REF)과 문턱전압(Vth)의 차전압(REF-Vth)까지 낮아진다.

[0031] 한편, t1 기간 동안 구동 트랜지스터(Td)의 채널 저항 등에 따른 기준 전압(REF)과 문턱전압(Vth)의 차전압(REF-Vth) 이상의 상승치를 α 라고 정의할 수 있다. 이 경우, 제2 노드(N2)의 전압은 기준 전압(REF)과 문턱전압(Vth)의 차전압에 α 가 더해진 'REF-Vth+ α '로 표현될 수 있다. 그러므로, α 가 클수록 문턱전압(Vth)의 센싱 오차는 커지게 된다.

[0032] 또한, 구동 트랜지스터(Td)의 전자 이동도(mobility)는 채널 저항 등에 의해 영향을 받을 수 있다. 예를 들어, 채널 저항 등이 커질수록 구동 트랜지스터(Td)의 전자 이동도(mobility)는 낮아질 수 있다. 이때, 채널 저항 등이 커질수록 α 도 커지므로, 구동 트랜지스터(Td)의 전자 이동도(mobility)는 α 에 의존한다고 볼 수도 있다. 그러므로, 본 발명은 t1 기간 동안 α 를 센싱하여 제2 노드(N2)의 전압을 'REF-Vth+ α '로 제어함으로써, 차후에 구동 트랜지스터(Td)의 전자 이동도(mobility)를 보상할 수 있다.

[0033] t2 기간 동안, 게이트 로우 전압(VGL)의 발광 펄스(EM)가 발생한다. 또한, 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1), 스캔 펄스(SP), 및 컨트롤 펄스(CTR)가 발생한다.

[0034] 제2 트랜지스터(T2)는 게이트 로우 전압(VGL)의 발광 펄스(EM)에 응답하여 턴-온되어 구동 트랜지스터(Td)의 드레인 전극과 유기발광다이오드(OLED)의 애노드 전극을 접속시킨다. 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1)에 의해 턴-오프된다. 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 스캔 펄스(SP)에 의해 턴-오프된다. 제4 트랜지스터(T4)는 게이트 하이 전압(VGH)의 컨트롤 펄스(CTR)에 의해 턴-오프된다.

[0035] t2 기간 동안 제2 노드(N2)는 t1 기간에 이어 구동 트랜지스터(Td)의 문턱전압을 센싱한다. t2 기간 동안 제1 노드(N1)는 플로팅(floating)되므로, 제1 캐패시터(C1)에 의해 제1 노드(N1)와 제2 노드(N2)는 커플링(coupling)되어 전압이 서서히 낮아진다. 이때, t2 기간 동안 제2 노드(N2)의 전압 변화량을 β 라고 정의할 수 있다. 제2 노드(N2)의 전압은 기준 전압(REF)과 문턱전압(Vth)의 차전압에 β 만큼 낮아진 'REF-Vth- β '로 표현될 수 있다. 제1 노드(N1)는 제1 캐패시터(C1)에 의해 제2 노드(N2)의 전압 변화량인 ' $-\alpha-\beta$ '가 반영되므로, 제1 노드(N1)의 전압은 'REF- $\alpha-\beta$ '로 낮아진다.

[0036] t3 기간 동안, 게이트 로우 전압(VGL)의 스캔 펄스(SP)가 발생한다. 또한, 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1), 컨트롤 펄스(CTR), 및 발광 펄스(EM)가 발생한다.

[0037] 제3 트랜지스터(T3)는 게이트 로우 전압(VGL)의 스캔 펄스(SP)에 응답하여 턴-온되어 데이터 라인(DL)의 데이터 전압(Vdata)을 제1 노드(N1)에 공급한다. 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1)에 의해 턴-오프된다. 제2 트랜지스터(T2)는 게이트 하이 전압(VGH)의 발광 펄스(EM)에 의해 턴-오프된다. 제4 트랜지스터(T4)는 게이트 하이 전압(VGH)의 컨트롤 펄스(CTR)에 의해 턴-오프된다.

[0038] t3 기간 동안 제1 노드(N1)는 데이터 전압(Vdata)으로 낮아진다. 제2 노드(N2)는 제1 캐패시터(C1)에 의해 제1 노드(N1)의 전압 변화량인 ' $-(REF-\alpha-\beta-Vdata)$ '가 반영된다. 다만, 제2 노드(N2)는 직렬로 연결된 제1 및 제2 캐패시터(C1, C2)의 사이에 접속되어 있으므로, 수학식 1과 같이 C'의 비율로 전압 변화량이 반영된다.

수학식 2

$$C' = \frac{CA1}{CA1 + CA2}$$

[0040] 수학식 1에서, CA1은 제1 캐패시터(C1)의 용량, CA2는 제2 캐패시터(C2)의 용량을 의미한다. 결국, 제2 노드(N2)의 전압은 'REF-Vth- $\beta-C'$ ($REF-\alpha-\beta-Vdata$)로 낮아진다.

- [0041] t4 기간 동안, 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1), 스캔 펄스(SP), 컨트롤 펄스(CTR), 및 발광 펄스(EM)가 발생한다.
- [0042] 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1)에 의해 턴-오프된다. 제2 트랜지스터(T2)는 게이트 하이 전압(VGH)의 발광 펄스(EM)에 의해 턴-오프된다. 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 스캔 펄스(SP)에 의해 턴-오프된다. 제4 트랜지스터(T4)는 게이트 하이 전압(VGH)의 컨트롤 펄스(CTR)에 의해 턴-오프된다.
- [0043] t5 기간 동안, 게이트 로우 전압(VGL)의 컨트롤 펄스(CTR)가 발생한다. 또한, 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1), 스캔 펄스(SP), 및 발광 펄스(EM)가 발생한다.
- [0044] 제4 트랜지스터(T4)는 게이트 로우 전압(VGL)의 컨트롤 펄스(CTR)에 응답하여 턴-온되어 고전위 전압(VDD) 단자와 제2 노드(N2)를 접속시킨다. 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1)에 의해 턴-오프된다. 제2 트랜지스터(T2)는 게이트 하이 전압(VGH)의 발광 펄스(EM)에 의해 턴-오프된다. 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 스캔 펄스(SP)에 의해 턴-오프된다.
- [0045] t5 기간 동안 제2 노드(N2)의 전압은 고전위 전압(VDD)으로 상승한다. 제1 노드(N1)에는 제1 캐페시터(C1)에 의해 제2 노드(N2)의 전압 변화량인 'VDD-{REF-Vth-β-C'(REF-α-β-Vdata)}'가 반영된다. 따라서, 제1 노드(N1)의 전압은 'Vdata+[VDD-{REF-Vth-β-C'(REF-α-β-Vdata)}]'로 낮아진다.
- [0046] t6 기간 동안, 게이트 로우 전압(VGL)의 발광 펄스(EM)가 발생한다. 또한, 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1), 스캔 펄스(SP), 및 컨트롤 펄스(CTR)가 발생한다.
- [0047] 제2 트랜지스터(T2)는 게이트 로우 전압(VGL)의 발광 펄스(EM)에 응답하여 턴-온되어 구동 트랜지스터(Td)와 유기발광다이오드(OLED)를 접속시킨다. 제1 트랜지스터(T1)는 게이트 하이 전압(VGH)의 제1 초기화 펄스(INI1)에 의해 턴-오프된다. 제3 트랜지스터(T3)는 게이트 하이 전압(VGH)의 스캔 펄스(SP)에 의해 턴-오프된다. 제4 트랜지스터(T4)는 게이트 하이 전압(VGH)의 컨트롤 펄스(CTR)에 의해 턴-오프된다.
- [0048] t6 기간 동안, 제2 트랜지스터(T2)의 턴-온으로 인해 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)가 유기발광다이오드(OLED)에 공급된다. 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)에 따라 발광하게 된다. 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)는 수학식 2와 같이 표현된다.

수학식 3

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0049]

- [0050] 수학식 3에서, k' 는 구동 트랜지스터(Td)의 구조와 물리적 특성에 의해 결정되는 비례 계수로서, 구동 트랜지스터(Td)의 전자 이동도(mobility), 채널 폭, 및 채널 길이 등에 의해 결정된다. V_{gs} 는 구동 트랜지스터(Td)의 게이트 전극과 소스 전극 간의 전압 차, V_{th} 는 구동 트랜지스터(Td)의 문턱전압을 의미한다. t6 기간 동안 V_{gs} 는 수학식 4와 같다.

수학식 4

$$V_{gs} - V_{th} = [V_{data} + VDD - (REF - V_{th} - \beta - C'(REF - \alpha - \beta - V_{data})) - VDD] - V_{th}$$

[0051]

- [0052] 수학식 4를 정리하면, 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)는 수학식 5와 같이 도출된다.

수학식 5

$$I_{ds} = k' [(1 - C') \cdot (V_{data} - REF) + \beta - C'(\alpha + \beta)]^2$$

[0053]

[0054] 수학식 5에서, 제2 캐패시터(C2)의 용량(CA2)을 제1 캐패시터(C1)의 용량(CA1)보다 4배 크게 형성하는 경우, C'는 0.2로 설정될 수 있다. 또한, 이 경우 t1 기간과 t2 기간을 적절히 고려하면 $\alpha=4\beta$ 로 설정될 수 있다. $C'=0.2$, $\alpha=4\beta$ 로 설정되는 경우, 수학식 5에서 $\beta-C'(\alpha+\beta)$ 는 삭제될 수 있다. 최종적으로, 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)는 수학식 6과 같이 표현될 수 있다.

수학식 6

$$I_{ds} = k' [(1-C') \cdot (V_{data}-REF)]^2$$

[0055] [0056] 결국, t6 기간 동안 유기발광다이오드(OLED)에 공급된 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)는 수학식 6과 같이 구동 트랜지스터(Td)의 문턱전압(Vth)에 의존하지 않게 된다. 그러므로, 구동 트랜지스터(Td)의 문턱전압(Vth)이 보상된다. 또한, t6 기간 동안 유기발광다이오드(OLED)에 공급된 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)는 수학식 6과 같이 구동 트랜지스터(Td)의 전자 이동도(mobility)에 관계된 α 에 의존하지 않게 된다. 그러므로, 구동 트랜지스터(Td)의 전자 이동도(mobility)가 보상된다.

[0057] 한편, 고전위 전압(VDD) 단자는 다수의 화소(P)들에 고전위 전압(VDD)을 공급한다. 발광 펄스(EM)에 의해 제2 트랜지스터(T2)가 턴-온되는 경우, 고전위 전압(VDD) 단자가 화소(P)들 각각의 유기발광다이오드(OLED)에 접속된다. 이때, 고전위 전압(VDD)과 저전위 전압(VSS) 사이의 전류패스를 따라 존재하는 구동 트랜지스터(Td), 유기발광다이오드(OLED) 등의 기생저항으로 인해 고전위 전압(VDD)은 전압 강하된다. 수학식 4를 참조하여 설명하면, 게이트 전극의 전압(Vg)에 샘플링된 'VDD'는 고전위 전압(VDD)이 전압 강하되기 전에 샘플링된 전압이다. 이에 비해, 소스 전극의 전압(Vs)인 'VDD'는 유기발광다이오드(OLED)의 발광으로 인해 전압 강하된 전압이다. 즉, 게이트 전극의 전압(Vg)의 VDD와 소스 전극의 전압(Vs)의 VDD가 다르기 때문에, 구동 트랜지스터의 드레인-소스간 전류(Ids)는 고전위 전압원(VDD)의 전압 강하의 영향을 받아 고전위 전압(VDD)에 의존적이게 되는 문제가 발생한다.

[0058] [0059] 본 발명의 화소(P)는 제1 캐패시터(C1)에 의해 고전위 전압(VDD)의 전압 변화량을 제1 노드(N1)에 반영한다. 따라서, 게이트 전극의 전압(Vg)에 샘플링된 'VDD'는 전압 강하가 반영된 전압이고, 소스 전극의 전압(Vs)인 'VDD'도 전압 강하가 반영된 전압이다. 그러므로, 본 발명의 구동 트랜지스터(Td)의 드레인-소스간 전류(Ids)는 고전위 전압(VDD)에 의존적이지 않게 된다. 즉, 고전위 전압(VDD)의 전압 강하가 보상된다.

[0060] 도 3은 본 발명의 제2 실시예에 따른 표시패널의 화소에 대한 등가회로도이다. 본 발명의 제2 실시예에 따른 표시패널(10)의 화소(P)의 제어회로는 제5 트랜지스터(T5)를 포함한다.

[0061] 제5 트랜지스터(T5)는 제1 초기화 라인(IL1)의 제1 초기화 펄스(IL1)에 응답하여 턴-온되어 제3 노드(N3)를 저전위 전압(VSS)으로 방전시킨다. 제5 트랜지스터(T5)의 게이트 전극은 제1 초기화 라인(IL1)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 저전위 전압(VSS) 단자에 접속된다. 제3 노드(N3)는 제2 트랜지스터(T2)의 드레인 전극, 제5 트랜지스터(T5)의 소스 전극, 및 유기발광다이오드(OLED)의 애노드 전극의 접점이다.

[0062] 본 발명의 제2 실시예에 따른 화소(P)의 제5 트랜지스터(T5)는 박막 트랜지스터(Thin Film Transistor)로 형성될 수 있다. 제5 트랜지스터(T5)의 반도체 층은 a-Si, Poly-Si, 산화물 반도체 중 어느 하나로 형성될 수 있다. 또한, 본 발명의 제2 실시예에서 제5 트랜지스터(T5)는 P 타입 MOS-FET으로 구현된 것을 중심으로 설명하였지만, 이에 한정되지 않으며 N 타입 MOS-FET으로도 구현될 수 있다.

[0063] 이외에, 본 발명의 제2 실시예에 따른 표시패널(10)의 화소(P)의 구성은 도 1을 결부하여 설명한 본 발명의 제1 실시예와 실질적으로 동일하다. 이하에서, 도 2 및 도 3을 결부하여 본 발명의 제2 실시예에 따른 표시패널(10)의 화소(P)의 동작을 상세히 설명한다.

[0064] t1 기간 동안, 게이트 로우 전압(VGL)의 제1 초기화 펄스(INI1)가 발생한다. 제5 트랜지스터(T5)는 게이트 로우 전압(VGL)의 제1 초기화 펄스(INI1)에 응답하여 턴-온되어 제3 노드(N3)를 저전위 전압(VSS)으로 방전시킨다.

[0065] 제5 트랜지스터(T5)의 턴-온으로 인하여, 유기발광다이오드(OLED)의 애노드 전극과 저전위 전압(VSS)으로 방전

되므로, t1 기간 동안 유기발광다이오드(OLED)에는 구동 트랜지스터(Td)의 센싱 전류가 공급되지 않는다. 따라서, t1 기간 동안 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 센싱 전류로 인해 발광하지 않으므로, 영상의 왜곡을 방지할 수 있고, 명암비(Contrast Ratio)를 높일 수 있는 장점이 있다.

[0065] 이외에, 본 발명의 제2 실시예에 따른 표시패널(10)의 화소(P)의 동작은 도 1 및 도 2를 결부하여 설명한 본 발명의 제1 실시예와 실질적으로 동일하다.

[0066] 도 4는 본 발명의 제3 실시예에 따른 표시패널의 화소에 대한 등가회로도이다. 도 4를 참조하면, 본 발명의 제3 실시예에 따른 표시패널(10)의 화소(P)의 제5 트랜지스터(T5)는 스캔 라인(SL)의 스캔 펄스(SP)에 응답하여 턴-온되어 제3 노드(N3)를 저전위 전압(VSS)으로 방전시킨다. 제5 트랜지스터(T5)의 게이트 전극은 스캔 라인(SL)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 저전위 전압(VSS) 단자에 접속된다.

[0067] 이외에, 본 발명의 제3 실시예에 따른 표시패널(10)의 화소(P)의 구성은 도 2를 결부하여 설명한 본 발명의 제2 실시예와 실질적으로 동일하다. 이하에서, 도 2 및 도 4를 결부하여 본 발명의 제3 실시예에 따른 표시패널(10)의 화소(P)의 동작을 상세히 설명한다.

[0068] t3 기간 동안, 게이트 로우 전압(VGL)의 스캔 펄스(SP)가 발생한다. 제5 트랜지스터(T5)는 게이트 로우 전압(VGL)의 스캔 펄스(SP)에 응답하여 턴-온되어 제3 노드(N3)를 저전위 전압(VSS)으로 방전시킨다.

[0069] 제5 트랜지스터(T5)의 턴-온으로 인하여, 유기발광다이오드(OLED)의 애노드 전극과 저전위 전압(VSS)으로 방전되므로, t3 기간 동안 유기발광다이오드(OLED)에는 구동 트랜지스터(Td)의 누설 전류가 공급되지 않는다. 따라서, t3 기간 동안 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 누설 전류로 인해 발광하지 않으므로, 영상의 왜곡을 방지할 수 있고, 명암비(Contrast Ratio)를 높일 수 있는 장점이 있다.

[0070] 이외에, 본 발명의 제3 실시예에 따른 표시패널(10)의 화소(P)의 동작은 도 1 및 도 2를 결부하여 설명한 본 발명의 제1 실시예와 실질적으로 동일하다.

[0071] 도 5는 본 발명의 제4 실시예에 따른 표시패널의 화소에 대한 등가회로도이다. 도 5를 참조하면, 본 발명의 제4 실시예에 따른 표시패널(10)의 화소(P)의 제5 트랜지스터(T5)는 제2 초기화 라인(IL2)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제3 노드(N3)를 제1 전압(V1)으로 방전시킨다. 제5 트랜지스터(T5)의 게이트 전극은 제2 초기화 라인(IL2)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 제1 전압(V1) 단자에 접속된다.

[0072] 제2 초기화 라인(IL2)는 제1 초기화 라인(IL1)과 나란하게 형성될 수 있다. 제1 전압(V1)은 유기발광다이오드(OLED)의 문턱전압(Vth)보다 낮은 전압으로 설정될 수 있으며, 예를 들어 저전위 전압(VSS)으로 설정될 수 있다.

[0073] 이외에, 본 발명의 제4 실시예에 따른 표시패널(10)의 화소(P)의 구성은 도 3을 결부하여 설명한 본 발명의 제2 실시예와 실질적으로 동일하다.

[0074] 도 6은 도 5의 화소에 입력되는 신호들과, 제1 및 제2 노드의 전압 변화를 보여주는 과정도이다. 도 6을 참조하면, 제2 초기화 펄스(INI2)는 순차적으로 발생한다. 또한, 제2 초기화 펄스(INI2)는 1 프레임 기간을 주기로 발생한다. 제2 초기화 펄스(INI2)는 게이트 로우 전압(VGL)으로 발생한다. 제2 초기화 펄스(INI2)는 스캔 펄스(SP)와 발광 펄스(EM)보다 앞서 발생한다. 제2 초기화 펄스(INI2)는 컨트롤 펄스(CTR)와 발광 펄스(EM)보다 짧은 기간 동안 발생한다. 제2 초기화 펄스(INI2)는 제1 초기화 펄스(INI1)와 동일한 펄스 폭으로 발생할 수 있고, 제1 초기화 펄스(INI1)에 동기하여 발생할 수 있다.

[0075] 이외에, 도 6의 과정도는 도 2를 결부하여 설명한 바와 실질적으로 동일하다. 이하에서, 도 5 및 도 6을 결부하여 본 발명의 제4 실시예에 따른 표시패널(10)의 화소(P)의 동작을 상세히 설명한다.

[0076] t1 기간 동안, 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)가 발생한다. 제5 트랜지스터(T5)는 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제3 노드(N3)를 제1 전압(V1)으로 방전시킨다.

[0077] 제5 트랜지스터(T5)의 턴-온으로 인하여, 유기발광다이오드(OLED)의 애노드 전극과 제1 전압(V1)으로 방전되므로,

로, t1 기간 동안 유기발광다이오드(OLED)에는 구동 트랜지스터(Td)의 센싱 전류가 공급되지 않는다. 따라서, t1 기간 동안 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 센싱 전류로 인해 발광하지 않으므로, 영상의 왜곡을 방지할 수 있고, 명암비(Contrast Ratio)를 높일 수 있는 장점이 있다.

[0078] 이외에, 본 발명의 제4 실시예에 따른 표시패널(10)의 화소(P)의 동작은 도 1 및 도 2를 결부하여 설명한 본 발명의 제1 실시예와 실질적으로 동일하다.

[0079] 도 7은 본 발명의 제5 실시예에 따른 표시패널의 화소에 대한 등가회로도이다. 도 7을 참조하면, 본 발명의 제5 실시예에 따른 표시패널(10)의 화소(P)의 제5 트랜지스터(T5)는 제2 초기화 라인(IL2)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제3 노드(N3)를 저전위 전압(VSS)으로 방전시킨다. 제5 트랜지스터(T5)의 게이트 전극은 제2 초기화 라인(IL2)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 저전위 전압(VSS) 단자에 접속된다.

[0080] 이외에, 본 발명의 제5 실시예에 따른 표시패널(10)의 화소(P)의 구성은 도 5을 결부하여 설명한 본 발명의 제4 실시예와 실질적으로 동일하다. 이하에서, 도 6 및 도 7을 결부하여 본 발명의 제5 실시예에 따른 표시패널(10)의 화소(P)의 동작을 상세히 설명한다.

[0081] t1 기간 동안, 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)가 발생한다. 제5 트랜지스터(T5)는 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제3 노드(N3)를 저전위 전압(VSS)으로 방전시킨다.

[0082] 제5 트랜지스터(T5)의 턴-온으로 인하여, 유기발광다이오드(OLED)의 애노드 전극과 저전위 전압(VSS)으로 방전되므로, t1 기간 동안 유기발광다이오드(OLED)에는 구동 트랜지스터(Td)의 센싱 전류가 공급되지 않는다. 따라서, t1 기간 동안 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 센싱 전류로 인해 발광하지 않으므로, 영상의 왜곡을 방지할 수 있고, 명암비(Contrast Ratio)를 높일 수 있는 장점이 있다.

[0083] 이외에, 본 발명의 제5 실시예에 따른 표시패널(10)의 화소(P)의 동작은 도 1 및 도 2를 결부하여 설명한 본 발명의 제1 실시예와 실질적으로 동일하다.

[0084] 도 8은 본 발명의 제6 실시예에 따른 표시패널의 화소에 대한 등가회로도이다. 도 8을 참조하면, 본 발명의 제6 실시예에 따른 표시패널(10)의 화소(P)의 제5 트랜지스터(T5)는 제2 초기화 라인(IL2)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제3 노드(N3)를 제2 초기화 라인(IL2)에 접속시킨다. 제5 트랜지스터(T5)의 게이트 전극은 제2 초기화 라인(IL2)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 게이트 전극에 접속된다. 즉, 제5 트랜지스터(T5)는 다이오드 접속된다.

[0085] 이외에, 본 발명의 제6 실시예에 따른 표시패널(10)의 화소(P)의 구성은 도 5을 결부하여 설명한 본 발명의 제4 실시예와 실질적으로 동일하다. 이하에서, 도 6 및 도 8을 결부하여 본 발명의 제6 실시예에 따른 표시패널(10)의 화소(P)의 동작을 상세히 설명한다.

[0086] t1 기간 동안, 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)가 발생한다. 제5 트랜지스터(T5)는 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제3 노드(N3)를 제2 초기화 라인(IL2)의 전압인 게이트 로우 전압(VGL)으로 방전시킨다.

[0087] 제5 트랜지스터(T5)의 턴-온으로 인하여, 유기발광다이오드(OLED)의 애노드 전극과 게이트 로우 전압(VGL)으로 방전되므로, t1 기간 동안 유기발광다이오드(OLED)에는 구동 트랜지스터(Td)의 센싱 전류가 공급되지 않는다. 따라서, t1 기간 동안 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 센싱 전류로 인해 발광하지 않으므로, 영상의 왜곡을 방지할 수 있고, 명암비(Contrast Ratio)를 높일 수 있는 장점이 있다.

[0088] 이외에, 본 발명의 제6 실시예에 따른 표시패널(10)의 화소(P)의 동작은 도 1 및 도 2를 결부하여 설명한 본 발명의 제1 실시예와 실질적으로 동일하다.

[0089] 도 9는 본 발명의 제7 실시예에 따른 표시패널의 화소에 대한 등가회로도이다. 도 9를 참조하면, 본 발명의 제7 실시예에 따른 표시패널(10)의 화소(P)의 제5 트랜지스터(T5)는 제2 초기화 라인(IL2)의 제2 초기화 펄스

(INI2)에 응답하여 턴-온되어 제3 노드(N3)를 발광 라인(EL)에 접속시킨다. 제5 트랜지스터(T5)의 게이트 전극은 제2 초기화 라인(IL2)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 발광 라인(EL)에 접속된다.

[0090] 이외에, 본 발명의 제7 실시예에 따른 표시패널(10)의 화소(P)의 구성은 도 5을 결부하여 설명한 본 발명의 제4 실시예와 실질적으로 동일하다. 이하에서, 도 6 및 도 9를 결부하여 본 발명의 제7 실시예에 따른 표시패널(10)의 화소(P)의 동작을 상세히 설명한다.

[0091] t1 기간 동안, 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)가 발생한다. 제5 트랜지스터(T5)는 게이트 로우 전압(VGL)의 제2 초기화 펄스(INI2)에 응답하여 턴-온되어 제3 노드(N3)를 발광 라인(EL)의 전압인 게이트 로우 전압(VGL)으로 방전시킨다.

[0092] 제5 트랜지스터(T5)의 턴-온으로 인하여, 유기발광다이오드(OLED)의 애노드 전극은 게이트 로우 전압(VGL)으로 방전되므로, t1 기간 동안 유기발광다이오드(OLED)에는 구동 트랜지스터(Td)의 센싱 전류가 공급되지 않는다. 따라서, t1 기간 동안 유기발광다이오드(OLED)는 구동 트랜지스터(Td)의 센싱 전류로 인해 발광하지 않으므로, 영상의 왜곡을 방지할 수 있고, 명암비(Contrast Ratio)를 높일 수 있는 장점이 있다.

[0093] 이외에, 본 발명의 제7 실시예에 따른 표시패널(10)의 화소(P)의 동작은 도 1 및 도 2를 결부하여 설명한 본 발명의 제1 실시예와 실질적으로 동일하다.

[0094] 도 10은 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도이다. 도 10을 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 데이터 구동회로, 게이트 구동회로(14), 및 타이밍 콘트롤러(11) 등을 구비한다.

[0095] 표시패널(10)에는 데이터 라인(DL)들과 스캔 라인(SL)들이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 스캔 라인(SL)들과 나란하게 제1 초기화 라인(IL1)들, 컨트롤 라인(CL)들, 및 발광 라인(EL)들이 형성된다. 표시패널(10)에는 제1 초기화 라인(IL1)들과 나란하게 제2 초기화 라인(IL2)들이 추가로 형성될 수 있다. 표시패널(10)은 데이터 라인(DL)들과 스캔 라인(SL)들에 의해 정의된 셀 영역들에 화소들이 매트릭스 형태로 배치된 화소 어레이(PIXEL ARRAY)를 포함한다. 표시패널(10)의 화소 어레이(PIXEL ARRAY)의 각 화소(P)에 대한 자세한 설명은 도 1을 결부하여 상세히 설명하였다.

[0096] 데이터 구동회로는 다수의 소스 드라이브 IC(12)들을 포함한다. 소스 드라이브 IC(12)들은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터들(RGB)을 입력 받는다. 소스 드라이브 IC(12)들은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 감마보상전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 스캔 펄스(SP)에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다. 소스 드라이브 IC(12)들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(10)의 데이터 라인(DL)들에 접속될 수 있다.

[0097] 레벨 쉬프터(13)는 타이밍 콘트롤러(11)로부터 입력되는 클럭들(CLKs)의 TTL(Transistor-Transistor- Logic)로직 레벨 전압을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 레벨 쉬프팅한다. 레벨 쉬프트된 클럭들(CLKs)은 게이트 구동회로(14)로 입력된다.

[0098] 게이트 구동회로(14)는 스캔 펄스 출력부, 제1 초기화 펄스 출력부, 컨트롤 펄스 출력부, 및 발광 펄스 출력부를 포함한다. 스캔 펄스 출력부는 표시패널(10)의 스캔 라인(SL)들에 연결되어 스캔 라인(SL)들에 스캔 펄스(SP)를 순차적으로 출력한다. 제1 초기화 펄스 출력부는 표시패널(10)의 제1 초기화 라인(IL1)들에 연결되어 각 화소의 초기화를 제어하는 초기화 펄스(INI)를 순차적으로 출력한다. 컨트롤 펄스 출력부는 표시패널(10)의 컨트롤 라인(CL)들에 연결되어 컨트롤 펄스(CTR)를 순차적으로 출력한다. 발광 펄스 출력부는 발광 라인(EL)과 연결되어 유기발광다이오드(OLED)의 발광을 제어하는 발광 펄스(EM)를 출력한다.

[0099] 또한, 게이트 구동회로(14)는 제2 초기화 펄스 출력부를 더 포함할 수 있다. 제2 초기화 펄스 출력부는 표시패널(10)의 제2 초기화 라인(IL2)들에 연결되어 유기발광다이오드(OLED)의 애노드 전극에 유기발광다이오드(OLED)의 문턱전압(Vth)보다 낮은 전압을 공급하도록 제어하는 제2 초기화 펄스(INI2)를 순차적으로 출력한다. 스캔 펄스(SP), 제1 및 제2 초기화 펄스(INI1, INI2), 컨트롤 펄스(CTRL), 및 발광 펄스(EM)에 대한 자세한 설명은 도 2와 도 6을 결부하여 후술한다.

[0100] 게이트 구동회로(14)는 GIP(Gate Drive-IC In Panel) 방식으로 표시패널(10)의 하부기판상에 직접 형성된다.

GIP 방식에서, 레벨 쉬프터(13)는 인쇄회로보드(Printed Circuit Board)(15) 상에 실장되고, 게이트 구동회로(14)는 표시패널(10)의 하부기판상에 형성된다. 또한, 게이트 구동회로(14)는 TAB 방식으로 표시패널(10)과 타이밍 콘트롤러(11) 사이에 연결될 수도 있다.

[0101] 타이밍 콘트롤러(11)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 시스템으로부터 디지털 비디오 데이터(RGB)를 입력받는다. 타이밍 콘트롤러(11)는 호스트 시스템으로부터 입력되는 디지털 비디오 데이터들(RGB)을 소스 드라이브 IC(12)들로 전송한다.

[0102] 타이밍 콘트롤러(11)는 LVDS 또는 TMDS 인터페이스 수신회로를 통해 호스트 시스템으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍 신호를 입력받는다. 타이밍 콘트롤러(11)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동회로와 게이트 구동회로(14)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동회로(14)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 소스 드라이브 IC(12)들의 동작 타이밍과 데이터 전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.

[0103] 게이트 타이밍 제어신호는 스타트 전압(VST)과 i상으로 순차적으로 발생하는 클럭들(CLKs) 등을 포함한다. 스타트 전압(VST)은 게이트 구동회로(14)에 입력되어 스캔 펄스 출력부, 제1 및 제2 초기화 펄스 출력부, 컨트롤펄스 출력부, 및 발광 펄스 출력부의 쉬프트 스타트 타이밍을 제어한다. 클럭들(CLKs)은 레벨 쉬프터(13)에 입력되어 레벨 쉬프팅된 후에 게이트 구동회로(14)에 입력되며, 스타트 전압(VST)을 쉬프트시키기 위한 클럭신호로 이용된다.

[0104] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity, POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 IC(12)들의 쉬프트 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC(12)들 내에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 극성제어신호(POL)는 소스 드라이브 IC(12)들로부터 출력되는 데이터 전압의 극성을 제어한다. 타이밍 콘트롤러(11)와 소스 드라이브 IC(12)들 사이의 데이터 전송 인터페이스가 mini LVDS 인터페이스라면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

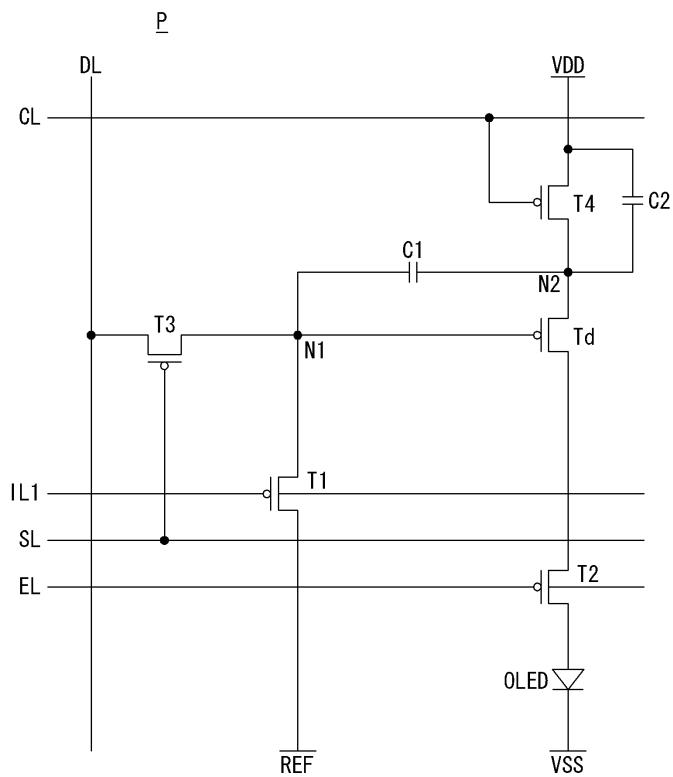
[0105] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

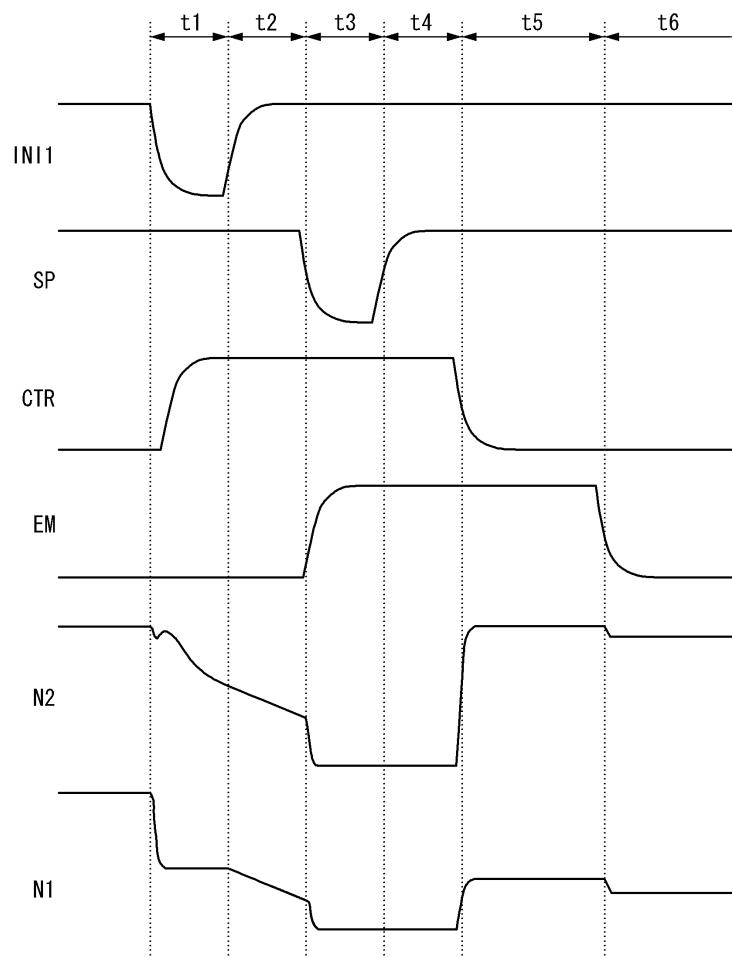
- | | |
|----------------|--------------|
| 10: 표시패널 | 11: 타이밍 콘트롤러 |
| 12: 소스 드라이브 IC | 13: 레벨 쉬프터 |
| 14: 게이트 구동회로 | 15: 인쇄회로보드 |

도면

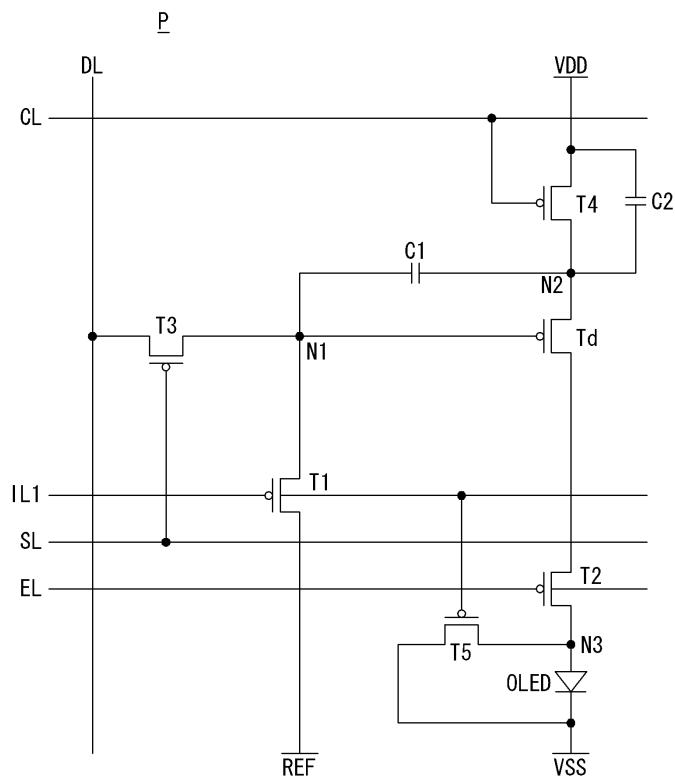
도면1



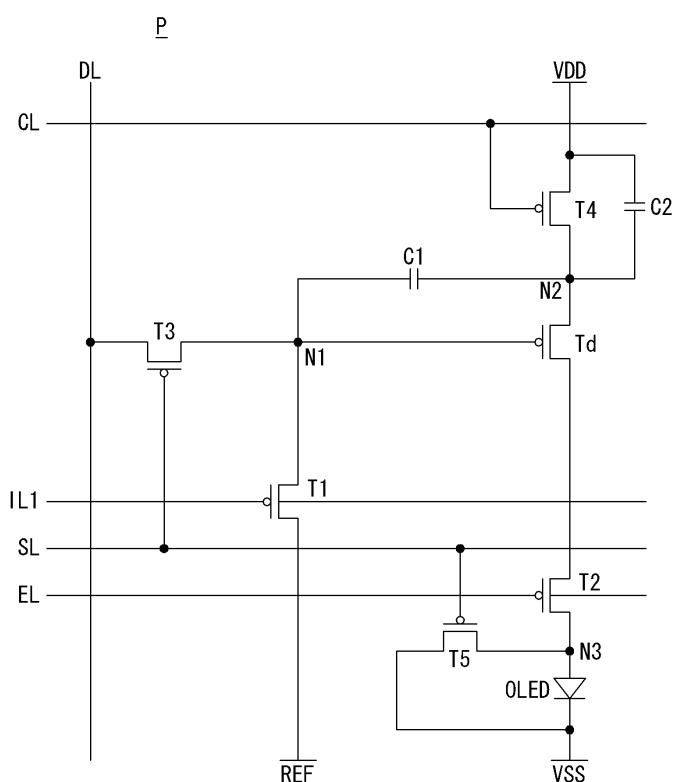
도면2



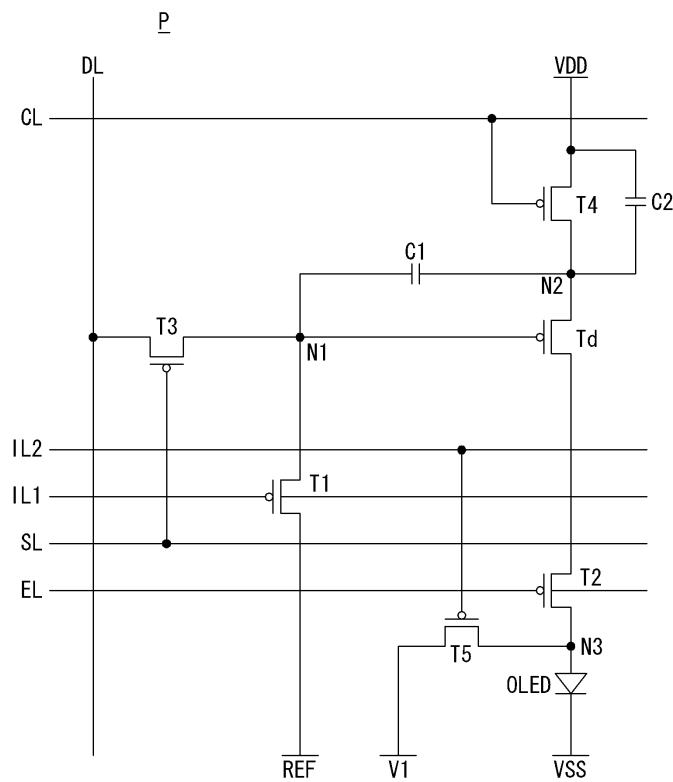
도면3



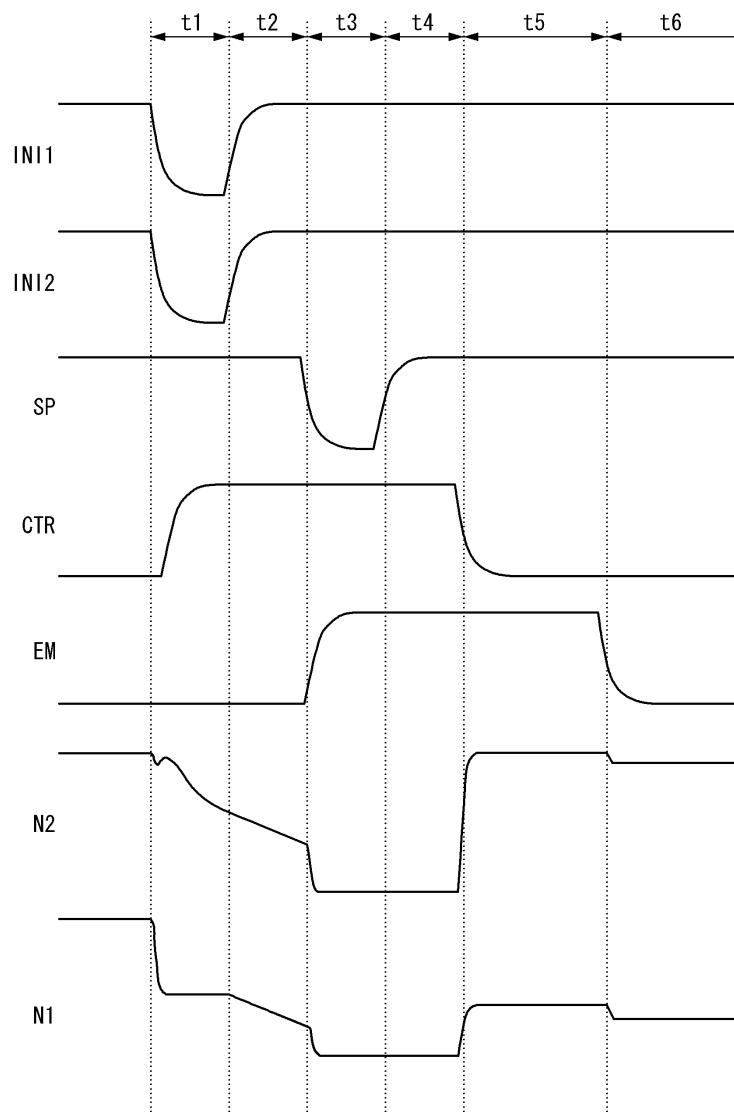
도면4



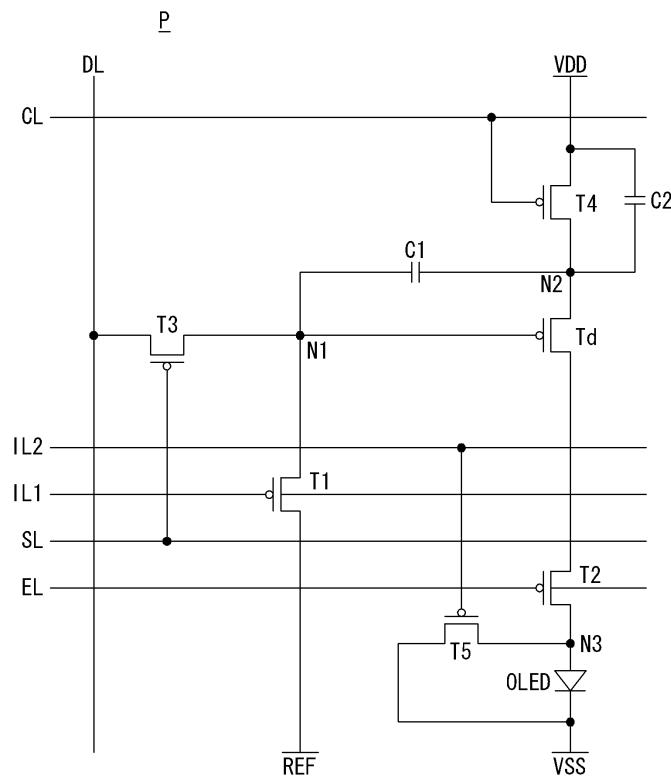
도면5



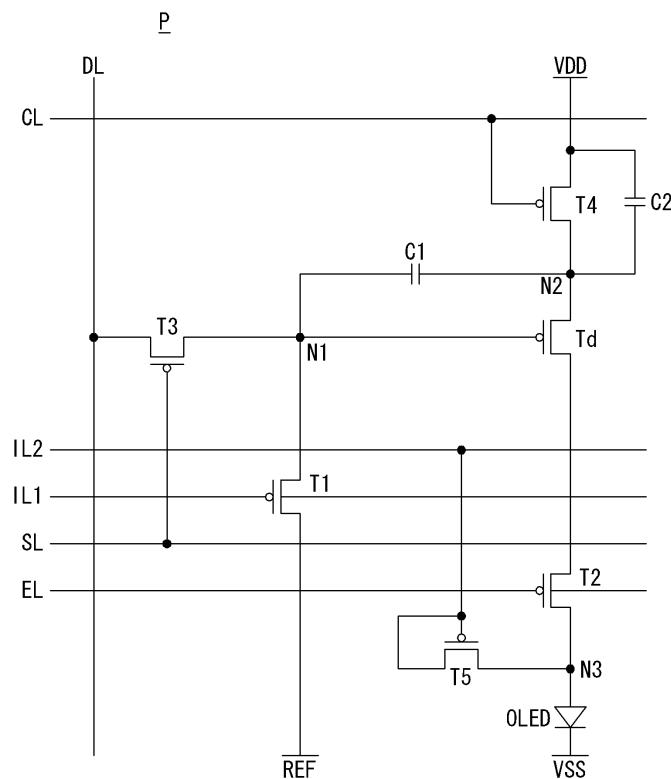
도면6



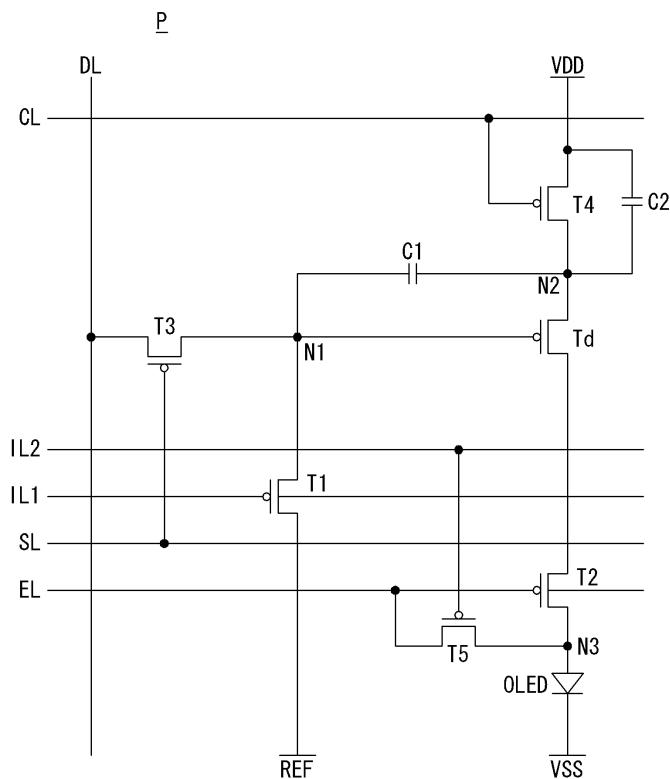
도면7



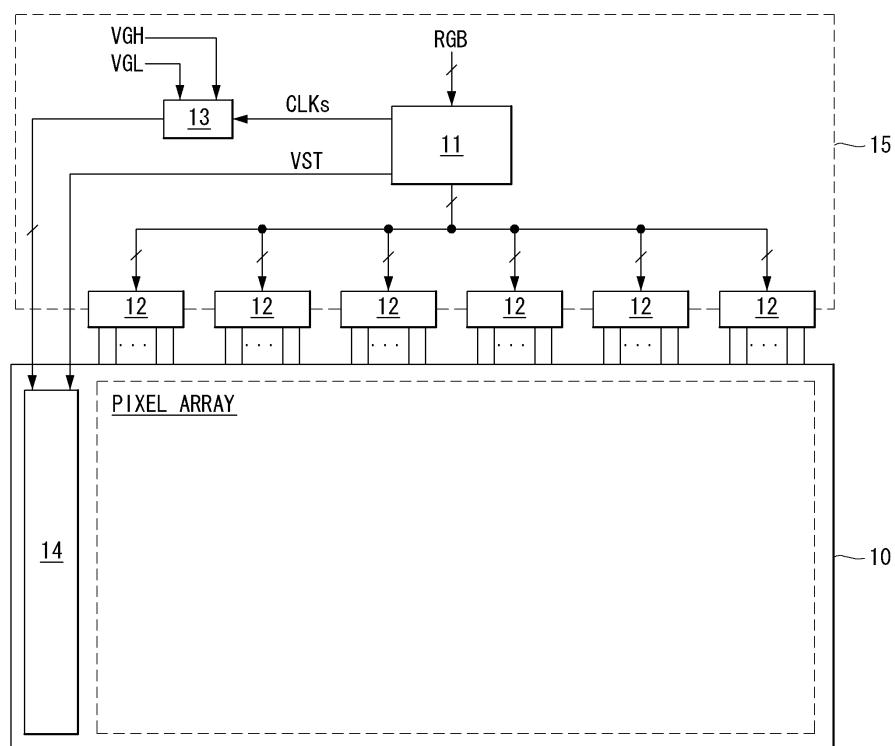
도면8



도면9



도면10



专利名称(译)	标题 : OLED显示器件		
公开(公告)号	KR101396004B1	公开(公告)日	2014-05-16
申请号	KR1020110081701	申请日	2011-08-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN IN HYO 한인효 LEE HYUN HAENG 이현행 HAN SUNG MAN 한성만		
发明人	한인효 이현행 한성만		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	H04N1/00 Y02B20/42 G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/045		
其他公开文献	KR1020130019620A		
外部链接	Espacenet		

摘要(译)

本公开涉及一种补偿驱动TFT的阈值电压，电源电压源的电压降和驱动TFT的迁移率的显示装置。显示设备可包括多个像素。至少一个像素可以包括诸如第一电容器，第二电容器，数据晶体管，控制晶体管，发射晶体管，初始化晶体管，驱动晶体管和发光二极管(LED)等组件。

