



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월09일
(11) 등록번호 10-2098743
(24) 등록일자 2020년04월02일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01) H05B 33/08 (2020.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2013-0118127
(22) 출원일자 2013년10월02일
심사청구일자 2018년10월01일
(65) 공개번호 10-2015-0039491
(43) 공개일자 2015년04월10일
(56) 선행기술조사문헌
KR1020040061951 A*
KR1020090105027 A*
KR1020090090677 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이현
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔특허법인

전체 청구항 수 : 총 20 항

심사관 : 김효욱

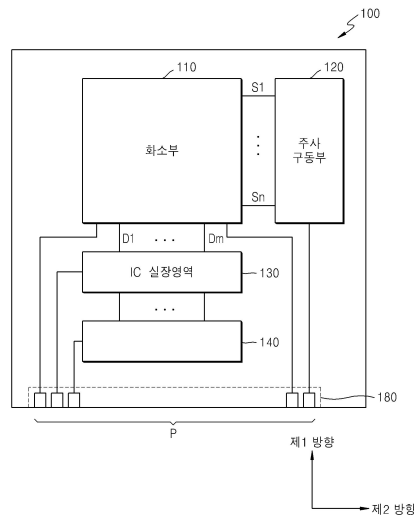
(54) 발명의 명칭 유기 발광 표시 패널

(57) 요약

본 발명은 유기 발광 표시 패널을 개시한다.

본 발명의 유기 발광 표시 패널은, 주사선들 및 데이터선들의 교차부에 위치되어 서로 다른 색을 표시하는 다수의 화소들이 형성된 화소부; 상기 데이터선들의 일 단에 연결된 다수의 데이터 패드들; 및 상기 화소들의 화소회로 불량을 검출하는 어레이 테스트 및 상기 화소들의 발광소자 불량을 테스트하는 셀 테스트를 선택적으로 수행하는 테스트부;를 포함할 수 있다.

대표도 - 도2



명세서

청구범위

청구항 1

서로 다른 색을 표시하는 다수의 화소들이 형성된 화소부;

상기 화소들에 연결된 데이터선들의 일 단에 연결된 다수의 데이터 패드들; 및

상기 데이터 패드들에 연결되고, 상기 화소들의 화소회로 불량을 검출하는 어레이 테스트 및 상기 화소들의 발광소자 불량을 테스트하는 셀 테스트를 선택적으로 수행하는 테스트부;를 포함하는 유기 발광 표시 패널.

청구항 2

제1항에 있어서, 상기 화소부는,

제1화소 및 제2화소가 교대로 배열된 제1열;

상기 제1열에 이웃하고 제3화소가 배열된 제2열;

상기 제2열에 이웃하고 상기 제1열과 반대 순서로 상기 제1화소 및 제2화소가 교대로 배열된 제3열; 및

상기 제3열에 이웃하고 상기 제3화소가 배열된 제4열;을 포함하는 유기 발광 표시 패널.

청구항 3

제2항에 있어서, 상기 테스트부는,

외부로부터 어레이 테스트 신호를 공급받아 상기 화소부로 전달하고, 상기 화소부로부터 출력되는 테스트 전류를 수신하는 다수의 어레이 테스트 패드들;

상기 데이터 패드들과 상기 어레이 테스트 패드들 사이에 배치되고, 상기 제1열과 제3열에 배치된 데이터 라인 각각에 병렬 연결된 제1스위치와 제2스위치, 상기 제2열에 배치된 데이터 라인에 연결된 제3스위치, 및 상기 제4열에 배치된 데이터 라인에 연결된 제4스위치를 구비하는 신호 분배부;

상기 제1스위치 또는 제2스위치에 연결되어, 상기 제1열과 제3열에 각각 배치된 데이터 라인에 상기 제1스위치 및 제2스위치 중 하나 또는 모두를 연결하는 제5스위치를 구비하는 테스트 선택부; 및

셀 테스트 신호를 상기 화소부로 전달하는 제6스위치를 구비하는 셀 테스트부;를 포함하는 유기 발광 표시 패널.

청구항 4

제3항에 있어서,

상기 제6스위치는 상기 어레이 테스트 패드와 연결된 유기 발광 표시 패널.

청구항 5

제4항에 있어서,

상기 어레이 테스트 동안, 상기 제6스위치는 턴 오프를 유지하고,

상기 제5스위치는 턴 오프되어 상기 제1열과 제3열에 배치된 데이터 라인에 상기 제1스위치 및 제2스위치 중 하나를 연결하고,

상기 제1스위치 내지 제4스위치는 정해진 순서대로 턴 온되어 상기 어레이 테스트 신호를 상기 화소부로 전달하는, 유기발광 표시 패널.

청구항 6

제4항에 있어서,

상기 셀 테스트 동안, 상기 제6스위치는 턴 온을 유지하고,

상기 제5스위치가 턴 오프되면, 상기 제1열과 제3열에 배치된 데이터 라인에 상기 제1스위치 및 제2스위치 중 하나가 연결되고, 상기 제1스위치 및 제2스위치가 정해진 순서대로 턴 온되어 제1 및 제2 셀 테스트 신호를 상기 화소부로 전달하고,

상기 제5스위치가 턴 온되면, 상기 제3스위치 및 제4스위치가 동시에 턴 온되어 제3 셀 테스트 신호를 상기 화소부로 전달하는 유기발광 표시 패널.

청구항 7

제3항에 있어서, 상기 테스트 선택부는,

상기 제5스위치가 연결되지 않은 제1스위치와 제2스위치, 상기 제3스위치, 및 상기 제4스위치 사이에 배치되어 상기 제1 내지 제4스위치를 상기 어레이 테스트 패드에 연결하는 제7스위치들;을 더 포함하는 유기 발광 표시 패널.

청구항 8

제7항에 있어서,

상기 제6스위치는 상기 제1 내지 제4스위치 중 하나와 연결되어 제1 내지 제3 셀 테스트 신호들 중 하나를 상기 화소부로 전달하는, 유기 발광 표시 패널.

청구항 9

제8항에 있어서,

상기 어레이 테스트 동안, 상기 제6스위치는 턴 오프를 유지하고,

상기 제5스위치는 턴 오프되어 상기 제1열과 제3열에 배치된 데이터 라인 각각에 상기 제1스위치 및 제2스위치 중 하나를 연결하고,

상기 제7스위치들은 턴 온되어 상기 제1스위치 내지 제4스위치를 상기 어레이 테스트 패드에 연결하고,

상기 제1스위치 내지 제4스위치는 정해진 순서대로 턴 온되어 상기 어레이 테스트 신호를 상기 화소부로 전달하는, 유기발광 표시 패널.

청구항 10

제8항에 있어서,

상기 셀 테스트 동안, 상기 제6스위치는 턴 온을 유지하고,

상기 제5스위치는 턴 온되어 상기 제1열과 제3열에 배치된 데이터 라인 각각에 상기 제1스위치 및 제2스위치를 모두 연결하고,

상기 제7스위치들은 턴 오프되어 상기 제1스위치 내지 제4스위치를 각각 상기 제6스위치에 연결하고,

상기 제1스위치 내지 제4스위치가 정해진 순서대로 턴 온되어 상기 제1 내지 제3 셀 테스트 신호를 상기 화소부로 전달하는, 유기발광 표시 패널.

청구항 11

제8항에 있어서,

상기 제1 내지 제3 셀 테스트 신호는 직류 신호인, 유기발광 표시 패널.

청구항 12

제1항에 있어서, 상기 화소부는,

제1화소가 배열된 제1열;
 상기 제1열에 이웃하고 제2화소가 배열된 제2열; 및
 상기 제2열에 이웃하고 제3화소가 배열된 제3열;을 포함하는 유기 발광 표시 패널.

청구항 13

제12항에 있어서, 상기 테스트부는,
 외부로부터 어레이 테스트 신호를 공급받아 상기 화소부로 전달하고, 상기 화소부로부터 출력되는 테스트 전류를 수신하는 다수의 어레이 테스트 패드들;
 상기 데이터 패드들과 상기 어레이 테스트 패드들 사이에 배치되고, 상기 제1열 내지 제3열에 배치된 데이터 라인에 각각 연결되는 제1 내지 제3스위치를 구비하는 신호 분배부; 및
 셀 테스트 신호를 상기 화소부로 전달하는 제4스위치를 구비하는 셀 테스트부;를 포함하는 유기 발광 표시 패널.

청구항 14

제13항에 있어서,
 상기 제4스위치는 상기 어레이 테스트 패드와 연결된 유기 발광 표시 패널.

청구항 15

제14항에 있어서,
 상기 어레이 테스트 동안, 상기 제4스위치는 턴 오프를 유지하고,
 상기 제1스위치 내지 제3스위치는 정해진 순서대로 턴 온되어 상기 어레이 테스트 신호를 상기 화소부로 전달하는, 유기발광 표시 패널.

청구항 16

제14항에 있어서,
 상기 셀 테스트 동안, 상기 제4스위치는 턴 온을 유지하고,
 상기 제1스위치 내지 상기 제3스위치는 정해진 순서대로 턴 온되어 제1 내지 제3 셀 테스트 신호를 상기 화소부로 전달하는, 유기발광 표시 패널.

청구항 17

제13항에 있어서,
 상기 제1스위치 내지 제3스위치 사이에 배치되어 상기 제1스위치 내지 제3스위치를 상기 어레이 테스트 패드에 연결하는 제5스위치들을 구비하는 테스트 선택부;를 더 포함하는 유기 발광 표시 패널.

청구항 18

제17항에 있어서,
 상기 제4스위치는 상기 제1스위치 내지 제3스위치 중 하나와 연결되어 제1 내지 제3 셀 테스트 신호 중 하나를 상기 화소부로 전달하는, 유기 발광 표시 패널.

청구항 19

제18항에 있어서,
 상기 어레이 테스트 동안, 상기 제4스위치는 턴 오프를 유지하고,
 상기 제5스위치는 턴 온되어 상기 제1스위치 내지 제3스위치를 상기 어레이 테스트 패드에 연결하고,

상기 제1스위치 내지 제3스위치는 정해진 순서대로 턴 온되어 상기 어레이 테스트 신호를 상기 화소부로 전달하는, 유기발광 표시 패널.

청구항 20

제18항에 있어서,

상기 셀 테스트 동안, 상기 제4스위치는 턴 온을 유지하고,

상기 제5스위치는 턴 오프되어 상기 제1스위치 내지 제3스위치를 각각 상기 제4스위치에 연결하고,

상기 제1스위치 내지 상기 제3스위치가 정해진 순서대로 턴 온되어 상기 제1 내지 제3 셀 테스트 신호를 상기 화소부로 전달하는, 유기발광 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 패널에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 자발광소자인 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 휘도 및 색순도가 뛰어나 차세대 표시장치로 주목받고 있다.

[0003] 종래의 유기 발광 표시 장치는 주사 신호 및 데이터 신호 등을 생성하여 화소에 인가하는 구동회로가 집적된 고밀도 집적회로를 제작하여 TAB(Tape automated bonding) 등과 같은 방법으로 화소가 배열된 어레이 기판에 연결하였다. 그러나 이와 같이 구동회로와 화소 어레이 기판이 TAB로 연결된 유기 발광 표시 장치는 어레이 기판과 구동회로를 연결하기 위한 다수의 리드(lead)가 필요하게 되어 제조 공정상 어려움이 있을 뿐만 아니라 표시장치의 신뢰성 및 수율을 저하시킬 수도 있다. 또한, 일반적으로 고밀도 집적회로의 가격이 높기 때문에 유기 발광 표시장치의 가격 상승의 요인이 되기도 한다.

[0004] 이러한 문제점을 해결하기 위하여, 화소 회로가 배치된 화소 회로 어레이 기판에 구동회로를 직접 집적하여 제작하는 COG(Chip On Glass) 또는 SOP(System On Panel) 방식의 유기 발광 표시 장치가 사용되고 있다. 이와 같이 COG 또는 SOP 방식의 유기 발광 표시 장치는 구동회로와 화소 회로 어레이 기판을 연결하는 별도의 과정이 불필요하게 되어 제품의 신뢰성 및 수율을 높일 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 어레이 공정 후 화소부의 불량률을 조기 검출할 수 있고, 비표시 영역(Dead Space)을 축소할 수 있는 패널을 제공하고자 한다.

과제의 해결 수단

[0006] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 패널은, 주사선들 및 데이터선들의 교차부에 위치되어 서로 다른 색을 표시하는 다수의 화소들이 형성된 화소부; 상기 데이터선들의 일 단에 연결된 다수의 데이터 패드들; 및 상기 화소들의 화소회로 불량률 검출을 위한 어레이 테스트 및 상기 화소들의 발광소자 불량률 테스트하는 셀 테스트를 선택적으로 수행하는 테스트부;를 포함할 수 있다.

[0007] 상기 화소부는, 제1화소 및 제2화소가 교대로 배열된 제1열; 상기 제1열에 이웃하고 제3화소가 배열된 제2열; 상기 제2열에 이웃하고 상기 제1열과 반대 순서로 상기 제1화소 및 제2화소가 교대로 배열된 제3열; 및 상기 제3열에 이웃하고 상기 제3화소가 배열된 제4열;을 포함할 수 있다.

[0008] 상기 테스트부는, 외부로부터 어레이 테스트 신호를 공급받아 상기 화소부로 전달하고, 상기 화소부로부터 출력되는 테스트 전류를 수신하는 다수의 어레이 테스트 패드들; 상기 데이터 패드들과 상기 어레이 테스트 패드들 사이에 배치되고, 상기 제1열과 제3열에 배치된 데이터 라인 각각에 병렬 연결된 제1스위치와 제2스위치, 상기 제2열에 배치된 데이터 라인에 연결된 제3스위치, 및 상기 제4열에 배치된 데이터 라인에 연결된 제4스위치를

구비하는 신호 분배부; 상기 제1스위치 또는 제2스위치에 연결되어, 상기 제1열과 제3열에 각각 배치된 데이터 라인에 상기 제1스위치 및 제2스위치 중 하나 또는 모두를 연결하는 제5스위치를 구비하는 테스트 선택부; 및 셀 테스트 신호를 상기 화소부로 전달하는 제6스위치를 구비하는 셀 테스트부;를 포함할 수 있다.

- [0009] 상기 제6스위치는 상기 어레이 테스트 패드와 연결될 수 있다.
- [0010] 상기 어레이 테스트 동안, 상기 제6스위치는 턴 오프를 유지하고, 상기 제5스위치는 턴 오프되어 상기 제1열과 제3열에 배치된 데이터 라인에 상기 제1스위치 및 제2스위치 중 하나를 연결하고, 상기 제1스위치 내지 제4스위치는 정해진 순서대로 턴 온되어 상기 어레이 테스트 신호를 상기 화소부로 전달할 수 있다.
- [0011] 상기 셀 테스트 동안, 상기 제6스위치는 턴 온을 유지하고, 상기 제5스위치가 턴 오프되면, 상기 제1열과 제3열에 배치된 데이터 라인에 상기 제1스위치 및 제2스위치 중 하나가 연결되고, 상기 제1스위치 및 제2스위치가 정해진 순서대로 턴 온되어 제1 및 제2 셀 테스트 신호를 상기 화소부로 전달하고, 상기 제5스위치가 턴 온되면, 상기 제3스위치 및 제4스위치가 동시에 턴 온되어 제3 셀 테스트 신호를 상기 화소부로 전달할 수 있다.
- [0012] 상기 테스트 선택부는, 상기 제5스위치가 연결되지 않은 제1스위치와 제2스위치, 상기 제3스위치, 및 상기 제4스위치 사이에 배치되어 상기 제1 내지 제4스위치를 상기 어레이 테스트 패드에 연결하는 제7스위치들;을 더 포함할 수 있다.
- [0013] 상기 제6스위치는 상기 제1 내지 제4스위치 중 하나와 연결되어 제1 내지 제3 셀 테스트 신호들 중 하나를 상기 화소부로 전달할 수 있다.
- [0014] 상기 어레이 테스트 동안, 상기 제6스위치는 턴 오프를 유지하고, 상기 제5스위치는 턴 오프되어 상기 제1열과 제3열에 배치된 데이터 라인 각각에 상기 제1스위치 및 제2스위치 중 하나를 연결하고, 상기 제7스위치들은 턴 온되어 상기 제1스위치 내지 제4스위치를 상기 어레이 테스트 패드에 연결하고, 상기 제1스위치 내지 제4스위치는 정해진 순서대로 턴 온되어 상기 어레이 테스트 신호를 상기 화소부로 전달할 수 있다.
- [0015] 상기 셀 테스트 동안, 상기 제6스위치는 턴 온을 유지하고, 상기 제5스위치는 턴 온되어 상기 제1열과 제3열에 배치된 데이터 라인 각각에 상기 제1스위치 및 제2스위치를 모두 연결하고, 상기 제7스위치들은 턴 오프되어 상기 제1스위치 내지 제4스위치를 각각 상기 제6스위치에 연결하고, 상기 제1스위치 내지 제4스위치가 정해진 순서대로 턴 온되어 상기 제1 내지 제3 셀 테스트 신호를 상기 화소부로 전달할 수 있다.
- [0016] 상기 제1 내지 제3 셀 테스트 신호는 직류 신호일 수 있다.
- [0017] 상기 화소부는, 제1화소가 배열된 제1열; 상기 제1열에 이웃하고 제2화소가 배열된 제2열; 및 상기 제2열에 이웃하고 제3화소가 배열된 제3열;을 포함할 수 있다.
- [0018] 상기 테스트부는, 외부로부터 어레이 테스트 신호를 공급받아 상기 화소부로 전달하고, 상기 화소부로부터 출력되는 테스트 전류를 수신하는 다수의 어레이 테스트 패드들; 상기 데이터 패드들과 상기 어레이 테스트 패드들 사이에 배치되고, 상기 제1열 내지 제3열에 배치된 데이터 라인에 각각 연결되는 제1 내지 제3스위치를 구비하는 신호 분배부; 및 셀 테스트 신호를 상기 화소부로 전달하는 제4스위치를 구비하는 셀 테스트부;를 포함할 수 있다.
- [0019] 상기 제4스위치는 상기 어레이 테스트 패드와 연결될 수 있다.
- [0020] 상기 어레이 테스트 동안, 상기 제4스위치는 턴 오프를 유지하고, 상기 제1스위치 내지 제3스위치는 정해진 순서대로 턴 온되어 상기 어레이 테스트 신호를 상기 화소부로 전달할 수 있다.
- [0021] 상기 셀 테스트 동안, 상기 제4스위치는 턴 온을 유지하고, 상기 제1스위치 내지 상기 제3스위치는 정해진 순서대로 턴 온되어 제1 내지 제3 셀 테스트 신호를 상기 화소부로 전달할 수 있다.
- [0022] 상기 패널은, 상기 제1스위치 내지 제3스위치 사이에 배치되어 상기 제1스위치 내지 제3스위치를 상기 어레이 테스트 패드에 연결하는 제5스위치들을 구비하는 테스트 선택부;를 더 포함할 수 있다.
- [0023] 상기 제4스위치는 상기 제1스위치 내지 제3스위치 중 하나와 연결되어 제1 내지 제3 셀 테스트 신호 중 하나를 상기 화소부로 전달할 수 있다.
- [0024] 상기 어레이 테스트 동안, 상기 제4스위치는 턴 오프를 유지하고, 상기 제5스위치는 턴 온되어 상기 제1스위치 내지 제3스위치를 상기 어레이 테스트 패드에 연결하고, 상기 제1스위치 내지 제3스위치는 정해진 순서대로 턴 온되어 상기 어레이 테스트 신호를 상기 화소부로 전달할 수 있다.

[0025] 상기 셀 테스트 동안, 상기 제4스위치는 턴 온을 유지하고, 상기 제5스위치는 턴 오프되어 상기 제1스위치 내지 제3스위치를 각각 상기 제4스위치에 연결하고, 상기 제1스위치 내지 상기 제3스위치가 정해진 순서대로 턴 온되어 상기 제1 내지 제3 셀 테스트 신호를 상기 화소부로 전달할 수 있다.

발명의 효과

[0026] 본 발명은 COG 실장 영역 하부 공간에 어레이 테스트 및 셀 테스트를 공용할 수 있는 복합 회로부를 형성함으로써, 어레이 테스트 및 셀 테스트를 용이하게 수행하여 화소의 불량률 조기에 검출할 수 있고, 비표시 영역을 축소하여 슬림한 패널을 제공할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 흐름도이다.
- 도 2는 본 발명의 일 실시예에 의한 유기 발광 표시 패널을 개략적으로 도시한 평면도이다.
- 도 3은 도 2에 도시된 유기 발광 표시 패널의 일례를 도시한 평면도이다.
- 도 4는 도 3에 도시된 유기 발광 표시 패널의 어레이 테스트를 설명하기 위한 타이밍도이다.
- 도 5는 도 3에 도시된 유기 발광 표시 패널의 셀 테스트를 설명하기 위한 타이밍도이다.
- 도 6은 도 2에 도시된 유기 발광 표시 패널의 일례를 나타낸 도면이다.
- 도 7은 도 6에 도시된 유기 발광 표시 패널의 어레이 테스트를 설명하기 위한 타이밍도이다.
- 도 8은 도 6에 도시된 유기 발광 표시 패널의 셀 테스트를 설명하기 위한 타이밍도이다.
- 도 9는 도 2에 도시된 유기 발광 표시 패널의 일례를 도시한 평면도이다.
- 도 10은 도 9에 도시된 유기 발광 표시 패널의 어레이 테스트를 설명하기 위한 타이밍도이다.
- 도 11은 도 9에 도시된 유기 발광 표시 패널의 셀 테스트를 설명하기 위한 타이밍도이다.
- 도 12는 도 2에 도시된 유기 발광 표시 패널의 일례를 나타낸 도면이다.
- 도 13은 도 12에 도시된 유기 발광 표시 패널의 어레이 테스트를 설명하기 위한 타이밍도이다.
- 도 14는 도 12에 도시된 유기 발광 표시 패널의 셀 테스트를 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0029] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0030] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0031] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 흐름도이다.

[0033] 먼저 기판 상에 화소 회로 어레이를 형성하는 어레이 공정(S1)을 실시한다. 각 화소 회로는 둘 이상의 박막 트랜지스터와 하나 이상의 커패시터로 구성될 수 있다. 이어서, 화소 회로 어레이의 불량 여부를 검출하는 어레이 테스트(S2)를 실시한다. 어레이 테스트(S2)에서 박막 트랜지스터의 정상 동작 여부를 테스트한다. 어레이 테스트(S2)에서 불량품이라고 판단되는 화소 회로는 리페어(repair) 공정(S21)을 거처거나 리페어 불능일 경우에는

다음 공정으로 이행되지 않고 종료 처리된다.

- [0034] 양품이라고 판단되거나 리페어가 완료된 화소 어레이에 대해서는 애노드 전극, 유기 발광층 및 캐소드 전극을 형성하여 유기 발광 소자(OLED)를 완성하는 셀(패널) 공정(S3)을 거쳐 셀 테스트(S4)로 이행한다. 셀 테스트(S4)는 패널에 대한 점등테스트, 누설전류테스트 및/또는 에이징 등을 포함할 수 있다. 마찬가지로 셀 테스트(S4)에서 불량품이라고 판단되는 패널은 리페어 공정(S41)을 거치거나 리페어 불능일 경우에는 다음 공정으로 이행되지 않고 종료 처리된다.
- [0035] 양품이라고 판단되거나 리페어가 완료된 패널에 대해서는 모듈 공정(S5)을 거쳐 최종 테스트(S6)를 실시하여 최종 완성품과 불량을 선별한다. 최종 테스트(S6)에서 불량품이라고 판단되는 모듈은 리페어 공정(S61)을 거치거나 리페어 불능일 경우에는 종료 처리된다.
- [0036] 본 발명의 실시예에서는 어레이 공정(S1) 후 박막 트랜지스터의 동작 불량을 테스트하기 때문에 화소 회로 어레이의 불량을 미리 리페어하여 제조 수율을 높일 수 있다. 또한, 리페어가 불가능한 화소 회로 어레이 불량품에 대해 셀(패널) 공정 및 모듈 공정 등을 수행하지 않음으로써 제조 시간 및 비용 등의 낭비를 줄일 수 있다.
- [0037] 도 2는 본 발명의 일 실시예에 의한 유기 발광 표시 패널을 개략적으로 도시한 평면도이다.
- [0038] 도 2를 참조하면, 본 발명의 실시예에 의한 유기 발광 표시 패널(100)은, 화소부(110), 주사 구동부(120), IC 실장 영역(130), 테스트부(140) 및 패드부(180)를 포함한다.
- [0039] 화소부(110)는 데이터선들(D1 내지 D4) 및 주사선들(S1 내지 Sn)의 교차부에 위치되어 서로 다른 색의 빛을 방출하는 복수의 화소들을 포함한다. 데이터선들(D1 내지 D4)은 제1방향으로 연장되고, 주사선들(S1 내지 Sn)은 제2방향으로 연장된다.
- [0040] 주사 구동부(120)는 외부로부터 공급되는 주사구동전원(VDD, VSS) 및 주사제어신호(SCS)에 대응하여 주사신호를 생성하고, 이를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.
- [0041] IC 실장 영역(130)에는 화소부(110)의 데이터선들(D1 내지 D4)로부터 연장된 배선들 각각에 연결된 다수의 데이터 패드들이 배치된다. 데이터 구동부(미도시)는 COG(chip on glass) 방식으로 데이터 패드들과 본딩되어 IC 실장 영역(130)에 실장된다. 데이터 구동부는 표시 데이터(DATA) 및 데이터 제어신호(DCS)에 대응하여 데이터 신호를 생성하고, 이를 데이터선들(D1 내지 D4)로 공급한다.
- [0042] 테스트부(140)는 화소의 화소회로를 구성하는 박막 트랜지스터 및 커패시터의 불량 여부를 테스트하는 어레이 테스트를 수행한다. 테스트부(140)는 어레이 테스트 신호 및 제어신호를 공급받고, 제어신호에 대응하여 어레이 테스트 신호를 데이터선들(D1 내지 D4)로 공급한다. 테스트부(140)는 외부의 오토 프로브 장치의 프로브 핀과 연결되어 어레이 테스트 신호를 공급받을 수 있다.
- [0043] 또한, 테스트부(140)는 화소의 발광소자의 불량 여부를 테스트하는 셀 테스트를 수행한다. 테스트부(140)는 셀 테스트 신호 및 제어신호를 공급받고, 제어신호에 대응하여 셀 테스트 신호를 데이터선들(D1 내지 D4)로 공급한다.
- [0044] 테스트부(140)는 다수의 제어신호에 따라 어레이 테스트 및 셀 테스트를 선택적으로 수행할 수 있다.
- [0045] 패드부(180)는 외부로부터 공급되는 전원들 및/또는 신호들을 패널(100) 내부로 전달하기 위한 다수의 패드(P)들을 구비한다. 도 1에서 패드부(180)와 패널(100) 내의 각 구성부를 연결하는 라인의 위치와 수는 편의상 도시된 것으로, 다수의 라인들이 다른 위치에 배치될 수 있다. 예를 들어, 패드부(180)로부터 주사 구동부(120)로 신호를 공급하는 라인은 주사구동전원(VDD/VSS), 주사제어신호(SCS)로서 스타트 펄스(SP), 주사 클럭신호(CLK) 및 출력 인에이블 신호(OE)를 공급받는 다섯 개의 라인들로 구성될 수 있다.
- [0046] 한편, 도시되지 않았으나, 본 발명의 실시예에 따른 유기 발광 표시 패널(100)은 셀 테스트(S4) 시, 화소들에 충분한 테스트 신호가 인가되도록 화소부(110)에 발광제어신호를 인가하기 위한 발광제어부를 더 포함할 수 있다.
- [0047] 도 3은 도 2에 도시된 유기 발광 표시 패널의 일례를 도시한 평면도이다.
- [0048] 도 3을 참조하면, 화소부(110A)는 서로 다른 색의 빛을 방출하는 제1화소들, 제2화소들 및 제3화소들을 포함하되, 제1화소 및 제2화소가 동일한 열에 교대로 배열되고, 제3화소가 제1화소 및 제2화소가 배열된 열의 인접한 열에 일렬로 배치되는 구조를 갖는다.

- [0049] 제1화소는 적색의 빛을 방출하는 적색 화소(R)로 설정되고, 제2화소는 청색의 빛을 방출하는 청색 화소(B)로 설정되며, 제3화소는 녹색의 빛을 방출하는 녹색 화소(G)로 설정될 수 있다.
- [0050] 적색 화소(R)와 청색 화소(B)는 동일한 열에 교대로 배열되고, 녹색 화소(G)는 적색 화소(R)와 청색 화소(B)가 배열된 열의 인접한 열에 일렬로 배치된다.
- [0051] 이때, 적색 화소(R)와 청색 화소(B)는 녹색 화소(G)가 배열된 열을 중심으로, 적색 화소(R)들끼리, 그리고 청색 화소(B)들끼리 대각선 방향에 위치되어 체크보드 형태로 배열된다. 즉, 적색 화소(R) 및 청색 화소(B) 각각은 서로 이웃하는 두 행에서 동일한 열에 반복적으로 배치되지 않도록 교호적으로 배치된다. 각 열에는 데이터 라인(D1 내지 D4)이 배치된다.
- [0052] 본 발명의 실시예에서는 화소부(110A)가 적색 화소(R), 청색 화소(B), 녹색 화소(G)로 구성되는 것으로 설명하고 있으나, 화소부(110)는 적색, 녹색 및 청색 이외의 색을 디스플레이하기 위한 화소(미도시)를 더 포함할 수도 있다.
- [0053] 테스트부(140A)는 어레이 테스트 패드(ATP)들, 어레이 테스트 패드(ATP)들과 IC 실장 영역(130)의 데이터 패드(DP)들 사이에 배치된 신호 분배부(150A), 테스트 선택부(160A), 및 셀 테스트부(170A)를 포함할 수 있다.
- [0054] 패드부(180)로부터 신호 분배부(150A)로 신호를 공급하는 라인은 제1 내지 제4제어신호(DC_GATE_R, DC_GATE_B, DC_GATE_G1, DC_GATE_G2)를 공급받는 네 개의 라인들(154a 내지 154d)로 구성될 수 있다.
- [0055] 신호 분배부(150A)는 제1 내지 제4스위치(P SW1 내지 P SW4)를 구비한다. 신호 분배부(150A)는 제1 내지 제4스위치(P SW1 내지 P SW4)를 통해 다수의 데이터 패드(DP)들을 하나의 어레이 테스트 패드(ATP)에 연결할 수 있다. 이에 따라, 어레이 테스트 패드(ATP)의 개수를 데이터 패드(DP)의 개수보다 감소시킬 수 있어, 어레이 테스트 패드(ATP)의 사이즈 및 어레이 테스트 패드(ATP)들 간의 간격을 늘릴 수 있다. 도 3의 실시예에서는 4개의 데이터 패드(DP)들과 하나의 어레이 테스트 패드(ATP)를 연결하고 있어, 어레이 테스트 패드(ATP)의 개수를 데이터 패드(DP)의 개수보다 1/4만큼 감소시킬 수 있다.
- [0056] 제1스위치(P SW1)와 제2스위치(P SW2)는 데이터 패드(DP)를 통해 제1화소와 제2화소가 교대로 배열된 열의 데이터 라인과 연결된다. 제1스위치(P SW1)와 제2스위치(P SW2)는 하나의 데이터 라인을 공유하며 병렬로 연결된다. 제3스위치(P SW3)와 제4스위치(P SW4)는 데이터 패드(DP)를 통해 제3화소가 배열된 열의 데이터 라인과 각각 연결된다.
- [0057] 제1화소 및 제2화소가 교대로 배열된 제1열의 제1 데이터 라인에는 제1스위치(P SW1)와 제2스위치(P SW2)가 연결된다. 제1열에 이웃하고 제3화소가 일렬로 배열된 제2열의 제2 데이터 라인에는 제3스위치(P SW3)가 연결된다. 제2열에 이웃하고 제1열과 반대 순서로 제1화소 및 제2화소가 교대로 배열된 제3열의 제3 데이터 라인에는 제1스위치(P SW1)와 제2스위치(P SW2)가 연결된다. 제3열에 이웃하고 제3화소가 일렬로 배열된 제4열의 제4 데이터 라인에는 제4스위치(P SW4)가 연결된다. 제1열 내지 제4열은 반복하여 제2방향으로 배치된다. 제1 내지 제4스위치(P SW1 내지 P SW4)는 하나의 어레이 테스트 패드(ATP)에 연결된다.
- [0058] 제1스위치(P SW1)의 게이트는 제1제어신호(DC_GATE_R)를 공급하는 라인(154a)에 연결된다. 제2스위치(P SW2)의 게이트는 제2제어신호(DC_GATE_B)를 공급하는 라인(154b)에 연결된다. 제3스위치(P SW3)의 게이트는 제3제어신호(DC_GATE_G1)를 공급하는 라인(154c)에 연결된다. 제4스위치(P SW4)의 게이트는 제4제어신호(DC_GATE_G2)를 공급하는 라인(154d)에 연결된다.
- [0059] 제1 내지 제4 제어신호 라인(154a 내지 154d)은, 어레이 테스트(S2) 및 셀 테스트(S4)가 진행되는 동안 패드부(180)로부터 각각 직류 형태의 제어신호(DC_GATE_R, DC_GATE_B, DC_GATE_G1, DC_GATE_G2)를 공급받고, 제1 내지 제4스위치(P SW1 내지 P SW4)의 턴 온 및 턴 오프를 제어한다.
- [0060] 패드부(180)로부터 테스트 선택부(160A)로 신호를 공급하는 라인은 제5제어신호(TEST_AT)를 공급받는 라인(164)으로 구성될 수 있다.
- [0061] 테스트 선택부(160A)는 다수의 제5스위치(P SW5)들을 구비한다. 제5스위치(P SW5)의 게이트는 제5제어신호(TEST_AT)를 공급하는 라인(164)에 연결된다. 제5스위치(P SW5)는 신호 분배부(150)의 제1스위치(P SW1) 또는 제2스위치(P SW2)에 연결된다. 예를 들어, 제5스위치(P SW5)는 제1 데이터 라인에 연결된 제2스위치(P SW2)에 연결되고, 제3 데이터 라인에 연결된 제1스위치(P SW1)에 연결될 수 있다. 제5스위치(P SW5)가 제5제어신호(TEST_AT)에 의해 턴 온되면, 제1 데이터 라인과 제3 데이터 라인에는 제1스위치(P SW1)와 제2스위치(P SW2)가 모두 연결된다. 제5스위치(P SW5)가 제5제어신호(TEST_AT)에 의해 턴 오프되면, 제1 데이터 라인에는 제1스위치(P SW1)가 연결되

고, 제3 데이터 라인에는 제2스위치(P5W2)가 연결된다. 즉, 제5스위치(P5W5)는 제1화소와 제2화소가 교대로 배열된 데이터 라인에 제1스위치(P5W1) 및 제2스위치(P5W2) 중 하나 또는 모두가 연결되도록 한다.

- [0062] 본 발명은 도 3에 도시된 배치에 한정되지 않고, 화소 배열에 따라 제5스위치(P5W5)가 제1 데이터 라인에 연결된 제1스위치(P5W1)에 연결되고, 제3 데이터 라인에 연결된 제2스위치(P5W2)에 연결될 수 있다.
- [0063] 어레이 테스트 패드(ATP)는 오토 프로브 장치의 프로브 핀과 접촉하는(연결되는) 패드이다. 데이터 패드(DP)는 사이즈가 작고 데이터 패드(DP)들 간의 간격이 좁아 오토 프로브 장치의 프로브 핀과 1:1 접촉이 불가능하다. 반면, 본 발명의 실시예에 따른 어레이 테스트 패드(ATP)는 다수의 스위치들(P5W1 내지 P5W5)을 사용함으로써 사이즈와 간격을 크게 형성할 수 있어, 오토 프로브 장치의 프로브 핀과 1:1 접촉이 가능하기 때문에, 어레이 테스트(S2)를 수행할 수 있다. 어레이 테스트 패드(ATP)는 오토 프로브 장치의 프로브 핀으로부터 어레이 테스트 신호를 공급받아 화소부(110A)로 전달하고, 화소부(110A)부터 출력되는 테스트 전류를 수신한다.
- [0064] 패드부(180)로부터 셀 테스트부(170A)로 신호를 공급하는 라인은 제6제어신호(TEST_GATE)를 공급받는 라인(174a)과 셀 테스트 신호(TEST_DATA)를 공급하는 라인(174b)인 두 개의 라인으로 구성될 수 있다.
- [0065] 셀 테스트부(170A)는 다수의 제6스위치(P6W6)들을 구비한다. 제6스위치(P6W6)의 게이트는 제6제어신호(TEST_GATE)를 공급하는 라인(174a)에 연결된다. 제6스위치(P6W6)의 제1단자는 어레이 테스트 패드(ATP)에 연결되고, 제2단자는 셀 테스트 신호(TEST_DATA)를 공급하는 라인(174b)에 연결된다. 제6스위치(P6W6)는 어레이 테스트(S2) 동안 턴 오프 상태를 유지하도록 하는 제6제어신호(TEST_GATE)를 공급받고, 이에 대응하여 턴 오프 상태를 유지한다. 제6스위치(P6W6)는 셀 테스트(S2) 동안 턴 온 상태를 유지하도록 하는 제6제어신호(TEST_GATE)를 공급받고, 이에 대응하여 턴 온 상태를 유지한다. 셀 테스트 신호 라인(174b)에는 제1 내지 제3 셀 테스트 신호가 차례로 인가된다.
- [0066] 도 4는 도 3에 도시된 유기 발광 표시 패널의 어레이 테스트를 설명하기 위한 타이밍도이다.
- [0067] 도 4를 참조하면, 어레이 테스트(S2) 동안, 하이 레벨의 제6제어신호(TEST_GATE)가 제6스위치(P6W6)들의 게이트로 인가되어 제6스위치(P6W6)들은 턴 오프 상태가 된다.
- [0068] 제5스위치(P5W5)들의 게이트에는 하이 레벨의 제5제어신호(TEST_AT)가 인가되어, 제5스위치(P5W5)들은 턴 오프 상태가 된다. 이에 따라, 제1화소와 제2화소가 교대로 배열된 제1열 및 제3열의 제1 데이터 라인과 제3 데이터 라인에는 제1스위치(P5W1) 및 제2스위치(P5W2) 중 하나가 연결된다. 따라서, 각 데이터 라인에는 제1 내지 제4 스위치(P5W1 내지 P5W4) 중 하나가 연결된다. 예를 들어, 제1 데이터 라인에는 제1스위치(P5W1)가 연결되고, 제2 데이터 라인에는 제3스위치(P5W3)가 연결되고, 제3 데이터 라인에는 제2스위치(P5W2)가 연결되고, 제4 데이터 라인에는 제4스위치(P5W4)가 연결된다.
- [0069] 제5스위치(P5W5)들이 턴 오프인 상태에서, 정해진 순서대로 제1 내지 제4제어신호(DC_GATE_R 내지 DC_GATE_G2)가 공급되어 제1 내지 제4스위치(P5W1 내지 P5W4)가 대응하여 정해진 순서대로 턴 온된다. 예를 들어, 제1제어신호(DC_GATE_R), 제3제어신호(DC_GATE_G1), 제2제어신호(DC_GATE_B), 제4제어신호(DC_GATE_G2)가 차례로 인가되고, 이에 대응하여 제1스위치(P5W1), 제3스위치(P5W3), 제2스위치(P5W2), 제4스위치(P5W4)가 차례로 턴 온된다.
- [0070] 이에 따라, 오토 프로브 장치의 프로브 핀을 통해 어레이 테스트 패드(ATP)로 공급되는 어레이 테스트 신호가 화소부(110A)로 공급되고, 인가된 어레이 테스트 신호에 응답하여 화소부(110A)로부터 테스트 전류가 출력된다. 오토 프로브 장치는 어레이 테스트 패드(ATP)로부터 테스트 전류를 센싱함으로써 불량 화소를 검출할 수 있다.
- [0071] 도 5는 도 3에 도시된 유기 발광 표시 패널의 셀 테스트를 설명하기 위한 타이밍도이다.
- [0072] 도 5를 참조하면, 셀 테스트(S4) 동안, 로우 레벨의 제6제어신호(TEST_GATE)가 제6스위치(P6W6)들의 게이트로 인가되어 제6스위치(P6W6)들은 턴 온 상태가 된다. 셀 테스트 신호(TEST_DATA)는 홀수 프레임에서는 제1 셀 테스트 신호(TEST_DATA_R), 제2 셀 테스트 신호(TEST_DATA_B), 제3 셀 테스트 신호(TEST_DATA_G) 순서로 인가되고, 짝수 프레임에서는 제2 셀 테스트 신호(TEST_DATA_B), 제1 셀 테스트 신호(TEST_DATA_R), 제3 셀 테스트 신호(TEST_DATA_G) 순서로 인가된다.
- [0073] 셀 테스트 신호 라인(174b)으로 제1 셀 테스트 신호(TEST_DATA_R)와 제2 셀 테스트 신호(TEST_DATA_B)가 차례로 인가되는 동안에는, 제5스위치(P5W5)들의 게이트에 하이 레벨의 제5제어신호(TEST_AT)가 인가되어, 제5스위치(P5W5)들은 턴 오프 상태가 된다. 이에 따라, 제1화소와 제2화소가 교대로 배열된 제1열 및 제3열의 제1 데이터 라인과 제3 데이터 라인에는 제1스위치(P5W1) 및 제2스위치(P5W2) 중 하나가 연결된다. 따라서, 각 데이터

라인에는 제1 내지 제4스위치(PSW1 내지 PSW4) 중 하나가 연결된다. 예를 들어, 제1 데이터 라인에는 제1스위치(PSW1)가 연결되고, 제2 데이터 라인에는 제3스위치(PSW3)가 연결되고, 제3 데이터 라인에는 제2스위치(PSW2)가 연결되고, 제4 데이터 라인에는 제4스위치(PSW4)가 연결된다.

- [0074] 셀 테스트 신호 라인(174b)으로 제3 셀 테스트 신호(TEST_DATA_G)가 인가되는 동안에는, 제5스위치(PSW5)들의 게이트에 로우 레벨의 제5제어신호(TEST_AT)가 인가되어, 제5스위치(PSW5)들은 턴 온 상태가 된다.
- [0075] 홀수 프레임에서는, 제5스위치(PSW5)들이 턴 오프인 상태에서, 제1제어신호(DC_GATE_R)와 제2제어신호(DC_GATE_B)가 차례로 인가되어, 제1스위치(PSW1)와 제2스위치(PSW2)가 차례로 턴 온된다. 이에 따라, 제1화소와 제2화소가 교대로 배열된 제1열의 제1 데이터 라인으로 제1 셀 테스트 신호(TEST_DATA_R)가 인가되고, 이어서 제3열의 제3 데이터 라인으로 제2 셀 테스트 신호(TEST_DATA_B)가 인가된다. 그리고, 제5스위치(PSW5)들이 턴 온인 상태에서, 제3제어신호(DC_GATE_G1)와 제4제어신호(DC_GATE_G2)가 동시에 인가되어, 제3스위치(PSW3)와 제4스위치(PSW4)가 동시에 턴 온된다. 이에 따라, 제3화소가 배열된 제2열 및 제4열의 제2 및 제4 데이터 라인으로 제3 셀 테스트 신호(TEST_DATA_G)가 동시에 인가된다.
- [0076] 짝수 프레임에서는, 제5스위치(PSW5)들이 턴 오프인 상태에서, 제1제어신호(DC_GATE_R)와 제2제어신호(DC_GATE_B)가 차례로 인가되어, 제1스위치(PSW1)와 제2스위치(PSW2)가 차례로 턴 온된다. 이에 따라, 제1화소와 제2화소가 교대로 배열된 제1열의 제1 데이터 라인으로 제2 셀 테스트 신호(TEST_DATA_B)가 인가되고, 이어서 제3열의 제3 데이터 라인으로 제1 셀 테스트 신호(TEST_DATA_R)가 인가된다. 그리고, 제5스위치(PSW5)들이 턴 온 상태에서, 제3제어신호(DC_GATE_G1)와 제4제어신호(DC_GATE_G2)가 동시에 인가되어, 제3스위치(PSW3)와 제4스위치(PSW4)가 동시에 턴 온된다. 이에 따라, 제3화소가 배열된 제2열 및 제4열의 제2 및 제4 데이터 라인으로 제3 셀 테스트 신호(TEST_DATA_G)가 동시에 인가된다.
- [0077] 따라서, 화소부(110)의 제1 내지 제3화소는 제1 내지 제3 셀 테스트 신호(TEST_DATA_R, TEST_DATA_B, TEST_DATA_G)에 의해 발광함으로써 점등 검사 등의 셀 테스트가 수행될 수 있다.
- [0078] 도 6은 도 2에 도시된 유기 발광 표시 패널의 일례를 나타낸 도면이다.
- [0079] 도 6에 도시된 유기 발광 표시 패널은 도 3에 도시된 유기 발광 표시 패널과 테스트부(140B)가 상이하고, 그 구성은 동일하다. 이하에서는 동일한 구성에 대한 상세한 설명은 생략하고, 상이한 부분을 중점적으로 설명하겠다.
- [0080] 도 6을 참조하면, 화소부(110B)는 도 3에 도시된 화소부(110A)와 동일하게, 적색 화소(R)와 청색 화소(B)는 동일한 열에 교대로 배열되고, 녹색 화소(G)는 적색 화소(R)와 청색 화소(B)가 배열된 열의 인접한 열에 일렬로 배치되는 구조를 갖는다. 각 열 라인에는 데이터 라인(D1 내지 D4)이 배치된다.
- [0081] 테스트부(140B)는 어레이 테스트 패드(ATP)들, 어레이 테스트 패드(ATP)들과 IC 실장 영역(130)의 데이터 패드(DP)들 사이에 배치된 신호 분배부(150B), 테스트 선택부(160B), 및 셀 테스트부(170B)를 포함할 수 있다.
- [0082] 신호 분배부(150B)는 제1 내지 제4스위치(PSW1 내지 PSW4)를 구비한다. 신호 분배부(150A)는 제1 내지 제4스위치(PSW1 내지 PSW4)를 통해 다수의 데이터 패드(DP)들을 하나의 어레이 테스트 패드(ATP)에 연결할 수 있다.
- [0083] 제1스위치(PSW1)와 제2스위치(PSW2)는 데이터 패드(DP)를 통해 제1화소와 제2화소가 교대로 배열된 열의 데이터 라인과 연결된다. 제1스위치(PSW1)와 제2스위치(PSW2)는 하나의 데이터 라인을 공유하며 병렬로 연결된다. 제3스위치(PSW3)와 제4스위치(PSW4)는 데이터 패드(DP)를 통해 제3화소가 배열된 열의 데이터 라인과 각각 연결된다.
- [0084] 제1화소 및 제2화소가 교대로 배열된 제1열의 제1 데이터 라인에는 제1스위치(PSW1)와 제2스위치(PSW2)가 연결된다. 제1열에 이웃하고 제3화소가 배열된 제2열의 제2 데이터 라인에는 제3스위치(PSW3)가 연결된다. 제2열에 이웃하고 제1열과 반대 순서로 제1화소 및 제2화소가 교대로 배열된 제3열의 제3 데이터 라인에는 제1스위치(PSW1)와 제2스위치(PSW2)가 연결된다. 제3열에 이웃하고 제3화소가 배열된 제4열의 제4 데이터 라인에는 제4스위치(PSW4)가 연결된다. 제1열 내지 제4열은 반복하여 제2방향으로 배치된다.
- [0085] 제1 내지 제4스위치(PSW1 내지 PSW4) 각각은 셀 테스트부(170B)의 제6스위치(PSW6)와 1:1로 각각 연결된다. 제1 데이터 라인에 연결된 제2스위치(PSW2)와 제3 데이터 라인에 연결된 제1스위치(PSW1)는 제5스위치(PSW5)를 통해 제6스위치(PSW6)와 연결된다. 제1스위치(PSW1)의 게이트는 제1제어신호(DC_GATE_R)를 공급하는 라인(154a)에 연결된다. 제2스위치(PSW2)의 게이트는 제2제어신호(DC_GATE_B)를 공급하는 라인(154b)에 연결된다. 제3스위치(PSW3)의 게이트는 제3제어신호(DC_GATE_G1)를 공급하는 라인(154c)에 연결된다. 제4스위치(PSW4)의 게이트는

제4제어신호(DC_GATE_G2)를 공급하는 라인(154d)에 연결된다.

- [0086] 테스트 선택부(160)는 다수의 제5스위치(PSW5)들 및 제7스위치(PSW7)들을 구비한다.
- [0087] 제5스위치(PSW5)의 게이트는 셀 테스트부(170B)의 제6제어신호(TEST_GATE)를 공급하는 라인(164a)에 연결되어, 제6제어신호(TEST_GATE)를 제5제어신호로 사용한다. 제5스위치(PSW5)는 신호 분배부(150)의 제1스위치(PSW1) 또는 제2스위치(PSW2)에 연결된다. 예를 들어, 제5스위치(PSW5)는 제1 데이터 라인에 연결된 제2스위치(PSW2)에 연결되고, 제3 데이터 라인에 연결된 제1스위치(PSW1)에 연결될 수 있다. 제5스위치(PSW5)가 제6제어신호(TEST_GATE)에 의해 턴 온되면, 제1 데이터 라인과 제3 데이터 라인에는 제1스위치(PSW1)와 제2스위치(PSW2)가 모두 연결된다. 제5스위치(PSW5)가 제6제어신호(TEST_GATE)에 의해 턴 오프되면, 제1 데이터 라인에는 제1스위치(PSW1)가 연결되고, 제3 데이터 라인에는 제2스위치(PSW2)가 연결된다. 즉, 제5스위치(PSW5)는 제1화소와 제2화소가 교대로 배열된 데이터 라인에 제1스위치(PSW1) 및 제2스위치(PSW2) 중 하나 또는 모두가 연결되도록 한다.
- [0088] 제7스위치(PSW7)는 제5스위치(PSW5)가 연결되지 않은 제1스위치(PSW1)와 제2스위치(PSW2), 제3스위치(PSW3), 제4스위치(PSW4) 사이에 연결된다. 예를 들어, 제1 데이터 라인에 연결된 제1스위치(PSW1)와 제2 데이터 라인에 연결된 제3스위치(PSW3) 사이와, 제2 데이터 라인에 연결된 제3스위치(PSW3)와 제3 데이터 라인에 연결된 제2스위치(PSW2) 사이와, 제3 데이터 라인에 연결된 제2스위치(PSW2)와 제4 데이터 라인에 연결된 제4스위치(PSW4) 사이에 각각 제7스위치(PSW7)가 구비되어 제1 내지 제4스위치(PSW1 내지 PSW4)를 연결한다. 그리고, 세 개의 제7스위치(PSW7)들은 어레이 테스트 패드(ATP)에 연결된다.
- [0089] 제7스위치(PSW7)의 게이트는 제7제어신호(TEST_AT)를 공급하는 라인(164b)에 연결된다. 세 개의 제7스위치(PSW7)들이 턴 온되면 어레이 테스트 패드(ATP)가 제1 내지 제4 데이터 라인에 연결된 데이터 패드(DP)들과 연결되어 어레이 테스트(S2)가 수행될 수 있다. 세 개의 제7스위치(PSW7)들이 턴 오프되면 제1 내지 제4스위치들(PSW1 내지 PSW4)이 각각 제6스위치(PSW6)와 연결되어 셀 테스트(S4)가 수행될 수 있다. 즉, 제7스위치(PSW7)는 신호 분배부(150B)를 어레이 테스트 패드(ATP)와 연결하여 어레이 테스트(S2)가 수행되거나, 또는 신호 분배부(150B)를 셀 테스트부(170B)와 연결하여 셀 테스트(S4)가 수행되도록 한다.
- [0090] 어레이 테스트 패드(ATP)는 오토 프로브 장치의 프로브 핀으로부터 어레이 테스트 신호를 공급받아 화소부(110B)로 전달하고, 화소부(110B)부터 출력되는 테스트 전류를 수신한다.
- [0091] 셀 테스트부(170B)는 다수의 제6스위치들(PSW6)을 포함한다. 제6스위치(PSW6)의 게이트는 제6제어신호(TEST_GATE)를 공급하는 라인(174a)에 연결된다. 제6스위치(PSW6)의 제1단자는 제1 내지 제4스위치(PSW1 내지 PSW4) 중 하나와 연결되고, 제2단자는 제1 내지 제3 셀 테스트 신호(DC_R, DC_B, DC_G)를 공급하는 라인들(174c, 174d, 174e) 중 하나에 연결된다.
- [0092] 제1 내지 제3 셀 테스트 신호 라인(174c 내지 174e)은, 셀 테스트(S4)가 진행되는 동안 패드부(180)로부터 각각 직류 형태의 셀 테스트 신호(DC_R, DC_B, DC_G)를 공급받는다.
- [0093] 제6스위치(PSW6)들은 셀 테스트(S2) 동안 턴 온 상태를 유지하도록 하는 제6제어신호(TEST_GATE)를 공급받고, 이에 대응하여 턴 온 상태를 유지한다. 이에 따라, 제6스위치(PSW6)는 제1 데이터 라인에 연결된 제1스위치(PSW1)로 제1 셀 테스트 신호(DC_R)를 공급하고, 제2스위치(PSW2)로 제2 셀 테스트 신호(DC_B)를 공급한다. 그리고, 제6스위치(PSW6)는 제3 데이터 라인에 연결된 제1스위치(PSW1)로 제2 셀 테스트 신호(DC_B)를 공급하고, 제2스위치(PSW2)로 제1 셀 테스트 신호(DC_R)를 공급한다. 그리고, 제6스위치(PSW6)는 제2 및 제4 데이터 라인에 연결된 제3스위치(PSW3)와 제4스위치(PSW4)로 각각 제3 셀 테스트 신호(DC_G)를 공급한다.
- [0094] 제6스위치(PSW6)들은 어레이 테스트(S2) 동안 턴 오프 상태를 유지하도록 하는 제6제어신호(TEST_GATE)를 공급받고, 이에 대응하여 턴 오프 상태를 유지한다.
- [0095] 도 7은 도 6에 도시된 유기 발광 표시 패널의 어레이 테스트를 설명하기 위한 타이밍도이다.
- [0096] 도 7을 참조하면, 어레이 테스트(S2) 동안, 하이 레벨의 제6제어신호(TEST_GATE)가 제6스위치(PSW6)들의 게이트로 인가되어 제6스위치(PSW6)들은 턴 오프 상태가 된다.
- [0097] 제5스위치(PSW5)들의 게이트에는 하이 레벨의 제6제어신호(TEST_GATE)가 인가되어, 제5스위치(PSW5)들도 턴 오프 상태가 된다. 이에 따라, 제1화소와 제2화소가 교대로 배열된 제1열 및 제3열의 제1 데이터 라인과 제3 데이터 라인에는 제1스위치(PSW1) 및 제2스위치(PSW2) 중 하나가 연결된다. 따라서, 각 데이터 라인에는 제1 내지 제4스위치(PSW1 내지 PSW4) 중 하나가 연결된다. 예를 들어, 제1 데이터 라인에는 제1스위치(PSW1)가 연결되고,

제2 데이터 라인에는 제3스위치(PSW3)가 연결되고, 제3 데이터 라인에는 제2스위치(PSW2)가 연결되고, 제4 데이터 라인에는 제4스위치(PSW4)가 연결된다.

- [0098] 제7스위치(PSW7)들의 게이트에는 로우 레벨의 제7제어신호(TEST_AT)가 인가되어 제7스위치(PSW7)들이 턴 온된다. 이에 따라, 어레이 테스트 패드(ATP)가 제1 내지 제4 데이터 라인에 연결된 데이터 패드(DP)들과 연결된다.
- [0099] 제5스위치(PSW5)들이 턴 오프이고 제7스위치(PSW7)들이 턴 온인 상태에서, 정해진 순서대로 제1 내지 제4제어신호(DC_GATE_R 내지 DC_GATE_G2)가 공급되어 제1 내지 제4스위치(PSW1 내지 PSW4)가 대응하여 정해진 순서대로 턴 온된다. 예를 들어, 제1제어신호(DC_GATE_R), 제3제어신호(DC_GATE_G1), 제2제어신호(DC_GATE_B), 제4제어신호(DC_GATE_G2)가 차례로 인가되고, 이에 대응하여 제1스위치(PSW1), 제3스위치(PSW3), 제2스위치(PSW2), 제4스위치(PSW4)가 차례로 턴 온된다.
- [0100] 이에 따라, 오토 프로브 장치의 프로브 핀을 통해 어레이 테스트 패드(ATP)로 공급되는 어레이 테스트 신호가 화소부(110B)로 공급되고, 인가된 어레이 테스트 신호에 응답하여 화소부(110B)로부터 테스트 전류가 출력된다. 오토 프로브 장치는 어레이 테스트 패드(ATP)로부터 테스트 전류를 센싱함으로써 불량 화소를 검출할 수 있다.
- [0101] 도 8은 도 6에 도시된 유기 발광 표시 패널의 셀 테스트를 설명하기 위한 타이밍도이다.
- [0102] 도 8을 참조하면, 셀 테스트(S4) 동안, 로우 레벨의 제6제어신호(TEST_GATE)가 제6스위치(PSW6)들의 게이트로 인가되어 제6스위치(PSW6)들은 턴 온 상태가 된다. 또한 제6제어신호(TEST_GATE)에 의해 제5스위치(PSW5)들도 턴 온 상태가 된다. 이에 따라, 제1화소와 제2화소가 교대로 배열된 열의 데이터 라인에는 제1스위치(PSW1) 및 제2스위치(PSW2) 두 개가 모두 연결된다.
- [0103] 제7스위치(PSW7)들의 게이트에는 하이 레벨의 제7제어신호(TEST_AT)가 인가되어 제7스위치(PSW7)들이 턴 오프된다. 이에 따라, 제1스위치(PSW1) 내지 제4스위치(PSW4)는 셀 테스트부(170)의 제6스위치(PSW6)와 각각 연결된다.
- [0104] 제5스위치(PSW5)들이 턴 온 상태이고 제7스위치(PSW7)들이 턴 오프인 상태에서, 정해진 순서대로 제1 내지 제4제어신호(DC_GATE_R 내지 DC_GATE_G2)가 공급되어 제1 내지 제4스위치(PSW1 내지 PSW4)가 대응하여 정해진 순서대로 턴 온된다. 예를 들어, 홀수 프레임에서는, 제1제어신호(DC_GATE_R)가 인가되고, 이어서 제3제어신호(DC_GATE_G1)와 제4제어신호(DC_GATE_G2)가 동시에 인가되고, 이에 대응하여 제1스위치(PSW1), 이어서 제3스위치(PSW3)와 제4스위치(PSW4)가 동시에 턴 온된다. 짝수 프레임에서는, 제2제어신호(DC_GATE_B)가 인가되고, 이어서 제3제어신호(DC_GATE_G1)와 제4제어신호(DC_GATE_G2)가 동시에 인가되고, 이에 대응하여 제2스위치(PSW2), 이어서 제3스위치(PSW3)와 제4스위치(PSW4)가 동시에 턴 온된다.
- [0105] 홀수 프레임에서는, 제5스위치(PSW5)들이 턴 온 상태이고 제7스위치(PSW7)들이 턴 오프인 상태에서, 제1제어신호(DC_GATE_R)가 인가되어 제1스위치(PSW1)들이 턴 온된다. 이에 따라, 제1화소와 제2화소가 교대로 배열된 제1 열의 제1 데이터 라인으로 제1 셀 테스트 신호(DC_R)가 인가되고, 제1열과 반대 순서로 제1화소와 제2화소가 교대로 배열된 제3열의 제3 데이터 라인으로 제2 셀 테스트 신호(DC_B)가 인가된다. 이어서 제3제어신호(DC_GATE_G1)와 제4제어신호(DC_GATE_G2)가 동시에 인가되어, 제3스위치(PSW3)와 제4스위치(PSW4)가 동시에 턴 온된다. 이에 따라, 제3화소가 배열된 제2열의 제2 데이터 라인 및 제4열의 제2 데이터 라인으로 제3 셀 테스트 신호(DC_G)가 인가된다.
- [0106] 짝수 프레임에서는, 제5스위치(PSW5)들이 턴 온 상태이고 제7스위치(PSW7)들이 턴 오프인 상태에서, 제2제어신호(DC_GATE_B)가 인가되어 제2스위치(PSW2)들이 턴 온된다. 이에 따라, 제1화소와 제2화소가 교대로 배열된 제1 열의 제1 데이터 라인으로 제2 셀 테스트 신호(DC_B)가 인가되고, 제1열과 반대 순서로 제1화소와 제2화소가 교대로 배열된 제3열의 제3 데이터 라인으로 제1 셀 테스트 신호(DC_R)가 인가된다. 이어서 제3제어신호(DC_GATE_G1)와 제4제어신호(DC_GATE_G2)가 동시에 인가되어, 제3스위치(PSW3)와 제4스위치(PSW4)가 동시에 턴 온된다. 이에 따라, 제3화소가 배열된 제2열의 제2 데이터 라인 및 제4열의 제2 데이터 라인으로 제3 셀 테스트 신호(DC_G)가 인가된다.
- [0107] 따라서, 화소부(110)의 제1화소 내지 제3화소는 제1 내지 제3 셀 테스트 신호(TEST_DATA_R, TEST_DATA_B, TEST_DATA_G)에 의해 발광함으로써 점등 검사 등의 셀 테스트가 수행될 수 있다.
- [0108] 도 9는 도 2에 도시된 유기 발광 표시 패널의 일례를 도시한 평면도이다.
- [0109] 도 9를 참조하면, 화소부(110C)는 서로 다른 색의 빛을 방출하는 제1화소들, 제2화소들 및 제3화소들을 포함하

되, 제1화소 내지 제3화소는 인접한 열에 각각 일렬로 배치되는 구조를 갖는다.

- [0110] 제1화소는 적색의 빛을 방출하는 적색 화소(R)로 설정되고, 제2화소는 녹색의 빛을 방출하는 녹색 화소(G)로 설정되며, 제3화소는 청색의 빛을 방출하는 청색 화소(B)로 설정될 수 있다.
- [0111] 적색 화소(R), 녹색 화소(G), 청색 화소(B)는 각 열에 일렬로 배치된다. 각 열에는 데이터 라인(D1 내지 D4)이 배치된다.
- [0112] 본 발명의 실시예에서는 화소부(110C)가 적색 화소(R), 녹색 화소(G), 청색 화소(B)로 구성되는 것으로 설명하고 있으나, 화소부(110C)는 적색, 녹색 및 청색 이외의 색을 디스플레이하기 위한 화소(미도시)를 더 포함할 수도 있다.
- [0113] 테스트부(140C)는 어레이 테스트 패드(ATP)들, 어레이 테스트 패드(ATP)들과 IC 실장 영역(130)의 데이터 패드(DP)들 사이에 배치된 신호 분배부(150C), 및 셀 테스트부(170C)를 포함할 수 있다.
- [0114] 패드부(180)로부터 신호 분배부(150C)로 신호를 공급하는 라인은 제1 내지 제3 제어신호(DC_GATE_R, DC_GATE_G, DC_GATE_B)를 공급받는 세 개의 라인들(154a 내지 154c)로 구성될 수 있다.
- [0115] 신호 분배부(150C)는 제1 내지 제3 스위치(SSW1 내지 SSW3)를 구비한다. 신호 분배부(150C)는 제1 내지 제3 스위치(SSW1 내지 SSW3)를 통해 다수의 데이터 패드(DP)들을 하나의 어레이 테스트 패드(ATP)에 연결할 수 있다. 이에 따라, 어레이 테스트 패드(ATP)의 개수를 데이터 패드(DP)의 개수보다 감소시킬 수 있어, 어레이 테스트 패드(ATP)의 사이즈 및 어레이 테스트 패드(ATP)들 간의 간격을 늘릴 수 있다. 도 9의 실시예에서는 3개의 데이터 패드(DP)들과 하나의 어레이 테스트 패드(ATP)를 연결하고 있어, 어레이 테스트 패드(ATP)의 개수를 데이터 패드(DP)의 개수보다 1/3만큼 감소시킬 수 있다.
- [0116] 제1스위치(SSW1)는 데이터 패드(DP)를 통해 제1화소가 배열된 제1열의 제1 데이터 라인과 연결된다. 제2스위치(SSW2)는 데이터 패드(DP)를 통해 제2화소가 배열된 제2열의 제2 데이터 라인과 연결된다. 제3스위치(SSW3)는 데이터 패드(DP)를 통해 제3화소가 배열된 제3열의 제3 데이터 라인과 연결된다. 제1열 내지 제3열은 반복하여 제2방향으로 배치된다. 제1스위치(SSW1) 내지 제3스위치(SSW3)는 하나의 어레이 테스트 패드(ATP)에 연결된다.
- [0117] 제1스위치(SSW1)의 게이트는 제1 제어신호(DC_GATE_R)를 공급하는 라인(154a)에 연결된다. 제2스위치(SSW2)의 게이트는 제2 제어신호(DC_GATE_G)를 공급하는 라인(154b)에 연결된다. 제3스위치(SSW3)의 게이트는 제3 제어신호(DC_GATE_B)를 공급하는 라인(154c)에 연결된다.
- [0118] 제1 내지 제3 제어신호 라인(154a 내지 154c)은, 어레이 테스트(S2) 및 셀 테스트(S4)가 진행되는 동안 패드부(180)로부터 각각 직류 형태의 제어신호(DC_GATE_R, DC_GATE_G, DC_GATE_B)를 공급받고, 제1 내지 제3 스위치(SSW1 내지 SSW3)의 턴 온 및 턴 오프를 제어한다.
- [0119] 어레이 테스트 패드(ATP)는 오토 프로브 장치의 프로브 핀과 접촉하는(연결되는) 패드이다. 데이터 패드(DP)는 사이즈가 작고 데이터 패드(DP)들 간의 간격이 좁아 오토 프로브 장치의 프로브 핀과 1:1 접촉이 불가능하다. 반면, 본 발명의 실시예에 따른 어레이 테스트 패드(ATP)는 다수의 스위치들(SSW1 내지 SSW3)을 사용함으로써 사이즈와 간격을 크게 형성할 수 있어, 오토 프로브 장치의 프로브 핀과 1:1 접촉이 가능하기 때문에, 어레이 테스트(S2)를 수행할 수 있다. 어레이 테스트 패드(ATP)는 오토 프로브 장치의 프로브 핀으로부터 어레이 테스트 신호(AT_DATA)를 공급받아 화소부(110C)로 전달하고, 화소부(110C)부터 출력되는 테스트 전류를 수신한다.
- [0120] 패드부(180)로부터 셀 테스트부(170C)로 신호를 공급하는 라인은 제4 제어신호(TEST_GATE)를 공급받는 라인(174a)과 셀 테스트 신호(TEST_DATA)를 공급하는 라인(174b)인 두 개의 라인으로 구성될 수 있다.
- [0121] 셀 테스트부(170C)는 다수의 제4스위치(SSW4)들을 포함한다. 제4스위치(SSW4)의 게이트는 제4 제어신호(TEST_GATE)를 공급하는 라인(174a)에 연결된다. 제4스위치(SSW4)의 제1단자는 어레이 테스트 패드(ATP)에 연결되고, 제2단자는 셀 테스트 신호(TEST_DATA)를 공급하는 라인(174b)에 접속된다. 제4스위치(SSW4)는 어레이 테스트(S2) 동안 턴 오프 상태를 유지하도록 하는 제4 제어신호(TEST_GATE)를 공급받고, 이에 대응하여 턴 오프 상태를 유지한다. 제4스위치(SSW4)는 셀 테스트(S2) 동안 턴 온 상태를 유지하도록 하는 제4 제어신호(TEST_GATE)를 공급받고, 이에 대응하여 턴 온 상태를 유지한다. 셀 테스트 신호(TEST_DATA)는 제1 내지 제3 셀 테스트 신호를 차례로 인가하는 신호이다.
- [0122] 도 10은 도 9에 도시된 유기 발광 표시 패널의 어레이 테스트를 설명하기 위한 타이밍도이다.
- [0123] 도 10을 참조하면, 어레이 테스트(S2) 동안, 하이 레벨의 제4 제어신호(TEST_GATE)가 제4스위치(SSW4)들의 게이

트로 인가되어 제4스위치(SSW4)들은 턴 오프 상태가 된다.

- [0124] 제4스위치(SSW4)들이 턴 오프 상태에서, 정해진 순서대로 제1 내지 제3제어신호(DC_GATE_R, DC_GATE_G, DC_GATE_B)가 공급되어 제1 내지 제3스위치(SSW1 내지 SSW3)가 대응하여 정해진 순서대로 턴 온된다. 예를 들어, 제1제어신호(DC_GATE_R), 제2제어신호(DC_GATE_G), 제3제어신호(DC_GATE_B)가 차례로 인가되고, 이에 대응하여 제1스위치(SSW1), 제2스위치(SSW2), 제3스위치(SSW3)가 차례로 턴 온된다.
- [0125] 이에 따라, 오토 프로브 장치의 프로브 핀을 통해 어레이 테스트 패드(ATP)로 공급되는 어레이 테스트 신호(AT_DATA)가 화소부(110C)로 공급되고, 인가된 어레이 테스트 신호(AT_DATA)에 응답하여 테스트 전류가 출력된다. 오토 프로브 장치는 어레이 테스트 패드(ATP)로부터 테스트 전류를 센싱함으로써 불량 화소를 검출할 수 있다.
- [0126] 도 11은 도 9에 도시된 유기 발광 표시 패널의 셀 테스트를 설명하기 위한 타이밍도이다.
- [0127] 도 11을 참조하면, 셀 테스트(S4) 동안, 로우 레벨의 제4제어신호(TEST_GATE)가 제4스위치(SSW4)들의 게이트로 인가되어 제4스위치(SSW4)들은 턴 온 상태가 된다.
- [0128] 제4스위치(SSW4)들이 턴 온 상태에서, 제1제어신호(DC_GATE_R), 제2제어신호(DC_GATE_G), 제3제어신호(DC_GATE_B)가 차례로 인가되어, 제1스위치(SSW1), 제2스위치(SSW2), 제3스위치(SSW3)가 차례로 턴 온된다. 그리고, 셀 테스트 신호 라인(174b)으로 제1 내지 제3 셀 테스트 신호(TEST_DATA_R, TEST_DATA_G, TEST_DATA_B)가 차례로 인가된다. 이에 따라, 제1 내지 제3 데이터 라인으로 제1 내지 제3 셀 테스트 신호(TEST_DATA_R, TEST_DATA_G, TEST_DATA_B)가 차례로 인가된다.
- [0129] 따라서, 화소부(110C)의 제1 내지 제3 화소는 제1 내지 제3 셀 테스트 신호(TEST_DATA_R, TEST_DATA_G, TEST_DATA_B)에 의해 발광함으로써 점등 검사 등의 셀 테스트가 수행될 수 있다.
- [0130] 도 12는 도 2에 도시된 유기 발광 표시 패널의 일례를 나타낸 도면이다.
- [0131] 도 12에 도시된 유기 발광 표시 패널은 도 9에 도시된 유기 발광 표시 패널에 비해 테스트부(140)가 상이하고, 그 외 구성은 동일하다. 이하에서는 동일한 구성에 대한 상세한 설명은 생략하고, 상이한 부분을 중점적으로 설명하겠다.
- [0132] 도 12를 참조하면, 화소부(110D)는 도 9에 도시된 화소부(110C)와 동일하게, 적색 화소(R), 녹색 화소(G), 청색 화소(B)가 각 열에 일렬로 배치되는 구조를 갖는다. 각 열 라인에는 데이터 라인(D1 내지 D4)이 배치된다.
- [0133] 테스트부(140D)는 어레이 테스트 패드(ATP)들, 어레이 테스트 패드(ATP)들과 IC 실장 영역(130)의 데이터 패드(DP)들 사이에 배치된 신호 분배부(150D), 테스트 선택부(160D), 및 셀 테스트부(170D)를 포함할 수 있다.
- [0134] 신호 분배부(150)는 제1 내지 제3 스위치(SSW1 내지 SSW3)를 구비한다. 신호 분배부(150C)는 제1 내지 제3스위치(SSW1 내지 SSW3)를 통해 다수의 데이터 패드(DP)들을 하나의 어레이 테스트 패드(ATP)에 연결할 수 있다.
- [0135] 제1스위치(SSW1)는 데이터 패드(DP)를 통해 제1화소가 배열된 제1열의 제1 데이터 라인과 연결된다. 제2스위치(SSW2)는 데이터 패드(DP)를 통해 제2화소가 배열된 제2열의 제2 데이터 라인과 연결된다. 제3스위치(SSW3)는 데이터 패드(DP)를 통해 제3화소가 배열된 제3열의 제3 데이터 라인과 연결된다. 제1열 내지 제3열은 반복하여 제2방향으로 배치된다.
- [0136] 제1 내지 제3스위치(SSW1 내지 SSW3)는 셀 테스트부(170D)의 제4스위치(SSW4)와 1:1로 각각 연결된다. 제1스위치(SSW1)의 게이트는 제1제어신호(DC_GATE_R)를 공급하는 라인(154a)에 연결된다. 제2스위치(SSW2)의 게이트는 제2제어신호(DC_GATE_G)를 공급하는 라인(154b)에 연결된다. 제3스위치(SSW3)의 게이트는 제3제어신호(DC_GATE_B)를 공급하는 라인(154c)에 연결된다.
- [0137] 테스트 선택부(160)는 다수의 제5스위치(SSW5)들을 구비한다. 제5스위치(SSW5)는 제1스위치(SSW1), 제2스위치(SSW2) 및 제3스위치(SSW3) 사이에 연결된다. 예를 들어, 제1 데이터 라인에 연결된 제1스위치(SSW1)와 제2 데이터 라인에 연결된 제2스위치(SSW2) 사이와, 제2 데이터 라인에 연결된 제2스위치(SSW2)와 제3 데이터 라인에 연결된 제3스위치(SSW3) 사이에 각각 제5스위치(SSW5)가 구비되어, 제1 내지 제3스위치(SSW1 내지 SSW3)를 연결한다. 그리고, 두 개의 제5스위치(SSW5)들은 어레이 테스트 패드(ATP)에 연결된다.
- [0138] 제5스위치(SSW5)의 게이트는 제5제어신호(TEST_AT)를 공급하는 라인(164b)에 연결된다. 두 개의 제5스위치(SSW5)들이 턴 온되면 어레이 테스트 패드(ATP)가 제1 내지 제3 데이터 라인에 연결된 다수의 데이터 패드(DP)

들과 연결되어 어레이 테스트(S2)가 수행될 수 있다. 두 개의 제5스위치(SSW5)들이 턴 오프되면 제1 내지 제3 스위치들(SSW1 내지 SSW3)이 각각 제4스위치(SSW4)와 연결되어 셀 테스트(S4)가 수행될 수 있다. 즉, 제5스위치(SSW5)는 신호 분배부(150D)를 어레이 테스트 패드(ATP)와 연결하여 어레이 테스트(S2)가 수행되거나, 또는 신호 분배부(150D)를 셀 테스트부(170D)와 연결하여 셀 테스트(S4)가 수행되도록 한다.

- [0139] 어레이 테스트 패드(ATP)는 오토 프로브 장치의 프로브 핀으로부터 어레이 테스트 신호를 공급받아 화소부(110D)로 전달하고, 화소부(110D)부터 출력되는 테스트 전류를 수신한다.
- [0140] 셀 테스트부(170D)는 다수의 제4스위치(SSW4)들을 포함한다. 제4스위치(SSW4)의 게이트는 제4제어신호(TEST_GATE)를 공급하는 라인(174a)에 연결된다. 제4스위치(SSW4)의 제1단자는 제1 내지 제3스위치(SSW1 내지 SSW3) 중 하나에 연결되고, 제2단자는 제1 내지 제3 셀 테스트 신호(DC_R, DC_B, DC_G)를 공급하는 라인들(174c, 174d, 174e) 중 하나에 연결된다.
- [0141] 제1 내지 제3 셀 테스트 신호 라인(174c 내지 174e)은, 셀 테스트(S4)가 진행되는 동안 패드부(180)로부터 각각 직류 형태의 셀 테스트 신호(DC_R, DC_B, DC_G)를 공급받는다.
- [0142] 제4스위치(SSW4)들은 셀 테스트(S4) 동안 턴 온 상태를 유지하도록 하는 제4제어신호(TEST_GATE)를 공급받고, 이에 대응하여 턴 온 상태를 유지한다. 이에 따라, 제4스위치(SSW4)는 제1스위치(SSW1)를 통해 제1 데이터 라인으로 제1 셀 테스트 신호(DC_R)를 공급하고, 제2스위치(SSW2)를 통해 제2 데이터 라인으로 제2 셀 테스트 신호(DC_G)를 공급하고, 제3스위치(SSW3)를 통해 제3 데이터 라인으로 제3 셀 테스트 신호(DC_B)를 공급할 수 있다.
- [0143] 제4스위치(SSW4)들은 어레이 테스트(S2) 동안 턴 오프 상태를 유지하도록 하는 제4제어신호(TEST_GATE)를 공급받고, 이에 대응하여 턴 오프 상태를 유지한다.
- [0144] 도 13은 도 12에 도시된 유기 발광 표시 패널의 어레이 테스트를 설명하기 위한 타이밍도이다.
- [0145] 도 13을 참조하면, 어레이 테스트(S2) 동안, 하이 레벨의 제4제어신호(TEST_GATE)가 제4스위치(SSW4)들의 게이트로 인가되어 제4스위치(SSW4)들은 턴 오프 상태가 된다.
- [0146] 제5스위치(SSW5)들의 게이트에는 로우 레벨의 제5제어신호(TEST_AT)가 인가되어 제5스위치(SSW5)들이 턴 온된다. 이에 따라, 어레이 테스트 패드(ATP)가 제1 내지 제3 데이터 라인에 연결된 데이터 패드(DP)들과 연결된다.
- [0147] 제5스위치(SSW5)들이 턴 온인 상태에서, 정해진 순서대로 제1 내지 제3제어신호(DC_GATE_R, DC_GATE_G, DC_GATE_B)가 공급되어 제1 내지 제3스위치(SSW1 내지 SSW3)가 대응하여 정해진 순서대로 턴 온된다. 예를 들어, 제1제어신호(DC_GATE_R), 제2제어신호(DC_GATE_G), 제3제어신호(DC_GATE_B)가 차례로 인가되고, 이에 대응하여 제1스위치(SSW1), 제2스위치(SSW2), 제3스위치(SSW3)가 차례로 턴 온된다.
- [0148] 이에 따라, 오토 프로브 장치의 프로브 핀을 통해 어레이 테스트 패드(ATP)로 공급되는 어레이 테스트 신호가 화소부(110D)로 공급되고, 인가된 어레이 테스트 신호에 응답하여 화소부(110D)로부터 테스트 전류가 출력된다. 오토 프로브 장치는 어레이 테스트 패드(ATP)로부터 테스트 전류를 센싱함으로써 불량 화소를 검출할 수 있다.
- [0149] 도 14는 도 12에 도시된 유기 발광 표시 패널의 셀 테스트를 설명하기 위한 타이밍도이다.
- [0150] 도 14를 참조하면, 셀 테스트(S4) 동안, 로우 레벨의 제4제어신호(TEST_GATE)가 제4스위치(SSW4)들의 게이트로 인가되어 제4스위치(SSW4)들은 턴 온 상태가 된다.
- [0151] 제5스위치(SSW5)들의 게이트에는 하이 레벨의 제5제어신호(TEST_AT)가 인가되어 제5스위치(SSW5)들이 턴 오프된다. 이에 따라, 제1 내지 제3스위치(SSW1 내지 SSW3)는 셀 테스트부(170D)의 제4스위치(SSW4)와 각각 연결된다.
- [0152] 제4스위치(SSW4)들은 턴 온 상태이고 제5스위치(SSW5)들은 턴 오프인 상태에서, 정해진 순서대로 제1 내지 제3 제어신호(DC_GATE_R, DC_GATE_G, DC_GATE_B)가 공급되어 제1 내지 제3스위치(SSW1 내지 SSW3)가 대응하여 정해진 순서대로 턴 온된다. 예를 들어, 제1제어신호(DC_GATE_R), 제2제어신호(DC_GATE_G), 제3제어신호(DC_GATE_B)가 동시에 인가되고, 이에 대응하여 제1스위치(SSW1), 제2스위치(SSW2), 제3스위치(SSW3)가 동시에 턴 온된다. 이에 따라, 제1 내지 제3 데이터 라인으로 제1 내지 제3 셀 테스트 신호(DC_R, DC_G, DC_B)가 동시에 인가된다.
- [0153] 따라서, 화소부(110D)의 제1 내지 제3 화소는 제1 내지 제3 셀 테스트 신호(DC_R, DC_B, DC_G)에 의해 발광함으로써 점등 검사 등의 셀 테스트가 수행될 수 있다.

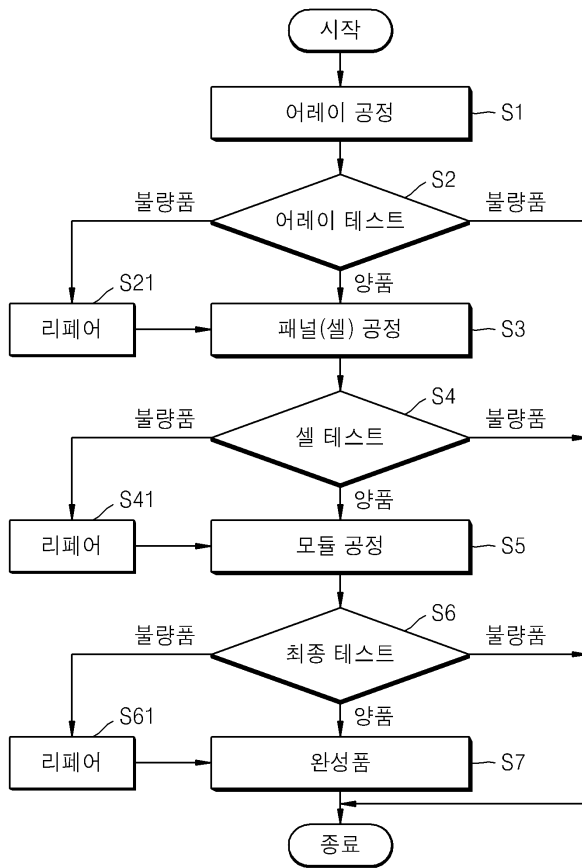
- [0154] 도 14에서는 제1 내지 제3제어신호(DC_GATE_R, DC_GATE_G, DC_GATE_B)가 동시에 공급되고 있으나, 본 발명은 이에 한정되지 않고, 제1제어신호(DC_GATE_R), 제2제어신호(DC_GATE_G), 제3제어신호(DC_GATE_B)가 차례로 인가되고, 이에 대응하여 제1스위치(SSW1), 제2스위치(SSW2), 제3스위치(SSW3)가 차례로 턴 온됨으로써, 제1 내지 제3 데이터 라인으로 제1 내지 제3 셀 테스트 신호(DC_R, DC_G, DC_B)가 차례로 인가될 수 있다.
- [0155] 표시 장치가 점차 고해상도화되면서 화소의 개수와 데이터선의 개수가 증가함에 따라 데이터 패드(DP)의 개수가 증가하고 있다. 이에 따라 데이터 패드(DP)의 사이즈가 작아지고 데이터 패드(DP) 간의 간격, 즉 피치(pitch)가 매우 좁아지면서, 오토 프로브 장치의 프로브 핀과 데이터 패드(DP) 간에 1:1 접촉이 불가능하다. 본 발명의 실시예에 따른 유기 발광 표시 패널(100)은 IC 실장 영역(130)과 연결되는 테스트부(140)에 디멀티플렉서를 구성함으로써, 둘 이상의 데이터 패드(DP)들을 하나의 어레이 테스트 패드(ATP)와 연결한다. 이에 따라, 어레이 테스트 패드(ATP)의 개수를 줄이고, 사이즈를 데이터 패드(DP)의 사이즈보다 크게 형성함으로써 충분한 크기의 어레이 테스트 패드(ATP)를 형성할 수 있고, 어레이 테스트 패드(ATP)들 간의 피치를 크게 형성할 수 있다. 따라서, 오토 프로브 장치의 프로브 핀과 어레이 테스트 패드(ATP)의 1:1 접촉을 가능하게 하고, 접촉 정확도를 높일 수 있어, 어레이 테스트 수행이 가능해진다.
- [0156] 또한, 본 발명의 실시예에 따른 유기 발광 표시 패널(100)은 어레이 테스트와 셀 테스트를 선택적으로 수행할 수 있는 테스트 공용 회로부를 구비함으로써 어레이 테스트와 셀 테스트를 용이하게 수행할 수 있고, 각각 별개로 테스트 회로를 구성할 필요가 없어 비표시 영역을 최소화할 수 있다.
- [0157] 본 발명의 실시예에서는 스위치들(PSW1 내지 PSW7, SSW1 내지 SSW5)이 모두 PMOS 타입의 트랜지스터인 것으로 도시하고 있으나, 본 발명은 이에 한정되지 않고, 모두 NMOS 타입의 트랜지스터 또는 서로 상이한 전도 타입의 트랜지스터일 수 있고, 그에 상응하여 트랜지스터를 온/오프하는 신호 레벨이 달라질 수 있다.
- [0158] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

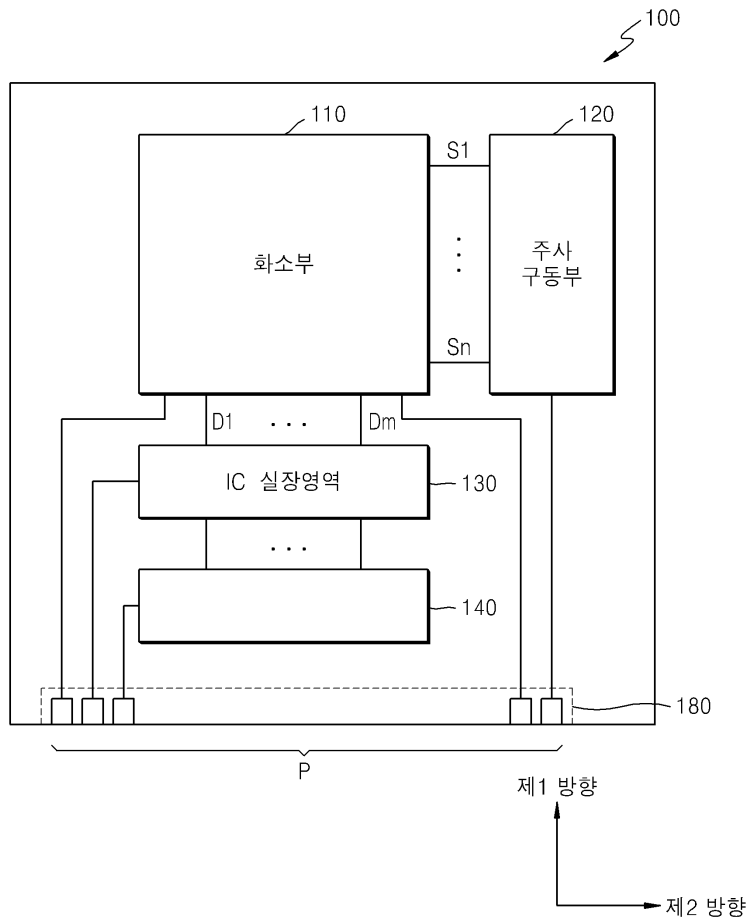
- [0159] 110; 화소부
- 120; 주사구동부
- 130; IC 실장 영역
- 140; 테스트부
- 180; 패드부

도면

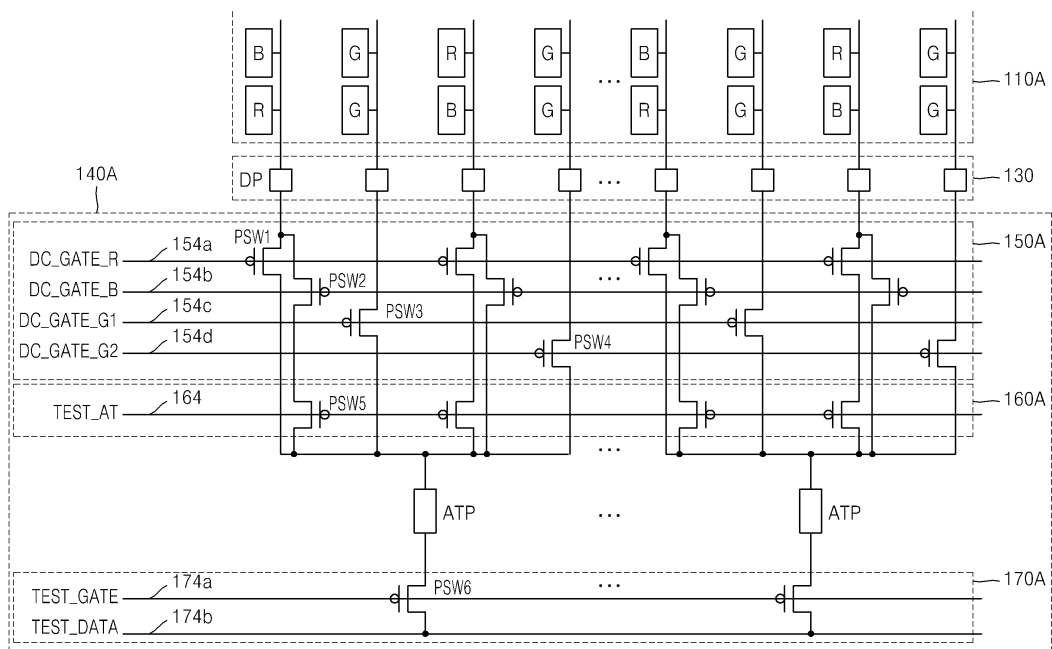
도면1



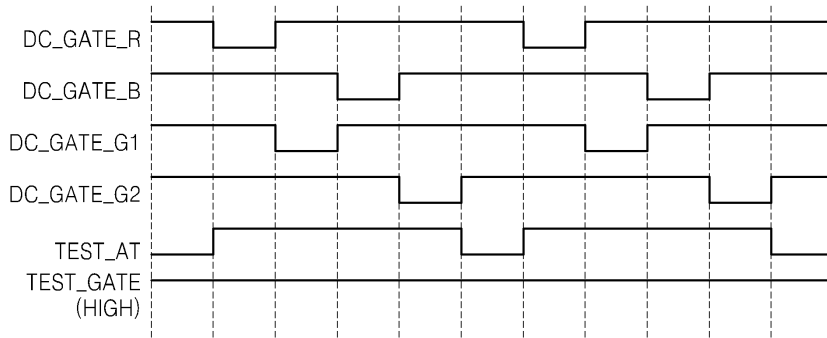
도면2



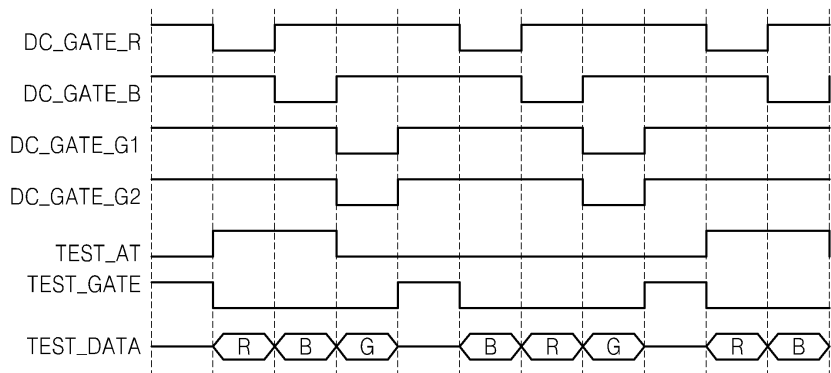
도면3



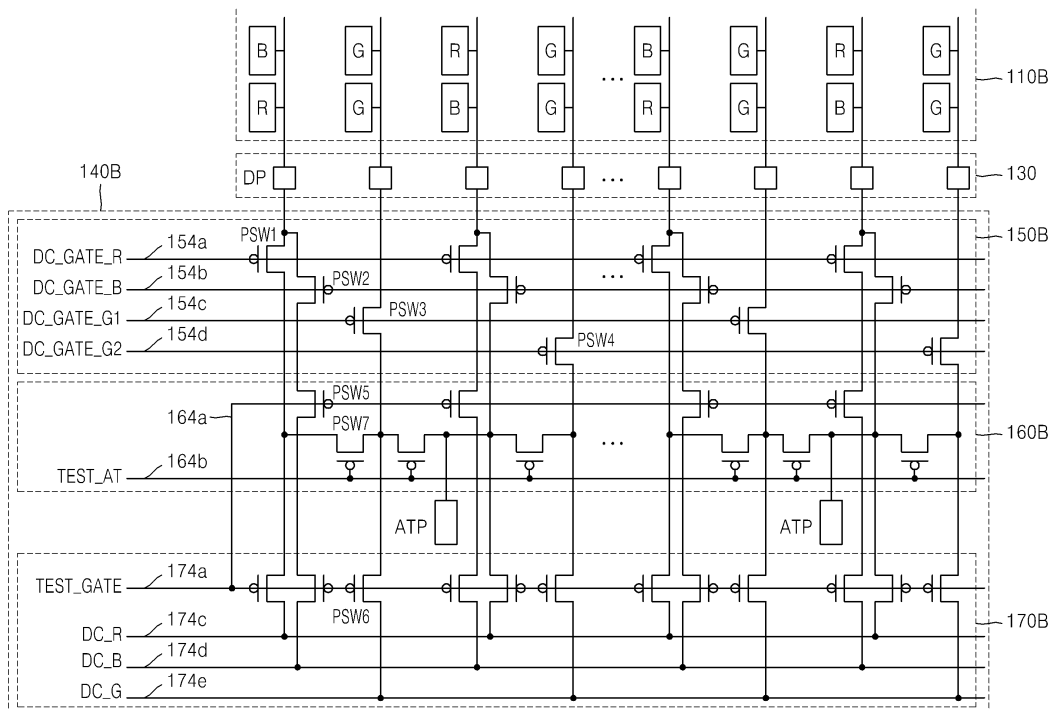
도면4



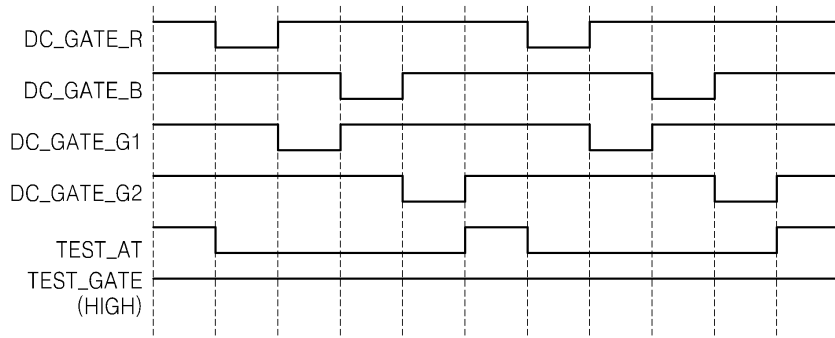
도면5



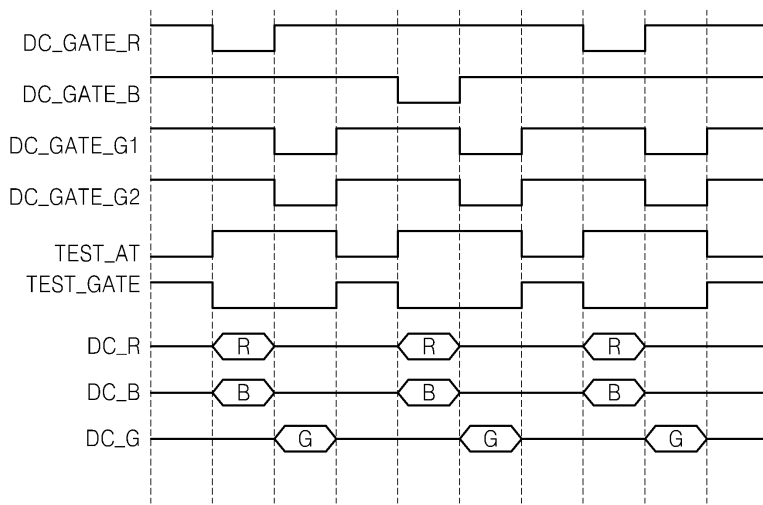
도면6



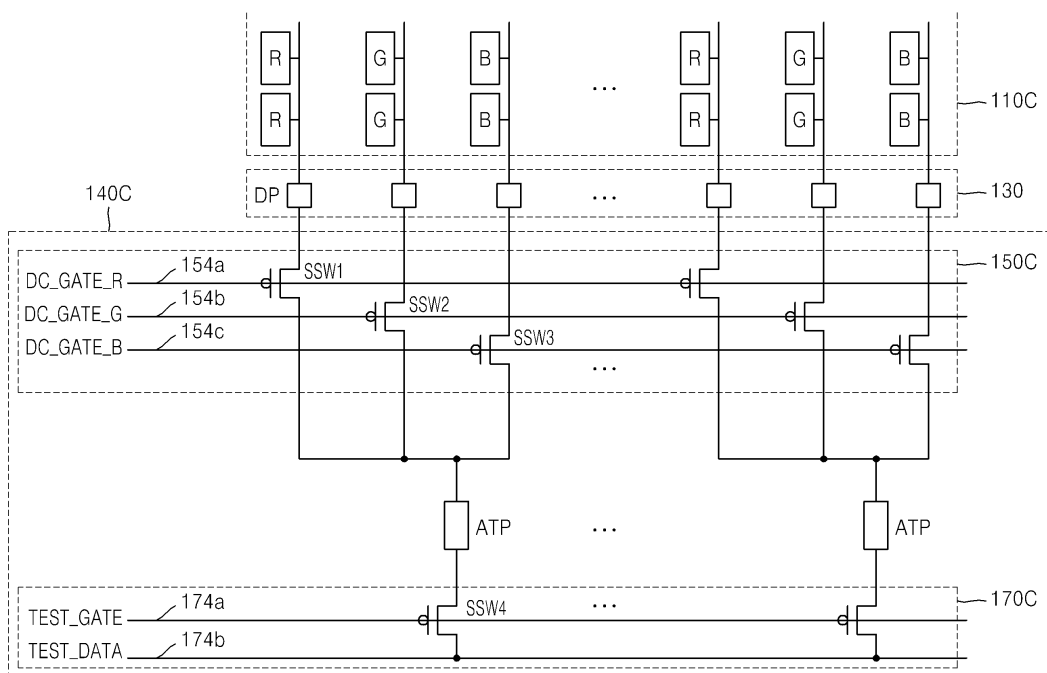
도면7



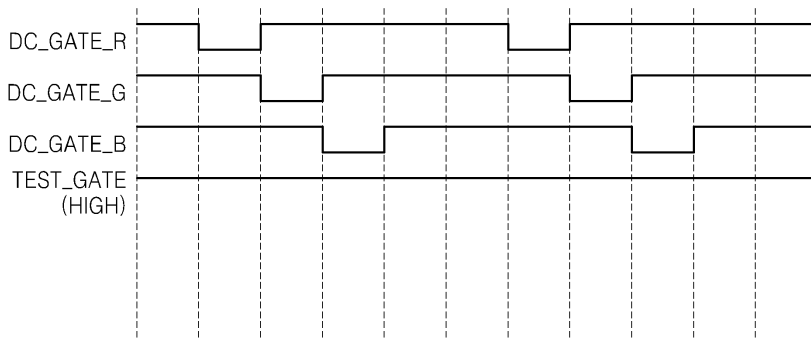
도면8



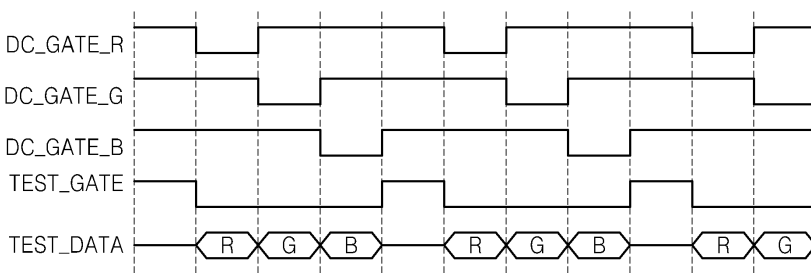
도면9



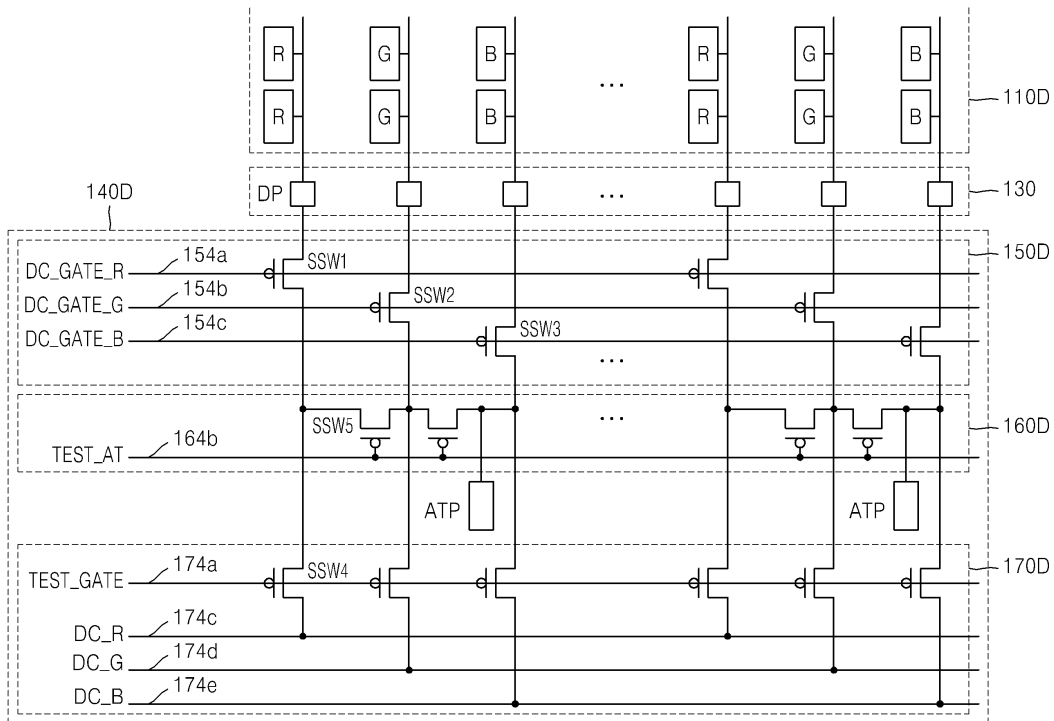
도면10



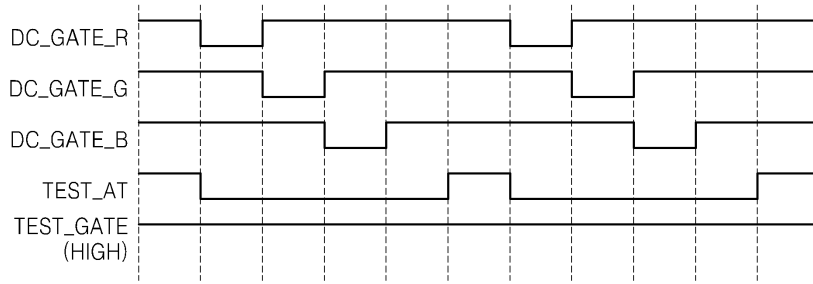
도면11



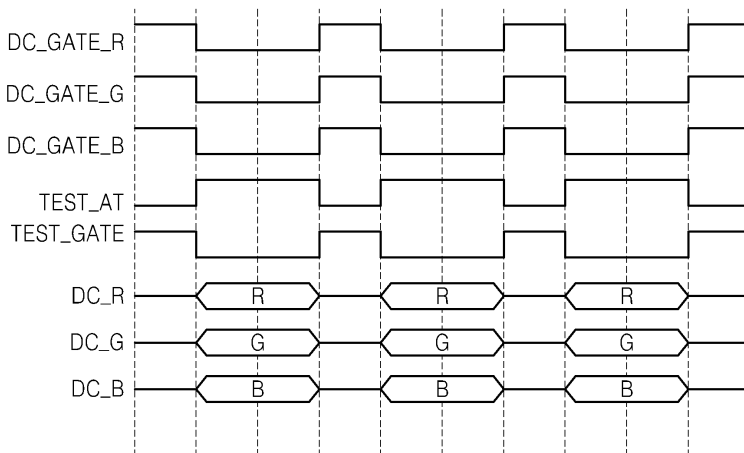
도면12



도면13



도면14



专利名称(译)	有机发光显示面板		
公开(公告)号	KR102098743B1	公开(公告)日	2020-04-09
申请号	KR1020130118127	申请日	2013-10-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이현		
发明人	이현		
IPC分类号	G09G3/32 H05B33/08 H05B33/10		
CPC分类号	G09G3/006 G09G3/3208 H01L27/3244 H01L22/30 H01L51/52 H01L2251/10		
审查员(译)	Gimhyouk		
其他公开文献	KR1020150039491A		
外部链接	Espacenet		

摘要(译)

有机发光显示面板包括：像素单元，其包括分别位于扫描线和数据线之间的交点处并显示不同颜色的多个像素；多个焊盘分别耦合到数据线的端部；测试单元选择性地执行阵列测试以检测像素的像素电路的缺陷或单元测试以检测像素的发光器件的缺陷。

