



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0067527  
(43) 공개일자 2020년06월12일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2310/0297 (2013.01)

(21) 출원번호 10-2018-0154493

(22) 출원일자 2018년12월04일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이정윤

경기도 파주시 월롱면 엘지로 245

김경록

경기도 파주시 월롱면 엘지로 245

(뒷면에 계속)

(74) 대리인

이승찬

전체 청구항 수 : 총 17 항

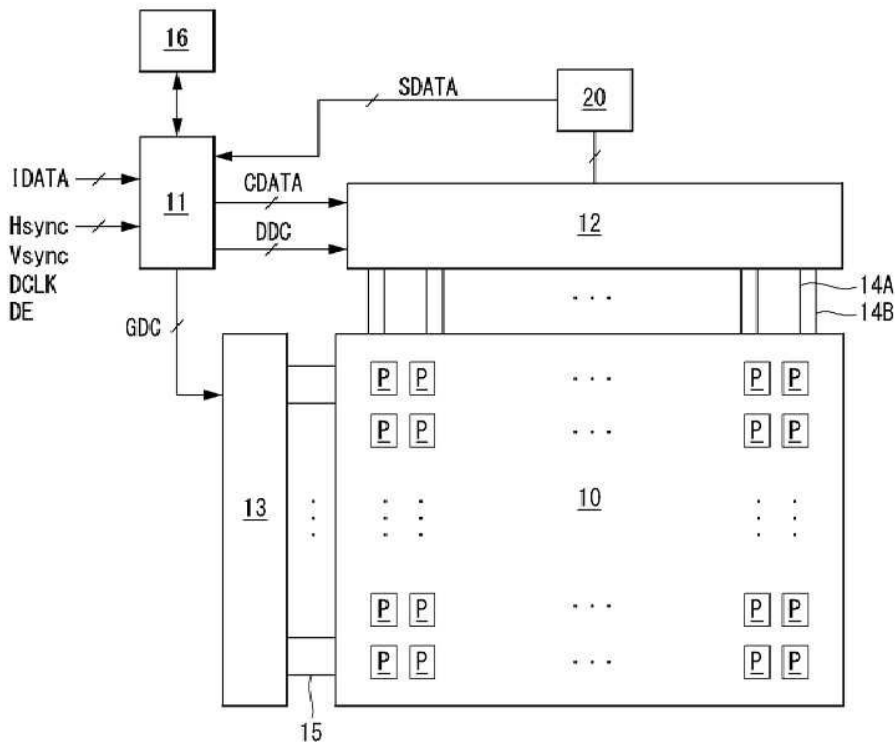
(54) 발명의 명칭 유기발광 표시장치와 그의 픽셀 센싱 방법

(57) 요약

본 발명의 실시예에 따른 유기발광 표시장치는 표시패널과, 소스 드라이브 집적회로와, 복수의 센싱부들을 포함한다. 표시패널에는 복수의 픽셀 라인들이 구비되고, 각 픽셀 라인마다 다수의 데이터라인들과 다수의 센싱 라인들에 연결된 다수의 픽셀들이 배치된다. 소스 드라이브 집적회로는 상기 데이터라인들에 연결된 데이터 채널 단

(뒷면에 계속)

대표도 - 도1



자들과 상기 센싱 라인들에 연결된 센싱 채널 단자들을 구비하며, 모든 데이터 채널 단자들을 통해 풀 센싱 픽셀 라인의 모든 픽셀들로 센싱용 활성 데이터전압을 인가하고, 일부 데이터 채널 단자들을 통해 상기 풀 센싱 픽셀 라인 이외의 파샬 센싱 픽셀 라인들의 대표 픽셀들로 상기 센싱용 활성 데이터전압을 인가한다. 그리고, 센싱부들은 상기 센싱 채널 단자들을 통해 입력된 제1 픽셀 전류들을 개별적으로 센싱하여 제1 센싱 결과 데이터를 출력함과 아울러, 상기 센싱 채널 단자들을 통해 입력된 제2 픽셀 전류들을 개별적으로 센싱하여 제2 센싱 결과 데이터를 출력한다.

(52) CPC특허분류

G09G 2320/029 (2013.01)

(72) 발명자

**김태욱**

경기도 파주시 월롱면 엘지로 245

**이병재**

경기도 파주시 월롱면 엘지로 245

## 명세서

### 청구범위

#### 청구항 1

복수의 픽셀 라인들이 구비되고, 각 픽셀 라인마다 다수의 데이터라인들과 다수의 센싱 라인들에 연결된 다수의 픽셀들이 배치된 표시패널;

상기 데이터라인들에 연결된 데이터 채널 단자들과 상기 센싱 라인들에 연결된 센싱 채널 단자들을 구비하며, 모든 데이터 채널 단자들을 통해 풀 센싱 픽셀 라인의 모든 픽셀들로 센싱용 활성 데이터전압을 인가하고, 일부 데이터 채널 단자들을 통해 상기 풀 센싱 픽셀 라인 이외의 파샬 센싱 픽셀 라인들의 대표 픽셀들로 상기 센싱용 활성 데이터전압을 인가하는 소스 드라이브 집적회로; 및

상기 센싱 채널 단자들을 통해 입력된 제1 픽셀 전류들을 개별적으로 센싱하여 제1 센싱 결과 데이터를 출력함과 아울러, 상기 센싱 채널 단자들을 통해 입력된 제2 픽셀 전류들을 개별적으로 센싱하여 제2 센싱 결과 데이터를 출력하는 복수의 센싱부들을 포함하며,

상기 제1 픽셀 전류들은 상기 센싱용 활성 데이터전압에 대응하여 상기 풀 센싱 픽셀 라인의 모든 픽셀들에 흐르는 픽셀 전류들이고, 상기 제2 픽셀 전류들은 상기 센싱용 활성 데이터전압에 대응하여 상기 파샬 센싱 픽셀 라인들의 대표 픽셀들에 흐르는 픽셀 전류들인 유기발광 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 파샬 센싱 픽셀 라인들의 대표 픽셀들로 상기 센싱용 활성 데이터전압을 인가하는 상기 일부 데이터 채널 단자들은 서로 불규칙적인 간격을 갖는 유기발광 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 일부 데이터 채널 단자들 간의 불규칙적인 간격은, 상기 제1 센싱 결과 데이터를 기반으로 결정된 보간 블록들의 크기에 대응되는 유기발광 표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 보간 블록들은,

상기 제1 센싱 결과 데이터에 대한 센싱값의 변화 정도에 따라 불규칙적인 크기로 결정된 유기발광 표시장치.

#### 청구항 5

제 4 항에 있어서,

상기 보간 블록들의 불규칙적인 크기 패턴은 상기 파샬 센싱 픽셀 라인들의 적어도 일부에서 동일한 유기발광 표시장치.

#### 청구항 6

제 4 항에 있어서,

상기 보간 블록들 각각은 1개의 대표 픽셀에 대응되고,

상기 보간 블록들의 개수는 상기 파샬 센싱 픽셀 라인들 각각의 대표 픽셀 개수와 동일한 유기발광 표시장치.

#### 청구항 7

제 1 항에 있어서,

상기 풀 센싱 픽셀 라인은 서로 이격되어 배치된 A 픽셀 라인과 B 픽셀 라인을 포함하고,

상기 파샬 센싱 픽셀 라인들은,

상기 A 픽셀 라인과 상기 B 픽셀 라인 사이에 배치됨과 아울러, 상기 A 픽셀 라인의 위 또는 상기 B 픽셀 라인의 아래에 배치된 유기발광 표시장치.

#### 청구항 8

제 1 항에 있어서,

상기 센싱 채널 단자들의 개수는 상기 데이터 채널 단자들의 개수보다 작은 유기발광 표시장치.

#### 청구항 9

제 1 항에 있어서,

상기 센싱부들의 개수는 상기 센싱 채널 단자들의 개수보다 작은 유기발광 표시장치.

#### 청구항 10

제 1 항에 있어서,

상기 센싱부들과 상기 센싱 채널 단자들 사이에는 맥스 회로가 더 연결되고,

상기 맥스 회로는 상기 소스 드라이브 집적회로에 내장되어, 복수의 센싱 채널 단자들을 1개의 센싱부에 선택적으로 연결하는 유기발광 표시장치.

#### 청구항 11

제 1 항에 있어서,

상기 센싱부들은 상기 소스 드라이브 집적회로에 내장되거나 또는, 상기 소스 드라이브 집적회로 바깥의 리드아웃 집적회로에 내장된 유기발광 표시장치.

#### 청구항 12

복수의 픽셀 라인들이 구비되고, 각 픽셀 라인마다 다수의 데이터라인들과 다수의 센싱 라인들에 연결된 다수의 픽셀들이 배치된 유기발광 표시장치의 픽셀 센싱 방법에 있어서,

상기 데이터라인들에 연결된 데이터 채널 단자들과 상기 센싱 라인들에 연결된 센싱 채널 단자들을 갖는 소스 드라이브 집적회로에서, 모든 데이터 채널 단자들을 통해 풀 센싱 픽셀 라인의 모든 픽셀들로 센싱용 활성 데이터전압을 인가하고, 일부 데이터 채널 단자들을 통해 상기 풀 센싱 픽셀 라인 이외의 파샬 센싱 픽셀 라인들의 대표 픽셀들로 상기 센싱용 활성 데이터전압을 인가하는 단계; 및

복수의 센싱부들에서, 상기 센싱 채널 단자들을 통해 입력된 제1 픽셀 전류들을 개별적으로 센싱하여 제1 센싱 결과 데이터를 출력함과 아울러, 상기 센싱 채널 단자들을 통해 입력된 제2 픽셀 전류들을 개별적으로 센싱하여 제2 센싱 결과 데이터를 출력하는 단계를 포함하고,

상기 제1 픽셀 전류들은 상기 센싱용 활성 데이터전압에 대응하여 상기 풀 센싱 픽셀 라인의 모든 픽셀들에 흐르는 픽셀 전류들이고, 상기 제2 픽셀 전류들은 상기 센싱용 활성 데이터전압에 대응하여 상기 파샬 센싱 픽셀 라인들의 대표 픽셀들에 흐르는 픽셀 전류들인 유기발광 표시장치의 픽셀 센싱 방법.

#### 청구항 13

제 12 항에 있어서,

상기 파샬 센싱 픽셀 라인들의 대표 픽셀들로 상기 센싱용 활성 데이터전압을 인가하는 상기 일부 데이터 채널 단자들은 서로 불규칙적인 간격을 갖는 유기발광 표시장치의 픽셀 센싱 방법.

#### 청구항 14

제 13 항에 있어서,

상기 일부 데이터 채널 단자들 간의 불규칙적인 간격은, 상기 제1 센싱 결과 데이터를 기반으로 결정된 보간 블록들의 크기에 대응되는 유기발광 표시장치의 픽셀 센싱 방법.

#### 청구항 15

제 14 항에 있어서,

상기 보간 블록들은,

상기 제1 센싱 결과 데이터에 대한 센싱값의 변화 정도에 따라 불규칙적인 크기로 결정된 유기발광 표시장치의 픽셀 센싱 방법.

#### 청구항 16

제 15 항에 있어서,

상기 보간 블록들의 불규칙적인 크기 패턴은 상기 파살 센싱 픽셀 라인들의 적어도 일부에서 동일한 유기발광 표시장치의 픽셀 센싱 방법.

#### 청구항 17

제 15 항에 있어서,

상기 보간 블록들 각각은 1개의 대표 픽셀에 대응되고,

상기 보간 블록들의 개수는 상기 파살 센싱 픽셀 라인들 각각의 대표 픽셀 개수와 동일한 유기발광 표시장치의 픽셀 센싱 방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것으로, 특히 유기발광 표시장치와 그의 픽셀 센싱 방법에 관한 것이다.

#### 배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트전극과 소스전극 사이에 걸리는 전압에 따라 OLED에 인가되는 픽셀 전류를 생성하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. OLED와 구동 TFT는 온도나 열화에 의해 그 구동 특성이 변한다. OLED 및/또는 구동 TFT의 구동 특성이 픽셀들마다 달라지면 동일한 영상 데이터를 기입하더라도 픽셀들 간 휘도가 달라지므로 원하는 영상을 구현하기 어렵다.

[0004] 이러한 픽셀의 구동 특성 변화를 보상하기 위해 외부 보상 기술이 알려져 있다. 외부 보상 기술은 픽셀의 구동 특성 변화를 센싱하고, 그 센싱 결과를 기초로 영상 데이터를 보정하는 것이다.

### 발명의 내용

#### 해결하려는 과제

[0005] 유기발광 표시장치는 외부 보상 기술을 구현하기 위해 소스 드라이브 집적회로(Integrated Circuit) 내에 센싱부를 실장한다. 센싱부는 센싱 채널마다 연결되므로 드라이브 집적회로 내에서 센싱부가 차지하는 면적이 넓어, 소스 드라이브 집적회로 의 칩 사이즈가 커지고 제조 비용이 증가한다.

[0006] 유기발광 표시장치는 미리 설정된 특정 시간마다 센싱부를 동작시켜 픽셀들을 센싱하며, 모든 픽셀들에 대한 센싱이 종료된 후에 영상 데이터를 보정하기 위한 보상값들을 업데이트한다. 픽셀들의 구동 특성 변화가 빠르게 보상되기 위해서는 보상값들의 업데이트 주기가 짧아야 한다. 이 보상값들의 업데이트 주기는 픽셀들에 대한 총

센싱 시간과 밀접한 관계가 있다. 픽셀들에 대한 총 센싱 시간이 길면 보상값들의 업데이트 주기도 길어진다.

- [0007] 픽셀들에 대한 총 센싱 시간을 줄이기 위해 대표 픽셀들만 센싱하는 방법을 고려해 볼 수 있으나, 이 경우 센싱 되지 않은 픽셀들에서 센싱 및 보상 오차가 커 센싱 및 보상의 정확성과 신뢰성이 저하될 수 있다.
- [0008] 따라서, 본 발명은 센싱 및 보상 오차를 최소화하면서 픽셀들에 대한 총 센싱 시간을 줄일 수 있도록 한 유기발광 표시장치와 그의 픽셀 센싱 방법을 제공한다.
- [0009] 또한, 본 발명은 센싱부의 개수를 줄여 소스 드라이브 집적회로의 칩 사이즈와 제조 비용을 줄일 수 있도록 한 유기발광 표시장치를 제공한다.

### 과제의 해결 수단

- [0010] 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널과, 소스 드라이브 집적회로와, 복수의 센싱부들을 포함한다. 표시패널에는 복수의 픽셀 라인들이 구비되고, 각 픽셀 라인마다 다수의 데이터라인들과 다수의 센싱 라인들에 연결된 다수의 픽셀들이 배치된다. 소스 드라이브 집적회로는 상기 데이터라인들에 연결된 데이터 채널 단자들과 상기 센싱 라인들에 연결된 센싱 채널 단자들을 구비하며, 모든 데이터 채널 단자들을 통해 풀 센싱 픽셀 라인의 모든 픽셀들로 센싱용 활성화 데이터전압을 인가하고, 일부 데이터 채널 단자들을 통해 상기 풀 센싱 픽셀 라인 이외의 과살 센싱 픽셀 라인들의 대표 픽셀들로 상기 센싱용 활성화 데이터전압을 인가한다. 그리고, 센싱부들은 상기 센싱 채널 단자들을 통해 입력된 제1 픽셀 전류들을 개별적으로 센싱하여 제1 센싱 결과 데이터를 출력함과 아울러, 상기 센싱 채널 단자들을 통해 입력된 제2 픽셀 전류들을 개별적으로 센싱하여 제2 센싱 결과 데이터를 출력한다. 이때, 상기 제1 픽셀 전류들은 상기 센싱용 활성화 데이터전압에 대응하여 상기 풀 센싱 픽셀 라인의 모든 픽셀들에 흐르는 픽셀 전류들이고, 상기 제2 픽셀 전류들은 상기 센싱용 활성화 데이터전압에 대응하여 상기 과살 센싱 픽셀 라인들의 대표 픽셀들에 흐르는 픽셀 전류들이다.

### 발명의 효과

- [0011] 본 발명은 센싱 채널 단자들과 센싱부 사이에 먹스 회로를 추가하여 센싱부의 개수를 센싱 채널 단자들의 개수 보다 줄일 수 있다. 이를 통해 본 발명은 소스 드라이브 집적회로의 칩 사이즈와 제조 비용을 줄일 수 있다.
- [0012] 본 발명은 일부 풀 센싱 픽셀라인에 대해서만 모든 픽셀들을 센싱하고, 나머지 과살 센싱 픽셀라인들에 대해서는 보간 블록당 대표 픽셀만을 센싱함으로써, 총 센싱 시간을 줄일 수 있다.
- [0013] 본 발명은 풀 센싱 픽셀 라인으로부터 얻어진 풀 센싱값들의 변화 정도에 따라 과살 센싱 픽셀 라인들에 적용될 보간 블록의 크기를 다양하게 설정함으로써, 총 센싱 시간 감축에 따른 센싱 및 보상 오차를 최소화할 수 있다.
- [0014] 본 발명은 풀 센싱 픽셀 라인을 복수개로 설정하고, 풀 센싱 픽셀 라인들의 위치를 공간적으로 이격 시킴으로써, 센싱값의 공간적 변화에 대해 민감하게 대응할 수 있다.
- [0015] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

### 도면의 간단한 설명

- [0016] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다.
- 도 2는 복수의 픽셀들이 동일한 센싱 라인을 공유하는 것을 보여주는 도면이다.
- 도 3은 픽셀 어레이를 구성하는 픽셀들의 일 접속 구성을 보여주는 도면이다.
- 도 4는 도 3의 픽셀 어레이에 연결된 소스 드라이브 집적회로의 일 구성과, 소스 드라이브 집적회로에 연결된 리드아웃 집적회로를 보여주는 도면이다.
- 도 5는 리드아웃 집적회로에 내장된 일 센싱부의 구성을 보여주는 도면이다.
- 도 6은 도 3의 픽셀 어레이에 연결된 소스 드라이브 집적회로의 다른 구성을 보여주는 도면이다.
- 도 7은 소스 드라이브 집적회로에 내장된 일 센싱부의 구성을 보여주는 도면이다.
- 도 8은 본 발명의 비교예로서, 픽셀들에 대한 총 센싱 시간을 줄이기 위해 보간 블록의 크기를 동일하게 고정한 것을 보여주는 도면이다.

도 9는 본 발명의 실시예에 따른 픽셀 센싱 방법을 보여주는 도면이다.

도 10은 도 9에 대응되는 본 발명의 일 실시예로서, 픽셀들에 대한 총 센싱 시간과 센싱 오차를 줄이기 위해 보 간 블록의 크기를 센싱값의 변화 정도에 따라 가변한 것을 보여주는 도면이다.

도 11은 도 10을 구현하기 위해 소스 드라이브 집적회로의 데이터 채널 단자들에서 출력되는 센싱용 데이터전압들의 출력 형태를 보여주는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

- [0017] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0018] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0019] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0020] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0021] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0022] 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다.
- [0023] 본 명세서에서 표시패널의 기관 상에 형성되는 픽셀 회로와 게이트 구동부는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현될 수 있으나 이에 한정되지 않고 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 본 명세서의 실시예에 대한 설명에서는 소스와 드레인 중 어느 하나를 제1 전극, 소스와 드레인 중 나머지 하나를 제2 전극으로 기술한다.
- [0024] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 실시예에서, 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 하지만, 본 명세서의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있음에 주의하여야 한다.
- [0025] 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0026] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다. 도 2는 복수의 픽셀들이 동일한 센싱 라인을 공유하는 것을 보여주는 도면이다. 그리고, 도 3은 픽셀 어레이를 구성하는 픽셀들의 일 접속 구성을 보여주는 도면이다.



- [0027] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 콘트롤러(11), 소스 드라이브 집적회로(12), 게이트 구동회로(13), 센싱 회로(20)를 포함할 수 있다.
- [0028] 표시패널(10)에는 다수의 데이터라인들(14A) 및 센싱라인들(14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 픽셀들(P)이 매트릭스 형태로 배치되어 픽셀 어레이를 구성한다. 각 게이트라인들(15)은, 도 3에서와 같이 스캔 제어신호가 공급되는 다수의 제1 게이트라인들(15A)과, 센싱 제어신호가 공급되는 다수의 제2 게이트라인들(15B)을 포함할 수 있다. 스캔 제어신호와 센싱 제어신호는 동위상으로 가질 수도 있고, 서로 다른 위상을 가질 수도 있다. 스캔 제어신호와 센싱 제어신호가 동위상을 가질 때, 제1 및 제2 게이트라인들(15A, 15B)은 하나의 게이트라인(15)으로 단일화될 수 있다.
- [0029] 각 픽셀(P)은 데이터라인들(14A) 중 어느 하나에, 센싱라인들(14B) 중 어느 하나에, 게이트라인들(15) 중 어느 하나에 접속될 수 있다. 픽셀 어레이를 구성하는 픽셀들(P)은 도 2와 같이 적색을 표시하기 위한 다수의 적색 픽셀들(PR), 녹색을 표시하기 위한 다수의 녹색 픽셀들(PG), 청색을 표시하기 위한 다수의 청색 픽셀들(PB)을 포함할 수 있고, 및 백색을 표시하기 위한 다수의 백색 픽셀들(PW)을 더 포함할 수 있다. 적색 픽셀(PR), 녹색 픽셀(PG), 청색 픽셀(PB), 및 백색 픽셀(PW)을 포함한 4개의 픽셀들이 도 3과 같이 하나의 픽셀 유닛(UPXL)을 구성할 수 있다. 다만 픽셀 유닛(UPXL)의 구성은 이에 한정되지 않고, 적색 픽셀(PR), 녹색 픽셀(PG), 청색 픽셀(PB)으로 포함할 수도 있다. 픽셀 어레이의 구성이 간소화될 수 있도록 동일한 픽셀 유닛(UPXL)을 구성하는 복수의 픽셀들(PR, RG, PB, PW)은 하나의 센싱라인(14B)을 공유할 수 있다. 이러한 센싱 라인 공유 구조는 픽셀 어레이에서 센싱 라인들(14B)의 개수를 줄일 수 있어, 제품의 수율 향상에 도움이 된다. 또한, 각 센싱 라인(14B)에 연결되는 소스 드라이브 집적회로(12)의 센싱 채널 단자들(SCH)의 개수를 줄일 수 있어, 소스 드라이브 집적회로(12)의 칩 사이즈 및 제조 비용을 줄일 수 있는 효과가 있다. 다만, 본 발명의 기술적 사상은 동일한 픽셀 유닛(UPXL)을 구성하는 복수의 픽셀들(PR, RG, PB, PW)이 서로 다른 센싱라인들(14B)에 독립적으로 연결되는 경우에도 적용 가능하다. 픽셀들(P) 각각은 전원생성부로부터 고전위 픽셀전압(EVDD)과 저전위 픽셀전압(EVSS)을 공급받을 수 있다.
- [0030] 본 발명의 일 픽셀(P)은 도 3과 같이 OLED, 구동 TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있으나, 이에 한정되지 않는다. 이러한 픽셀(P) 구조는 픽셀들(PR, RG, PB, PW)에 동일하게 적용될 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0031] OLED는 소스노드(Ns)에 접속된 애노드전극과, 저전위 픽셀전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드 전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있다.
- [0032] 구동 TFT(DT)는 게이트-소스 간 전압에 따라 소스-드레인 간 전류(이하, 픽셀 전류)를 생성한다. OLED의 발광량은 이 픽셀 전류의 크기에 따라 결정된다. 구동 TFT(DT)는 게이트노드(Ng)에 접속된 게이트전극, 고전위 픽셀전압(EVDD)의 입력단에 접속된 제1 전극, 및 소스노드(Ns)에 접속된 제2 전극을 구비한다. 스토리지 커패시터(Cst)는 게이트노드(Ng)와 소스노드(Ns) 사이에 접속되어 구동 TFT(DT)의 게이트-소스 간 전압을 일정 기간 동안 유지시킨다. 제1 스위치 TFT(ST1)는 스캔 제어신호에 따라 데이터라인(14A)과 게이트노드(Ng) 간의 전기적 접속을 온/오프한다. 제1 스위치 TFT(ST1)는 제1 게이트라인(15A)에 접속된 게이트전극, 데이터라인(14A)에 접속된 제1 전극, 및 게이트노드(Ng)에 접속된 제2 전극을 구비한다. 제2 스위치 TFT(ST2)는 센싱 제어신호에 따라 소스노드(Ns)와 센싱 라인(14B) 간의 전기적 접속을 온/오프한다. 제2 스위치 TFT(ST2)는 제2 게이트라인(15B)에 접속된 게이트전극, 센싱 라인(14B)에 접속된 제1 전극, 및 소스노드(Ns)에 접속된 제2 전극을 구비한다.
- [0033] 이러한 픽셀 어레이를 갖는 유기발광 표시장치는 외부 보상 기술을 채용한다. 외부 보상 기술은 픽셀들(P)에 구비된 OLED 및/또는 구동 TFT(DT)의 구동 특성을 센싱하고 그 센싱값(SDATA)에 따라 입력 영상 데이터(IDATA)를 보정하는 기술이다. OLED의 구동 특성은 OLED의 동작점 전압을 의미하고, 구동 TFT의 구동 특성은 구동 TFT의 문턱전압과 구동 TFT의 전자 이동도를 의미한다.
- [0034] 본 발명의 유기발광 표시장치는 영상 표시 동작과 센싱 동작을 수행한다. 센싱 동작은 영상 표시 동작 중의 수직 블랭크 기간이나 수직 액티브 기간에서 수행되거나, 또는 영상 표시가 시작되기 전의 파워 온 시퀀스 기간에서 수행되거나, 또는 영상 표시가 끝난 후의 파워 오프 시퀀스 기간에서 수행될 수 있다. 수직 블랭크 기간은



보정 영상 데이터(CDATA)가 기입되지 않는 기간으로서, 1 프레임분의 보정 영상 데이터(CDATA)가 기입되는 수직 액티브 구간들 사이마다 배치된다. 파워 온 시퀀스 기간은 모듈 전원이 온 된 후부터 표시패널(10)의 화면이 꺼질 때까지의 기간을 의미한다. 파워 오프 시퀀스 기간은 표시패널(10)의 화면이 꺼진 후부터 모듈 전원이 오프 될 때까지의 기간을 의미한다.

[0035] 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 소스 드라이브 집적회로(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)를 생성한다. 타이밍 컨트롤러(11)는 영상 표시 동작을 위한 타이밍 제어신호들(DDC, GDC)과 센싱 동작을 위한 타이밍 제어신호들(DDC, GDC)을 서로 다르게 생성할 수 있다.

[0036] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트 신호(스캔 제어신호와 센싱 제어신호를 포함함)를 발생하는 게이트 스테이지에 인가되어 첫 번째 게이트 신호가 출력되도록 그 게이트 스테이지를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 스테이지들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다.

[0037] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 소스 드라이브 집적회로(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 집적회로(12)에서 보정 영상 데이터(CDATA)의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 소스 드라이브 집적회로(12)의 출력 타이밍을 제어한다.

[0038] 또한, 데이터 타이밍 제어신호(DDC)는 센싱 동작시 소스 드라이브 집적회로(12)의 활성화/비활성 되는 데이터 채널 단자들(DCH)과 센싱 채널 단자들(SCH)의 위치 및 구동 타이밍을 제어한다.

[0039] 타이밍 컨트롤러(11)는 미리 설정된 특정 시간(수직 블랭크 기간 또는 수직 액티브 기간 또는 파워 온 시퀀스 기간 또는 파워 오프 시퀀스 기간)마다 소스 드라이브 집적회로(12), 게이트 구동회로(13), 센싱 회로(20)를 동작시켜 픽셀들(P)의 구동 특성(즉, 픽셀 전류)을 센싱한다. 타이밍 컨트롤러(11)는 센싱 동작 중에 센싱 회로(20)로부터 디지털 센싱값(SDATA)을 입력 받는다. 타이밍 컨트롤러(11)는 디지털 센싱값(SDATA)을 기초로 입력 영상 데이터(IDATA)를 보정할 수 있는 보상값들을 계산하고, 이 보상값들을 메모리(16)에 저장한다.

[0040] 타이밍 컨트롤러(11)는 보상값의 업데이트 주기를 단축하기 위해, 풀 센싱 픽셀 라인에 대해서만 풀 센싱(Full sensing) 방법을 적용하고, 풀 센싱 픽셀 라인을 제외한 파샬 센싱 픽셀 라인들에 대해서는 파샬 센싱(Partial sensing) 방법을 적용한다. 풀 센싱 방법은 풀 센싱 픽셀 라인에 포함된 1라인 분의 모든 픽셀들(P)을 센싱하는 것이다. 이에 반해, 파샬 센싱 방법은 파샬 센싱 픽셀 라인들 각각에서 일 보간 블록(Interpolation block) 당 1개의 대표 픽셀들(P)만을 센싱하는 것이다.

[0041] 타이밍 컨트롤러(11)는 풀 센싱 방법을 통해 획득한 풀 센싱 픽셀 라인의 센싱값들(SDATA)을 분석하여, 파샬 센싱 라인에 적용할 보간 블록들의 크기를 설정한다. 타이밍 컨트롤러(11)는 센싱값 변화 정도에 따라 보간 블록들의 크기를 가변하고, 각 보간 블록 내에서 대표 픽셀의 위치를 특정한다. 타이밍 컨트롤러(11)는 설정된 보간 블록들을 풀 센싱 픽셀 라인 이외의 파샬 센싱 픽셀 라인들 각각에 적용하여, 파샬 센싱 픽셀 라인들에서 대표 픽셀들만이 센싱되도록 제어한다. 즉, 타이밍 컨트롤러(11)는 파샬 센싱 픽셀 라인들 각각에 대해 보간 블록들마다 1개의 대표 픽셀만이 센싱될 수 있도록 제어한다. 타이밍 컨트롤러(11)는 풀 센싱 픽셀 라인에 대한 풀 센싱값들을 기반으로 풀 센싱 픽셀 라인에 배치된 모든 픽셀들(P)의 보상값들을 산출하고, 파샬 센싱 픽셀 라인들에 대한 파샬 센싱값들을 보간하여 파샬 센싱 픽셀 라인들에 배치된 모든 픽셀들(P)의 센싱값들과 보상값들을 산출할 수 있다. 타이밍 컨트롤러(11)는 센싱값 변화 정도에 따라 보간 블록들의 크기를 가변함으로써, 파샬 센싱 픽셀 라인들에서 비 센싱되는 픽셀들의 센싱 및 보상 오차를 최소화할 수 있다.

[0042] 타이밍 컨트롤러(11)는 픽셀들(P)로 기입될 입력 영상 데이터(IDATA)를 메모리(16)에 저장된 픽셀들(P)의 보상값들로 보정하여 보정 영상 데이터(CDATA)를 산출하고, 이 보정 영상 데이터(CDATA)를 소스 드라이버 집적회로(12)에 전송한다. 이러한 데이터 보정 동작에 의해, 픽셀들(P) 간 구동 TFT(DT)의 구동 편차가 보상되거나, 또는 픽셀들(P) 간 OLED의 구동 편차가 보상될 수 있다.

[0043] 소스 드라이브 집적회로(12)는 복수 개 구비될 수 있다. 소스 드라이브 집적회로(12)는 데이터 채널 단자들

(DCH)을 통해 표시패널(10)의 데이터라인들(14A)에 연결되고, 센싱 채널 단자들(SCH)을 통해 표시패널(10)의 센싱 라인들(14B)에 연결된다. 센싱 라인 공유 구조에서는, 센싱 채널 단자들(SCH)의 개수가 데이터 채널 단자들(DCH)의 개수보다 적다. 다만, 센싱 라인 독립 구조에서는, 센싱 채널 단자들(SCH)의 개수가 데이터 채널 단자들(DCH)의 개수와 동일하다. 픽셀 어레이의 수율 향상을 고려할 때, 센싱 라인 공유 구조가 센싱 라인 독립 구조에 비해 더 바람직하다.

[0044] 도 4는 도 3의 픽셀 어레이에 연결된 소스 드라이브 집적회로의 일 구성과, 소스 드라이브 집적회로에 연결된 리드아웃 집적회로를 보여주는 도면이다. 그리고, 도 5는 리드아웃 집적회로에 내장된 일 센싱부의 구성을 보여주는 도면이다.

[0045] 도 4를 참조하면, 소스 드라이브 집적회로(12)는 다수의 데이터 채널 단자들(DCH)과 다수의 디지털-아날로그 컨버터들(DAC) 및 센싱 채널 단자들(SCH)과 믹스 회로(MUX)를 구비한다. 데이터 채널 단자들(DCH)은 디지털-아날로그 컨버터들(DAC)을 표시패널(10)의 데이터라인들(14A)에 연결한다. 디지털-아날로그 컨버터들(DAC)은 영상 표시 동작을 위해 보정 영상 데이터(CDATA)를 디지털-아날로그 변환하여 영상 계조에 대응되는 영상 표시용 데이터전압을 생성한다. 디지털-아날로그 컨버터들(DAC)은 센싱 동작을 위해 일정 크기로 설정된 센싱용 데이터전압을 생성한다. 센싱용 데이터전압은 구동 TFT의 전류 능력과 OLED의 발광 효율이 픽셀의 컬러 별로 다를 수 고려하여, 컬러 별로 다른 크기로 미리 설정될 수 있다.

[0046] 센싱 채널 단자들(SCH)은 표시패널(10)의 센싱 라인들(14B)을 믹스 회로(MUX)에 연결된다. 센싱용 데이터전압에 응답하여 픽셀들(P)에 흐르는 픽셀 전류들은 센싱 라인들(14B)과 센싱 채널 단자들(SCH)을 통해 믹스 회로(MUX)에 인가된다. 믹스 회로(MUX)는 도 5와 같이 복수의 센싱 채널 단자들(SCH(1)~SCH(k))을 1개의 센싱부(20)에 선택적으로 연결함으로써, 센싱 동작에 필요한 센싱부(20)의 개수가 효과적으로 줄어들 수 있다.

[0047] 센싱부(20)는 소스 드라이브 집적회로(12) 바깥의 리드아웃 집적회로(30)에 적어도 하나 이상 실장될 수 있다. 리드아웃 집적회로(30)의 크기는 센싱부(20)의 개수에 따라 결정되므로, 전술한 믹스 회로(MUX)에 의해 리드아웃 집적회로(30)가 간소화될 수 있다. 센싱부(20)가 리드아웃 집적회로(30)에 실장되면, 소스 드라이브 집적회로(12)가 보다 간소화되어 소스 드라이브 집적회로(12)의 공정 마진이 커지는 장점이 있다.

[0048] 도 5와 같이 복수의 센싱 채널 단자들(SCH(1)~SCH(k))을 1개의 센싱부(20)에 선택적으로 연결하는 믹스 회로(12)에 의해, 표시패널(10)의 동일 픽셀 라인에 연결된 k개의 센싱 라인들(14B)이 일 센싱부(20)와 순차적으로 연결될 수 있다. 본 발명의 실시예에서 픽셀 라인들(Li~Li+3)은 물리적인 신호라인이 아니라, 수평 방향(즉, 게이트라인 연장 방향)을 따라 서로 이웃한 픽셀들(P)의 집합체로 정의된다. 픽셀 라인들(Li~Li+3) 중 어느 하나는 풀 센싱 픽셀 라인일 수 있다. 또한, 픽셀 라인들(Li~Li+3)은 파샬 센싱 픽셀 라인일 수도 있다.

[0049] 일 센싱부(20)는 전류 센싱형으로 구현될 수 있다. 전류 센싱형 센싱부(20)는 적분기, 샘플 앤 홀드부, 및 아날로그-디지털 컨버터(ADC)를 포함할 수 있다. 적분기는 센싱 라인과 센싱 채널 단자를 통해 입력되는 픽셀 전류를 센싱하여 센싱 출력 전압을 생성한다. 샘플 앤 홀드부는 적분기에서 생성된 센싱 출력 전압을 샘플링 및 홀딩 한 후 아날로그-디지털 컨버터(ADC)에 공급한다. 아날로그-디지털 컨버터(ADC)는 센싱 출력 전압을 디지털 센싱값(SDATA)으로 변환한다. 한편, 전류 센싱형 센싱부(20)는 경우에 따라서 샘플 앤 홀드부와 아날로그-디지털 컨버터(ADC) 사이에 접속된 스케일러를 더 포함할 수도 있다. 스케일러는 센싱 출력 전압의 레벨을 아날로그-디지털 컨버터(ADC)의 입력 레인지에 맞게 변경하는 역할을 한다.

[0050] 일 센싱부(20)는 전류 센싱형에 한정되지 않는다. 일 센싱부(20)는 전압 센싱으로 구현될 수도 있다. 전압 센싱형 센싱부는 센싱 라인에 충전된 일 픽셀의 특정 노드 전압(예컨대, 소스노드 전압)을 센싱한다.

[0051] 도 6은 도 3의 픽셀 어레이에 연결된 소스 드라이브 집적회로의 다른 구성을 보여주는 도면이다. 그리고, 도 7은 소스 드라이브 집적회로에 내장된 일 센싱부의 구성을 보여주는 도면이다.

[0052] 도 6 및 도 7을 참조하면, 센싱부(20)는 믹스 회로(MUX)와 함께 소스 드라이브 집적회로(12)에 내장될 수 있다. 센싱부(20)가 소스 드라이브 집적회로(12)에 내장되더라도, 믹스 회로(MUX)에 의해 센싱부(20)의 개수가 작기 때문에 그만큼 소스 드라이브 집적회로(12)의 크기 및 제조 비용은 줄어들 수 있다.

[0053] 전술한 도 4 내지 도 7에서, k 개의 선택 스위치를 갖는 믹스 회로(MUX)에 의해 센싱부(20)의 개수는 센싱 채널 단자들(SCH)의 개수보다 1/k만큼 작다. 센싱부(20)의 개수가 감소하면 그만큼 소스 드라이브 집적회로(12) 또는, 리드아웃 집적회로(30)를 간소화하기가 용이하다. 다만, 이 경우, k 개의 센싱 채널 단자들(SCH(1)~SCH(k))에 연결된 k 개의 픽셀들(P)이 1개의 센싱부(20)를 통해 순차 센싱되기 때문에 센싱 시간이 그만큼 증가한다. 센싱 시간을 줄이기 위해서는 센싱 회수를 줄여야 한다. 이하에서는 보간 방식을 이용하여 센싱

회수를 줄이는 방법을 살펴본다.

- [0054] 도 8은 본 발명의 비교예로서, 픽셀들에 대한 총 센싱 시간을 줄이기 위해 보간 블록의 크기를 동일하게 고정된 것을 보여주는 도면이다.
- [0055] 도 8을 참조하면, 센싱 동작시 적용되는 보간 방식은 각 보간 블록당 1개의 대표 픽셀만을 센싱하고, 각 보간 블록에서 센싱되지 않은 나머지 픽셀들의 센싱값은 다양한 보간 알고리즘을 통해 알아내는 것이다. 도 8의 보간 방식에 의하면, 각 보간 블록은 동일한 고정 크기를 가지며, 보간 블록들의 대표 픽셀들로 센싱용 활성 데이터 전압을 인가하는 데이터 채널 단자들은 규칙적인 간격을 갖는다.
- [0056] 이러한 도 8의 보간 방식은 다음과 같은 문제점이 있다.
- [0057] 도 8의 보간 방식에 따르면, 보간 블록들은 센싱값 변화에 무관하게 고정된 동일 크기로 설정되기 때문에, 비 센싱 픽셀들에서 보간을 통해 얻어진 센싱값의 오차가 크다. 또한, 도 8의 보간 방식에 따르면, 보간 블록들은 센싱값 변화에 무관하게 고정된 동일 크기로 설정되기 때문에, 센싱값의 공간적 변화에 대해 민감하게 대응하지 못한다. 센싱값의 오차를 줄이기 위해서는 센싱값 변화에 따라 각 보간 블록의 크기를 다양하게 가변시킬 필요가 있다. 즉, 센싱값 변화가 큰 픽셀들에 대응되는 보간 블록은 작게 설정되고, 센싱값 변화가 작은 픽셀들에 대응되는 보간 블록은 크게 설정될 필요가 있다.
- [0058] 도 9는 본 발명의 일 실시예에 따른 픽셀 센싱 방법을 보여주는 도면이다. 그리고, 도 10은 도 9에 대응되는 본 발명의 일 실시예로서, 픽셀들에 대한 총 센싱 시간과 센싱 오차를 줄이기 위해 보간 블록의 크기를 센싱값의 변화 정도에 따라 다양하게 가변한 것을 보여주는 도면이다.
- [0059] 본 발명의 일 실시예에 따른 픽셀 센싱 방법은 풀 센싱 픽셀 라인과 파샬 센싱 픽셀 라인들의 위치를 설정한다. 풀 센싱 픽셀 라인에 위치한 픽셀들은 모두 센싱 대상이 된다. 반면에, 파샬 센싱 픽셀 라인들에 위치한 픽셀들은 모두 센싱되는 아니라 각 보간 블록당 1개의 대표 픽셀만이 센싱 대상이 된다.
- [0060] 본 발명은 풀 센싱 픽셀 라인으로부터 얻어진 풀 센싱값들을 보간 블록의 크기를 결정하는 데 사용한다. 본 발명은 풀 센싱값들의 변화 정도에 따라 보간 블록의 크기를 다양하게 설정한다. 본 발명은 센싱값 변화가 큰 픽셀들에 대응되는 보간 블록을 작게 설정하고, 센싱값 변화가 작은 픽셀들에 대응되는 보간 블록을 크게 설정함으로써, 센싱 및 보상 오차를 최소화한다.
- [0061] 본 발명은 풀 센싱 픽셀 라인을 복수개로 설정하고, 풀 센싱 픽셀 라인들의 위치를 공간적으로 이격 시킴으로써, 센싱값의 공간적 변화에 대해 민감하게 대응할 수 있다. 예컨대, 본 발명은 공간적으로 이격된 A 픽셀 라인과 B 픽셀 라인을 각각 제1 및 제2 풀 센싱 픽셀 라인들로 설정하고, A 픽셀 라인의 풀 센싱값들에 따라 제1 보간 블록들의 크기를 다양하게 설정하고, B 픽셀 라인의 풀 센싱값들에 따라 제2 보간 블록들의 크기를 다양하게 설정할 수 있다. 그리고, 본 발명은 A 픽셀 라인과 B 픽셀 라인 사이에 배치된 적어도 하나 이상의 제1 파샬 센싱 픽셀 라인에 제1 보간 블록들을 적용하여 제1 파샬 센싱 픽셀 라인의 대표 픽셀들을 센싱할 수 있다. 또한, 본 발명은 B 픽셀 라인의 아래 또는 A 픽셀 라인의 위에 배치된 적어도 하나 이상의 제2 파샬 센싱 픽셀 라인에 제2 보간 블록들을 적용하여 제2 파샬 센싱 픽셀 라인의 대표 픽셀들을 센싱할 수 있다.
- [0062] 도 9 및 도 10에서는 풀 센싱 픽셀 라인을 제1 픽셀 라인과 제n 픽셀 라인으로 예시하고, 제1 파샬 센싱 픽셀 라인을 제2 내지 제n-1 픽셀 라인들로 예시하며, 제2 파샬 센싱 픽셀 라인을 제n 픽셀 라인 이후의 픽셀 라인들로 예시한다. 이러한 실시예는 발명의 이해를 돕기 위한 일 예시에 불과하므로, 본 발명의 기술적 사상은 이러한 예시에 한정되지 않음에 주의하여야 한다.
- [0063] 도 9 및 도 10을 참조하면, 본 발명의 소스 드라이브 집적회로(12)는 모든 데이터 채널 단자들(DCH)을 통해 제1 픽셀 라인(즉, 제1 풀 센싱 픽셀 라인)의 모든 픽셀들로 센싱용 활성 데이터전압(Von)을 인가하고, 본 발명의 센싱부(20)는 센싱 채널 단자들(SCH)을 통해 입력된 제1 픽셀 전류들을 개별적으로 센싱하여 제1 센싱 결과 데이터(즉, 제1 센싱값들(SDATA))를 출력한다(S1). 이때, 제1 픽셀 전류들은 센싱용 활성 데이터전압(Von)에 대응하여 제1 픽셀 라인의 모든 픽셀들에 흐르는 픽셀 전류들이다.
- [0064] 본 발명의 타이밍 컨트롤러(11)는 제1 센싱 결과 데이터를 분석하여 제1 픽셀 라인의 센싱값 변화 정도를 도출한다(S2).
- [0065] 본 발명의 타이밍 컨트롤러(11)는 제1 픽셀 라인의 센싱값 변화 정도에 따라 다양한 크기의 복수의 제1 보간 블록들을 설정한다(S3). 본 발명의 타이밍 컨트롤러(11)는 제1 픽셀 라인의 센싱값 변화 정도에 반비례하게 제1 보간 블록들의 크기를 설정함으로써, 센싱 오차를 최소화한다. 도 10과 같이 센싱값 변화가 큰 부분(즉, 센싱값

변화가 미리 설정된 임계치 이상인 부분)에 대응되는 제1 보간 블록은 작게 설정되는 반면에, 센싱값 변화가 작은 부분(즉, 센싱값 변화가 상기 임계치 미만인 부분)에 대응되는 제1 보간 블록은 크게 설정될 수 있다.

- [0066] 본 발명의 타이밍 콘트롤러(11)는 다양한 크기로 설정된 제1 보간 블록들이 제2 내지 제 $n-1$  픽셀라인들 각각에 적용될 수 있도록, 소스 드라이브 집적회로(12)와 센싱부(20)의 제반 동작을 제어한다(S4).
- [0067] 본 발명의 소스 드라이브 집적회로(12)는 일부 데이터 채널 단자들(DCH)을 통해 제2 내지 제 $n-1$  픽셀라인들(즉, 제1 파살 센싱 픽셀 라인들)의 대표 픽셀들로 센싱용 활성화 데이터전압(Von)을 인가하고, 본 발명의 센싱부(20)는 센싱 채널 단자들(SCH)을 통해 입력된 제2 픽셀 전류들을 개별적으로 센싱하여 제2 센싱 결과 데이터(즉, 제2 센싱값들)를 출력한다(S5). 이때, 제2 픽셀 전류들은 센싱용 활성화 데이터전압(Von)에 대응하여 제2 내지 제 $n-1$  픽셀 라인들 각각의 대표 픽셀들에 흐르는 픽셀 전류들이다.
- [0068] 본 발명의 타이밍 콘트롤러(11)는 제2 센싱 결과 데이터를 공지의 다양한 보간 알고리즘을 통해 보간하여 제2 내지 제 $n-1$  픽셀 라인들 각각에서 대표 픽셀을 제외한 나머지 픽셀들에 대한 보간 센싱값들을 계산한다. 본 발명의 타이밍 콘트롤러(11)는 제1 센싱 결과 데이터를 기반으로 제1 픽셀 라인의 픽셀들에 대응되는 제1 보상값들을 계산하고, 제2 센싱 결과 데이터와 보간 센싱값들을 기반으로 제2 내지 제 $n-1$  픽셀 라인들 각각의 픽셀들에 대응되는 제2 보상값들을 계산한다.
- [0069] 도 9 및 도 10을 참조하면, 본 발명의 소스 드라이브 집적회로(12)는 모든 데이터 채널 단자들(DCH)을 통해 제 $n$  픽셀 라인(즉, 제2 풀 센싱 픽셀 라인)의 모든 픽셀들로 센싱용 활성화 데이터전압(Von)을 인가하고, 본 발명의 센싱부(20)는 센싱 채널 단자들(SCH)을 통해 입력된 제3 픽셀 전류들을 개별적으로 센싱하여 제3 센싱 결과 데이터(즉, 제3 센싱값들(SDATA))를 출력한다(S6). 이때, 제3 픽셀 전류들은 센싱용 활성화 데이터전압(Von)에 대응하여 제 $n$  픽셀 라인의 모든 픽셀들에 흐르는 픽셀 전류들이다.
- [0070] 본 발명의 타이밍 콘트롤러(11)는 제3 센싱 결과 데이터를 분석하여 제 $n$  픽셀 라인의 센싱값 변화 정도를 도출한다(S7).
- [0071] 본 발명의 타이밍 콘트롤러(11)는 제 $n$  픽셀 라인의 센싱값 변화 정도에 따라 다양한 크기의 복수의 제2 보간 블록들을 설정한다(S8). 본 발명의 타이밍 콘트롤러(11)는 제 $n$  픽셀 라인의 센싱값 변화 정도에 반비례하게 제2 보간 블록들의 크기를 설정함으로써, 센싱 오차를 최소화한다. 도 10과 같이 센싱값 변화가 큰 부분(즉, 센싱값 변화가 미리 설정된 임계치 이상인 부분)에 대응되는 제2 보간 블록은 작게 설정되는 반면에, 센싱값 변화가 작은 부분(즉, 센싱값 변화가 상기 임계치 미만인 부분)에 대응되는 제2 보간 블록은 크게 설정될 수 있다.
- [0072] 본 발명의 타이밍 콘트롤러(11)는 다양한 크기로 설정된 제2 보간 블록들이 제 $n$  픽셀라인 이후의 픽셀라인들 각각에 적용될 수 있도록, 소스 드라이브 집적회로(12)와 센싱부(20)의 제반 동작을 제어한다(S9).
- [0073] 본 발명의 소스 드라이브 집적회로(12)는 일부 데이터 채널 단자들(DCH)을 통해 제 $n$  픽셀라인 이후의 픽셀라인들(즉, 제2 파살 센싱 픽셀 라인들)의 대표 픽셀들로 센싱용 활성화 데이터전압(Von)을 인가하고, 본 발명의 센싱부(20)는 센싱 채널 단자들(SCH)을 통해 입력된 제4 픽셀 전류들을 개별적으로 센싱하여 제4 센싱 결과 데이터(즉, 제4 센싱값들)를 출력한다(S10). 이때, 제4 픽셀 전류들은 센싱용 활성화 데이터전압(Von)에 대응하여 제 $n$  픽셀라인 이후의 픽셀라인들 각각의 대표 픽셀들에 흐르는 픽셀 전류들이다.
- [0074] 본 발명의 타이밍 콘트롤러(11)는 제4 센싱 결과 데이터를 공지의 다양한 보간 알고리즘을 통해 보간하여 제 $n$  픽셀라인 이후의 픽셀라인들 각각에서 대표 픽셀을 제외한 나머지 픽셀들에 대한 제2 보간 센싱값들을 계산한다. 본 발명의 타이밍 콘트롤러(11)는 제3 센싱 결과 데이터를 기반으로 제 $n$  픽셀 라인의 픽셀들에 대응되는 제3 보상값들을 계산하고, 제4 센싱 결과 데이터와 제2 보간 센싱값들을 기반으로 제 $n$  픽셀라인 이후의 픽셀라인들 각각의 픽셀들에 대응되는 제4 보상값들을 계산한다.
- [0075] 도 11은 도 10을 구현하기 위해 소스 드라이브 IC의 데이터 채널 단자들에서 출력되는 센싱용 데이터전압들의 출력 형태를 보여주는 도면이다.
- [0076] 도 11을 참조하면, 제1 풀 센싱 픽셀 라인(즉, 제1 픽셀 라인)의 모든 픽셀들로 센싱용 활성화 데이터전압(Von)을 인가하는 데이터 채널 단자들(DCH)은 규칙적인 간격을 갖는다. 또한, 제2 풀 센싱 픽셀 라인(즉, 제 $n$  픽셀 라인)의 모든 픽셀들로 센싱용 활성화 데이터전압(Von)을 인가하는 데이터 채널 단자들(DCH)은 규칙적인 간격을 갖는다. 다시 말해, 센싱용 활성화 데이터전압(Von)은 소스 드라이브 집적회로(12)의 모든 데이터 채널 단자들(DCH)을 통해 제1 및 제2 풀 센싱 픽셀 라인들의 모든 픽셀들에 주기적인 형태로 인가된다.
- [0077] 이에 반해, 도 11을 참조하면, 제1 파살 센싱 픽셀 라인들(즉, 제2 내지 제 $n-1$  픽셀 라인들)의 대표 픽셀들로



센싱용 활성 데이터전압(Von)을 인가하는 일부 데이터 채널 단자들(DCH)은 불규칙적인 제1 간격을 갖는다. 다시 말해, 센싱용 활성 데이터전압(Von)은 소스 드라이브 집적회로(12)의 일부 데이터 채널 단자들(DCH)을 통해 제1 파살 센싱 픽셀 라인들의 대표 픽셀들에 비주기적인 형태로 인가된다. 일부 데이터 채널 단자들(DCH) 간의 불규칙적인 제1 간격은 제1 센싱 결과 데이터를 기반으로 결정된 제1 보간 블록들의 크기에 대응된다. 왜냐하면, 제1 보간 블록들은 제1 센싱 결과 데이터에 대한 센싱값의 변화 정도에 따라 불규칙적인 크기로 결정되기 때문이다. 다만, 제1 보간 블록들의 불규칙적인 크기 패턴은 제1 파살 센싱 픽셀 라인들(즉, 제2 내지 제n-1 픽셀 라인들) 각각에 동일하게 적용된다. 한편, 제1 보간 블록들 각각은 1개의 대표 픽셀에 대응되고, 제1 보간 블록들의 개수는 제1 파살 센싱 픽셀 라인들 각각의 대표 픽셀 개수와 동일하다.

[0078] 또한, 제2 파살 센싱 픽셀 라인들(즉, 제n 픽셀 라인 이후의 픽셀 라인들)의 대표 픽셀들로 센싱용 활성 데이터전압(Von)을 인가하는 일부 데이터 채널 단자들(DCH)은 불규칙적인 제2 간격을 갖는다. 다시 말해, 센싱용 활성 데이터전압(Von)은 소스 드라이브 집적회로(12)의 일부 데이터 채널 단자들(DCH)을 통해 제2 파살 센싱 픽셀 라인들의 대표 픽셀들에 비주기적인 형태로 인가된다. 일부 데이터 채널 단자들(DCH) 간의 불규칙적인 제2 간격은 제3 센싱 결과 데이터를 기반으로 결정된 제2 보간 블록들의 크기에 대응된다. 왜냐하면, 제2 보간 블록들은 제3 센싱 결과 데이터에 대한 센싱값의 변화 정도에 따라 불규칙적인 크기로 결정되기 때문이다. 다만, 제2 보간 블록들의 불규칙적인 크기 패턴은 제2 파살 센싱 픽셀 라인들(즉, 제2 내지 제n-1 픽셀 라인들) 각각에 동일하게 적용된다. 한편, 제2 보간 블록들 각각은 1개의 대표 픽셀에 대응되고, 제2 보간 블록들의 개수는 제2 파살 센싱 픽셀 라인들 각각의 대표 픽셀 개수와 동일하다.

[0079] 센싱값의 공간적 변화가 반영될 수 있도록, 제1 보간 블록들의 크기는 제2 보간 블록들의 크기와 달라질 수 있다. 따라서, 도 11에 명확히 도시되어 있듯이, 제1 파살 센싱 픽셀 라인들을 센싱 구동하는 일부 데이터 채널 단자들(DCH)의 불규칙적인 제1 간격은, 제2 파살 센싱 픽셀 라인들을 센싱 구동하는 일부 데이터 채널 단자들(DCH)의 불규칙적인 제2 간격과 달라질 수 있다.

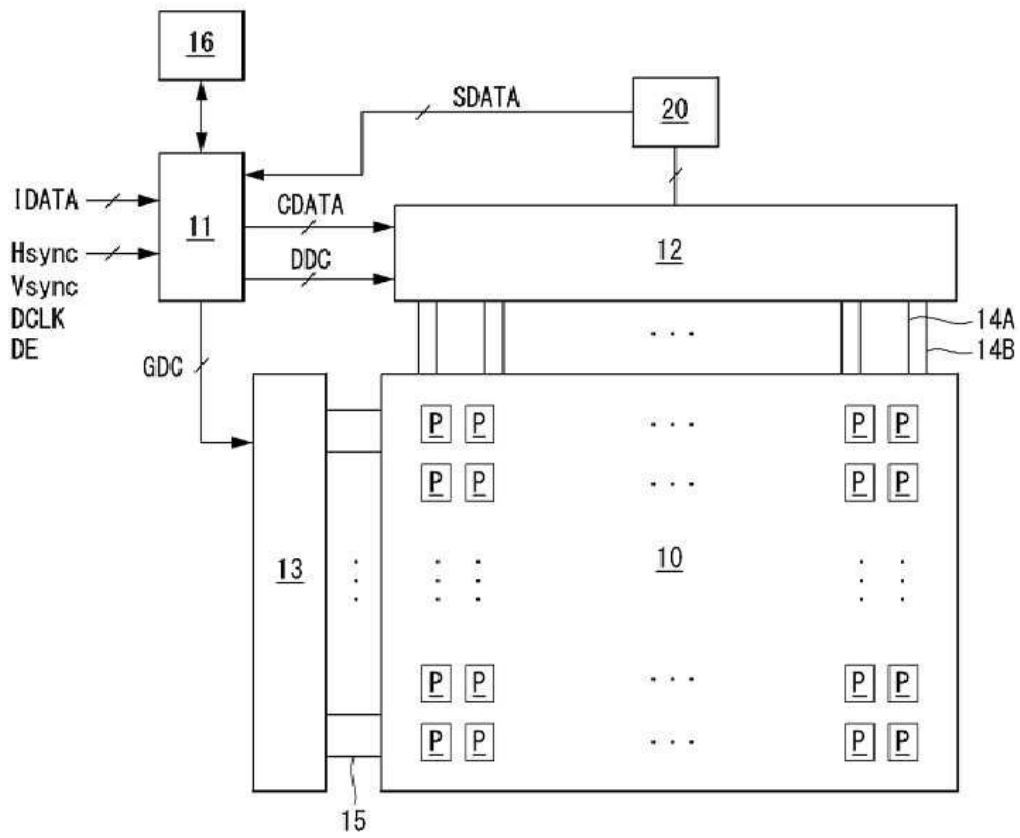
[0080] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 부호의 설명

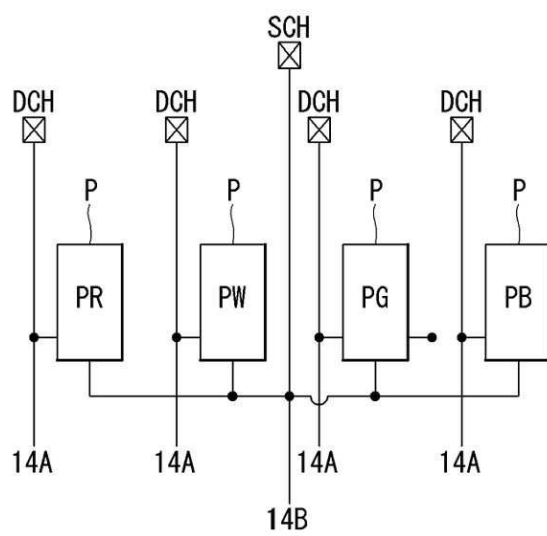
[0081] 10 : 표시패널 11 : 타이밍 콘트롤러  
12 : 소스 드라이브 집적회로 13 : 게이트 구동회로  
14A : 데이터라인 14B : 센싱 라인  
15 : 게이트라인 20 : 센싱부  
30 : 리드아웃 집적회로

도면

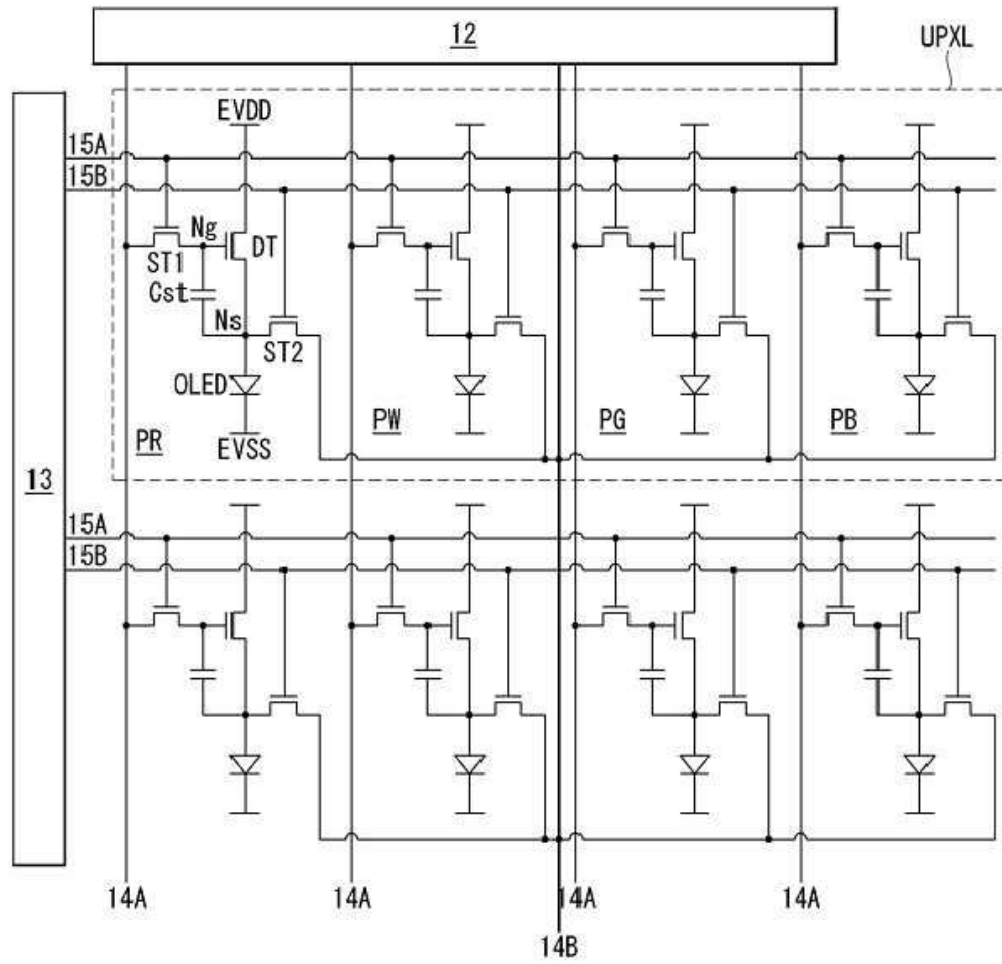
도면1



도면2

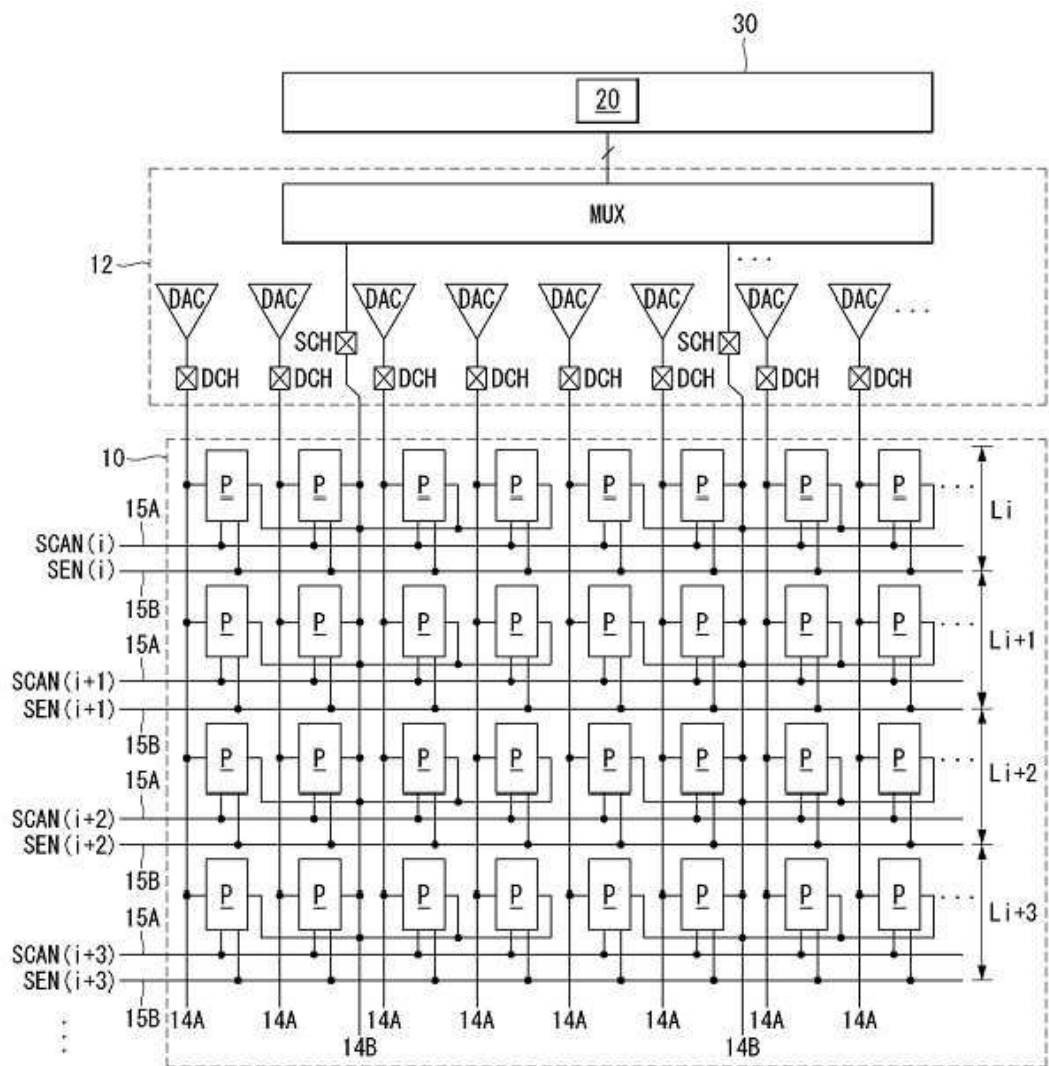


도면3

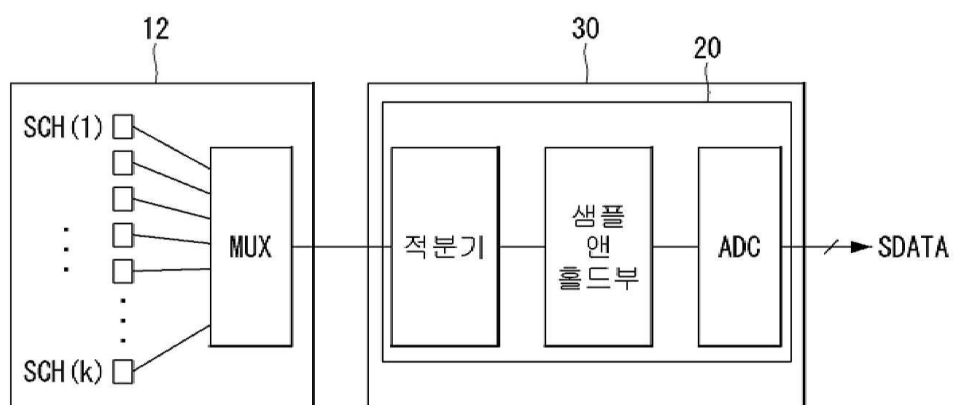




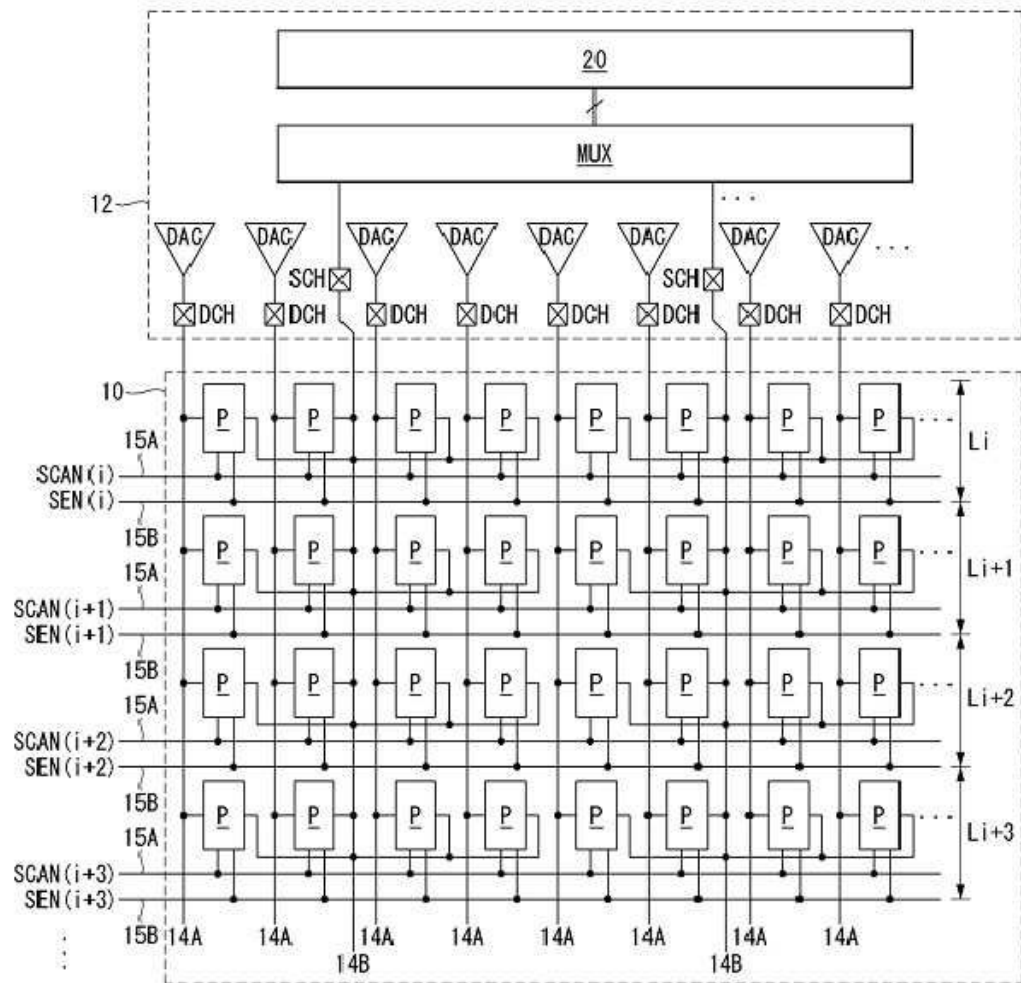
도면4



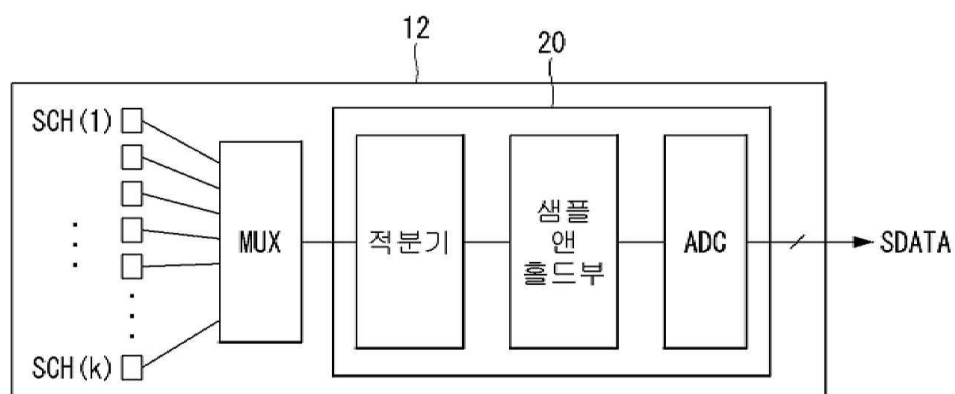
도면5



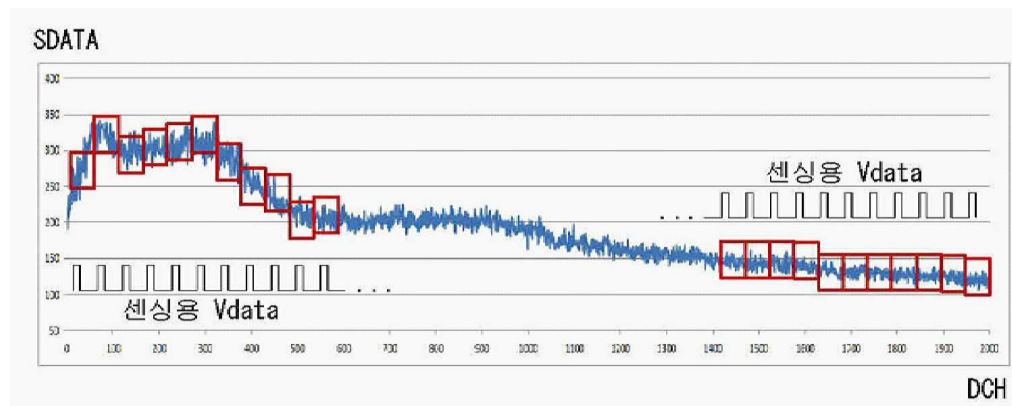
도면6



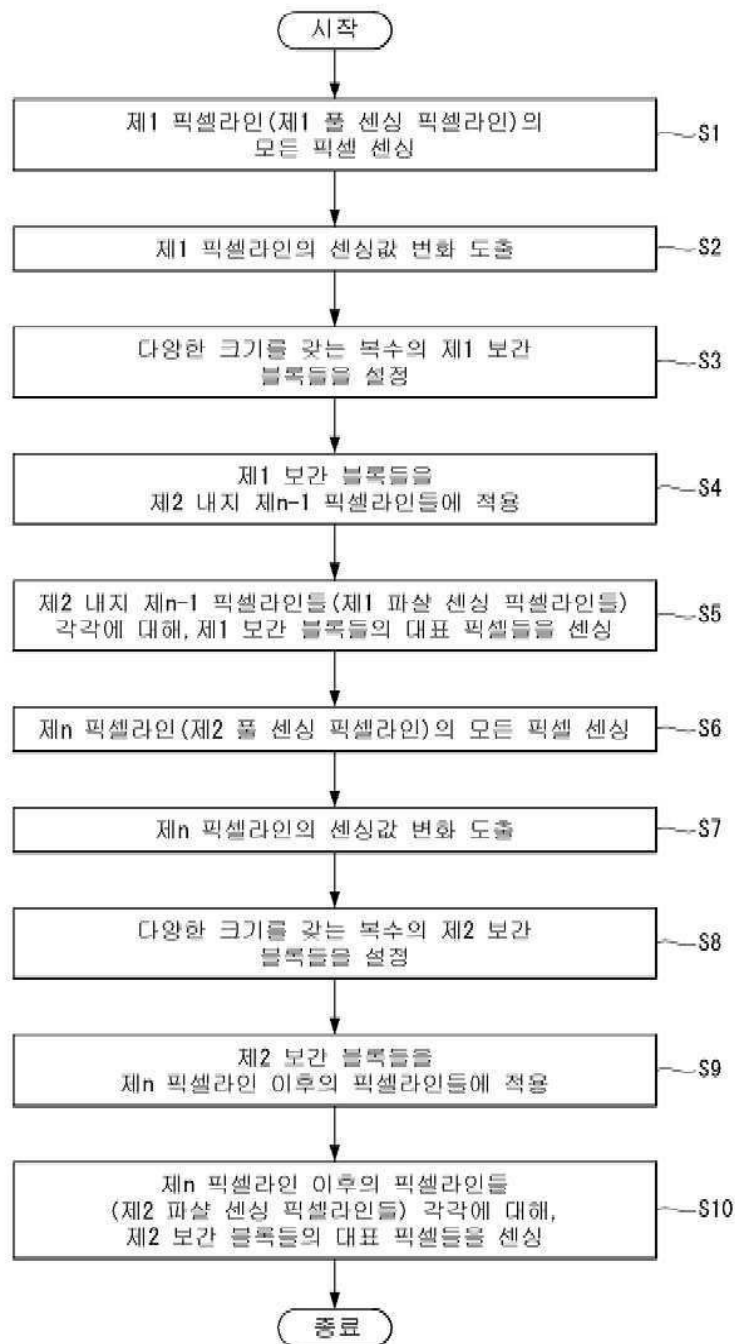
도면7



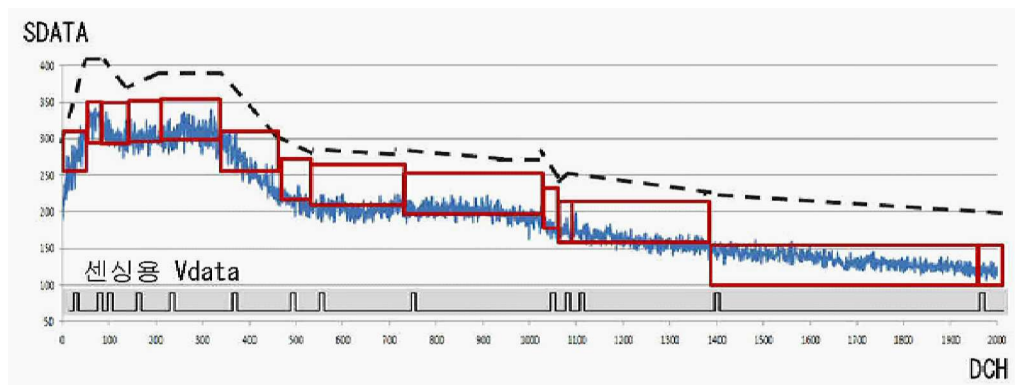
도면8



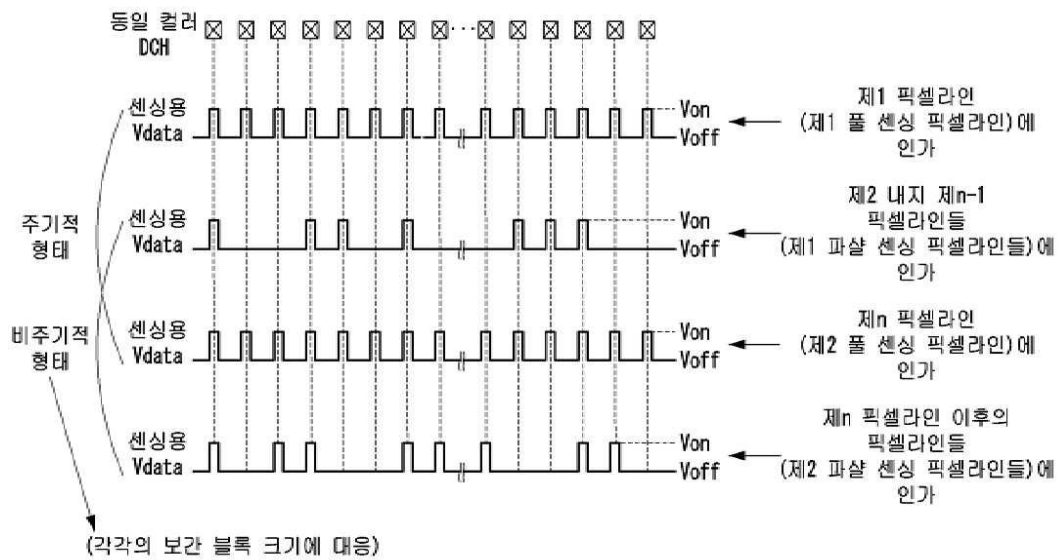
도면9



도면10



도면11



专利名称(译)	有机发光显示装置和像素感测方法		
公开(公告)号	<a href="#">KR1020200067527A</a>	公开(公告)日	2020-06-12
申请号	KR1020180154493	申请日	2018-12-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이정운 김경록 김태욱 이병재		
发明人	이정운 김경록 김태욱 이병재		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/0297 G09G2320/029		
代理人(译)	이승찬		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

根据本发明示例性实施例的有机发光显示装置包括显示面板，源极驱动集成电路和多个感测单元。在显示面板上提供多条像素线，并且为每条像素线设置多条数据线和连接到感测线的多个像素。源极驱动集成电路包括连接到数据线的数据通道端子和连接到感测线的感测通道端子，并且用于感测的有效数据电压通过所有数据通道端子感测到整个感测像素线的所有像素。用于感测的有效数据电压通过一些数据通道端子被施加到除了全感测像素线之外的部分感测像素线的代表性像素。此外，感测单元分别感测通过感测通道端子输入的第一像素电流以输出第一感测结果数据，并且分别感测通过感测通道端子输入的第二像素电流。输出第二感测结果数据。

