



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0024977
(43) 공개일자 2020년03월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/20 (2006.01)
H01L 51/50 (2006.01)

(52) CPC특허분류
H01L 27/3276 (2013.01)
G09G 3/20 (2013.01)

(21) 출원번호 10-2018-0101369

(22) 출원일자 2018년08월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
추성백
부산광역시 부산진구 개금본동로 42 101동 1105호 (개금동, 반도보라아파트)

김웅택
경기도 화성시 동탄순환대로29길 57 (영천동 , 화성동탄상록리슈빌아파트) 518동 1404호
(뒷면에 계속)

(74) 대리인
특허법인 고려

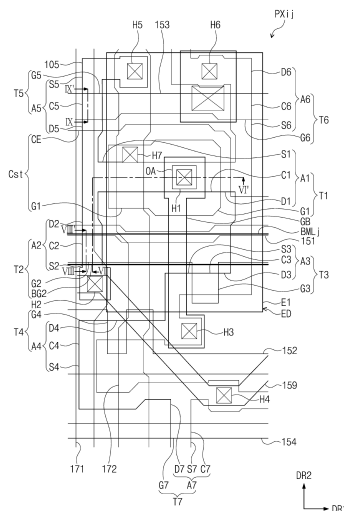
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 유기 발광 표시 장치는 기판, 상기 기판 상에 위치하며, 애노드 및 캐소드를 포함하는 발광 다이오드, 제1 소스 전극, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 및 상기 제1 채널을 사이에 두고 상기 제1 소스 전극과 마주하는 제2 드레인 전극을 포함하며, 상기 발광 다이오드의 구동 전류를 제어하는 제1 트랜지스터 및 상기 제1 트랜지스터의 상기 제1 소스 전극과 연결되는 제2 소스 전극, 제2 게이트 전극, 상기 제2 게이트 전극과 평면상 중첩하는 제2 채널, 상기 제2 채널을 사이에 두고 상기 제2 소스 전극과 마주하는 제2 드레인 전극 및 하부 게이트 전극을 포함하는 제2 트랜지스터 및 제1 구동 전압을 전달하는 복수의 구동 전압 라인들을 포함하되, 상기 제2 트랜지스터의 상기 하부 게이트 전극은 상기 제2 채널과 평면상 중첩하며, 상기 하부 게이트 전극은 상기 복수의 구동 전압 라인들 중 대응하는 구동 전압 라인과 전기적으로 연결된다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3213 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/50 (2013.01)

(72) 발명자

왕성민

경기도 성남시 분당구 판교역로 98 (백현동 , 백현
마을7단지아파트) 707동 1603호

황영인

경기도 수원시 권선구 동수원로145번길 73 (권선동
, 수원아이파크시티3단지) 301도 305호

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하며, 애노드 및 캐소드를 포함하는 발광 다이오드;

제1 소스 전극, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 및 상기 제1 채널을 사이에 두고 상기 제1 소스 전극과 마주하는 제2 드레인 전극을 포함하며, 상기 발광 다이오드의 구동 전류를 제어하는 제1 트랜지스터;

상기 제1 트랜지스터의 상기 제1 소스 전극과 연결되는 제2 소스 전극, 제2 게이트 전극, 상기 제2 게이트 전극과 평면상 중첩하는 제2 채널, 상기 제2 채널을 사이에 두고 상기 제2 소스 전극과 마주하는 제2 드레인 전극 및 하부 게이트 전극을 포함하는 제2 트랜지스터; 및

제1 구동 전압을 전달하는 복수의 구동 전압 라인들을 포함하되,

상기 제2 트랜지스터의 상기 하부 게이트 전극은 상기 제2 채널과 평면상 중첩하며, 상기 하부 게이트 전극은 상기 복수의 구동 전압 라인들 중 대응하는 구동 전압 라인과 전기적으로 연결된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

제1 방향으로 연장되고, 상기 제1 방향과 교차하는 제2 방향으로 서로 이격되어 배열된 복수의 스캔 라인들을 더 포함하며,

상기 제2 트랜지스터의 상기 제2 게이트 전극은 상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 복수의 구동 전압 라인들은 상기 복수의 스캔 라인들에 각각 대응하고, 상기 복수의 구동 전압 라인들 각각은 상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 평면상 중첩하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 복수의 구동 전압 라인들은 서로 전기적으로 연결된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제 3 항에 있어서,

상기 복수의 구동 전압 라인들 각각의 상기 제2 방향의 폭은 상기 복수의 스캔 라인들 중 대응하는 스캔 라인의 상기 제2 방향의 폭보다 넓은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 3 항에 있어서,

상기 기관은,

상기 발광 다이오드가 위치하는 표시 영역; 및

상기 표시 영역과 이웃하는 비표시 영역을 포함하며,

상기 비표시 영역에서 상기 제2 방향으로 연장된 전압 라인을 더 포함하고,

상기 복수의 구동 전압 라인들은 상기 전압 라인으로부터 상기 제1 방향으로 각각 연장되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 하부 게이트 전극은 상기 제2 트랜지스터의 상기 제2 소스 전극, 상기 제2 채널 및 상기 제2 드레인 전극을 포함하는 제2 액티브 패턴과 상기 기판 사이에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,

상기 복수의 구동 전압 라인들은 상기 제1 트랜지스터의 상기 제1 소스 전극, 상기 제1 채널 및 상기 제1 드레인 전극을 포함하는 제1 액티브 패턴과 평면상에서 중첩하지 않는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 1 항에 있어서,

제2 방향으로 연장되고, 상기 제2 방향과 다른 제1 방향으로 서로 이격되어 배열된 복수의 데이터 라인들을 더 포함하며,

상기 제2 트랜지스터의 상기 제2 드레인 전극은 상기 복수의 데이터 라인들 중 대응하는 데이터 라인과 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서,

상기 복수의 구동 전압 라인들은 상기 복수의 데이터 라인들에 각각 대응하고, 상기 복수의 구동 전압 라인들 각각은 상기 복수의 스캔 라인들 중 대응하는 데이터 라인과 평면상 중첩하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 10 항에 있어서,

상기 복수의 구동 전압 라인들은 서로 연결된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제 10 항에 있어서,

상기 복수의 구동 전압 라인들 각각은 상기 복수의 데이터 라인들 중 대응하는 데이터 라인의 상기 제1 방향의 폭보다 넓은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제 1 항에 있어서,

상기 제1 트랜지스터의 상기 제1 채널의 도핑 농도는 상기 제2 트랜지스터의 상기 제2 채널의 도핑 농도와 다른 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 1 항에 있어서,

상기 제1 트랜지스터의 상기 제1 드레인 전극과 연결되는 제6 소스 전극, 상기 발광 다이오드의 상기 애노드와 연결되는 제6 드레인 전극, 그리고 상기 제6 소스 전극 및 상기 제6 드레인 전극 사이에 위치하는 제6 채널을 포함하는 제6 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

기관;

상기 기관 상에 위치하는 복수의 화소들;

제1 방향으로 연장하며, 상기 복수의 화소들에 각각 연결된 복수의 스캔 라인들;

상기 제1 방향과 교차하는 제2 방향으로 연장하며, 상기 복수의 화소들에 각각 연결된 복수의 데이터 라인들; 및

상기 복수의 화소들에 제1 구동 전압을 전달하는 복수의 구동 전압 라인들을 포함하되;

상기 복수의 화소들 각각은,

애노드 및 캐소드를 포함하는 발광 다이오드;

제1 소스 전극, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 및 상기 제1 채널을 사이에 두고 상기 제1 소스 전극과 마주하는 제2 드레인 전극을 포함하며, 상기 발광 다이오드의 구동 전류를 제어하는 제1 트랜지스터; 및

상기 제1 트랜지스터의 상기 제1 소스 전극과 연결되는 제2 소스 전극, 상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 연결된 제2 게이트 전극, 상기 제2 게이트 전극과 평면상 중첩하는 제2 채널, 상기 제2 채널을 사이에 두고 상기 제2 소스 전극과 마주하며, 상기 복수의 데이터 라인들 중 대응하는 데이터 라인과 연결된 제2 드레인 전극 및 하부 게이트 전극을 포함하는 제2 트랜지스터를 포함하고,

상기 하부 게이트 전극은 상기 복수의 구동 전압 라인들 중 대응하는 구동 전압 라인과 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서,

상기 제2 트랜지스터의 상기 하부 게이트 전극은 상기 제2 채널과 평면상 중첩하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 15 항에 있어서,

상기 복수의 구동 전압 라인들은 상기 제1 방향으로 연장하며,

상기 복수의 구동 전압 라인들은 각각은 상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 평면상 중첩하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 15 항에 있어서,

상기 기관은,

상기 복수의 화소들이 위치하는 표시 영역; 및

상기 표시 영역과 이웃하는 비표시 영역을 포함하며,

상기 비표시 영역에서 상기 제2 방향으로 연장된 전압 라인을 더 포함하고,

상기 복수의 구동 전압 라인들은 상기 전압 라인으로부터 상기 제1 방향으로 각각 연장되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 15 항에 있어서,

상기 복수의 구동 전압 라인들은 상기 제2 방향으로 연장하며,

상기 복수의 구동 전압 라인들은 상기 복수의 데이터 라인들 중 대응하는 데이터 라인과 평면상 중첩하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 15 항에 있어서,

상기 복수의 구동 전압 라인들은 상기 제1 트랜지스터의 상기 제1 소스 전극, 상기 제1 채널 및 상기 제1 드레인 전극을 포함하는 제1 액티브 패턴과 평면상에서 중첩하지 않는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 화소 및 그것을 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 복수 개의 화소들을 포함한다. 복수 개의 화소들 각각은 유기 발광 다이오드 및 유기 발광 다이오드를 제어하는 회로부를 포함한다. 회로부는 적어도 스위칭 트랜지스터, 구동 트랜지스터, 및 스토리지 커패시터를 포함한다.

[0003] 유기발광 다이오드는 양극, 음극, 및 양극과 음극 사이에 배치된 유기 발광층을 포함한다. 유기발광 다이오드는 양극과 음극 사이에 유기 발광층의 문턱전압 이상의 전압이 인가되면 발광된다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 표시 품질을 향상시킬 수 있는 화소 및 이를 갖는 유기발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0005] 이와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 유기 발광 표시 장치는 기판, 상기 기판 상에 위치하며, 애노드 및 캐소드를 포함하는 발광 다이오드, 본 발명의 유기 발광 표시 장치는 기판, 상기 기판 상에 위치하며, 애노드 및 캐소드를 포함하는 발광 다이오드, 제1 소스 전극, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 및 상기 제1 채널을 사이에 두고 상기 제1 소스 전극과 마주하는 제2 드레인 전극을 포함하며, 상기 발광 다이오드의 구동 전류를 제어하는 제1 트랜지스터 및 상기 제1 트랜지스터의 상기 제1 소스 전극과 연결되는 제2 소스 전극, 제2 게이트 전극, 상기 제2 게이트 전극과 평면상 중첩하는 제2 채널, 상기 제2 채널을 사이에 두고 상기 제2 소스 전극과 마주하는 제2 드레인 전극 및 하부 게이트 전극을 포함하는 제2 트랜지스터 및 제1 구동 전압을 전달하는 복수의 구동 전압 라인들을 포함하되, 상기 제2 트랜지스터의 상기 하부 게이트 전극은 상기 제2 채널과 평면상 중첩하며, 상기 하부 게이트 전극은 상기 복수의 구동 전압 라인들 중 대응하는 구동 전압 라인과 전기적으로 연결된다.

[0006] 이 실시예에 있어서, 제1 방향으로 연장되고, 상기 제1 방향과 교차하는 제2 방향으로 서로 이격되어 배열된 복수의 스캔 라인들을 더 포함하며, 상기 제2 트랜지스터의 상기 제2 게이트 전극은 상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 연결된다.

[0007] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들은 상기 복수의 스캔 라인들에 각각 대응하고, 상기 복수의 구동 전압 라인들 각각은 상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 평면상 중첩할 수 있다.

[0008] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들은 서로 전기적으로 연결될 수 있다.

[0009] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들 각각의 상기 제2 방향의 폭은 상기 복수의 스캔 라인들 중

대응하는 스캔 라인의 상기 제2 방향의 폭보다 넓을 수 있다.

- [0010] 이 실시예에 있어서, 상기 기관은, 상기 발광 다이오드가 위치하는 표시 영역 및 상기 표시 영역과 이웃하는 비 표시 영역을 포함하며, 상기 비표시 영역에서 상기 제2 방향으로 연장된 전압 라인을 더 포함하고, 상기 복수의 구동 전압 라인들은 상기 전압 라인으로부터 상기 제1 방향으로 각각 연장될 수 있다.
- [0011] 이 실시예에 있어서, 상기 하부 게이트 전극은 상기 제2 트랜지스터의 상기 제2 소스 전극, 상기 제2 채널 및 상기 제2 드레인 전극을 포함하는 제2 액티브 패턴과 상기 기관 사이에 위치할 수 있다.
- [0012] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들은 상기 제1 트랜지스터의 상기 제1 소스 전극, 상기 제1 채널 및 상기 제1 드레인 전극을 포함하는 제1 액티브 패턴과 평면상에서 중첩하지 않는다.
- [0013] 이 실시예에 있어서, 제2 방향으로 연장되고, 상기 제2 방향과 다른 제1 방향으로 서로 이격되어 배열된 복수의 데이터 라인들을 더 포함하며, 상기 제2 트랜지스터의 상기 제2 드레인 전극은 상기 복수의 데이터 라인들 중 대응하는 데이터 라인과 연결될 수 있다.
- [0014] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들은 상기 복수의 데이터 라인들에 각각 대응하고, 상기 복수의 구동 전압 라인들 각각은 상기 복수의 스캔 라인들 중 대응하는 데이터 라인과 평면상 중첩할 수 있다.
- [0015] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들은 서로 연결될 수 있다.
- [0016] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들 각각은 상기 복수의 데이터 라인들 중 대응하는 데이터 라인의 상기 제1 방향의 폭보다 넓을 수 있다.
- [0017] 이 실시예에 있어서, 상기 제1 트랜지스터의 상기 제1 채널의 도핑 농도는 상기 제2 트랜지스터의 상기 제2 채널의 도핑 농도와 다를 수 있다.
- [0018] 이 실시예에 있어서, 상기 제1 트랜지스터의 상기 제1 드레인 전극과 연결되는 제6 소스 전극, 상기 발광 다이오드의 상기 애노드와 연결되는 제6 드레인 전극, 그리고 상기 제6 소스 전극 및 상기 제6 드레인 전극 사이에 위치하는 제6 채널을 포함하는 제6 트랜지스터를 더 포함할 수 있다.
- [0019] 본 발명의 다른 특징에 따른 유기 발광 표시 장치는: 기관, 상기 기관 상에 위치하는 복수의 화소들, 제1 방향으로 연장하며, 상기 복수의 화소들에 각각 연결된 복수의 스캔 라인들, 상기 제1 방향과 교차하는 제2 방향으로 연장하며, 상기 복수의 화소들에 각각 연결된 복수의 데이터 라인들 및 상기 복수의 화소들에 제1 구동 전압을 전달하는 복수의 구동 전압 라인들을 포함한다. 상기 복수의 화소들 각각은, 애노드 및 캐소드를 포함하는 발광 다이오드, 제1 소스 전극, 제1 게이트 전극, 상기 제1 게이트 전극과 평면상 중첩하는 제1 채널 및 상기 제1 채널을 사이에 두고 상기 제1 소스 전극과 마주하는 제2 드레인 전극을 포함하며, 상기 발광 다이오드의 구동 전류를 제어하는 제1 트랜지스터 및 상기 제1 트랜지스터의 상기 제1 소스 전극과 연결되는 제2 소스 전극, 상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 연결된 제2 게이트 전극, 상기 제2 게이트 전극과 평면상 중첩하는 제2 채널, 상기 제2 채널을 사이에 두고 상기 제2 소스 전극과 마주하며, 상기 복수의 데이터 라인들 중 대응하는 데이터 라인과 연결된 제2 드레인 전극 및 하부 게이트 전극을 포함하는 제2 트랜지스터를 포함한다. 상기 하부 게이트 전극은 상기 복수의 구동 전압 라인들 중 대응하는 구동 전압 라인과 전기적으로 연결될 수 있다.
- [0020] 이 실시예에 있어서, 상기 제2 트랜지스터의 상기 하부 게이트 전극은 상기 제2 채널과 평면상 중첩할 수 있다.
- [0021] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들은 상기 제1 방향으로 연장하며, 상기 복수의 구동 전압 라인들은 각각은 상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 평면상 중첩할 수 있다.
- [0022] 이 실시예에 있어서, 상기 기관은, 상기 복수의 화소들이 위치하는 표시 영역 및 상기 표시 영역과 이웃하는 비 표시 영역을 포함한다. 상기 유기 발광 표시 장치는 상기 비표시 영역에서 상기 제2 방향으로 연장된 전압 라인을 더 포함하고, 상기 복수의 구동 전압 라인들은 상기 전압 라인으로부터 상기 제1 방향으로 각각 연장될 수 있다.
- [0023] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들은 상기 제2 방향으로 연장하며, 상기 복수의 구동 전압 라인들은 상기 복수의 데이터 라인들 중 대응하는 데이터 라인과 평면상 중첩할 수 있다.
- [0024] 이 실시예에 있어서, 상기 복수의 구동 전압 라인들은 상기 제1 트랜지스터의 상기 제1 소스 전극, 상기 제1 채널 및 상기 제1 드레인 전극을 포함하는 제1 액티브 패턴과 평면상에서 중첩하지 않을 수 있다.

발명의 효과

[0025] 이와 같은 구성을 갖는 유기 발광 표시 장치는 스위칭 트랜지스터를 더블 게이트 구조로 형성하고, 하부 게이트에 고전압을 인가할 수 있다. 따라서 고온 동작 환경에서 스위칭 트랜지스터의 드레슬드 전압이 포지티브 쉬프트하는 것을 방지할 수 있으므로 표시 품질이 향상될 수 있다. 더욱이, 본 발명은 스위칭 트랜지스터의 액티브 영역의 도핑 농도를 조절함으로써 스위칭 트랜지스터의 드레슬드 전압 변화량을 조절할 수 있다. 따라서 스위칭 트랜지스터의 하부 게이트에 인가되는 전압과 스위칭 트랜지스터의 액티브 영역의 도핑 농도를 조절함으로써 스위칭 트랜지스터의 드레슬드 전압 변화량을 원하는 범위 내로 세밀하게 조절할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 블럭도이다.
 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치 내 화소의 등가 회로도이다.
 도 3은 도 2에 도시된 화소를 구동하기 위한 구동신호들을 도시한 파형도이다.
 도 4는 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 대한 평면도이다.
 도 5는 도 4에 도시한 유기 발광 표시 장치를 VI-VI'선을 따라 잘라 도시한 단면도이다.
 도 6은 도 2에 도시된 제2 트랜지스터의 드레슬드 전압 변화를 예시적으로 보여주는 도면이다.
 도 7은 도 1에 도시된 유기 발광 표시 장치의 AR1 영역에 대한 평면도이다.
 도 8은 도 7에 도시된 VII-VII'선을 따라 잘라 도시한 단면도이다.
 도 9a 내지 도 9f는 유기 발광 표시 장치를 VII-VII', VIII-VIII' 선을 따라 잘라 도시한 단면도이다.
 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 평면도이다.
 도 11는 일 실시예에 따른 표시 장치의 하나의 화소에 대한 평면도이다.
 도 12는 도 11에 도시한 표시 장치를 X-X'선을 따라 잘라 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결된다", 또는 "결합된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치/연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.

[0028] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[0029] "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.

[0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0031] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.

[0032] 다르게 정의되지 않는 한, 본 명세서에서 사용된 모든 용어 (기술 용어 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술의 맥락에서 의미와 일치하는 의미를 갖는 것으로 해석되어야 하고, 이상적인 또는 지나치게 형식적인 의미로 해석되지 않는 한, 명시적으로 여기에서 정의된다.

[0033] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요

소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0034]

이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.

[0035]

도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.

[0036]

도 1을 참조하면, 유기 발광 표시 장치는 표시 기관(100), 타이밍 제어부(200), 주사 구동 회로(300), 데이터 구동 회로(400) 및 전압 발생기(500)를 포함한다.

[0037]

타이밍 제어부(200)는 입력 영상 신호들(미도시)을 수신하고, 데이터 구동 회로(400)와의 인터페이스 사양에 맞도록 입력 영상신호들의 데이터 포맷을 변환하여 영상 데이터들(RGB)을 생성한다. 타이밍 제어부(200)는 주사 제어 신호(SCS), 영상 데이터들(RGB) 및 데이터 제어 신호(DCS)를 출력한다.

[0038]

주사 구동 회로(300)는 타이밍 제어부(200)로부터 주사 제어 신호(SCS)를 수신한다. 주사 제어 신호(SCS)는 주사 구동 회로(300)의 동작을 개시하는 수직 개시 신호, 신호들의 출력 타이밍을 결정하는 클럭 신호 등을 포함할 수 있다. 주사 구동 회로(300)는 복수 개의 스캔 신호들을 생성하고, 복수 개의 스캔 신호들을 후술하는 복수 개의 스캔 라인들(SL1-SL_n)에 순차적으로 출력한다. 또한, 주사 구동 회로(300)는 주사 제어 신호(SCS)에 응답하여 복수 개의 발광 제어 신호들을 생성하고, 후술하는 복수 개의 발광 라인들(EL1-EL_n)에 복수 개의 발광 제어신호들을 출력한다.

[0039]

도 1은 복수 개의 스캔 신호들과 복수 개의 발광 제어 신호들이 하나의 주사 구동 회로(300)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되지 않는다. 본 발명의 다른 실시예에서, 복수 개의 주사 구동 회로들이 복수 개의 스캔 신호들을 분할하여 출력하고, 복수 개의 발광 제어신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 다른 실시예에서, 복수 개의 스캔 신호들을 생성하여 출력하는 구동회로와 복수 개의 발광 제어신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.

[0040]

데이터 구동 회로(400)는 타이밍 제어부(200)로부터 데이터 제어 신호(DCS) 및 영상 데이터들(RGB)을 수신한다. 데이터 구동 회로(400)는 영상 데이터들(RGB)을 데이터 신호들로 변환하고, 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1-DL_m)에 출력한다. 데이터 신호들은 영상 데이터들(RGB)의 제조값에 대응하는 아날로그 전압들이다.

[0041]

전압 발생기(500)는 유기 발광 표시 장치의 동작에 필요한 전압들을 발생한다. 이 실시예에서, 전압 발생기(500)는 제1 구동 전압(ELVDD), 제2 구동 전압(ELVSS), 초기화 전압(Vint) 및 제3 구동 전압(VGH)을 발생한다. 제3 구동 전압(VGH)은 표시 기관(100)의 비표시 영역(NDA)에 배열된 전압 라인(510)으로 제공된다. 제3 구동 전압(VGH)은 주사 구동 회로(300)에서 발생하는 스캔 신호들의 하이 전압에 대응하는 전압 레벨일 수 있다. 다른 실시예에서, 제3 구동 전압(VGH)은 주사 구동 회로(300)로 제공될 수 있다.

[0042]

표시 기관(100)은 스캔 라인들(SL1-SL_n), 발광 라인들(EL1-EL_n), 데이터 라인들(DL1-DL_m), 제3 구동 전압 라인들(BML1-BML_n) 및 화소들(PX)을 포함한다. 스캔 라인들(SL1-SL_n)은 제1 방향(DR1)으로 연장되며, 제2 방향(DR2)으로 서로 이격되어 배열된다.

[0043]

복수의 발광 라인들(EL1-EL_n) 각각은 스캔 라인들(SL1-SL_n) 중 대응하는 스캔 라인에 나란하게 배열될 수 있다. 또한 제3 구동 전압 라인들(BML1-BML_n) 각각은 스캔 라인들(SL1-SL_n) 중 대응하는 스캔 라인에 나란하게 배열될 수 있다. 이 실시예에서, 제3 구동 전압 라인들(BML1-BML_n)의 개수는 제2 방향(DR2)으로 배열된 화소들의 수 즉, 스캔 라인들(SL1-SL_n)의 개수와 같다. 데이터 라인들(DL1-DL_m)은 스캔 라인들(SL1-SL_n)과 절연되게 교차한다.

[0044]

복수의 화소들(PX) 각각은 스캔 라인들(SL1-SL_n) 중 대응하는 스캔 라인, 발광 라인들(EL1-EL_n) 중 대응하는 발광 라인, 및 데이터 라인들(DL1-DL_m) 중 대응하는 데이터 라인들에 접속된다. 또한 복수의 화소들(PX) 각각은 제3 구동 전압 라인들(BML1-BML_n) 중 대응하는 제3 구동 전압 라인에 연결된다.

[0045]

복수의 화소들(PX) 각각은 제1 구동 전압(ELVDD), 제1 구동 전압(ELVDD)보다 낮은 레벨의 제2 구동 전압(ELVSS) 그리고 제3 구동 전압(VGH)을 수신한다. 화소들(PX) 각각은 제1 구동 전압(ELVDD)이 인가되는 제1 구동 전압 라인(172)에 접속된다. 화소들(PX) 각각은 초기화 전압(Vint)을 수신하는 초기화 라인(RL)에 접속된다.

[0046]

복수의 화소들(PX) 각각은 3개의 스캔 라인들에 전기적으로 연결될 수 있다. 도 1에 도시된 바와 같이, 제2 번째 화소 행의 화소들은 제1 번째 내지 제3 번째 스캔 라인들(SL1-SL3)에 연결될 수 있다.

[0047]

도면에 도시되지 않았으나, 표시 기관(100)은 복수의 더미 스캔 라인들을 더 포함할 수 있다. 표시 기관(100)은

제1 번째 화소행의 화소들(PX)에 연결된 더미 스캔 라인 및 제n 번째 화소 행의 화소들(PX)에 연결된 더미 스캔 라인을 더 포함할 수 있다. 또한, 데이터 라인들(DL1-DLm) 중 어느 하나의 데이터 라인에 연결된 화소들(이하, 화소 열의 화소들)은 서로 연결될 수 있다. 또한 화소 열의 화소들 중 인접하는 2개의 화소들이 전기적으로 연결될 수 있다.

[0048] 복수의 화소들(PX) 각각은 유기발광 다이오드(미 도시) 및 발광 다이오드의 발광을 제어하는 화소의 회로부(미 도시)를 포함한다. 화소 회로부는 복수의 트랜지스터들 및 커패시터를 포함할 수 있다. 주사 구동 회로(300)와 데이터 구동 회로(400) 중 적어도 어느 하나는 화소 회로부와 동일한 공정을 통해 형성된 트랜지스터들을 포함할 수 있다.

[0049] 복수 회의 포토리소그래피 공정을 통해 베이스 기관(미 도시) 상에 스캔 라인들(SL1-SLn), 발광 라인들(EL1-ELn), 제3 구동 전압 라인들(BML1-BMLn), 데이터 라인들(DL1-DLm), 제1 구동 전압 라인(172), 초기화 라인(RL), 화소들(PX), 주사 구동 회로(300), 및 데이터 구동회로(400)을 형성할 수 있다. 복수 회의 증착공정 또는 코팅공정을 통해 베이스 기관(미 도시) 상에 절연층들을 형성할 수 있다. 절연층들 각각은 표시 기관(100) 전체를 커버하는 박막이거나, 표시 기관(100)의 특정 구성에만 중첩하는 적어도 하나의 절연 패턴을 포함할 수 있다. 절연층들은 유기층 및/또는 무기층을 포함한다. 그밖에 화소들(PX)을 보호하는 봉지층(미 도시)을 베이스 기관 상에 더 형성할 수 있다.

[0050] 표시 기관(100)은 제1 구동 전압(ELVDD) 및 제2 구동 전압(ELVSS)을 수신한다. 제1 구동 전압(ELVDD)은 제1 구동 전압 라인(172)을 통해 복수의 화소들(PX)에 제공될 수 있다. 상기 제2 구동 전압(ELVSS)은 표시 기관(100)에 형성된 전극들(미도시) 또는 전원 라인(미도시)을 통해서 복수의 화소들(PX)에 제공될 수 있다.

[0051] 표시 기관(100)은 초기화 전압(Vint)을 수신한다. 초기화 전압(Vint)은 초기화 전압 라인(RL)을 통해 복수의 화소들(PX)에 제공될 수 있다.

[0052] 표시 기관(100)은 제3 구동 전압(VGH)을 수신한다. 제3 구동 전압(VGH)은 표시 패널에 형성된 제3 구동 전압 라인들(BML1-BMLn)을 통해 복수의 화소들(PX)에 제공될 수 있다.

[0053] 표시 기관(100)은 표시 영역(DPA) 및 비표시 영역(NDA)으로 구분된다. 복수의 화소들(PX)은 표시 영역(DPA)에 배열된다. 이 실시예에서, 주사 구동 회로(300)는 표시 영역(DPA)의 일측인 비표시 영역(NDA)에 배열된다. 전압 발생기(500)로부터 제공되는 제3 구동 전압(VGH)은 비표시 영역(NDA)에 배열된 전압 라인(510) 및 표시 영역(DPA)에 배열된 제3 구동 전압 라인들(BML1-BMLn)을 통해 복수의 화소들(PX)로 제공된다.

[0054] 도 2는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다. 도 3은 도 2의 유기 발광 표시 장치의 화소의 동작을 설명하기 위한 타이밍도이다.

[0055] 도 2에는 도 1에 도시된 복수 개의 데이터 라인들(DL1-DLm) 중 i번째 데이터 라인(171), 복수 개의 스캔 라인들(SL1-SLn) 중 j번째 스캔 라인(151), 복수 개의 제어 라인들(EL1-ELn) 중 j번째 제어 라인(153) 및 복수 개의 구동 전압 라인들(BML1-BMLn) 중 j번째 구동 전압 라인(BMLj)에 접속된 화소(PXij)의 등가 회로도를 예시적으로 도시하였다. 도 1에 도시된 복수의 화소들(PX) 각각은 도 2에 도시된 화소(PXij)의 등가 회로도와 동일한 회로 구성을 가질 수 있다. 이 실시예에서 화소(PXij)의 회로부는 7개의 트랜지스터들(T1-T7) 및 하나의 커패시터(Cst)를 포함한다. 또한, 제1 내지 제7 트랜지스터들(T1-T7)은 PMOS 등의 P형 채널 트랜지스터일 수 있으나, 이에 한정되는 것은 아니고, 제1 내지 제7 트랜지스터들(T1-T7) 중 적어도 하나가 N형 채널 트랜지스터일 수도 있다. 또한 본 발명에 따른 화소의 회로 구성은 도 2에 제한되지 않는다. 도 2에 도시된 회로부는 하나의 예시에 불과하고 회로부의 구성은 변형되어 실시될 수 있다.

[0056] 도 2를 참조하면, 일 실시예에 따른 표시 장치의 화소(PXij)는 신호 라인들(151, 152, 153, 154, 171, 172, BMLj)을 포함한다. 화소(PXij)는 복수의 신호 라인들(151, 152, 153, 154, 171, 172, BMLj)에 연결되어 있는 제1 내지 제7 트랜지스터들(T1, T2, T3, T4, T5, T6, T7), 커패시터(Cst), 그리고 적어도 하나의 발광 다이오드(light emitting diode)(ED)를 포함할 수 있다. 이 실시예에서는 하나의 화소(PXij)가 하나의 발광 다이오드(ED)를 포함하는 예를 설명한다.

[0057] 신호 라인들(151, 152, 153, 154, 171, 172, BMLj)은 스캔 라인들(151, 152, 154), 제어 라인(153), 데이터 라인(171), 제1 구동 전압 라인(172) 및 제3 구동 전압 라인(BMLj)을 포함할 수 있다.

[0058] 스캔 라인들(151, 152, 154)은 각각 스캔 신호(GWj, GIj, GBj)를 전달할 수 있다. 스캔 신호(GWj, GIj, GBj)는 화소(PXij)가 포함하는 트랜지스터(T2, T3, T4, T7)를 턴 온/턴 오프 할 수 있는 게이트 온 전압 및 게이트

오프 전압을 전달할 수 있다.

- [0059] 화소(PXij)에 연결되어 있는 스캔 라인들(151, 152, 154)은 스캔 신호(GWj)를 전달할 수 있는 제1 스캔 라인(151), 제1 스캔 라인(151)과 다른 타이밍에 게이트 온 전압을 가지는 스캔 신호(GIj)를 전달할 수 있는 제2 스캔 라인(152), 그리고 스캔 신호(GBj)를 전달할 수 있는 제3 스캔 라인(154)을 포함할 수 있다. 이 실시예에서는 제2 스캔 라인(152)이 제1 스캔 라인(151)보다 이전 타이밍에 게이트 온 전압을 전달하는 예에 대해 주로 설명한다. 예를 들어, 스캔 신호(GWj)가 한 프레임 동안 인가되는 스캔 신호들 중 j번째 스캔 신호(Sj)(j은 1 이상의 자연수)인 경우, 스캔 신호(GIj)는 (j-1)번째 스캔 신호(S(j-1))와 같은 이전 스캔 신호일 수 있고, 스캔 신호(GBj)는 (j+1)번째 스캔 신호(S(j+1))일 수 있다. 그러나 본 발명은 이에 한정되는 것은 아니고, 스캔 신호(GBj)는 (j+1)번째 스캔 신호(S(j+1)) 외의 스캔 신호일 수도 있다.
- [0060] 제어 라인(153)은 제어 신호를 전달할 수 있으며, 특히 화소(PXij)가 포함하는 발광 다이오드(ED)의 발광을 제어할 수 있는 발광 제어 신호를 전달할 수 있다. 제어 라인(153)이 전달하는 발광 제어 신호는 스캔 라인들(151, 152, 154)이 전달하는 스캔 신호들과 다른 파형을 가질 수 있다. 데이터 라인(171)은 데이터 신호(Di)를 전달하고, 제1 구동 전압 라인(172)은 제1 구동 전압(ELVDD)을 전달할 수 있다. 데이터 신호(Di)는 표시 장치에 입력되는 영상 신호에 따라 다른 전압 레벨을 가질 수 있고, 제1 구동 전압(ELVDD)은 실질적으로 일정한 레벨을 가질 수 있다.
- [0061] 제1 스캔 라인(151)은 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)에 스캔 신호(GWj)를 전달할 수 있고, 제2 스캔 라인(152)은 제4 트랜지스터(T4)에 스캔 신호(GIj)를 전달할 수 있고, 제3 스캔 라인(154)은 제7 트랜지스터(T7)에 스캔 신호(GBj)를 전달할 수 있으며, 제어 라인(153)은 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)에 발광 제어 신호(EMj)를 전달할 수 있다.
- [0062] 제1 트랜지스터(T1)의 제1 게이트 전극(G1)은 커패시터(Cst)의 일단과 연결되어 있고, 제1 트랜지스터(T1)의 제1 소스 전극(S1)은 제5 트랜지스터(T5)를 경유하여 제1 구동 전압 라인(172)과 연결되어 있고, 제1 트랜지스터(T1)의 제1 드레인 전극(D1)은 제6 트랜지스터(T6)를 경유하여 발광 다이오드(ED)의 애노드(anode)와 전기적으로 연결되어 있다. 제1 트랜지스터(T1)는 제2 트랜지스터(T2)의 스위칭 동작에 따라 데이터 라인(171)이 전달하는 데이터 신호(Di)를 전달받아 발광 다이오드(ED)에 구동 전류(Id)를 공급할 수 있다.
- [0063] 제2 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(151)과 연결되어 있고, 제2 트랜지스터(T2)의 제2 소스 전극(S2)은 데이터 라인(171)과 연결되어 있으며, 제2 트랜지스터(T2)의 제2 드레인 전극(D2)은 제1 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제5 트랜지스터(T5)를 경유하여 제1 구동 전압 라인(172)과 연결되어 있다. 제2 트랜지스터(T2)는 제1 스캔 라인(151)을 통해 전달받은 스캔 신호(GWj)에 따라 턴온되어 데이터 라인(171)으로부터 전달된 데이터 신호(Di)를 제1 트랜지스터(T1)의 소스 전극(S1)으로 전달할 수 있다.
- [0064] 이 실시예에서, 제2 트랜지스터(T2)는 게이트 전극(G2)뿐만 아니라 하부 게이트 전극(BG2)을 더 포함하는 더블 게이트 구조를 갖는다. 제2 트랜지스터(T2)의 하부 게이트 전극(BG2)은 제3 구동 전압 라인(BMLj)과 연결된다.
- [0065] 제3 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(151)에 연결된다. 제3 트랜지스터(T3)의 제3 드레인 전극(D3)은 제4 트랜지스터(T4)의 드레인 전극(D4), 커패시터(Cst)의 일단 및 제1 트랜지스터(T1)의 제1 게이트 전극(G1)에 공통으로 연결된다. 제3 트랜지스터(T3)의 제3 소스 전극(S3)은 제1 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제6 트랜지스터(T6)를 경유하여 발광 다이오드(ED)의 애노드와 연결된다.
- [0066] 제3 트랜지스터(T3)는 제1 스캔 라인(151)을 통해 전달받은 스캔 신호(GWj)에 따라 턴온 되어 제1 트랜지스터(T1)의 제1 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 제1 트랜지스터(T1)를 다이오드 연결시킬 수 있다.
- [0067] 제4 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(152)과 연결되어 있고, 제4 트랜지스터(T4)의 제4 소스 전극(S4)은 초기화 전압(Vint)이 전달되는 초기화 전압 라인(159)과 연결되어 있으며, 제4 트랜지스터(T4)의 제4 드레인 전극(D4)은 제3 트랜지스터(T3)의 드레인 전극(D3)을 거쳐 커패시터(Cst)의 일단 및 제1 트랜지스터(T1)의 제1 게이트 전극(G1)에 연결되어 있다. 제4 트랜지스터(T4)는 제2 스캔 라인(152)을 통해 전달받은 스캔 신호(GIj)에 따라 턴 온되어 초기화 전압(Vint)을 제1 트랜지스터(T1)의 제1 게이트 전극(G1)에 전달하여 제1 트랜지스터(T1)의 제1 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행할 수 있다.
- [0068] 제5 트랜지스터(T5)의 제5 게이트 전극(G5)은 제어 라인(153)과 연결되어 있으며, 제5 트랜지스터(T5)의 제5 소스 전극(S5)은 제1 구동 전압 라인(172)과 연결되어 있고, 제5 트랜지스터(T5)의 제5 드레인 전극(D5)은 제1 트

랜지스터(T1)의 소스 전극(S1) 및 제2 트랜지스터(T2)의 드레인 전극(D2)에 연결되어 있다.

- [0069] 제6 트랜지스터(T6)의 제6 게이트 전극(G6)은 제어 라인(153)과 연결되어 있으며, 제6 트랜지스터(T6)의 제6 소스 전극(S6)은 제1 트랜지스터(T1)의 드레인 전극(D1) 및 제3 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 제6 트랜지스터(T6)의 제6 드레인 전극(D6)은 발광 다이오드(ED)의 애노드와 전기적으로 연결되어 있다. 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 제어 라인(153)을 통해 전달받은 발광 제어 신호(EMj)에 따라 동시에 턴 온되고 이를 통해 제1 구동 전압(ELVDD)이 다이오드 연결된 제1 트랜지스터(T1)를 통해 보상되어 발광 다이오드(ED)에 전달될 수 있다.
- [0070] 제7 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔 라인(154)과 연결되어 있고, 제7 트랜지스터(T7)의 제7 소스 전극(S7)은 제6 트랜지스터(T6)의 제6 드레인 전극(D6) 및 발광 다이오드(ED)의 애노드에 연결되어 있고, 제7 트랜지스터(T7)의 제7 드레인 전극(D7)은 초기화 전압 라인(159) 및 제4 트랜지스터(T4)의 제4 소스 전극(S4)에 연결되어 있다. 다른 실시예에서, 제7 트랜지스터(T7)의 제7 게이트 전극(G7)은 제2 스캔 라인(152)과 연결될 수 있다.
- [0071] 커패시터(Cst)의 일단은 앞에서 설명한 바와 같이 제1 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있고, 타단은 제1 구동 전압 라인(172)과 연결되어 있다. 발광 다이오드(ED)의 캐소드(cathode)는 제2 구동 전압(ELVSS)을 전달하는 단자와 연결될 수 있다. 일 실시예에 따른 화소(PXij)의 구조는 도 2에 도시한 구조에 한정되는 것은 아니고 화소(PXij)가 포함하는 트랜지스터의 수와 커패시터의 수 및 연결 관계는 다양하게 변형 가능하다.
- [0072] 앞에서 설명한 도 2와 함께 도 3을 참조하여 일 실시예에 따른 표시 장치의 동작에 대하여 설명한다. 이하 설명에서 제1 내지 제7 트랜지스터들(T1-T7)이 P형 채널 트랜지스터인 예에 대해 설명하며, 한 프레임의 동작에 대해 설명한다.
- [0073] 도 2 및 도 3을 참조하면, 한 프레임 내에서 화소(PXij)와 연결된 제1 스캔 라인(151)에는 로우 레벨(low level)의 스캔 신호들(Sj-1, Sj, Sj+1)이 순차적으로 스캔 신호(GWj)로서 인가될 수 있다.
- [0074] 초기화 기간동안 제2 스캔 라인(152)을 통해 로우 레벨의 스캔 신호(GIj)가 공급된다. 스캔 신호(GIj)는 예를 들어 (j-1)번째 스캔 신호(Sj-1)일 수 있다. 로우 레벨의 스캔 신호(GIj)에 대응하여 제4 트랜지스터(T4)가 턴 온 되며, 제4 트랜지스터(T4)를 통해 초기화 전압(Vint)이 제1 트랜지스터(T1)의 제1 게이트 전극(G1)에 전달되고, 초기화 전압(Vint)에 의해 제1 트랜지스터(T1)가 초기화된다.
- [0075] 다음, 데이터 프로그래밍 및 보상 기간동안 제1 스캔 라인(151)을 통해 로우 레벨의 스캔 신호(GWj)가 공급되면 로우 레벨의 스캔 신호(GWj)에 대응하여 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 턴 온 된다. 스캔 신호(GWj)는 예를 들어 j번째 스캔 신호(Sj)일 수 있다. 이때, 제1 트랜지스터(T1)는 턴 온된 제3 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스된다. 그러면, 데이터 라인(171)으로부터 공급된 데이터 신호(Di)에서 제1 트랜지스터(T1)의 문턱 전압(Vth)만큼 감소한 보상 전압(Di-Vth)이 제1 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가된다. 즉, 제1 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가된 게이트 전압은 보상 전압(Di-Vth)이 될 수 있다.
- [0076] 커패시터(Cst)의 양단에는 제1 구동 전압(ELVDD)과 보상 전압(Di-Vth)이 인가되고, 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장될 수 있다.
- [0077] 바이패스 기간동안 제7 트랜지스터(T7)는 제3 스캔 라인(154)을 통해 로우 레벨의 스캔 신호(GBj)를 공급받아 턴 온된다. 스캔 신호(GBj)는 j+1번째 스캔 신호(Sj+1)일 수 있다. 턴 온된 제7 트랜지스터(T7)에 의해 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로서 제7 트랜지스터(T7)를 통해 빠져나갈 수 있다.
- [0078] 블랙 영상을 표시하는 구동 트랜지스터(T1)의 최소 전류가 구동 전류로 흐를 경우에도 발광 다이오드(ED)가 발광하게 된다면 제대로 블랙 영상이 표시되지 않는다. 따라서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 바이패스 트랜지스터(T7)는 구동 트랜지스터(T1)의 최소 전류의 일부를 바이패스 전류(Ibp)로서 유기 발광 다이오드 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다. 여기서 구동 트랜지스터(T1)의 최소 전류란 구동 트랜지스터(T1)의 게이트-소스 전압(Vgs)이 문턱 전압(Vth)보다 작아서 구동 트랜지스터(T1)가 오프되는 조건에서의 전류를 의미한다. 이렇게 구동 트랜지스터(T1)를 오프시키는 조건에서의 최소 구동 전류(예를 들어 10pA 이하의 전류)가 발광 다이오드(ED)에 전달되어 블랙 휘도의 영상으로 표현된다. 블랙 영상을 표시하는 최소 구동 전류가 흐르는 경우 바이패스 전류(Ibp)의 우회 전달의 영향이 큰 반면, 일반 영상 또는 화이트 영상과 같은 영상을 표시하는 큰 구동 전류가 흐를 경우에는 바이패스 전류(Ibp)의 영향이 거의 없다고 할 수 있다. 따

라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(I_d)로부터 바이패스 트랜지스터(T_7)를 통해 빠져나온 바이패스 전류(I_{bp})의 전류량만큼 감소된 발광 다이오드(ED)의 발광 전류(I_{ed})는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 따라서, 바이패스 트랜지스터(T_7)를 이용하여 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다. 이 실시예에서, 바이패스 신호인 스캔 신호(GB_j)는 다음 스캔 신호(S_j+1)와 동일하나, 반드시 이에 한정되는 것은 아니다.

- [0079] 다음, 발광 기간동안 제어 라인(153)으로부터 공급되는 발광 제어 신호(EM_j)가 하이 레벨에서 로우 레벨로 변경된다. 발광 기간동안 로우 레벨의 발광 제어 신호(EM_j)에 의해 제5 트랜지스터(T_5) 및 제6 트랜지스터(T_6)가 턴온된다. 그러면, 제1 트랜지스터(T_1)의 제1 게이트 전극(G_1)의 게이트 전압과 제1 구동 전압($ELVDD$) 간의 전압차에 따르는 구동 전류(I_d)가 발생하고, 제6 트랜지스터(T_6)를 통해 구동 전류(I_d)가 발광 다이오드(ED)에 공급되어 발광 다이오드(ED)에 전류(I_{ed})가 흐른다. 발광 기간동안 커패시터(Cst)에 의해 제1 트랜지스터(T_1)의 게이트-소스 전압(V_{gs})은 ' $(D_i - V_{th}) - ELVDD$ '으로 유지되고, 제1 트랜지스터(T_1)의 전류-전압 관계에 따르면, 구동 전류(I_d)는 구동 게이트-소스 전압에서 문턱 전압을 차감한 값의 제곱 ' $(D_i - ELVDD)^2$ '에 비례할 수 있다. 이에 따라, 구동 전류(I_d)는 제1 트랜지스터(T_1)의 문턱 전압(V_{th})에 관계없이 결정될 수 있다.
- [0080] 도 4 및 도 5를 참조하여 일 실시예에 따른 화소의 구체적인 구조에 대하여 설명한다. 이해의 편의를 위해, 먼저 일 실시예에 따른 화소의 평면상 구조에 대해 주로 설명한 후 단면상 구조에 대해 구체적으로 설명하도록 한다.
- [0081] 도 4는 일 실시예에 따른 표시 장치의 하나의 화소에 대한 평면도이다. 도 5는 도 4에 도시한 표시 장치를 VI-VI'선을 따라 잘라 도시한 단면도이다.
- [0082] 일 실시예에 따른 화소(PX_{ij})는 스캔 신호(GW_j)를 전달하는 제1 스캔 라인(151), 스캔 신호(GI_j)를 전달하는 제2 스캔 라인(152), 스캔 신호(GB_j)를 전달하는 제3 스캔 라인(154), 그리고 발광 제어 신호(EM_j)를 전달하는 제어 라인(153) 등을 포함하는 제1 도전층을 포함할 수 있다. 제1 도전층은 단면상 기판(110)의 일면 위에 위치하고, 동일한 재료를 포함하며 동일한 층에 위치할 수 있다. 기판(110)은 유리, 플라스틱 등의 무기 또는 유기 절연 물질을 포함할 수 있으며, 다양한 정도의 유연성(flexibility)을 가질 수 있다.
- [0083] 스캔 라인들(151, 152, 154), 제어 라인(153) 및 제3 구동 전압 라인(BML_j)은 평면상 대체로 동일한 방향(예를 들어, 제1 방향(DR_1))으로 연장될 수 있다. 제1 스캔 라인(151)은 평면상 제2 스캔 라인(152)과 제어 라인(153) 사이에 위치할 수 있다.
- [0084] 일 실시예에 따른 표시 장치의 화소(PX_{ij})는 커패시터 전극(CE) 및 초기화 전압 라인(159) 등을 포함하는 제2 도전층을 더 포함할 수 있다. 제2 도전층은 단면상 제1 도전층과 다른 층에 위치한다. 예를 들어, 제2 도전층은 단면상 제1 도전층 위에 위치할 수 있고, 동일한 재료를 포함하며 동일한 층에 위치할 수 있다.
- [0085] 커패시터 전극(CE) 및 초기화 전압 라인(159)은 평면상 스캔 라인들(151, 152, 154)과 대체로 동일한 방향(예를 들면, 제1 방향(DR_1))로 연장된다.
- [0086] 일 실시예에 따른 화소(PX_{ij})는 데이터 신호(D_i)를 전달하는 데이터 라인(171) 및 제1 구동 전압($ELVDD$)을 전달하는 구동 전압 라인(172) 등을 포함하는 제3 도전층을 더 포함할 수 있다. 제3 도전층은 단면상 제1 도전층 및 제2 도전층과 다른 층에 위치한다. 예를 들어, 제3 도전층은 단면상 제2 도전층 위에 위치할 수 있고, 동일한 재료를 포함하며 동일한 층에 위치할 수 있다.
- [0087] 데이터 라인(171) 및 제1 구동 전압 라인(172)은 평면상 대체로 동일한 방향(예를 들면, 제2 방향(DR_2))으로 연장되며, 스캔 라인들(151, 152, 154), 제어 라인(153), 초기화 전압 라인(159) 및 커패시터 전극(CE)과 교차할 수 있다.
- [0088] 화소(PX_{ij})는 스캔 라인(151, 152, 154), 제어 라인(153), 데이터 라인(171) 및 제1 구동 전압 라인(172)과 연결되어 있는 제1 내지 제7 트랜지스터들(T_1 - T_7) 및 커패시터(Cst), 그리고 발광 다이오드(ED)를 포함할 수 있다.
- [0089] 화소(PX_{ij})의 제1 내지 제7 트랜지스터들(T_1 - T_7) 각각의 채널(channel)은 하나의 액티브 패턴의 내부에 형성될 수 있으며, 액티브 패턴(105)은 다양한 형상으로 굴곡되어 있을 수 있다. 액티브 패턴(105)은 다결정 규소, 산화물 반도체 등의 반도체 물질을 포함할 수 있다. 액티브 패턴(105)은 단면상 기판(110)과 제1 도전층 사이에 위치할 수 있다.

- [0090] 액티브 패턴(105)은 제1 내지 제7 트랜지스터들(T1-T7) 각각에 대응하는 제1 내지 제7 액티브 패턴들(A1-A7)을 포함한다. 제1 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 채널(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 트랜지스터(T5)의 제5 드레인 전극(D5)과 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 트랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다.
- [0091] 제1 액티브 패턴(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O), 인듐-아연 산화물(In-Zn-O), 아연-주석 산화물(Zn-Sn-O), 인듐-갈륨 산화물(In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브 패턴(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.
- [0092] 제1 액티브 패턴(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.
- [0093] 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)의 제1 채널(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 콘택홀(contact hole)(H1)을 통하는 게이트 브릿지(GB)에 의해 제4 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩하고 있으며, 제1 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 일 전극으로서도 기능할 수 있다. 즉, 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성한다.
- [0094] 제2 트랜지스터(T2)는 기판(110) 상에 위치하며, 제2 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함한다. 제2 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 콘택홀(H2)을 통해 데이터 라인(171)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브 패턴(A2)의 채널영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다. 즉, 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 연결되어 있다.
- [0095] 제2 액티브 패턴(A2)과 기판(110) 사이에는 하부 게이트 전극(BG2)이 위치하고 있다. 하부 게이트 전극(BG2)은 제3 구동 전압 라인(BMLj)과 일체로 형성되어 있다. 제2 액티브 패턴(A2)의 제2 채널(C2)은 제3 구동 전압 라인(BMLj)과 중첩하고 있으며, 제3 구동 전압 라인(BMLj)에 제3 구동 전압(VGH)이 공급됨으로써, 제3 구동 전압 라인(BMLj)에 공급되는 전원의 극성에 따라 제2 액티브 패턴(A2)의 제2 채널(C2)에 전자 또는 정공 등의 전하(charge)가 축적되기 때문에, 제2 트랜지스터(T2)의 문턱 전압이 조절된다.
- [0096] 즉, 제3 구동 전압 라인(BMLj)을 이용해 제2 트랜지스터(T2)의 문턱 전압을 낮추거나 높일 수 있으며, 제2 트랜지스터(T2)의 문턱 전압을 조절하여 제2 트랜지스터(T2)의 히스테리시스(hysteresis) 현상이 개선될 수 있다.
- [0097] 이 실시예에서, 제3 구동 전압 라인(BMLj)은 제1 스캔 라인(151)의 하부에 배치된다. 제3 구동 전압 라인(BMLj)의 제2 방향(DR2)의 폭은 제1 스캔 라인(151)의 제2 방향(DR2)의 폭보다 넓다.
- [0098] 제2 액티브 패턴(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제2 채널(C2)을 사이에 두고 이격되어 제1 채널(C2)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 층에 위치하며, 제1 액티브 패턴(A1)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1)과 일체로 형성되어 있다.
- [0099] 제2 게이트 전극(G2)은 제2 액티브 패턴(A2)의 제2 채널(C2) 상에 위치하고 있으며, 제1 스캔 라인(151)과 일체

로 형성되어 있다.

- [0100] 앞서 설명된 제1 액티브 패턴(A1)과 기판(110) 사이에는 하부 게이트 전극 즉, 제3 구동 전압 라인(BMLj)이 위치하고 있지 않다. 다시 말하면, 제1 액티브 패턴(A1)의 제1 채널(C1)은 제3 구동 전압 라인(BMLj)과 비중첩하고 있다.
- [0101] 제3 트랜지스터(T3)는 기판(110) 상에 위치하며, 제3 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함한다.
- [0102] 제3 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 채널(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 콘택홀(H3)을 통하는 게이트 브릿지(GB)에 의해 제1 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브 패턴(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다. 즉, 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.
- [0103] 제3 액티브 패턴(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 층에 위치하며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 제3 액티브 패턴(A3)의 제3 채널(C3) 상에 위치하고 있으며, 제1 스캔 라인(151)과 일체로 형성되어 있다.
- [0104] 제4 트랜지스터(T4)는 기판(110) 상에 위치하며, 제4 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함한다.
- [0105] 제4 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 채널(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 콘택홀(H1)을 통해 초기화 전원 라인(159)과 연결되어 있으며, 제4 드레인 전극(D4)은 콘택홀(H3)을 통하는 게이트 브릿지(GB)에 의해 제1 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브 패턴(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브 패턴(A4)은 초기화 전원 라인(159)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브 패턴(A3)과 제1 게이트 전극(G1) 각각과 연결되어 있다.
- [0106] 제4 액티브 패턴(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브 패턴(A4)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 제4 액티브 패턴(A4)의 제4 채널(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성되어 있다.
- [0107] 제5 트랜지스터(T5)는 기판(110) 상에 위치하며, 제5 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함한다.
- [0108] 제5 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 콘택홀(H5)을 통해 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브 패턴(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브 패턴(A5)은 구동 전원 라인(ELVDD)과 제1 액티브 패턴(A1) 사이를 연결하고 있다.
- [0109] 제5 액티브 패턴(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브 패턴(A5)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 일체로 형성되어 있다.
- [0110] 제5 게이트 전극(G5)은 제5 액티브 패턴(A5)의 제5 채널(C5) 상에 위치하고 있으며, 발광 제어 라인(153)과 일체로 형성되어 있다.
- [0111] 제6 트랜지스터(T6)는 기판(110) 상에 위치하며, 제6 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함한다.

- [0112] 제6 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 채널(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 콘택홀(H6)을 통해 발광 다이오드(ED)의 제1 전극(E1)과 연결된다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브 패턴(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1)과 발광 다이오드(ED)의 제1 전극(E1) 사이를 연결하고 있다.
- [0113] 제6 액티브 패턴(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 일체로 형성되어 있다.
- [0114] 제6 게이트 전극(G6)은 제6 액티브 패턴(A6)의 제6 채널(C6) 상에 위치하고 있으며, 발광 제어 라인(153)과 일체로 형성되어 있다.
- [0115] 제7 트랜지스터(T7)는 기판(110) 상에 위치하며, 제7 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함한다.
- [0116] 제7 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 채널(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 3에 도시되지 않은 다른 화소(도 4에 도시된 화소의 하측에 위치하는 다른 화소일 수 있다.)의 유기 발광 소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브 패턴(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브 패턴(A7)은 유기 발광 소자의 제1 전극과 제4 액티브 패턴(A4) 사이를 연결하고 있다.
- [0117] 제7 액티브 패턴(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브 패턴(A7)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 일체로 형성되어 있다.
- [0118] 제7 게이트 전극(G7)은 제7 액티브 패턴(A7)의 제7 채널(C7) 상에 위치하고 있으며, 제3 스캔 라인(154)과 일체로 형성되어 있다.
- [0119] 앞서 설명한 바와 같이, 제2 트랜지스터(T2)의 제2 액티브 패턴(A2)과 기판(110) 사이에는 제3 구동 전압 라인(BMLj)과 일체로 형성된 하부 게이트 전극(BG2)이 위치하나, 나머지 트랜지스터들 즉, 제1, 제3 내지 제7 트랜지스터들(T1, T3, T4, T5, T6, T7)의 액티브 패턴들(A1, A3, A4, A5, A6, A7)과 기판(110) 사이에는 하부 게이트 전극 즉, 제3 구동 전압 라인(BMLj)이 위치하고 있지 않다.
- [0120] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함한다. 상술한 일 전극은 커패시터 전극(CE)이며, 타 전극은 제1 게이트 전극(G1)일 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 콘택홀(H7)을 통해 구동 전원 라인(ELVDD)과 연결되어 있다. 커패시터 전극(CE) 및 제1 게이트 전극(G1)은 서로 다른 층에서 서로 다르거나 서로 동일한 금속으로 형성될 수 있다.
- [0121] 커패시터 전극(CE)은 제1 게이트 전극(G1)의 일 부분과 중첩하는 개구부(OA)를 포함하며, 이 개구부(OA)를 통해 게이트 브릿지(GB)가 제1 게이트 전극(G1)과 연결되어 있다.
- [0122] 게이트 브릿지(GB)는 제1 스캔 라인(151) 상에 위치하여 구동 전원 라인(ELVDD)과 이격되어 있으며, 콘택홀(H3)을 통해 제3 액티브 패턴(A3)의 제3 드레인 전극(D3) 및 제4 액티브 패턴(A4)의 제4 드레인 전극(D4) 각각과 연결되어 콘택홀(H1)을 통해 커패시터 전극(CE)의 개구부(OA)에 의해 노출된 제1 게이트 전극(G1)과 연결되어 있다.
- [0123] 초기화 전원 라인(159)은 콘택홀(H4)을 통해 제4 액티브 패턴(A4)의 제4 소스 전극(S4)과 연결되어 있다. 초기화 전원 라인(159)은 발광 다이오드(ED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성되어 있다.

한편, 본 발명의 다른 실시예에서 초기화 전원 라인(159)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수 있다.

- [0124] 도 5를 참조하여 일 실시예에 따른 표시 장치의 단면 구조에 대해 더 구체적으로 설명한다.
- [0125] 기관(110) 위에 버퍼층(120)이 위치할 수 있다. 버퍼층(120)은 기관(110)으로부터 버퍼층(120)의 상부층, 특히 액티브 패턴(105)으로 불순물이 전달되는 것을 차단하여 액티브 패턴(105)의 특성을 향상시키고 스트레스를 완화시킬 수 있다. 버퍼층(120)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다. 버퍼층(120)의 적어도 일부는 생략될 수도 있다.
- [0126] 버퍼층(120) 위에는 앞에서 설명한 바와 같은 하부 게이트 전극(BG2)이 위치하고, 하부 게이트 전극(BG2) 위에 제1 절연층(130)이 위치한다. 하부 게이트 전극(BG2)은 금속을 포함하나, 이에 한정되지 않고 전원이 공급되는 재료라면 도전성 폴리머 등의 다른 재료를 포함할 수 있다. 제1 절연층(130) 위에 액티브 패턴(105)이 위치하고, 액티브 패턴(105) 위에 제2 절연층(140)이 위치한다.
- [0127] 제1 절연층(140) 위에는 앞에서 설명한 제1 도전층이 위치할 수 있다. 제1 도전층은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 타이타늄(Ti), 이들의 합금 등 금속을 포함할 수 있다.
- [0128] 제1 도전층 및 제2 절연층(140) 위에는 제3 절연층(150)이 위치할 수 있다.
- [0129] 제3 절연층(150) 위에는 앞에서 설명한 제2 도전층이 위치할 수 있다. 제2 도전층은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 이들의 합금 등 금속을 포함할 수 있다.
- [0130] 제2 도전층 및 제3 절연층(150) 위에는 제4 절연층(160)이 위치할 수 있다.
- [0131] 제1 절연층(130), 제2 절연층(140), 제3 절연층(150) 그리고 제4 절연층(160) 중 적어도 하나는 질화 규소(SiNx), 산화 규소(SiOx), 산질화규소(SiOxNy) 등의 무기 절연 물질 및/또는 유기 절연 물질을 포함할 수 있다.
- [0132] 제1 절연층(130), 제2 절연층(140), 제3 절연층(150) 그리고 제4 절연층(160)은 제1 게이트 전극(G1) 위에 위치하는 콘택홀(H1), 제2 트랜지스터(T2)의 제2 소스 전극(S2) 위에 위치하는 콘택홀(H2), 제3 트랜지스터(T3)의 제3 드레인 전극(D3) 또는 제4 트랜지스터(T4)의 제4 드레인 전극(D4) 위에 위치하는 콘택홀(H3), 초기화 전압 라인(159) 위에 위치하는 콘택홀(H4), 제5 트랜지스터(T5)의 제5 소스 전극(S5) 위에 위치하는 콘택홀(H5), 제6 트랜지스터(T6)의 제6 드레인 영역(D6) 위에 위치하는 콘택홀(H6) 그리고 커패시터 전극(CE) 위에 위치하는 콘택홀(H7)을 포함할 수 있다.
- [0133] 제4 절연층(160) 위에는 앞에서 설명한 제3 도전층이 위치할 수 있다. 제3 도전층은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 타이타늄(Ti), 이들의 합금 등 금속을 포함할 수 있다.
- [0134] 커패시터 전극(CE)은 제3 절연층(150)을 사이에 두고 제1 게이트 전극(G1)과 중첩하여 커패시터(Cst)를 형성할 수 있다.
- [0135] 제3 도전층과 제4 절연층(160) 위에는 보호막(180)이 위치한다. 보호막(180)은 폴리아크릴계 수지(polyacrylic resin), 폴리이미드계 수지(polyimides resin) 등의 유기 절연 물질을 포함할 수 있으며, 보호막(180)의 윗면은 실질적으로 평탄할 수 있다.
- [0136] 보호막(180) 위에는 제1 전극(E1)을 포함하는 제4 도전층이 위치할 수 있다. 제4 도전층은 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 타이타늄(Ti), 이들의 합금 등 금속을 포함할 수 있다. 보호막(180)과 제4 도전층 위에는 화소 정의막(pixel defining layer, PDL)(190)이 위치할 수 있다. 화소 정의막(190)은 화소 전극(E1) 위에 위치하는 개구부(191)를 가진다.
- [0137] 화소 전극(E1) 위에는 유기 발광층(OL)이 위치한다. 유기 발광층(OL)은 개구부(191) 안에 위치할 수 있다. 유기 발광층(OL)은 유기 발광 물질 또는 무기 발광 물질을 포함할 수 있다.
- [0138] 유기 발광층(OL) 위에는 제2 전극(E2)이 위치한다. 제2 전극(E2)은 화소 정의막(190) 위에도 형성되어 복수의 화소에 걸쳐 연장되어 있을 수 있다.
- [0139] 제1 전극(E1), 유기 발광층(OL) 및 제2 전극(E2)은 함께 발광 다이오드(ED)를 이룬다.
- [0140] 제2 전극(E2) 위에는 발광 다이오드(ED)를 보호하는 밀봉층(도시하지 않음)이 더 위치할 수 있다. 밀봉층은 교대로 적층된 무기막과 유기막을 포함할 수 있다.

- [0141] 제1 전극(E1)은 콘택홀을 통해 제6 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되어 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치하고 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치하고 있다. 제1 전극(E1) 및 제2 전극(E2) 중 적어도 하나는 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 적어도 어느 하나일 수 있으며, 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 어느 하나 이상의 전극 방향으로 방출될 수 있다.
- [0142] 발광 다이오드(ED) 상에는 발광 다이오드(ED)를 덮는 캡핑층(capping layer)이 위치할 수 있으며, 이 캡핑층을 사이에 두고 발광 다이오드(ED) 상에는 박막 봉지층(thin film encapsulation)이 위치하거나, 또는 봉지 기판이 위치할 수 있다.
- [0143] 도 6은 도 2에 도시된 제2 트랜지스터의 드레슬드 전압 변화를 예시적으로 보여주는 도면이다.
- [0144] 도 2 및 도 6을 참조하면, 제2 트랜지스터(T2)의 드레슬드 전압은 주변 온도가 상온에서 고온(예를 들면, 70℃)으로 변화할 때 포지티브 쉬프트한다. 즉, 고온에서의 드레슬드 전압 곡선(HT)은 상온에서의 드레슬드 전압 곡선(LT)보다 포지티브 방향(+ 방향)으로 쉬프트한다. 제2 트랜지스터(T2)의 드레슬드 전압이 포지티브 쉬프트하는 경우 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 오프 상태로 유지되어야 하는 발광 기간동안 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 통한 누설 전류가 증가할 수 있다. 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 통해 흐르는 누설 전류는 제1 트랜지스터(T1)의 제1 게이트 전극(G1)의 전압 레벨을 증가시켜서 발광 다이오드(ED)에 공급되는 구동 전류(I_d)를 감소시킨다. 그 결과, 발광 다이오드(ED)의 발광 휘도가 저하될 수 있다.
- [0145] 본 발명의 실시예에 따른 제2 트랜지스터(T2)는 하부 게이트 전극(BG2)을 포함하며, 하부 게이트 전극(BG2)에는 3 구동 전압 라인(BMLj)을 통해 제3 구동 전압(VGH)이 제공된다. 제3 구동 전압(VGH)은 예를 들면, 7V일 수 있다. 예를 들어, 제3 구동 전압(VGH)이 7V일 때 제2 트랜지스터(T2)의 드레슬드 전압은 -0.3V 쉬프트할 수 있다.
- [0146] 따라서 고온에서 제2 트랜지스터(T2)의 드레슬드 전압이 포지티브 쉬프트하는 것에 의해 발광 다이오드(ED)의 발광 휘도가 저하되는 것을 방지할 수 있다.
- [0147] 도 7은 도 1에 도시된 유기 발광 표시 장치의 AR1 영역에 대한 평면도이다. 도 8은 도 7에 도시된 VII-VII' 선을 따라 잘라 도시한 단면도이다.
- [0148] 도 1, 도 7 및 도 8을 참조하면, 전압 발생기(500)로부터의 제3 구동 전압(VGH)을 전달하는 전압 라인(510)은 제2 방향(DR2)으로 연장되어 있다. 복수 개의 발광 라인들(EL1-ELn) 및 복수 개의 스캔 라인들(SL1-SLn)은 제2 방향(DR2)과 교차하는 제1 방향(DR1)으로 각각 연장되어 있다.
- [0149] 제3 구동 전압 라인들(BML1-BMLn) 각각은 스캔 라인들(SL1-SLn) 중 대응하는 스캔 라인에 나란하게 배열될 수 있다. 이 실시예에서, 제3 구동 전압 라인들(BML1-BMLn) 각각은 대응하는 스캔 라인들(SL1-SLn)의 하부에 배열된다. 또한 제3 구동 전압 라인들(BML1-BMLn)의 개수는 제2 방향(DR2)으로 배열된 화소들의 수 즉, 스캔 라인들(SL1-SLn)의 개수와 같다.
- [0150] 전압 라인(510)과 제3 구동 전압 라인들(BML1-BMLn)은 콘택홀들(CH1-CHn)을 통해 연결된다.
- [0151] 도 5, 도 7 및 도 8을 참조하면, 발광 라인들(EL1-ELn)은 제어 라인(153)과 동일한 재료를 포함하며 동일한 층에 위치할 수 있다. 전압 라인(510)은 커패시터 전극(CE) 및 초기화 전압 라인(159) 등을 포함하는 제2 도전층에 위치할 수 있다. 다른 실시예에서, 전압 라인(510)은 데이터 라인(171) 및 제1 구동 전압(ELVDD)을 전달하는 구동 전압 라인(172) 등을 포함하는 제3 도전층에 위치할 수 있다.
- [0153] 도 9a 내지 도 9g는 유기 발광 표시 장치를 VIII-VIII', IV-IV'을 따라 잘라 도시한 단면도들이다.
- [0154] 도 9a를 참조하면, 기판(110) 위에 버퍼층(120)을 형성한다. 버퍼층(120) 위에 하부 게이트 전극(BG2)을 형성한다. 하부 게이트 전극(BG2) 상에 제1 절연층(130) 및 초기 반도체 패턴(SP1)을 형성한다. 초기 반도체 패턴(SP1)은 반도체 물질을 증착한 후 이를 패터닝하여 형성할 수 있다. 초기 반도체 패턴(SP1)은 열처리와 같은 별도의 결정화 단계를 더 포함하여 형성될 수 있다.
- [0155] 이후, 도 9b에 도시된 바와 같이, 초기 반도체 패턴(SP1) 상에 포토 레지스트(Photoresist; PR)를 균일하게 도포하고, 초기 반도체 패턴(SP1)의 제2 액티브 패턴(A2)에 대응하는 영역을 타겟으로 제1 불순물(DM1)을 도핑한

다. 예를 들어, 제1 불순물(DM1)은 B(boron) 이온이다.

- [0156] 이후, 도 9c에 도시된 바와 같이, 포토 레지스트(PR)를 제거한다. 초기 반도체 패턴(SP1)의 제2 트랜지스터(T2)의 제2 액티브 패턴(A2)에 대응하는 영역은 B 이온으로 도핑된 상태이다. 제1 불순물(DM1)은 예를 들어, 확산 공정이나 이온 주입 공정에 의해 초기 반도체 패턴(SP1)에 주입될 수 있으나, 특정 방법에 한정되지 않는다.
- [0157] 이후, 도 9d에 도시된 바와 같이, 제2 절연층(140) 및 제1 도전층(CL1)을 형성한다. 제2 절연층(140)은 베이스 기판(110) 또는 버퍼층(120) 상에 무기물 및/또는 유기물을 증착, 코팅, 또는 프린팅하여 형성될 수 있다. 제2 절연층(140)은 초기 반도체 패턴(SP1)을 커버할 수 있다. 이후, 제2 절연층(140) 상에 도전 물질을 증착하여 제1 도전층(CL1)을 형성한다.
- [0158] 이후, 도 9e에 도시된 것과 같이, 제2 게이트 전극(G2) 및 제5 게이트 전극(G5)을 형성한 후 제2 액티브 패턴(A2) 및 제5 액티브 패턴(A5)을 형성한다. 제2 게이트 전극(G2) 및 제5 게이트 전극(G5)은 제1 도전층(CL1)을 패터닝하여 형성될 수 있다. 제2 게이트 전극(G2) 및 제5 게이트 전극(G5)은 동일한 마스크를 이용하여 동시에 패터닝될 수 있다. 한편, 이는 예시적으로 기재한 것이고, 제2 게이트 전극(G2) 및 제5 게이트 전극(G5)은 서로 다른 마스크를 이용하여 각각 패터닝될 수도 있다.
- [0159] 이후, 초기 반도체 패턴(SP1)에 제2 불순물(DM2)을 주입하여 제2 액티브 패턴(A2) 및 제5 액티브 패턴(A5)을 형성한다. 제2 불순물(DM2)은 예를 들어, 확산 공정이나 이온 주입 공정에 의해 초기 반도체 패턴(SP1)에 주입될 수 있으나, 특정 방법에 한정되지 않는다.
- [0160] 제2 불순물(DM2)은 다양한 물질을 포함할 수 있다. 예를 들어, 제2 불순물(DM2)은 3가 원소를 포함할 수 있다. 이때 제2 액티브 패턴(A2) 및 제5 액티브 패턴(A5)은 P형 반도체로 형성될 수 있다.
- [0161] 제2 불순물(DM2)은 초기 도체 패턴(SP1) 중 제2 게이트 전극(G2) 및 제5 게이트 전극(G5)과 비 중첩하는 영역에 주입되어 초기 반도체 패턴(SP1)을 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)으로 구분되는 제2 액티브 패턴(A2) 및 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)으로 구분되는 제5 액티브 패턴(A5)으로 형성한다.
- [0162] 이에 따라, 제2 액티브 패턴(A2)의 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 그리고 제5 액티브 패턴(A5)의 제5 소스 전극(S5) 및 제5 드레인 전극(D5)에는 제2 액티브 패턴(A2)의 제2 채널(C2) 및 제5 액티브 패턴(A5)의 제5 채널(C5)에 비해 상대적으로 높은 농도의 제2 불순물(DM2)이 존재한다. 즉, 제2 게이트 전극(G2) 및 제5 게이트 전극(G5)을 셀프-얼라인(self-align) 마스크로 사용하여 초기 도체 패턴(SP1)에 이온 불순물을 도핑함으로써 초기 반도체 패턴(SP1)은 이온 불순물이 도핑된 제2 액티브 패턴(A2) 및 제5 액티브 패턴(A5)을 구비하게 된다.
- [0163] 이후, 도 9f에 도시된 바와 같이, 제3 절연층(150), 제4 절연층(160), 제3 도전층(171), 보호막(180), 화소 정의막(190) 및 화소 전극(E1)이 순차적으로 적층된다. 이 실시예에서, 제3 도전층(171)은 데이터 라인이다.
- [0164] 제2 트랜지스터(T2)의 하부 게이트 전극(BG2)에 제3 구동 전압(VGH)(예를 들면, 7V)을 인가하는 경우, 제2 트랜지스터(T2)의 드레슬드 전압은 네거티브 쉬프트한다. 만일 제2 트랜지스터(T2)의 드레슬드 전압이 원하는 레벨보다 더 많이 네거티브 쉬프트하는 경우 초기 반도체 패턴(SP1)의 제2 액티브 패턴(A2)에 대응하는 영역에 도핑되는 제1 불순물(DM1)의 농도를 변경할 수 있다.
- [0165] 예를 들어, 초기 반도체 패턴(SP1)의 제2 액티브 패턴(A2)에 대응하는 영역에 도핑되는 B(boron) 이온을 $1 \times 10^{11} \text{ atoms/cm}^2$ 증가시 제2 트랜지스터(T2)의 드레슬드 전압은 0.1V 포지티브 쉬프트한다.
- [0166] 즉, 제2 트랜지스터(T2)의 하부 게이트 전극(BG2)에 인가되는 제3 구동 전압(VGH)의 전압 레벨이 높을수록 증가시 제2 트랜지스터(T2)의 드레슬드 전압은 네거티브 쉬프트하고, 초기 반도체 패턴(SP1)의 제2 액티브 패턴(A2)에 대응하는 영역에 도핑되는 B(boron) 이온 농도를 증가시킬수록 제2 트랜지스터(T2)의 드레슬드 전압은 포지티브 쉬프트한다. 따라서, 제2 트랜지스터(T2)의 하부 게이트 전극(BG2)에 인가되는 제3 구동 전압(VGH)의 전압 레벨 및 초기 반도체 패턴(SP1)의 제2 액티브 패턴(A2)에 대응하는 영역에 도핑되는 B(boron) 이온 농도를 조절하는 것에 의해 제2 트랜지스터(T2)의 드레슬드 전압 쉬프트 범위를 조절할 수 있다.
- [0167] 다른 실시예에서, 초기 반도체 패턴(SP1)의 제2 액티브 패턴(A2)에 대응하는 영역에 도핑되는 제1 불순물(DM1)은 P 이온일 수 있다. 초기 반도체 패턴(SP1)의 제2 액티브 패턴(A2)에 대응하는 영역에 도핑되는 P 이온의 농도가 높을수록 제2 트랜지스터(T2)의 드레슬드 전압은 네거티브 쉬프트한다. 즉, 제2 트랜지스터(T2)의 하부 게

이트 전극(BG2)에 인가되는 제3 구동 전압(VGH)에 의해서 제2 트랜지스터(T2)의 드레슬드 전압이 네거티브 쉬프트 양이 부족한 경우, 초기 반도체 패턴(SP1)의 제2 액티브 패턴(A2)에 대응하는 영역에 도핑되는 P 이온의 농도를 증가시킬 수 있다.

[0168] 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 평면도이다.

[0169] 도 10을 참조하면, 유기 발광 표시 장치(600)는 표시 영역(DPA) 및 비표시 영역(NDA)을 포함하는 표시 기관(610)을 포함한다. 표시 영역(DPA)에는 복수의 화소들(미 도시됨)이 배열될 수 있다. 비표시 영역(NDA)에는 주사 구동 회로(620) 및 데이터 구동 회로(630)가 배열된다. 비표시 영역(NDA)의 일측 가장자리를 따라 정렬된 복수의 패드들(P1-Pk)을 포함하는 패드부(605)가 배열된다. 복수의 패드들(P1-Pk)은 외부 호스트 장치(미 도시됨)와 결합되어 호스트 장치로부터 신호들을 수신한다. 복수의 패드들(P1-Pk) 중 하나의 패드(Pk)는 제3 구동 전압(VGH)을 수신하기 위한 패드일 수 있다.

[0170] 주사 구동 회로(620)는 복수 개의 스캔 신호들을 생성하고, 복수 개의 스캔 신호들을 복수 개의 스캔 라인들(SL1-SLn)에 순차적으로 출력한다. 또한, 주사 구동 회로(620)는 복수 개의 발광 제어 신호들을 생성하고, 복수 개의 발광 라인들(EL1-ELn)에 복수 개의 발광 제어신호들을 출력한다.

[0171] 데이터 구동 회로(630)는 데이터 신호들을 후술하는 복수 개의 데이터 라인들(DL1-DLm)에 출력한다.

[0172] 표시 기관(610)은 스캔 라인들(SL1-SLn), 발광 라인들(EL1-ELn), 데이터 라인들(DL1-DLm), 제3 구동 전압 라인들(BML1-BMLm) 및 화소들(미 도시됨)을 포함한다. 스캔 라인들(SL1-SLn)은 제1 방향(DR1)으로 연장된다. 복수의 발광 라인들(EL1-ELn) 각각은 스캔 라인들(SL1-SLn) 중 대응하는 스캔 라인에 나란하게 배열될 수 있다. 복수의 데이터 라인들(DL1-DLm)은 제2 방향(DR2)으로 연장된다. 데이터 라인들(DL1-DLm)은 스캔 라인들(SL1-SLn) 및 발광 라인들(EL1-ELn)과 절연되게 교차한다.

[0173] 제3 구동 전압 라인들(BML1-BMLm) 각각은 데이터 라인들(DL1-DLm) 중 대응하는 데이터 라인에 나란하게 배열될 수 있다. 이 실시예에서, 제3 구동 전압 라인들(BML1-BMLm)의 개수는 제2 방향(DR1)으로 배열된 화소들의 수 즉, 데이터 라인들(DL1-DLm)의 개수와 같다. 제3 구동 전압 라인들(BML1-BMLm)은 스캔 라인들(SL1-SLn) 및 발광 라인들(EL1-ELn)과 절연되게 교차한다.

[0174] 도 11는 일 실시예에 따른 표시 장치의 하나의 화소에 대한 평면도이다. 도 12는 도 11에 도시한 표시 장치를 X-X'선을 따라 잘라 도시한 단면도이다.

[0175] 도 11 및 도 12에 도시된 화소(PXij)에서 도 4 및 도 5에 도시된 화소(PXij)와 동일한 구성 요소는 동일한 인출 부호를 병기한다.

[0176] 도 11을 참조하면, 제3 구동 전압 라인(BMLi)은 데이터 라인(171)과 중첩하며, 제3 구동 전압 라인(BMLi)에 제3 구동 전압(VGH)이 공급됨으로써, 제3 구동 전압 라인(BMLi)에 공급되는 전압의 전압 레벨에 따라 제2 트랜지스터(T2)의 문턱 전압이 조절된다.

[0177] 이 실시예에서, 제3 구동 전압 라인(BMLi)은 데이터 라인(171)의 하부에 배치된다. 제3 구동 전압 라인(BMLj)의 제1 방향(DR1)의 폭은 데이터 라인(171)의 제1 방향(DR1)의 폭보다 넓다.

[0178] 도 12를 참조하여 일 실시예에 따른 표시 장치의 단면 구조에 대해 더 구체적으로 설명한다.

[0179] 기관(110) 위에 버퍼층(120)이 위치할 수 있다. 버퍼층(120) 위에는 하부 게이트 전극(BG2)이 위치하고, 하부 게이트 전극(BG2) 위에 제1 절연층(130)이 위치한다. 하부 게이트 전극(BG2)은 금속을 포함하나, 이에 한정되지 않고 전원이 공급되는 재료라면 도전성 폴리머 등의 다른 재료를 포함할 수 있다. 하부 게이트 전극(BG2)은 제3 구동 전압 라인(BMLi)과 일체로 형성되어 있다. 제2 액티브 패턴(A2)의 제2 채널(C2)은 하부 게이트 전극(BG2)과 중첩하고 있으며, 하부 게이트 전극(BG2)에 제3 구동 전압(VGH)이 공급됨으로써, 제3 구동 전압 라인(BMLj)에 공급되는 전원의 극성에 따라 제2 액티브 패턴(A2)의 제2 채널(C2)에 전자 또는 정공 등의 전하(charge)가 축적되기 때문에, 제2 트랜지스터(T2)의 문턱 전압이 조절된다.

[0180] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0181]

100: 표시 기판

200: 타이밍 제어부

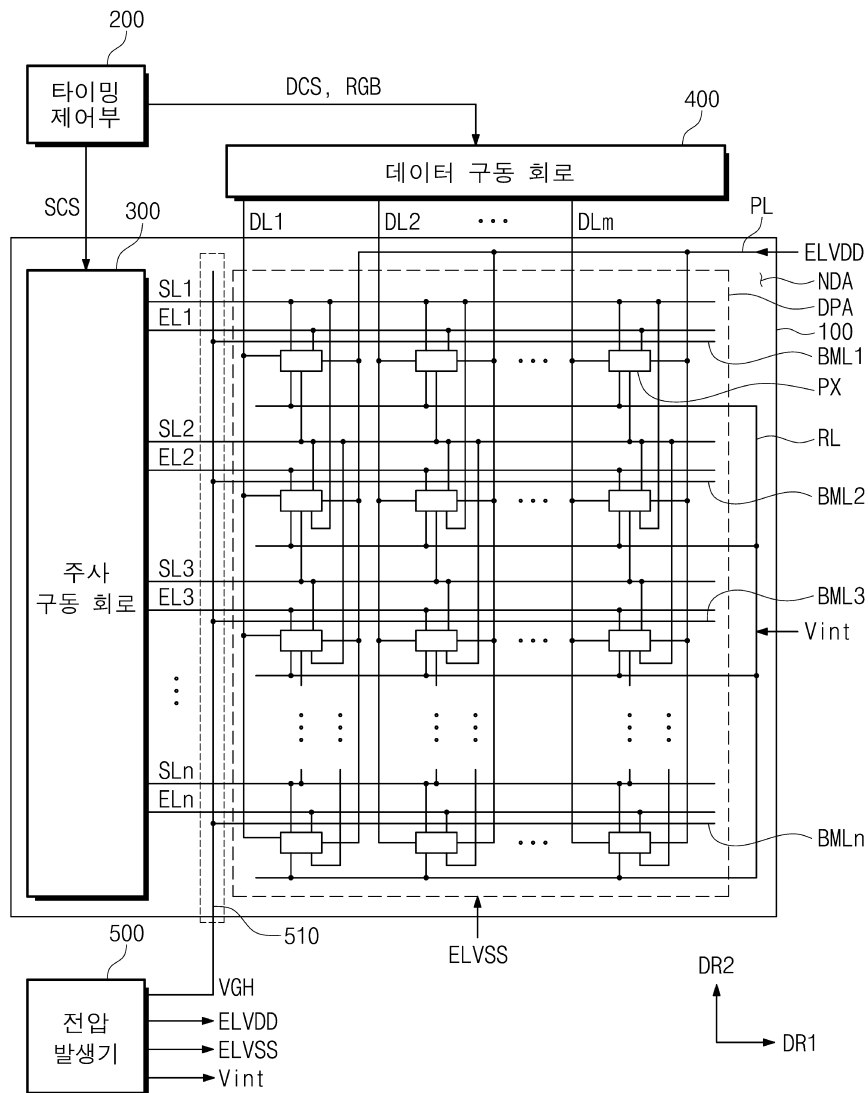
300: 주사 구동 회로

400: 데이터 구동 회로

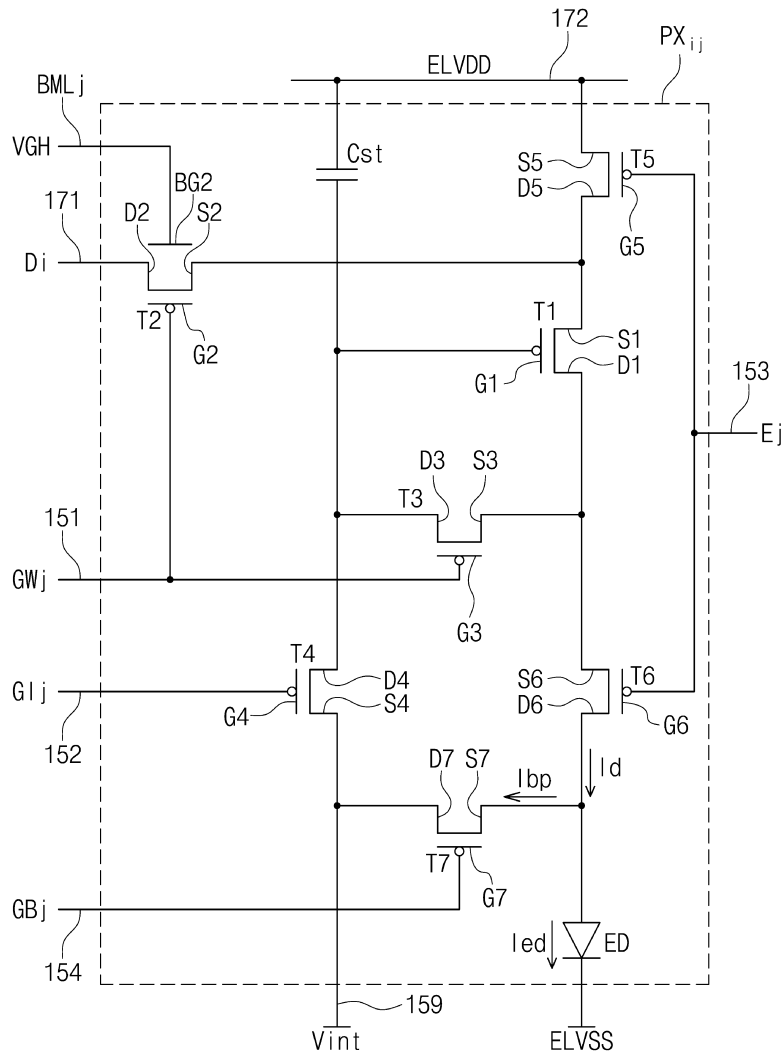
500: 전압 발생기

도면

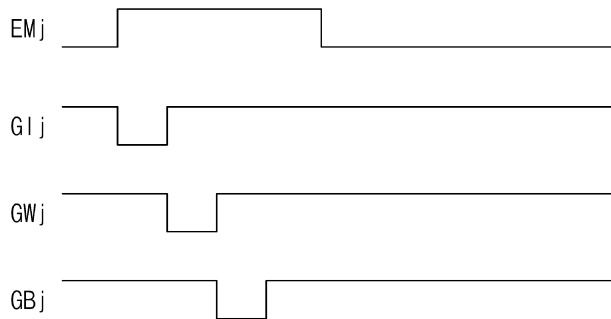
도면1



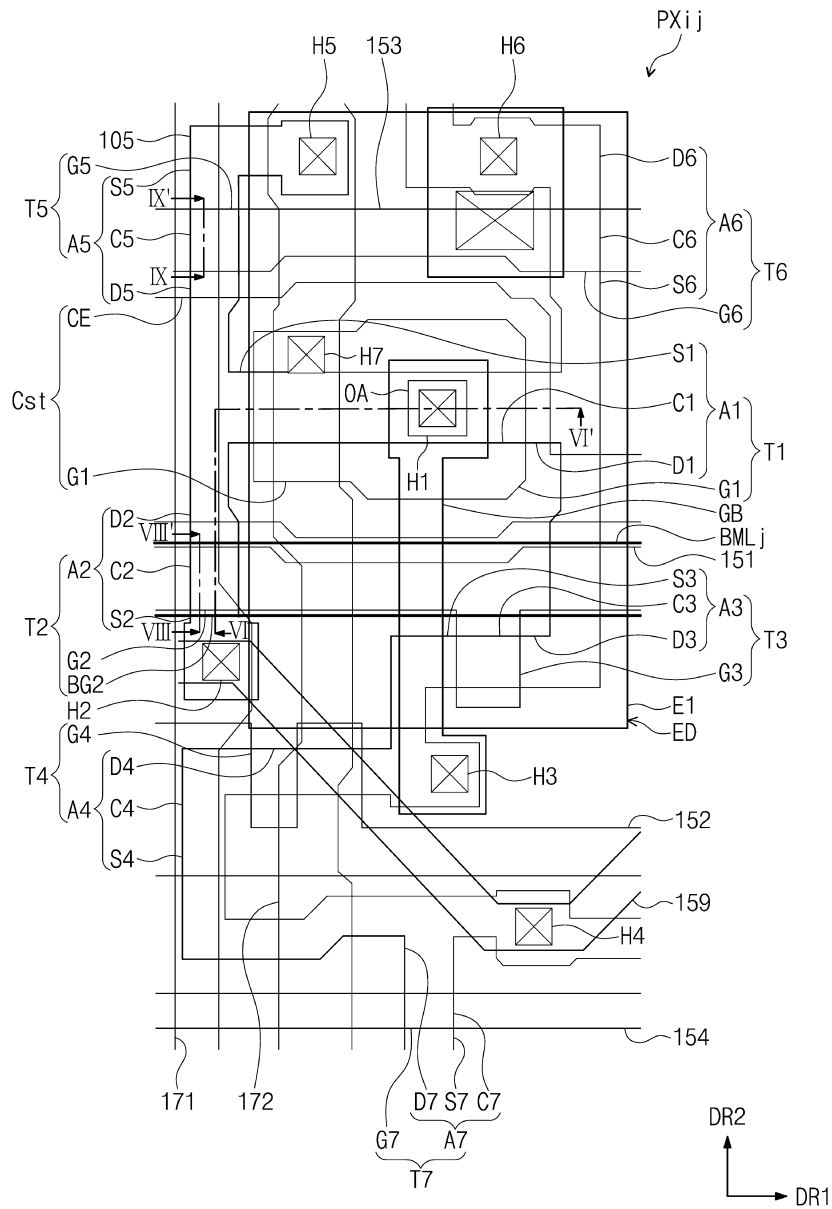
도면2



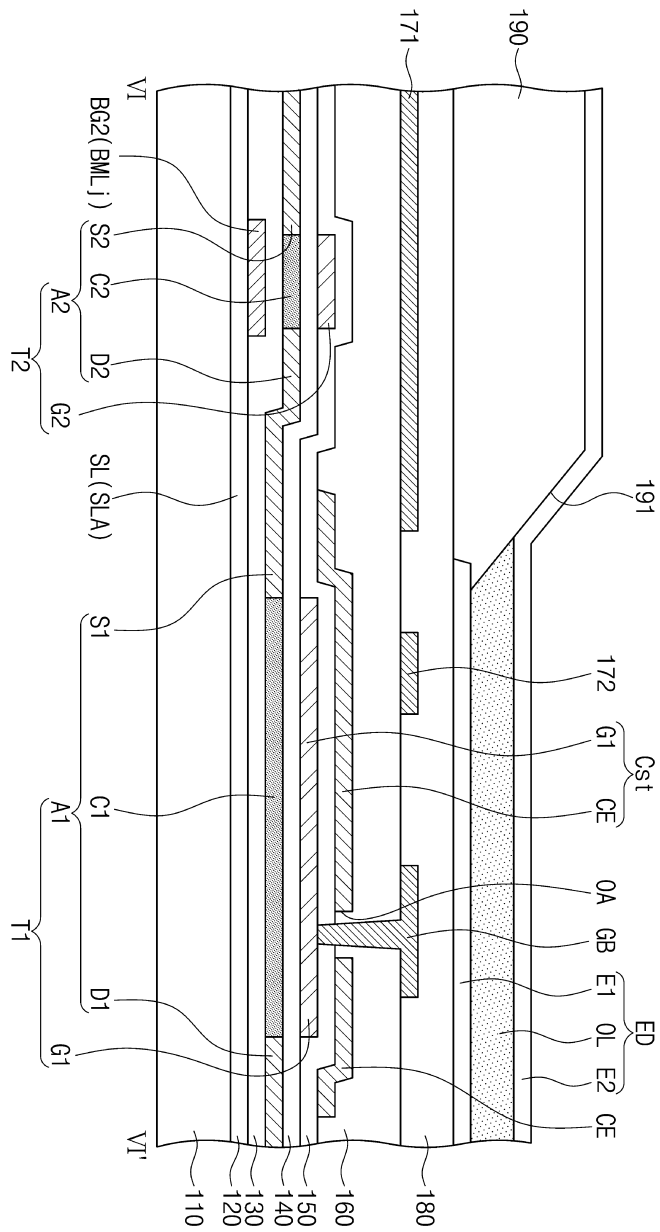
도면3



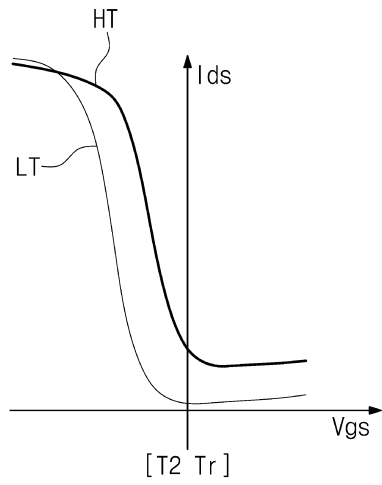
도면4



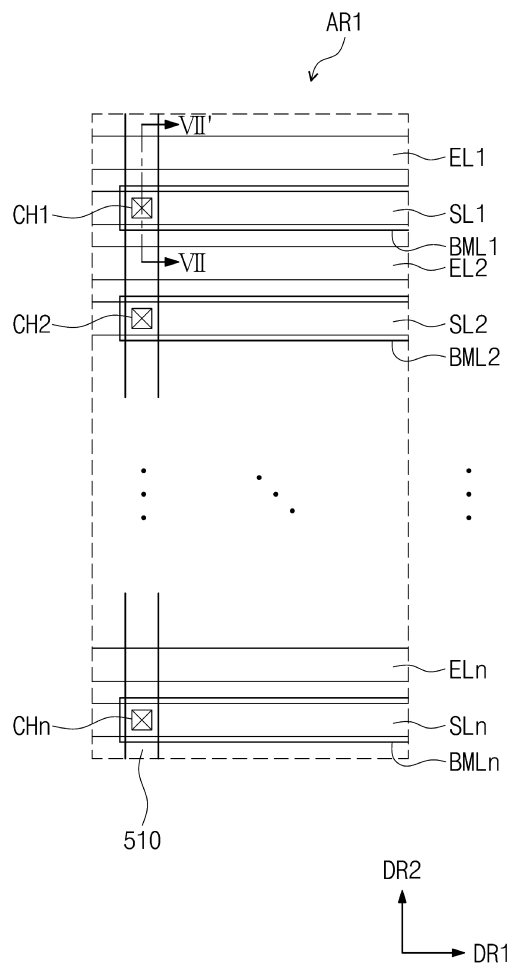
도면5



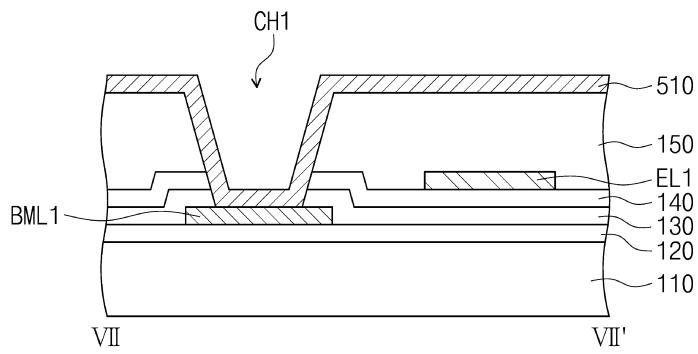
도면6



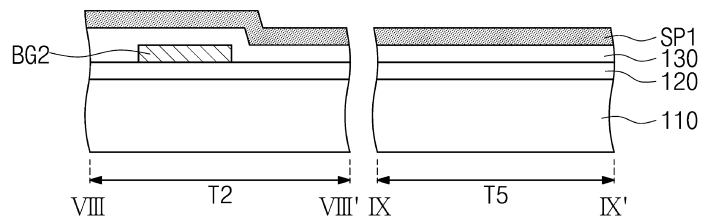
도면7



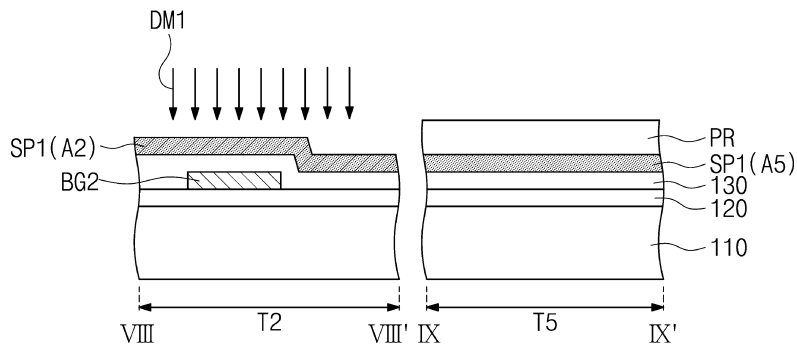
도면8



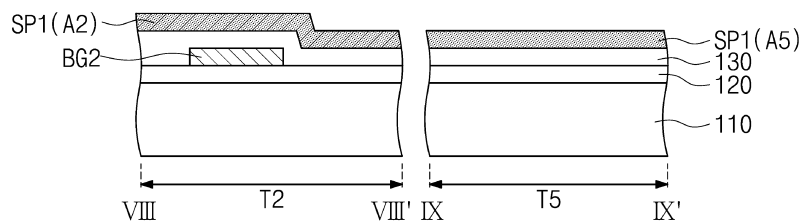
도면9a



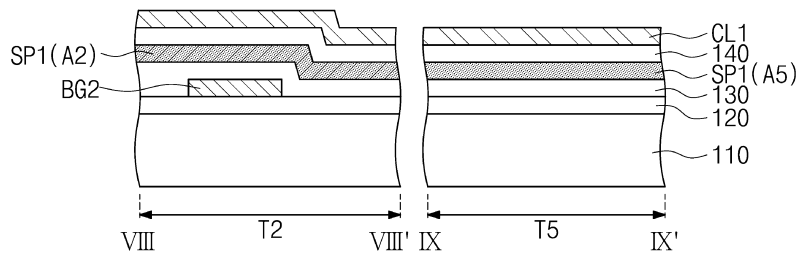
도면9b



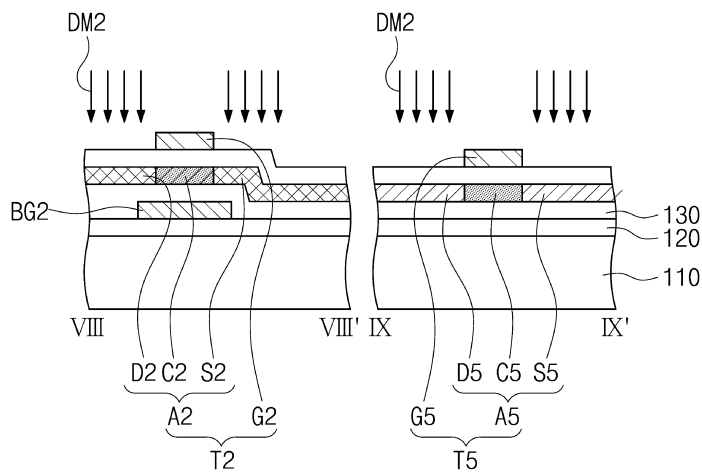
도면9c



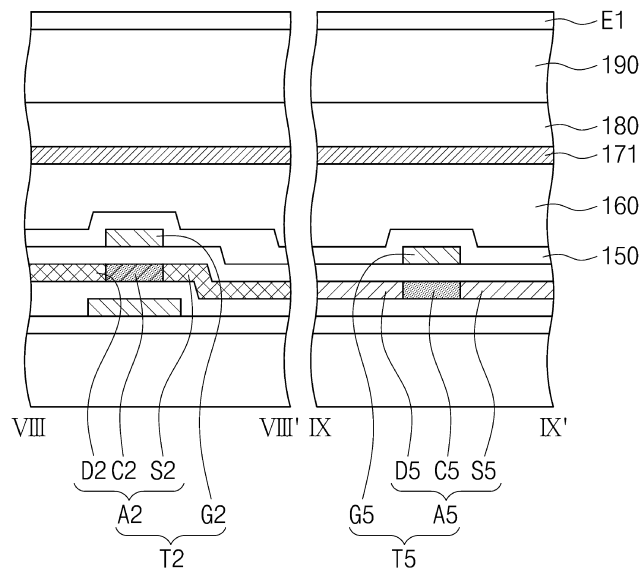
도면9d



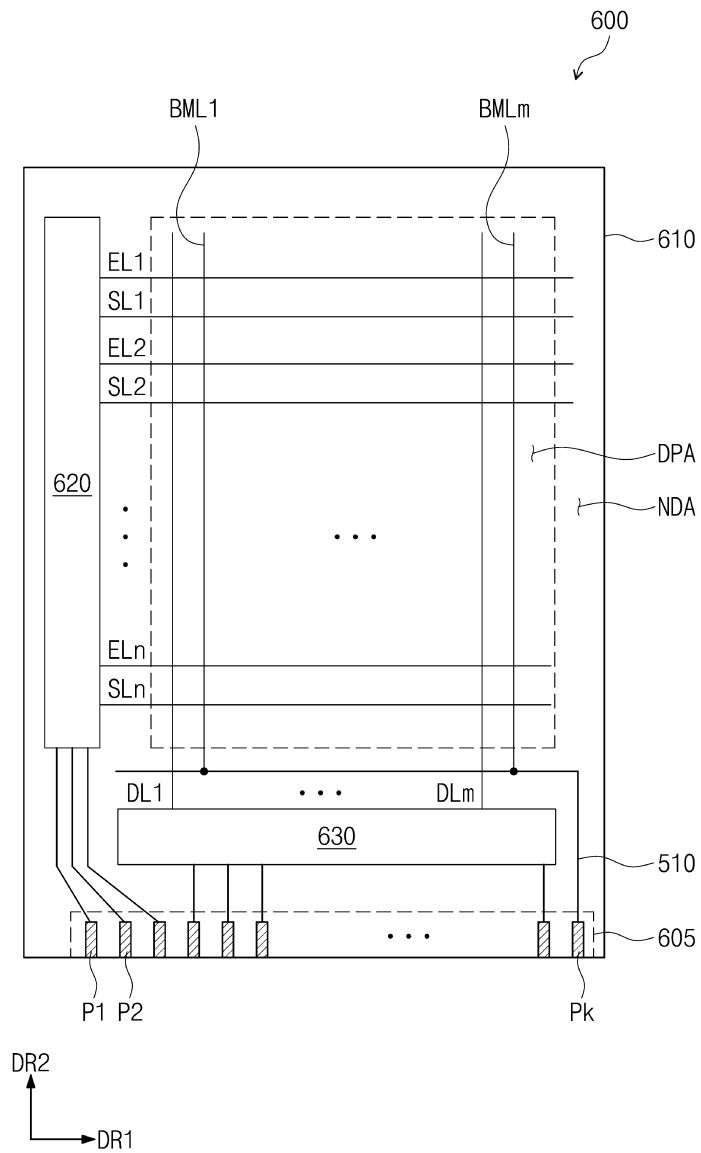
도면9e



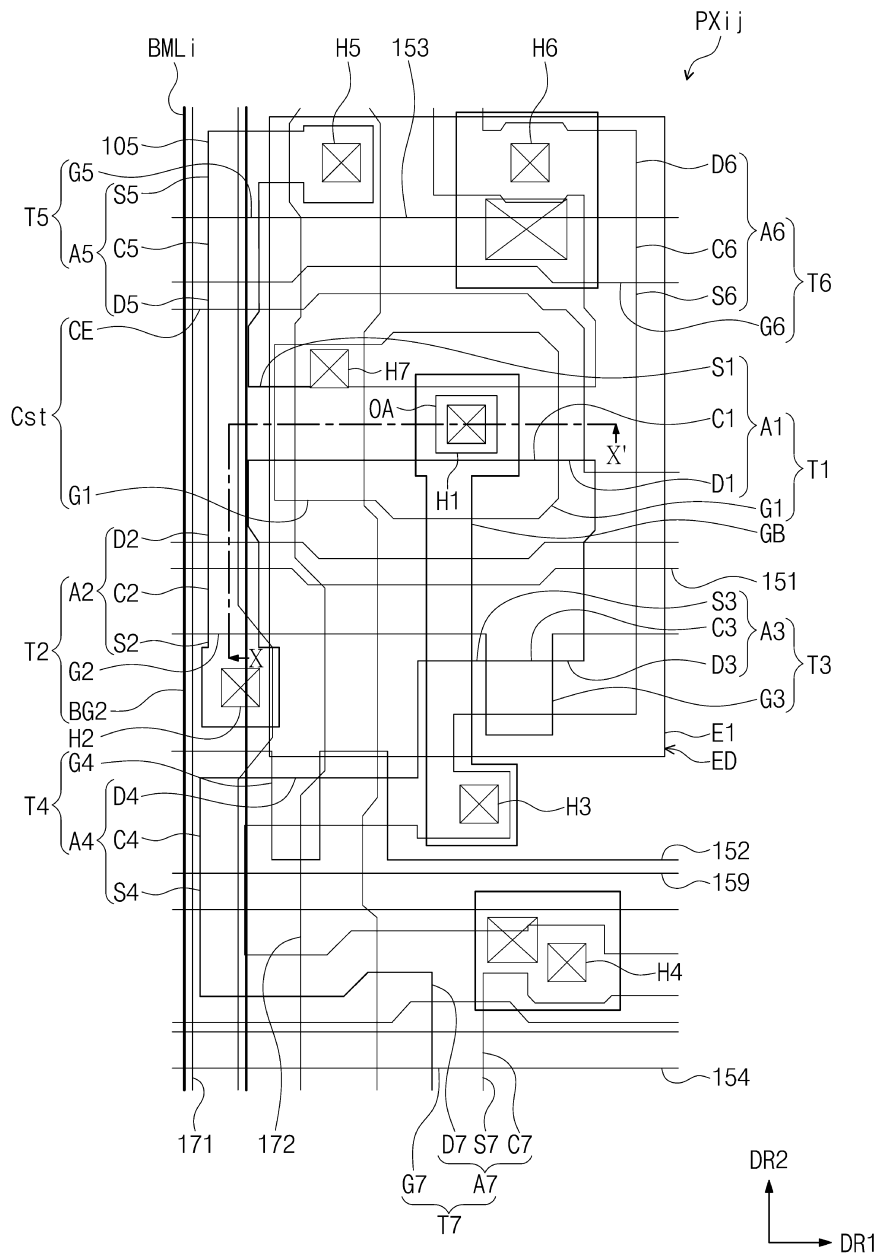
도면9f



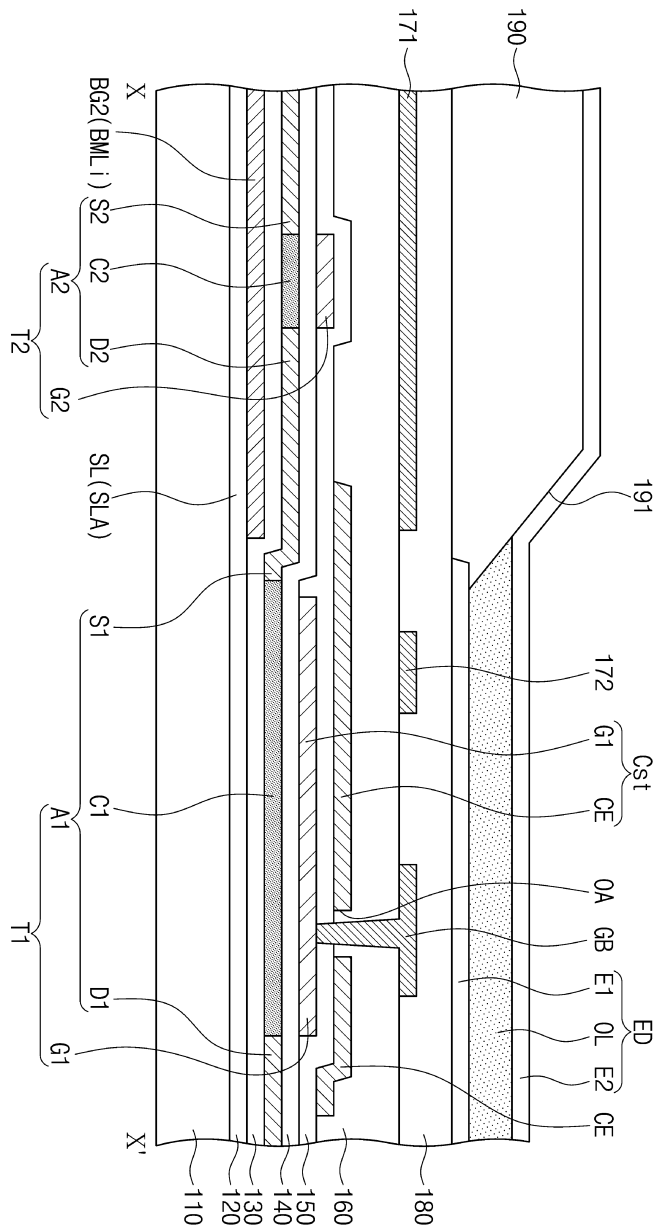
도면10



도면11



도면12



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200024977A	公开(公告)日	2020-03-10
申请号	KR1020180101369	申请日	2018-08-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	왕성민 황영인		
发明人	추성백 김응택 왕성민 황영인		
IPC分类号	H01L27/32 G09G3/20 H01L51/50		
CPC分类号	H01L27/3276 G09G3/20 H01L27/3213 H01L27/3262 H01L51/50 G09G3/3225 H01L27/124 H01L27/1251 H01L27/3244 G09G3/3233 G09G2300/0421 G09G2300/0426 G09G2300/0814 G09G2300/0819 G09G3/3266 G09G3/3291 G09G2300/0439 G09G2300/0809 G09G2310/08		
外部链接	Espacenet		

摘要(译)

本发明的有机发光显示装置包括:基板; 发光二极管,其设置在基板上并包括阳极和阴极。第一晶体管,其包括第一源电极,第一栅电极,从平面图看与第一栅电极重叠的第一沟道,和面对第一源电极的第二漏电极,第一沟道介于其之间,并控制驱动发光二极管的电流; 第二晶体管,其包括连接至第一晶体管的第一源极的第二漏极,第二栅极,从平面图看与第二栅极重叠的第二沟道,第二漏极面向第二源极,第二漏极与第二源极相对。第二沟道介于其间,并具有下部栅电极。多个驱动电压线,其被配置为传输第一驱动电压,其中,所述第二晶体管的下栅电极在俯视时与所述第二沟道重叠,所述下栅电极与对应的驱动电压电连接。多条驱动电压线中的一条线。

