



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0141048
(43) 공개일자 2019년12월23일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 21/3215 (2006.01)

H01L 21/324 (2017.01) H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 21/32155 (2013.01)

(21) 출원번호 10-2018-0067489

(22) 출원일자 2018년06월12일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

정우호

경기도 안양시 동안구 시민대로327번길 55, 평촌 더샵센트럴시티 105동 904호 (관양동)

권세명

경기도 용인시 기흥구 동백중앙로122번길 7-1, 1층 (중동)

(뒷면에 계속)

(74) 대리인

특허법인가산

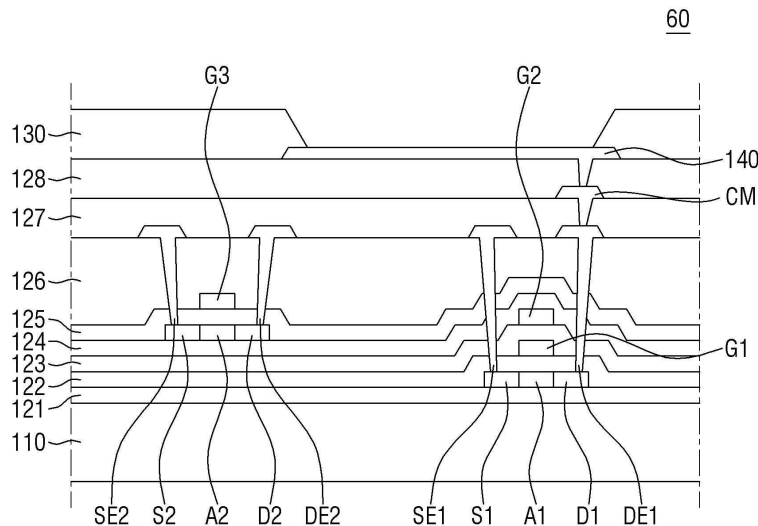
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

유기발광 표시장치가 제공된다. 상기 유기발광 표시장치는 기관, 상기 기관 상에 배치된 제1 박막 트랜지스터, 및 상기 기관 상에 배치되며, 상기 제1 박막 트랜지스터와 이격되어 배치된 제2 박막 트랜지스터를 포함하되, 상기 제1 박막 트랜지스터는 제1 반도체층, 상기 제1 반도체층 상에 배치되며 상기 제1 반도체층과 중첩되도록 형성된 제1 도전층, 및 상기 제1 반도체층과 상기 제1 도전층 사이에 배치된 제1 절연층을 포함하고 상기 제2 박막 트랜지스터는 제2 반도체층, 및 상기 제2 반도체층 상에 배치되며 상기 제2 반도체층과 중첩되도록 형성된 제2 도전층을 포함하고, 상기 제1 반도체층은 상기 제2 반도체층보다 상부층에 배치되고, 상기 제1 반도체층은 산화물 반도체를 포함하고, 상기 제2 반도체층은 저온 다결정 실리콘(LTPS)을 포함하고, 상기 제1 절연층은 상기 제1 반도체층의 전체를 덮도록 형성된다.

대표도 - 도4



(52) CPC특허분류

H01L 21/324 (2013.01)

H01L 27/3258 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

김윤호

충청남도 아산시 배방읍 복수로25번길 34, 배방메
이루즈아파트 101동 101호

성석제

경기도 성남시 분당구 중앙공원로 54, 시범단지우
성아파트 211동 1203호 (서현동)

최준후

서울특별시 서초구 효령로72길 57, 서초트라팰리스
A동 604호 (서초동)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치된 제1 박막 트랜지스터; 및

상기 기관 상에 배치되며, 상기 제1 박막 트랜지스터와 이격되어 배치된 제2 박막 트랜지스터를 포함하되,

상기 제1 박막 트랜지스터는 제1 반도체층, 상기 제1 반도체층 상에 배치되며 상기 제1 반도체층과 중첩되도록 형성된 제1 도전층, 및 상기 제1 반도체층과 상기 제1 도전층 사이에 배치된 제1 절연층을 포함하고

상기 제2 박막 트랜지스터는 제2 반도체층, 및 상기 제2 반도체층 상에 배치되며 상기 제2 반도체층과 중첩되도록 형성된 제2 도전층을 포함하고,

상기 제1 반도체층은 상기 제2 반도체층보다 상부층에 배치되고,

상기 제1 반도체층은 산화물 반도체를 포함하고,

상기 제2 반도체층은 저온 다결정 실리콘(LTPS)을 포함하고,

상기 제1 절연층은 상기 제1 반도체층의 전체를 덮도록 형성된 유기발광 표시장치.

청구항 2

제1 항에 있어서,

상기 제2 도전층 상에 배치되며 상기 제2 반도체층과 중첩되도록 형성되는 제3 도전층, 및

상기 제3 도전층 상에 배치되는 제2 절연층을 더 포함하되,

상기 제2 절연층은 상기 제1 반도체층 보다 하부층에 배치된 유기발광 표시장치.

청구항 3

제2 항에 있어서,

상기 제2 절연층의 두께는 $3000 \text{ \AA}$ 이상인 유기발광 표시장치.

청구항 4

제3 항에 있어서,

상기 제2 절연층은 실리콘 산화물(SiO_x)을 포함하는 유기발광 표시장치.

청구항 5

제4 항에 있어서,

상기 제2 절연층은 $9\text{E}20\text{atoms/cm}^3$ 이하의 수소량을 포함하는 유기발광 표시장치.

청구항 6

제2 항에 있어서,

상기 제1 도전층 상에 배치되며 상기 기관의 전면에서 걸쳐 형성된 제3 절연층을 더 포함하는 유기발광 표시장치.

청구항 7

제6 항에 있어서,

상기 제3 절연층의 두께는 $5000 \text{ \AA}$ 이상인 유기발광 표시장치.

청구항 8

제6 항에 있어서,

상기 제3 절연층은 실리콘 산화물(SiO_x)막 및 실리콘 질화물(SiN_x)막으로 이루어진 다층막인 유기발광 표시장치.

청구항 9

제8 항에 있어서,

상기 실리콘 산화물막의 두께는 $3000 \text{ \AA}$ 이상인 유기발광 표시장치.

청구항 10

제8 항에 있어서,

상기 실리콘 질화물막의 두께는 $1500 \text{ \AA}$ 내지 $2500 \text{ \AA}$ 인 유기발광 표시장치.

청구항 11

제1 항에 있어서,

상기 산화물 반도체는 인듐-갈륨-아연 산화물(IGZO)인 유기발광 표시장치.

청구항 12

제1 항에 있어서,

상기 제1 반도체층은 상기 제1 반도체층의 일단 및 타단에 각각 소스 영역 및 드레인 영역을 포함하고,

상기 소스 영역과 드레인 영역 사이에 채널 영역을 포함하되,

상기 소스 영역 및 상기 드레인 영역은 n형 도핑된 유기발광 표시장치.

청구항 13

제1 항에 있어서,

상기 제1 절연층은 상기 기판의 전면에 걸쳐 형성된 유기발광 표시장치.

청구항 14

제1 항에 있어서,

상기 제1 절연층은 상기 제1 반도체층 및/또는 상기 제2 반도체층과 중첩하도록 하는 상기 기판의 일부 영역에 걸쳐 형성된 유기발광 표시장치.

청구항 15

제1 항에 있어서,

상기 제1 절연층의 두께는 $1300 \text{ \AA}$ 이상인 유기발광 표시장치.

청구항 16

제15 항에 있어서,

상기 제1 반도체층의 표면 저항은 $1000 \Omega/\square$ 이하인 유기발광 표시장치

청구항 17

제1 항에 있어서,

상기 제2 박막 트랜지스터의 구동 범위는 2.9V 이상인 유기발광 표시장치.

청구항 18

기판;

상기 기판 상에 배치된 버퍼층;

상기 버퍼층 상에 배치된 제1 반도체층;

상기 제1 반도체층 상에 배치된 제1 절연층;

상기 제1 절연층 상에 배치되며, 상기 제1 반도체층과 중첩되도록 형성된 제1 도전층;

상기 제1 도전층 상에 배치된 제2 절연층;

상기 제2 절연층 상에 배치되며, 상기 제1 반도체층과 중첩되도록 형성된 제2 도전층;

상기 제2 도전층 상에 배치된 제3 절연층;

상기 제3 절연층 상에 배치되며, 상기 제1 반도체층과 중첩되지 않도록 형성된 제2 반도체층;

상기 제2 반도체층 상에 배치된 제4 절연층;

상기 제4 절연층 상에 배치되며, 상기 제2 반도체층과 중첩되도록 형성된 제3 도전층; 및

상기 제3 도전층 상에 배치된 제5 절연층을 포함하되,

상기 제1 반도체층은 저온 다결정 실리콘(LTPS)을 포함하고,

상기 제2 반도체층은 산화물 반도체를 포함하고,

상기 제4 절연층은 제2 반도체층의 전체를 덮도록 형성된 유기발광 표시장치.

청구항 19

제18 항에 있어서,

상기 산화물 반도체는 인듐-갈륨-아연 산화물(IGZO)인 유기발광 표시장치.

청구항 20

제19 항에 있어서,

상기 제4 절연층은 기판 전면에서 걸쳐 형성되며, 상기 제4 절연층의 두께는 1300 Å 이상이고, 상기 제4 절연층은 9E20atoms/cm³ 이하의 수소량을 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 휴대전화, 태블릿PC, 노트북 등을 포함한 다양한 종류의 전자제품에는 평판표시장치(FPD: Flat Panel Display)가 이용되고 있다. 평판표시장치(이하, 간단히 '표시장치'라 함)에는, 액정표시장치(LCD: Liquid Crystal Display), 플라즈마디스플레이 패널(PDP: Plasma Display Panel), 유기발광 표시장치(OLED: Organic Light Emitting Display Device) 등이 있으며, 최근에는 전기영동표시장치(EPD: ELECTROPHORETIC DISPLAY)도 널리 이용되고 있다.

[0003] 그 중 유기발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 소자를 이용하여 영상을 표시한다. 유기발광 표시장치는 유기 발광 소자에 구동 전류를 제공하는 복수의 트랜지스터를 포함한다.

[0004] 유기발광 표시장치의 트랜지스터는 통상 PMOS 트랜지스터가 많이 사용되지만, NMOS 트랜지스터를 사용하거나 병용하는 연구도 이루어지고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는, 전 처리 없이 열처리만으로 NMOS 트랜지스터의 반도체층을 n형 도핑 할 수 있는 유기발광 표시장치를 제공하고자 하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 일 실시예에 따른 유기발광 표시장치는 기판, 상기 기판 상에 배치된 제1 박막 트랜지스터, 및 상기 기판 상에 배치되며, 상기 제1 박막 트랜지스터와 이격되어 배치된 제2 박막 트랜지스터를 포함하되, 상기 제1 박막 트랜지스터는 제1 반도체층, 상기 제1 반도체층 상에 배치되며 상기 제1 반도체층과 중첩되도록 형성된 제1 도전층, 및 상기 제1 반도체층과 상기 제1 도전층 사이에 배치된 제1 절연층을 포함하고 상기 제2 박막 트랜지스터는 제2 반도체층, 및 상기 제2 반도체층 상에 배치되며 상기 제2 반도체층과 중첩되도록 형성된 제2 도전층을 포함하고, 상기 제1 반도체층은 상기 제2 반도체층보다 상부층에 배치되고, 상기 제1 반도체층은 산화물 반도체를 포함하고, 상기 제2 반도체층은 저온 다결정 실리콘(LTPS)을 포함하고, 상기 제1 절연층은 상기 제1 반도체층의 전체를 덮도록 형성된다.

[0008] 유기발광 표시장치는 상기 제2 도전층 상에 배치되며 상기 제2 반도체층과 중첩되도록 형성되는 제3 도전층, 및 상기 제3 도전층 상에 배치되는 제2 절연층을 더 포함하되, 상기 제2 절연층은 상기 제1 반도체층 보다 하부층에 배치될 수 있다.

[0009] 상기 제2 절연층의 두께는 $3000\text{\AA}$ 이상일 수 있다.

[0010] 상기 제2 절연층은 실리콘 산화물(SiO_x)을 포함할 수 있다.

[0011] 상기 제2 절연층은 $9\text{E}20\text{atoms/cm}^3$ 이하의 수소량을 포함할 수 있다.

[0012] 상기 제1 도전층 상에 배치되며 상기 기판의 전면에 걸쳐 형성된 제3 절연층을 더 포함할 수 있다.

[0013] 상기 제3 절연층의 두께는 $5000\text{\AA}$ 이상일 수 있다.

[0014] 상기 제3 절연층은 실리콘 산화물(SiO_x)막 및 실리콘 질화물(SiN_x)막으로 이루어진 다층막일 수 있다.

[0015] 상기 실리콘 산화물막의 두께는 $3000\text{\AA}$ 이상일 수 있다.

[0016] 상기 실리콘 질화물막의 두께는 $1500\text{\AA}$ 내지 $2500\text{\AA}$ 일 수 있다.

[0017] 상기 산화물 반도체는 인듐-갈륨-아연 산화물(IGZO)일 수 있다.

[0018] 상기 제1 반도체층은 상기 제1 반도체층의 일단 및 타단에 각각 소스 영역 및 드레인 영역을 포함하고, 상기 소스 영역과 드레인 영역 사이에 채널 영역을 포함하되, 상기 소스 영역 및 상기 드레인 영역은 n형 도핑될 수 있다.

[0019] 상기 제1 절연층은 상기 기판의 전면에 걸쳐 형성될 수 있다.

[0020] 상기 제1 절연층은 상기 제1 반도체층 및/또는 상기 제2 반도체층과 중첩하도록 하는 상기 기판의 일부 영역에 걸쳐 형성될 수 있다.

[0021] 상기 제1 절연층의 두께는 $1300\text{\AA}$ 이상일 수 있다.

[0022] 상기 제1 반도체층의 표면 저항은 $1000\Omega/\square$ 이하일 수 있다.

- [0023] 상기 제2 박막 트랜지스터의 구동 범위는 2.9V이상일 수 있다.
- [0024] 상기 과제를 해결하기 위한 다른 실시예에 따른 유기발광 표시장치는 기판, 상기 기판 상에 배치된 버퍼층, 상기 버퍼층 상에 배치된 제1 반도체층, 상기 제1 반도체층 상에 배치된 제1 절연층, 상기 제1 절연층 상에 배치된 제2 절연층, 상기 제2 절연층 상에 배치되며, 상기 제1 반도체층과 중첩되도록 형성된 제1 도전층, 상기 제1 도전층 상에 배치된 제2 절연층, 상기 제2 절연층 상에 배치되며, 상기 제1 반도체층과 중첩되도록 형성된 제2 도전층, 상기 제2 도전층 상에 배치된 제3 절연층, 상기 제3 절연층 상에 배치되며, 상기 제1 반도체층과 중첩되지 않도록 형성된 제2 반도체층, 상기 제2 반도체층 상에 배치된 제4 절연층, 상기 제4 절연층 상에 배치되며, 상기 제2 반도체층과 중첩되도록 형성된 제3 도전층, 및 상기 제3 도전층 상에 배치된 제5 절연층을 포함하되, 상기 제1 반도체층은 저온 다결정 실리콘(LTPS)을 포함하고, 상기 제2 반도체층은 산화물 반도체를 포함하고, 상기 제4 절연층은 제2 반도체층의 전체를 덮도록 형성된다.
- [0025] 상기 산화물 반도체는 인듐-갈륨-아연 산화물(IGZO)일 수 있다.
- [0026] 상기 제4 절연층은 기판 전면에서 걸쳐 형성되며, 상기 제4 절연층의 두께는 $1300\text{\AA}$ 이상이고, 상기 제4 절연층은 $9\text{E}20\text{atoms/cm}^3$ 이하의 수소량을 포함할 수 있다.
- [0027] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0028] 열처리만으로 NMOS 트랜지스터의 반도체층을 n형 도핑할 수 있으며, PMOS 트랜지스터의 탈수소를 강화하여 구동 범위를 증가시킬 수 있다.
- [0029] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 도면이다.
- 도 2는 일 실시예에 따른 유기발광 표시장치의 개략적인 블록도이다.
- 도 3은 일 실시예에 따른 유기발광 표시장치의 일 화소의 등가 회로도이다.
- 도 4는 일 실시예에 따른 유기발광 표시장치의 개략적인 단면도이다.
- 도 5 내지 도 7은 상부 반도체층의 소스 영역 및 드레인 영역을 생성하는 과정을 나타낸 단면도이다.
- 도 8은 본 발명의 다른 실시예에 따른 유기발광 표시장치이다.
- 도 9는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0032] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0033] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0034] 본 명세서의 다양한 실시예들에 따른 표시장치는 동영상이나 정지영상을 표시하는 장치 또는 입체 영상을 표시

하는 장치로서 이동 통신 단말기, 스마트폰, 태블릿, 스마트 워치 및 내비게이션 등과 같은 휴대용 전자 기기뿐만 아니라 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷 등의 다양한 제품의 표시 화면으로 사용될 수 있다.

- [0035] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 이하에서는 표시장치로서 유기발광 표시장치를 예로 들어 설명하기로 한다. 다만, 이에 제한되지 않고 발명의 사상을 변경하지 않는 한 액정 표시장치이나, 전계 방출 디스플레이(field emission display, FED) 패널이나, 전기영동장치와 같은 다른 표시장치에도 적용될 수 있다. 도면상의 동일한 구성 요소에 대해서는 동일하거나 유사한 참조 부호를 사용한다.
- [0036] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 도면이다.
- [0037] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기발광 표시장치(60)는 표시부(DA) 및 비표시부(NDA)를 포함할 수 있다.
- [0038] 표시부(DA)는 화상을 표시하는 영역으로 정의된다. 또한, 표시부(DA)는 외부 환경을 검출하기 위한 검출 부재로도 사용될 수 있다. 즉, 표시부(DA)는 영상을 표시하거나, 또는 사용자의 터치 또는 지문을 인식하는 영역으로 사용될 수 있다. 표시부(DA)는 일 실시예로 대체로 평평한 영역(FA)을 가지되, 적어도 일부 영역이 구부러진 영역(BA)을 가질 수 있다. 다만, 이에 제한되는 것은 아니고, 표시 영역은 전체가 평평한 형상을 가질 수도 있다.
- [0039] 유기발광 표시장치(60)는 표시부(DA)에서 복수개의 화소를 포함할 수 있다. 여기서, 화소는 유기발광 다이오드를 포함할 수 있다. 유기발광 표시장치(60)는 상기 화소를 이용하여 화상을 표시할 수 있다.
- [0040] 비표시부(NDA)는 표시부(DA)의 적어도 일측에 배치되되, 화상이 표시되지 않는 영역으로 정의된다. 일 실시예로, 비표시부(NDA)는 스피커 모듈(미도시), 카메라 모듈(M1) 및 센서 모듈(M2) 등이 배치될 수 있다. 여기서, 센서 모듈(M2)은 일 실시예로, 조도 센서, 근접 센서, 적외선 센서, 초음파 센서 중 적어도 하나를 포함할 수 있다.
- [0041] 도 2는 일 실시예에 따른 유기발광 표시장치의 개략적인 블록도이다.
- [0042] 도 2를 참조하면, 유기발광 표시장치(60)는 복수의 화소(1)를 포함하는 표시부(DA) 및 주사 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40), 및 제어부(50)를 포함한다.
- [0043] 표시부(DA)는 복수의 주사 (SL11~SL1n, SL21~SL2n, SL31~SL3n), 복수의 데이터 라인(DL1~DLm), 및 복수의 발광 제어 라인(EL1~ELn)의 교차부에 위치되어, 행렬 형태로 배열된 복수의 화소(1)를 포함한다.
- [0044] 복수의 주사 라인(SL11~SL1n, SL21~SL2n, SL31~SL3n) 및 복수의 발광 제어 라인(EL1~ELn)은 행 방향으로 연장되고, 복수의 데이터 라인(DL1~DLm)은 열 방향으로 연장될 수 있다. 행 방향과 열 방향은 서로 바뀔 수도 있다. 초기화 전압(VINT) 공급 라인은 행별로 분지되어 행 방향으로 연장되고, 제1 전원 전압(ELVDD)의 공급 라인은 열별로 분지되어 열 방향으로 연장될 수 있다. 그러나, 이에 제한되는 것은 아니고, 초기화 전압(VINT) 공급 라인과 제1 전원 전압(ELVDD)의 공급 라인의 연장 방향은 다양하게 변형 가능하다.
- [0045] 예시적인 화소인 1행 1열의 화소에는 3개의 주사 라인(SL11, SL21, SL31), 1개의 데이터 라인(DL1), 1개의 발광 제어 라인(EL1), 1개의 초기화 전압(VINT) 공급 라인 및 1개의 제1 전원 전압(ELVDD)의 공급 라인이 지날 수 있다. 다른 화소도 마찬가지로 배선이 지날 수 있다.
- [0046] 주사 구동부(20)는 복수의 주사 라인(SL11~SL1n, SL21~SL2n, SL31~SL3n)을 통해 각 화소에 세 개의 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 제1 주사 라인(SL11~SL1n), 제2 주사 라인(SL21~SL2n) 또는 제3 주사 라인(SL31~SL3n)으로 주사 신호를 순차적으로 공급한다.
- [0047] 데이터 구동부(30)는 복수의 데이터 라인(DL1 내지 DLm)을 통해 각 화소(1)에 데이터 신호를 전달한다. 데이터 신호는 제1 주사 라인(SL11~SL1n)으로 제1 주사 신호가 공급될 때마다 제1 주사 신호에 의해 선택된 화소(1)로 공급된다.
- [0048] 발광 제어 구동부(40)는 복수의 발광 제어 라인(EL1 내지 ELn)을 통해 각 화소에 발광 제어 신호를 생성하여 전달한다. 발광 제어 신호는 화소(1)의 발광 시간을 제어한다. 발광 제어 구동부(40)는 주사 구동부(20)가 주사 신호뿐만 아니라 발광 제어 신호를 생성하는 경우, 또는 화소(1)의 내부 구조에 따라 생략될 수도 있다.
- [0049] 제어부(50)는 외부에서 전달되는 복수의 영상 신호(R, G, B)를 복수의 영상 데이터 신호(DR, DG, DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(50)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호

(MCLK)를 전달받아 주사 구동부(20), 데이터 구동부(30), 및 발광 제어 구동부(40)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS), 및 발광 제어 구동부(40)를 제어하는 발광 구동 제어 신호(ECS)를 각각 생성하여 전달한다.

- [0050] 복수의 화소(1) 각각은 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)을 공급받는다. 제1 전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원전압(ELVSS)은 제1 전원전압(ELVDD)보다 낮은 전압일 수 있다.
- [0051] 복수의 화소(1) 각각은 복수의 데이터 라인(DL1 내지 DLm)을 통해 전달된 데이터 신호에 따라 발광 소자로 공급되는 구동 전류에 의해 소정 휘도의 빛을 발광한다.
- [0052] 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 초기화 전압(VINT) 등은 외부 전압원으로부터 공급될 수 있다.
- [0053] 도 3은 일 실시예에 따른 유기발광 표시장치의 일 화소의 등가 회로도이다.
- [0054] 도 3를 참조하면, 유기발광 표시장치(60)의 일 화소(1)의 회로는 유기발광 다이오드(OLED), 복수의 트랜지스터(T1~T7) 및 유지 커패시터(Cst)를 포함한다. 일 화소의 회로에는 데이터 신호(DATA), 제1 주사 신호(GW), 제2 주사 신호(GI), 제3 주사 신호(GB), 발광 제어 신호(EM), 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 및 초기화 전압(VINT)이 인가된다.
- [0055] 유기발광 다이오드(OLED)는 애노드 전극 및 캐소드 전극을 포함한다. 유지 커패시터(Cst)는 제1 전극 및 제2 전극을 포함한다.
- [0056] 복수의 트랜지스터는 제1 내지 제7 트랜지스터(T1~T7)를 포함할 수 있다. 각 트랜지스터(T1~T7)는 게이트 전극, 제1 전극 및 제2 전극을 포함한다. 각 트랜지스터(T1~T7)의 제1 전극과 제2 전극 중 어느 하나는 소스 전극이고 다른 하나는 드레인 전극이 된다.
- [0057] 각 트랜지스터(T1~T7)는 박막 트랜지스터일 수 있다. 각 트랜지스터(T1~T7)는 PMOS 트랜지스터와 NMOS 트랜지스터 중 어느 하나일 수 있다. 일 실시예에서, 구동 트랜지스터인 제1 트랜지스터(T1), 데이터 전달 트랜지스터인 제2 트랜지스터(T2), 제1 발광 제어 트랜지스터인 제5 트랜지스터(T5), 제2 발광 제어 트랜지스터인 제6 트랜지스터(T6) 및 바이패스 트랜지스터인 제7 트랜지스터(T7)는 PMOS 트랜지스터이다. 반면, 보상 트랜지스터인 제3 트랜지스터(T3) 및 초기화 트랜지스터인 제4 트랜지스터(T4)는 NMOS 트랜지스터이다. PMOS 트랜지스터와 NMOS 트랜지스터는 그 특성이 상이한데, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)를 턴오프 특성이 상대적으로 우수한 NMOS 트랜지스터로 형성함으로써, 유기발광 다이오드(OLED)의 발광 기간 중에 구동 전류(I_d)가 누설되는 것을 감소시킬 수 있다.
- [0058] 이하, 각 구성에 대해 상세히 설명한다.
- [0059] 제1 트랜지스터(T1)의 게이트 전극은 유지 커패시터(Cst)의 제1 전극과 연결된다. 제1 트랜지스터(T1)의 제1 전극은 제5 트랜지스터(T5)를 경유하여 제1 전원 전압(ELVDD) 단자와 연결된다. 제1 트랜지스터(T1)의 제2 전극은 제6 트랜지스터(T6)를 경유하여 유기발광 다이오드(OLED)의 애노드 전극과 연결된다. 제1 트랜지스터(T1)는 제2 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(DATA)를 전달받아 유기발광 다이오드(OLED)에 구동 전류(I_d)를 공급한다.
- [0060] 제2 트랜지스터(T2)의 게이트 전극은 제1 주사 신호(GW) 단자와 연결된다. 제2 트랜지스터(T2)의 제1 전극은 데이터 신호(DATA) 단자와 연결된다. 제2 트랜지스터(T2)의 제2 전극은 제1 트랜지스터(T1)의 제1 전극과 연결되어 있으면서 제5 트랜지스터(T5)를 경유하여 제1 전원 전압(ELVDD) 단자와 연결된다. 제2 트랜지스터(T2)는 제1 주사 신호(GW)에 따라 턴온되어 데이터 신호(DATA)를 제1 트랜지스터(T1)의 제1 전극으로 전달하는 스위칭 동작을 수행한다.
- [0061] 제3 트랜지스터(T3)의 게이트 전극은 제1 주사 신호(GW) 단자에 연결된다. 제3 트랜지스터(T3)의 제1 전극은 제1 트랜지스터(T1)의 제2 전극과 연결되어 있으면서 제6 트랜지스터(T6)를 경유하여 유기발광 다이오드(OLED)의 애노드 전극과 연결된다. 제3 트랜지스터(T3)의 제2 전극은 유지 커패시터(Cst)의 제1 전극, 제4 트랜지스터(T4)의 제1 전극 및 제1 트랜지스터(T1)의 게이트 전극과 함께 연결되어 있다. 제3 트랜지스터(T3)는 제1 주사 신호(GW)에 따라 턴온되어 제1 트랜지스터(T1)의 게이트 전극과 제2 전극을 서로 연결하여 제1 트랜지스터(T1)를 다이오드 연결시킨다. 그에 따라 제1 트랜지스터(T1)의 제1 전극과 게이트 전극 사이에 제1 트랜지스터(T1)의 문턱 전압만큼 전압차가 발생하고, 제1 트랜지스터(T1)의 게이트 전극에 문턱 전압이 보상된 데이터 신호

(DATA)를 공급함으로써 제1 트랜지스터(T1)의 문턱 전압 편차를 보상할 수 있다.

- [0062] 제4 트랜지스터(T4)의 게이트 전극은 제2 주사 신호(GI) 단자와 연결된다. 제4 트랜지스터(T4)의 제2 전극은 초기화 전압(VINT) 단자와 연결된다. 제4 트랜지스터(T4)의 제1 전극은 유지 커패시터(Cst)의 제1 전극, 제3 트랜지스터(T3)의 제2 전극 및 제1 트랜지스터(T1)의 게이트 전극과 함께 연결된다. 제4 트랜지스터(T4)는 제2 주사 신호(GI)에 따라 턴온되어 초기화 전압(VINT)을 제1 트랜지스터(T1)의 게이트 전극에 전달하여 제1 트랜지스터(T1)의 게이트 전극의 전압을 초기화시키는 동작을 수행한다.
- [0063] 제5 트랜지스터(T5)의 게이트 전극은 발광 제어 신호(EM) 단자와 연결된다. 제5 트랜지스터(T5)의 제1 전극은 제1 전원 전압(ELVDD) 단자와 연결된다. 제5 트랜지스터(T5)의 제2 전극은 제1 트랜지스터(T1)의 제1 전극 및 제2 트랜지스터(T2)의 제2 전극과 연결된다.
- [0064] 제6 트랜지스터(T6)의 게이트 전극은 발광 제어 신호(EM) 단자와 연결된다. 제6 트랜지스터(T6)의 제1 전극은 제1 트랜지스터(T1)의 제2 전극 및 제3 트랜지스터(T3)의 제1 전극과 연결된다. 제6 트랜지스터(T6)의 제2 전극은 유기발광 다이오드(OLED)의 애노드 전극과 연결된다.
- [0065] 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 발광 제어 신호(EM)에 따라 동시에 턴온되고, 그에 따라 유기발광 다이오드(OLED)에 구동 전류(Id)가 흐르게 된다.
- [0066] 제7 트랜지스터(T7)의 게이트 전극은 제3 주사 신호(GB) 단자와 연결된다. 제7 트랜지스터(T7)의 제1 전극은 유기발광 다이오드(OLED)의 애노드 전극과 연결된다. 제7 트랜지스터(T7)의 제2 전극은 초기화 전압(VINT) 단자와 연결된다. 제7 트랜지스터(T7)는 제3 주사 신호(GB)에 따라 턴온되어 유기 발광 소자(OLED)의 애노드 전극을 초기화시킨다. 블랙 영상을 표시하는 경우, 유기발광 다이오드(OLED)의 애노드 전극으로부터 제7 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(Ibp)의 전류량만큼 감소된 유기 발광 소자(OLED)의 발광 전류는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 따라서, 제7 트랜지스터(T7)를 이용하여 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다.
- [0067] 본 실시예에서는 제7 트랜지스터(T7)의 게이트 전극이 제3 주사 신호(GB)를 인가받는 경우를 예시하였지만, 다른 실시예로 제7 트랜지스터(T7)의 게이트 전극이 발광 제어 신호(EM)를 인가받도록 화소 회로를 구성할 수도 있다.
- [0068] 또한, 본 실시예에서는 제2 주사 신호(GI)와 제3 주사 신호(GB)가 서로 독립된 신호인 경우를 예시하였지만, 다른 실시예로 제2 주사 신호(GI)와 제3 주사 신호(GB)가 전기적으로 연결된 동일 신호인 것으로 회로를 구성할 수 있다.
- [0069] 유지 커패시터(Cst)의 제2 전극은 제1 전원 전압(ELVDD) 단자와 연결된다. 유지 커패시터(Cst)의 제1 전극은 제1 트랜지스터(T1)의 게이트 전극, 제3 트랜지스터(T3)의 제2 전극 및 제4 트랜지스터(T4)의 제1 전극에 함께 연결된다. 유기발광 다이오드(OLED)의 캐소드 전극은 제2 전원 전압(ELVSS) 단자와 연결된다. 유기발광 다이오드(OLED)는 제1 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.
- [0070] 트랜지스터(T1~T7)는 전극을 이루는 도전층, 채널을 형성하는 반도체층 및 절연층을 포함한다. PMOS 트랜지스터인 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)는 LTPS(low temperature poly silicon) 반도체 층을 사용한 박막 트랜지스터일 수 있다. NMOS 트랜지스터인 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 산화물 반도체 층을 사용한 박막 트랜지스터일 수 있다.
- [0071] 본 실시예에서는 각 트랜지스터(T1~T7)가 게이트 전극이 반도체층보다 상부에 배치되는 것으로 정의된 탑 게이트(top gate) 구조의 박막 트랜지스터인 경우를 예로서 설명한다. 다만, 이에 한정되는 것은 아니고 트랜지스터(T1~T7)중 적어도 일부는 게이트 전극이 반도체층보다 하부에 배치되는 것으로 정의된 바텀 게이트(bottom gate) 구조의 박막 트랜지스터일 수 있다.
- [0072] 이하, 화소의 단면 구조와 함께, 상술한 화소에 대해 더욱 상세히 설명한다.
- [0073] 도 4는 일 실시예에 따른 유기발광 표시장치의 개략적인 단면도이다.
- [0074] 도 4를 참조하면, 화소(1)의 각 층들은 기판(110), 버퍼층(121), 하부 반도체층(S1, A1, D1), 제1 절연층(122), 제1 도전층(G1), 제2 절연층(123), 제2 도전층(G2), 제3 절연층(124), 상부 반도체층(S2, A2, D2), 제4 절연층(125), 제3 도전층(G3), 및 제5 절연층(126)을 포함 한다. 상술한 각 층들은 단일막 또는 다층막으로 이루어질 수 있고, 각 층들 사이에는 다른 층이 더 배치될 수도 있다.

- [0075] 기판(110)은 그 위에 배치되는 각 층들을 지지한다. 유기발광 표시장치(60)가 배면 또는 양면 발광형인 경우 투명한 기판(110)이 사용될 수 있다. 유기발광 표시장치(60)가 전면 발광형인 경우 투명한 기판(110)뿐만 아니라, 반투명이나 불투명 기판(110)이 적용될 수도 있다.
- [0076] 기판(110)은 유리, 석영, 고분자 수지 등의 절연 물질로 이루어질 수 있다. 상기 고분자 물질의 예로는 폴리에테르술폰(polyethersulphone: PES), 폴리아크릴레이트(polyacrylate: PA), 폴리아릴레이트(polyarylate: PAR), 폴리에테르이미드(polyetherimide: PEI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate: PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(polycarbonate: PC), 셀룰로오스 트리 아세테이트(cellulose triacetate: CAT), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 또는 이들의 조합을 들 수 있다. 기판(110)은 금속 재질의 물질을 포함할 수도 있다.
- [0077] 기판(110)은 리지드(rigid) 기판(110)이거나 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉시블(flexible) 기판(110)일 수 있다. 플렉시블 기판(110)을 이루는 물질의 예로 폴리이미드(PI)를 들 수 있지만, 이에 제한되는 것은 아니다.
- [0078] 버퍼층(121)은 기판(110)의 전체 면 상에 배치될 수 있다. 버퍼층(121)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면 평탄화 기능을 수행할 수 있다. 버퍼층(121)은 실리콘 질화물, 실리콘 산화물, 또는 실리콘 산질화물 등을 포함할 수 있다. 버퍼층(121)은 기판(110)의 종류나 공정 조건 등에 따라 생략될 수도 있다.
- [0079] 하부 반도체층(S1, A1, D1)은 상술한 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)의 채널을 이루는 액티브층일 수 있다.
- [0080] 하부 반도체층(S1, A1, D1)은 저온 다결정 실리콘(LTPS, low temperature poly silicon)을 포함할 수 있다. 다만, 이에 제한되는 것은 아니고, 하부 반도체층(S1, A1, D1)은 단결정 실리콘, 비정질 실리콘 등을 포함할 수도 있다.
- [0081] 저온 다결정 실리콘을 포함하는 박막 트랜지스터(LTPS TFT)는 일반적으로 작은 프로파일(profile)에서도 우수한 캐리어(carrier) 이동도(mobility)를 나타내어, 집적된 구동 회로를 구현하는데 적합하다. 상기 우수한 캐리어 이동도는 저온 다결정 실리콘 박막 트랜지스터(LTPS TFT)를 빠른 동작 속도를 요하는 부품에 이상적으로 만든다. 상기 언급된 장점에도 불구하고, 다결정 실리콘 반도체 층의 그레인 경계(grain boundary) 때문에 초기 임계 전압(initial threshold voltage)이 저온 다결정 실리콘 박막 트랜지스터들 간에 다를 수 있다.
- [0082] 하부 반도체층(S1, A1, D1)은 일측에 배치되는 소스 영역(S1), 타측에 배치되는 드레인 영역(D1), 소스 영역(S1)과 드레인 영역(D1) 사이에 배치되는 채널 영역(A1)을 포함할 수 있다. 하부 반도체층(S1, A1, D1)에서 각 트랜지스터(T1, T2, T5, T6, T7)의 소스 전극(SE1) 및 드레인 전극(DE1)과 연결되는 부위(소스 영역(S1) 및 드레인 영역(D1))에는 불순물 이온(PMOS 트랜지스터의 경우 p형 불순물 이온)이 도핑되어 있을 수 있다. 붕소(B) 등 3가 도펀트가 p형 불순물 이온으로 사용될 수 있다.
- [0083] 제1 절연층(122)은 하부 반도체층(S1, A1, D1) 상에 배치되고, 대체로 기판(110)의 전체 면에 걸쳐 배치될 수 있다. 제1 절연층(122)은 게이트 절연 기능을 갖는 게이트 절연막일 수 있다.
- [0084] 제1 절연층(122)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 제1 절연층(122)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 제1 절연층(122)은 단일막 또는 서로 다른 물질의 적층막으로 이루어진 다층막일 수 있다.
- [0085] 제1 도전층(G1)은 제1 절연층(122) 상에 배치된다. 제1 도전층(G1)은 적어도 일부가 하부 반도체층(S1, A1, D1)과 중첩되도록 배치될 수 있다. 본 명세서에서 “중첩된다”라고 표현하면, 다른 정의가 없는 한 두 구성이 유기발광 표시장치의 두께 방향(도면에서 기판(110)의 표면에 수직한 방향)으로 중첩(overlap)되는 것을 의미한다.
- [0086] 제1 도전층(G1)은 제1 주사 신호(도 3의 'GW', 이하 동일)를 전달하는 주사 라인, 제3 주사 신호(도 3의 'GB', 이하 동일)를 전달하는 주사 라인, 제1 트랜지스터(T1)의 게이트 전극, 발광 제어 신호(도 3의 'EM', 이하 동일)를 전달하는 발광 제어 라인, 및 초기화 전압(도 3의 'VINT', 이하 동일)을 공급하는 초기화 전압 라인을 포함할 수 있다.

- [0087] 제1 도전층(G1)은 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오븀(Nd), 이리듐(Ir), 크롬(Cr), 칼슘(Ca), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다. 제1 도전층(G1)은 단일막 또는 다층막일 수 있다.
- [0088] 제2 절연층(123)은 제1 도전층(G1)을 덮는다. 제2 절연층(123)은 대체로 기판(110)의 전체 면에 걸쳐 배치될 수 있다. 제2 절연층(123)은 게이트 절연 기능을 갖는 게이트 절연막일 수 있다. 제2 절연층(123)은 제1 절연층(122)과 동일한 물질을 포함하거나, 제1 절연층(122)의 구성 물질로 예시된 물질에서 선택된 하나 이상의 물질을 포함할 수 있다. 제2 절연층(123)은 단일막 또는 서로 다른 물질의 적층막으로 이루어진 다층막일 수 있다.
- [0089] 제2 도전층(G2)은 제2 절연층(123) 상에 배치된다. 제2 도전층(G2)은 하부 반도체 및 제1 도전층(G1)과 적어도 일부에서 중첩되도록 배치될 수 있다. 제2 도전층(G2)은 제1 도전층(G1)과 동일한 물질을 포함하거나, 제1 도전층(G1)의 구성 물질로 예시된 물질에서 선택된 하나 이상의 물질을 포함할 수 있다. 제2 도전층(G2)은 단일막 또는 서로 다른 물질의 적층막으로 이루어진 다층막일 수 있다.
- [0090] 제2 도전층(G2)은 유지 커패시터(도 3의 'Cst') 전극 라인 및 발광 제어 신호(EM)를 전달하는 다른 발광 제어 라인을 포함할 수 있다.
- [0091] 제3 절연층(124)은 제2 도전층(G2)과 후술되는 상부 반도체층(S2, A2, D2)을 절연시키는 역할을 한다. 제1 도전층(G1) 상에 배치되고, 대체로 기판(110)의 전면에 걸쳐 형성될 수 있다. 제3 절연층(124)은 중간 절연막일 수 있다.
- [0092] 제3 절연층(124)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물, 하프늄 산화물, 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 아연 산화물 등의 무기 절연 물질이나 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin) 또는 벤조사이클로부텐(benzocyclobutene, BCB) 등의 유기 절연 물질을 포함할 수 있다. 제3 절연층(124)은 단일막 또는 서로 다른 물질의 적층막으로 이루어진 다층막일 수 있다.
- [0093] 상부 반도체층(S2, A2, D2)은 제3 절연층(124) 상에 배치된다. 자세하게는, 상부 반도체층(S2, A2, D2)은 하부 반도체층(S1, A1, D1)과 중첩되지 않도록 형성되며, 제3 절연층(124) 상에 배치될 수 있다. 상부 반도체층(S2, A2, D2)은 비정질 실리콘(a-Si), 다결정 실리콘(p-Si) 및 산화물 반도체, 유기 반도체 중 어느 하나를 포함할 수 있다. 여기서, 상기 산화물 반도체는 Zn, In, Ga, Sn 및 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 상기 산화물 반도체는 금속 산화물 반도체로서, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속의 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 조합으로 이루어질 수 있다. 예를 들어, 산화물 반도체 물질은 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 중 적어도 하나를 포함할 수 있다.
- [0094] 상부 반도체층(S2, A2, D2)은 일측에 배치되는 소스 영역(S2), 타측에 배치되는 드레인 영역(D2), 소스 영역(S2)과 드레인 영역(D2) 사이에 배치되는 채널 영역(A2)을 포함할 수 있다. 상부 반도체층(S2, A2, D2)에서 각 트랜지스터(T3, T4)의 소스 전극(SE2) 및 드레인 전극(DE2)과 연결되는 부위(소스 영역(S2) 및 드레인 영역(A2))에는 불순물 이온(NMOS 트랜지스터의 경우 n형 불순물 이온)이 도핑되어 있을 수 있다. n형 불순물 이온은 알칼리 금속 또는 알칼리 토금속의 금속이거나 혹은 n형 유기 도펀트일 수 있다. n형 유기 도펀트의 예로, Cr2hpp4 (hpp: 1,3,4,6,7,8-헥사히드로-2H-피리미도[1,2-a]피리미딘의 음이온), Fe2hpp4, Mn2hpp4, Co2hpp4, Mo2hpp4, W2hpp4, Ni2hpp4, Cu2hpp4, Zn2hpp4, W(hpp)4 등이 있으며, 그 밖에, 4,4',5,5'-테트라시클로헥실-1,1',2,2',3,3'-헥사메틸-2,2',3,3'-테트라히드로-1H,1'H-2,2'-비이미다졸; 혹은 2,2'-디이소프로필-1,1',3,3'-테트라메틸-2,2',3,3',4,4',5,5',6,6',7,7'-도데카히드로-1H,1'H-2,2'-비벤조[d]이미다졸; 2,2'-디이소프로필-4,4',5,5'-테트라키스(4-메톡시페닐)-1,1',3,3'-테트라메틸-2,2',3,3'-테트라히드로-1H,1'H-2,2'-비이미다졸; 혹은 2,2'-디이소프로필-4,5-비스(2-메톡시페닐)-4',5'-비스(4-메톡시페닐)-1,1',3,3'-테트라메틸-2,2',3,3'-테트라히드로-1H,1'H-2,2'-비이미다졸; 혹은 2,2'-디이소프로필-4,5-비스(2-메톡시페닐)-4',5'-비스(3-메톡시페닐)-1,1',3,3'-테트라메틸-2,2',3,3'-테트라히드로-1H,1'H-2,2'-비이미다졸 등의 유기 도펀트 화합물이 있다.
- [0095] 한편, 도면 상에는 도시하지 않았으나, 상부 반도체층(S2, A2, D2)이 산화물 반도체를 포함하는 경우, 상부 반

도체층(S2, A2, D2)의 상부 및 하부에 상부 반도체층(S2, A2, D2)으로 유입되는 광을 차단하기 위한 광 차단막이 배치될 수도 있다.

- [0096] 상부 반도체층(S2, A2, D2) 상에 제4 절연층(125)이 배치된다. 제4 절연층(125)은 상부 반도체층(S2, A2, D2)을 전부 덮도록 배치될 수 있다. 예를 들면, 제4 절연층(125)은 상부 반도체층(S2, A2, D2) 상에 배치되고, 기판(110)의 전면에 걸쳐 형성될 수 있다.
- [0097] 제4 절연층(125)은 게이트 절연 기능을 갖는 게이트 절연막일 수 있다. 제4 절연층(125)은 제1 절연층(122)과 동일한 물질을 포함하거나, 제1 절연층(122)의 구성 물질로 예시된 물질에서 선택된 하나 이상의 물질을 포함할 수 있다. 제2 절연층(123)은 단일막 또는 서로 다른 물질의 적층막으로 이루어진 다층막일 수 있다.
- [0098] 제3 도전층(G3)은 제4 절연층(125) 상에 배치된다. 제3 도전층(G3)은 상부 반도체층(S2, A2, D2)과 적어도 일부가 중첩되도록 배치될 수 있다. 제3 도전층(G3)은 제1 도전층(G1)과 동일한 물질을 포함하거나, 제1 도전층(G1)의 구성 물질로 예시된 물질에서 선택된 하나 이상의 물질을 포함할 수 있다. 제3 도전층(G3)은 단일막 또는 서로 다른 물질의 적층막으로 이루어진 다층막일 수 있다.
- [0099] 제3 도전층(G3)은 제1 주사 신호(도 3의 'GW')를 전달하는 주사 라인, 제3 트랜지스터(T3)의 게이트 전극 및 제4 트랜지스터(T7)의 게이트 전극을 포함할 수 있다.
- [0100] 제5 절연층(126)은 제4 도전층을 덮는다. 제1 도전층(G1) 상에 배치되고, 대체로 기판(110)의 전체 면에 걸쳐 배치될 수 있다. 제3 절연층(124)은 중간 절연막일 수 있다. 제3 절연층(124)은 실리콘 산화물(SiO_x) 및 실리콘 질화물(SiN_x)으로 이루어진 다층막일 수 있다. 다만 이에 제한하는 것은 아니고, 제5 절연층(126)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함하는 단일막 또는 서로 다른 물질의 적층막으로 이루어진 다층막일 수도 있다.
- [0101] 제5 절연층(126)은 열처리로 상부 반도체층(S2, A2, D2)을 n형 불순물 이온이 도핑되도록 수소이온(H⁺)을 제공 하는 기능을 수행할 수 있다. 이에 대한 내용은 도 5 내지 도 7에서 상세히 설명한다. 또한, 제5 절연층(126)은 표면 평탄화 기능을 수행할 수 있다.
- [0102] 제5 절연층(126) 상에는 복수의 소스 전극(SE1, SE2)과, 복수의 드레인 전극(DE1, DE2)이 배치된다. 각 소스 전극(SE1, SE2)과 각 드레인 전극(DE1, DE2)은 도전성을 가지는 금속 물질로 형성된다. 예를 들면, 소스 전극(SE1, SE2)과 드레인 전극(DE1, DE2)은 알루미늄(Al), 구리(Cu), 티타늄(Ti), 몰리브덴(Mo)을 포함할 수 있다.
- [0103] 제1 소스 전극(SE1)은 하부 반도체층(S1, A1, D1)의 소스 영역(S1)에 전기적으로 연결될 수 있고, 제1 드레인 전극(DE1)은 하부 반도체층(S1, A1, D1)의 드레인 영역(D1)에 전기적으로 연결될 수 있다. 자세한, 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)은 제1 내지 제5 절연층(122 내지 126)을 관통하는 콘택홀을 통하여 하부 반도체층(S1, A1, D1)의 소스 영역(S1) 및 드레인 영역(D1)에 각각 전기적으로 연결될 수 있다.
- [0104] 제2 소스 전극(SE2)은 상부 반도체층(S2, A2, D2)의 소스 영역(S2)에 전기적으로 연결될 수 있고, 제2 드레인 전극(DE1)은 상부 반도체층(S2, A2, D2)의 드레인 영역(D1)에 전기적으로 연결될 수 있다. 자세한, 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)은 제4 절연층(125) 및 제5 절연층(126)을 관통하는 콘택홀을 통하여 상부 반도체층(S2, A2, D2)의 소스 영역(S2) 및 드레인 영역(D2)에 각각 전기적으로 연결될 수 있다.
- [0105] 제1 비아층(127)은 제5 절연층(126) 상에 배치되며, 복수의 소스 전극(SE1, SE2)과, 복수의 드레인 전극(DE1, DE2)을 덮도록 기판(110) 전면에 형성될 수 있다. 제1 비아층(127)은 절연물질로 이루어질 수 있다. 예를 들면, 제1 비아층(127)은 무기물, 유기물, 또는 유/무기 복합물로 단층 또는 복수층의 구조로 형성될 수 있으며, 다양한 증착방법에 의해서 형성될 수 있다. 일부 실시예에서, 제1 비아층(127)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides rein), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(poly phenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene, BCB) 중 하나 이상의 물질로 형성될 수 있다.
- [0106] 제2 비아층(128)이 제1 비아층(127) 상에 배치된다. 제2 비아층(128)은 기판(110) 전면에 형성될 수 있다. 제2 비아층(128)은 제1 비아층(127)과 동일한 물질을 포함하거나, 제1 비아층(127)의 구성 물질로 예시된 물질에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [0107] 제1 비아층(127)과 제2 비아층(128)의 사이에는 콘택 메탈(CM)이 배치된다. 유기발광 화소 전극이 제2 비아층

(128)의 컨택홀을 통해 컨택 메탈(CM)에 전기적으로 연결되고, 컨택 메탈(CM)은 제1 비아층(127)의 컨택홀을 통해 제1 드레인 전극을 전기적으로 연결될 수 있다. 다른 실시예에서, 컨택 메탈(CM)은 화소 전극과 제1 드레인 전극을 전기적으로 연결하는 기능을 수행할 수 있다. 여기서, 제1 비아층(127)과 컨택 메탈(CM)은 생략될 수 있다. 이 경우 제2 비아층(128)의 컨택홀을 통해 화소 전극(140)과 제1 드레인 전극(SE1)이 직접 연결될 수 있다.

[0108] 제2 비아층(128) 상에는 화소 전극(140)이 배치될 수 있다. 화소 전극(140)은 유기발광 다이오드의 애노드 전극일 수 있다.

[0109] 화소 전극(140)은 일함수가 높은 물질을 포함하여 이루어질 수 있다. 제1 전극은 인듐-주석-산화물(Indium-Tin-Oxide: ITO), 인듐-아연-산화물(Indium-Zinc-Oxide: IZO), 산화아연(Zinc Oxide: ZnO), 산화인듐(Indium Oxide: In₂O₃) 등을 포함할 수 있다. 상기 예시된 도전성 물질들은 상대적으로 일함수가 크면서도, 투명한 특성을 갖는다. 유기발광 표시장치(60)(1)가 전면 발광형일 경우, 상기 예시된 도전성 물질 이외에 반사성 물질, 예컨대 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오듐(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca) 또는 이들의 혼합물이 더 포함될 수 있다. 따라서, 화소 전극(140)은 상기 예시된 도전성 물질 및 반사성 물질로 이루어진 단일층 구조를 갖거나, 이들이 적층된 복수층 구조를 가질 수 있다.

[0110] 화소 전극(140) 상에는 화소 정의막(130)이 배치된다. 화소 정의막(130)은 화소 전극(140)의 적어도 일부를 노출하는 개구부를 포함한다. 화소 정의막(130)은 유기 물질 또는 무기 물질을 포함할 수 있다. 일 실시예로, 화소 정의막(130)은 포토 레지스트, 폴리이미드계 수지, 아크릴계 수지, 실리콘 화합물, 폴리아크릴계 수지 등의 재료를 포함할 수 있다.

[0111] 도시하진 않았지만, 화소 정의막(130)에 의해 노출된 화소 전극(140) 상에는 유기 발광층이 배치되고, 유기 발광층 상에 공통 전극이 차례로 배치될 수 있다. 공통 전극은 유기발광 다이오드의 캐소드 전극일 수 있다.

[0112] 공통 전극은 일함수가 낮은 물질을 포함하여 이루어질 수 있다. 공통 전극은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, Ag, Pt, Pd, Ni, Au, Nd, Ir, Cr, BaF, Ba 또는 이들의 화합물이나 혼합물(예를 들어, Ag와 Mg의 혼합물 등)을 포함할 수 있다. 공통 전극은 보조 전극을 더 포함할 수 있다. 상기 보조 전극은 상기 물질이 증착되어 형성된 막, 및 상기 막 상에 투명 금속 산화물, 예를 들어, 인듐-주석-산화물(Indium-Tin-Oxide: ITO), 인듐-아연-산화물(Indium-Zinc-Oxide: IZO), 산화아연(Zinc Oxide: ZnO), 인듐-주석-아연-산화물(Indium-Tin-Zinc-Oxide) 등을 포함할 수 있다.

[0113] 유기발광 표시장치(60)가 전면 발광형일 경우, 공통 전극으로서 일함수가 작은 도전층을 박막으로 형성하고, 그 상부에 투명한 도전막, 예컨대, 인듐-주석-산화물(Indium-Tin-Oxide: ITO)층, 인듐-아연-산화물(Indium-Zinc-Oxide: IZO)층, 산화아연(Zinc Oxide: ZnO)층, 산화인듐(Indium Oxide: In₂O₃)층 등을 적층할 수 있다.

[0114] 상술한 화소 전극(140), 유기발광층 및 공통 전극은 유기발광 다이오드를 구성할 수 있다.

[0115] 이하, 상부 반도체층(S2, A2, D2)의 소스 영역(A2) 및 드레인 영역(D2)을 생성하는 방법에 대해 설명한다.

[0116] 도 5 내지 도 7은 상부 반도체층의 소스 영역 및 드레인 영역을 생성하는 과정을 나타낸 단면도이다.

[0117] 제3 절연층(124) 상에 산화물 반도체(A2_a), 제4 절연층(125), 제3 도전층(G3), 제5 절연층(126)을 차례로 적층시킨다. 여기서 산화물 반도체(A2_a)는 상술한 바와 같이 인듐-갈륨-아연 산화물(IGZO)과 같은 금속 산화물 반도체일 수 있다. 또한, 제5 절연층(126)은 상술한 바와 같이 실리콘 산화물(SiO_x) 및 실리콘 질화물(SiN_x)으로 이루어진 다층막일 수 있다. 예를 들면, 실시예에서 제5 절연층(126)은 실리콘 질화물층(126a) 상에 실리콘 산화물층(126b)이 적층된 다층막일 수 있다. 제5 절연층(126)의 적층 구조는 이에 제한되지 않는다. 다른 실시예에서, 실리콘 산화물층 상에 실리콘 질화물층이 적층된 다층막일 수 있고, 실리콘 산화물 또는 실리콘 질화물중 하나를 포함하는 단일막일 수도 있다.

[0118] 다음으로, 별도의 에칭(etching)과정(예를 들어, 제4 절연층(125)의 에칭과정) 없이 바로 열처리를 통해, 산화물 반도체의 일단과 타단을 환원 처리할 수 있다. 기판 상부에서 열을 가하게 되면, 제5 절연층(126)에 존재하는 수소 이온(H⁺)이 확산되어 산화물 반도체(A2_a)에 주입되게 될 수 있다. 일 실시예에서, 수소 이온(H⁺)은 열처리 하는 과정에서 제5 절연층(126)의 실리콘 질화물층(126b)에서 주로 발생되어 산화물 반도체(A2_a)에 주입되게 될 수 있다.

[0119] 열처리를 통해, 산화물 반도체(A2_a)는 일단과 타단부터 수소 이온(H⁺)이 주입되어 환원되기 시작하며 도전성을 가지는 소스 영역(S2) 및 드레인 영역(D2)을 형성한다. 산화물 반도체는 제3 도전층(G3)과 중첩되는 영역을 포

함하므로 산화물 반도체(A2_a)의 내부로 갈수록 약하게 환원 처리되어 저도전 영역이 된다. 산화물 반도체(A2_a)는 열처리를 통한 환원 처리 후 일단과 타단에 각각 소스 영역(S2) 및 드레인 영역(D2)을 포함하고, 소스 영역(S2)과 드레인 영역(D2) 사이에 저도전 영역인 채널 영역(A2)을 포함할 수 있다.

[0120] 상기 열처리는 90° C 내지 110° C 에서 이루어질 수 있다. 열처리 온도는 이에 제한되는 것은 아니고 110° C 이 상의 고온에서도 이루어질 수도 있다. 다만, 수소 이온(H⁺)은 제5 절연층(126) 에서 발생되어 주입되는 것으로 제한되는 것은 아니고, 제3 절연층(124) 및 제4 절연층(125)에 포함된 수소 이온(H⁺)이 산화물 반도체(A2_a)에 주입될 수도 있다.

[0121] 다만, 제5 절연층(126)에서 발생하는 수소 이온(H⁺)이 하부 반도체층(S1, A1, D1)에 도달하기 어렵게 하도록, 제4 절연층(125)이 일정 두께 이상이 되어야 할 수 있다. 일 실시예에서, 열처리 온도가 약 95° C인 경우, 제4 절연층(125)의 두께는 1300Å 이상일 수 있다. 여기서, 제4 절연층(125)에 포함된 수소량은 9E20atoms/cm³이하 일 수 있다.

[0122] 또한, 제3 절연층(124)의 두께는 3000Å 이상이고, 제3 절연층(124)에 포함된 수소량은 9E20atoms/cm³이하일 수 있다. 제5 절연층(126)의 두께는 5000Å 이상일 수 있다. 일 실시예에서 제5 절연층(126)은 3000Å이상의 두께를 가진 실리콘 산화물(SiO_x)층과 실리콘 산화물(SiO_x)층 상에 배치되며 1500Å 내지 2500Å 두께를 가진 실리콘 질화물(SiN_x)층을 포함할 수 있다.

[0123] 열처리만으로 n형 도핑된 상부 반도체층(S2, A2, D2)의 표면 저항은 1000Ω/□이하 일 수 있다. 자세하게는, 소스 영역(S2) 및 드레인 영역(D2)의 표면저항은 1000Ω/□이하 일 수 있다.

[0124] 이와 같이, 별도의 에칭과정 없이 열처리 만을 통해 산화물 반도체를 n형 도핑하는 방법은 에칭과정에서 발생할 수 있는 부작용(테이퍼 각도 증가, 제3 도전층(G3)과 상부 반도체 등의 쇼트현상 등)을 방지할 수 있다. 또한, 상기 도핑 방법은 열처리 과정에서 온도를 증가시켜 상부 반도체층(S2, A2, D2)의 배선 저항을 줄일 수 있고, 열처리 온도를 증가시킬 수 있도록 하여 하부 반도체층(S1, A1, D1)의 탈수소를 강화 시켜 하부 반도체층(S1, A1, D1)을 포함하는 트랜지스터(T1, T2, T5, T6, T7)의 구동 범위를 증가시키는 효과를 포함할 수 있다. 열처리 온도를 높이더라도 제4 절연층(125)의 두께를 조절하여, 수소 이온(H⁺)이 상기 트랜지스터(T1, T2, T5, T6, T7)에 확산되는 것을 방지할 수 있다. 일 실시예에서 상기 트랜지스터(T1, T2, T5, T6, T7)의 구동 범위는 2.9V 이상일 수 있다.

[0125] 다음으로, 본 발명의 다른 실시예에 따른 유기발광 표시장치(60)에 대해 설명하기로 한다. 다만, 도 1 내지 도 7에서 설명한 내용과 중복되는 설명은 생략하기로 한다. 또한, 도 1 내지 도 7에서 설명한 구성과 동일한 구성에 대해서는 동일한 도면 부호를 사용하기로 한다.

[0126] 도 8은 본 발명의 다른 실시예에 따른 유기발광 표시장치이다.

[0127] 도 8에 도시한 유기발광 표시장치(61)는 도 1 내지 도 7에 도시한 유기발광 표시장치(60) 대비, 제4 절연층(125)이 기판(110) 전면에서 걸쳐 형성되는 것이 아니라, 상부 반도체층(S2, A2, D2)을 덮도록 일부에만 형성되는 점에서 차이가 있다.

[0128] 제4 절연층(125)은 도 4에서 도시한 제1 절연층(122)과 동일한 물질을 포함하거나, 제1 절연층(122)의 구성 물질로 예시된 물질에서 선택된 하나 이상의 물질을 포함할 수 있다.

[0129] 제4 절연층(125)은 상부 반도체층(S2, A2, D2)의 상부 및 측부를 포함하여 모두 덮도록 할 수 있다. 제4 절연층(125)이 상부 반도체층(S2, A2, D2)을 덮고 있으므로 도 1 내지 도 7의 실시예와 마찬가지로, 열처리를 통해 상부 반도체층(S2, A2, D2)을 n형 불순물 이온이 도핑되도록 수소이온(H⁺)을 제공하는 동일한 기능을 수행할 수 있다.

[0130] 도 9는 본 발명의 또 다른 실시예에 따른 유기발광 표시장치이다.

[0131] 도 9에 도시한 유기발광 표시장치(62)는 도 1 내지 도 7에 도시한 유기발광 표시장치(60) 대비, 제4 절연층(125)이 기판(110)의 전면에서 걸쳐 형성되는 것이 아니라, 상부 반도체층(S2, A2, D2)을 덮도록 일부에만 형성되는 점에서 차이가 있다. 또한, 도 9에 도시한 유기발광 표시장치(60)는 도 8에 도시한 유기발광 표시장치(61) 대비, 제4 절연층(125)이 하부 반도체층(S1, A1, D1)과 중첩되는 영역을 포함해서 덮도록 형성된 점에서 차이가

있다.

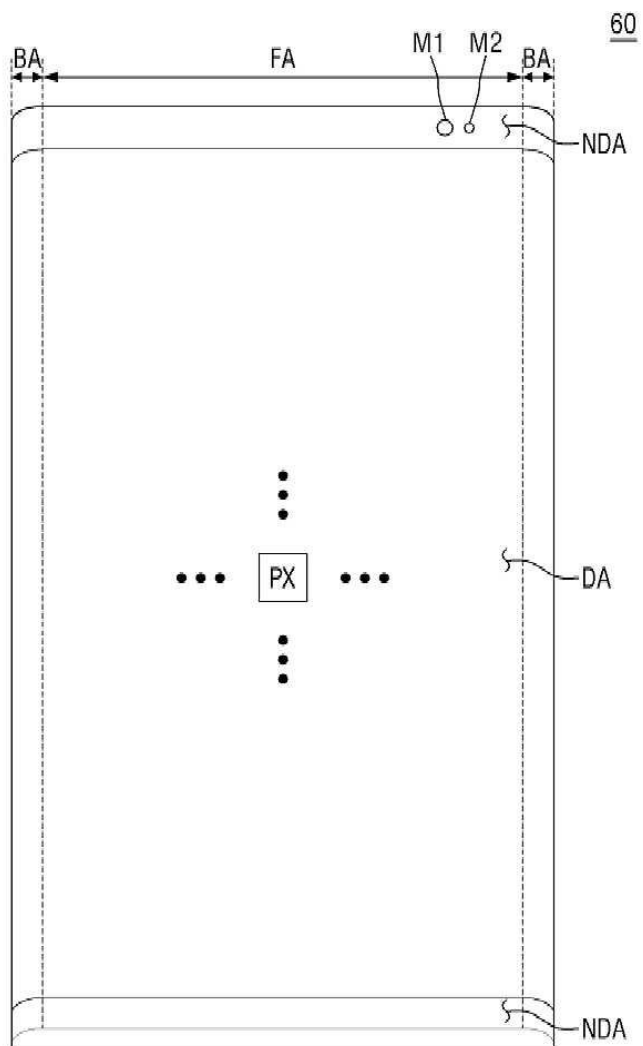
- [0132] 제4 절연층(125)은 도 4에서 도시한 제1 절연층(122)과 동일한 물질을 포함하거나, 제1 절연층(122)의 구성 물질로 예시된 물질에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [0133] 제4 절연층(125)은 상부 반도체층(S2, A2, D2)의 상부 및 측부를 포함하여 모두 덮도록 할 수 있다. 또한, 제4 절연층(125)은 하부 반도체층(S1, A1, D1)과 중첩되는 영역까지 확장되어 형성할 수 있다.
- [0134] 제4 절연층(125)이 상부 반도체층(S2, A2, D2)을 덮고 있으므로 도 1 내지 도 7의 실시예와 마찬가지로, 열처리를 통해 상부 반도체층(S2, A2, D2)을 n형 불순물 이온이 도핑되도록 수소이온(H⁺)을 제공하는 동일한 기능을 수행할 수 있다. 또한, 하부 반도체와 중첩되는 영역까지 확장되어 형성되어 있으므로, 하부 반도체층(S1, A1, D1)으로의 수소 이온(H⁺) 주입을 방지하여 하부 반도체층(S1, A1, D1)을 포함하는 트랜지스터(T1, T2, T5, T6, T7)의 구동 범위를 증가시키는 동일한 효과를 포함할 수 있다.
- [0135] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

- [0136] 1: 화소
- 20: 주사 구동부
- 30: 데이터 구동부
- 40: 발광 제어 구동부
- 50: 제어부
- 110: 기판
- 121: 버퍼층
- 122: 제1 절연층
- 123: 제2 절연층
- 124: 제3 절연층
- 125: 제4 절연층
- 126: 제5 절연층
- 127: 제1 비아층
- 128: 제2 비아층
- 130: 화소 정의막
- 140: 화소 전극
- G1: 제1 도전층
- G2: 제2 도전층
- G3: 제3 도전층

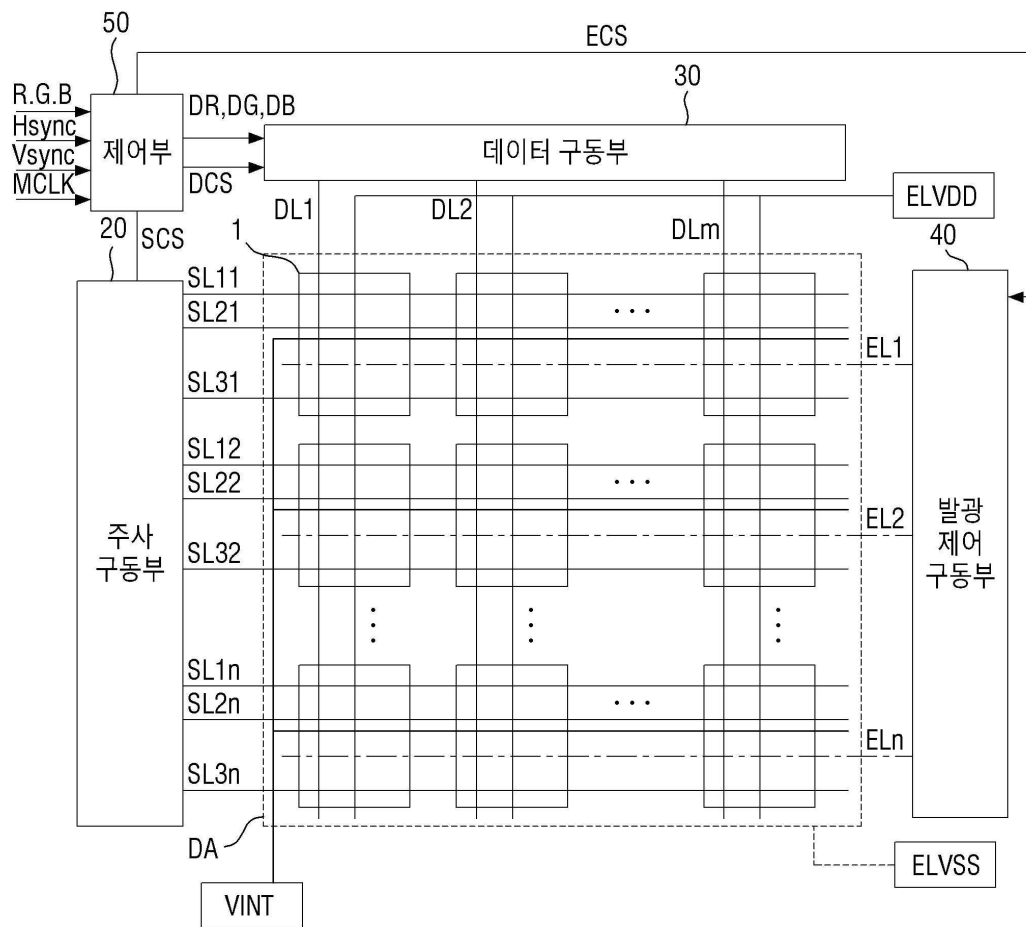
도면

도면1

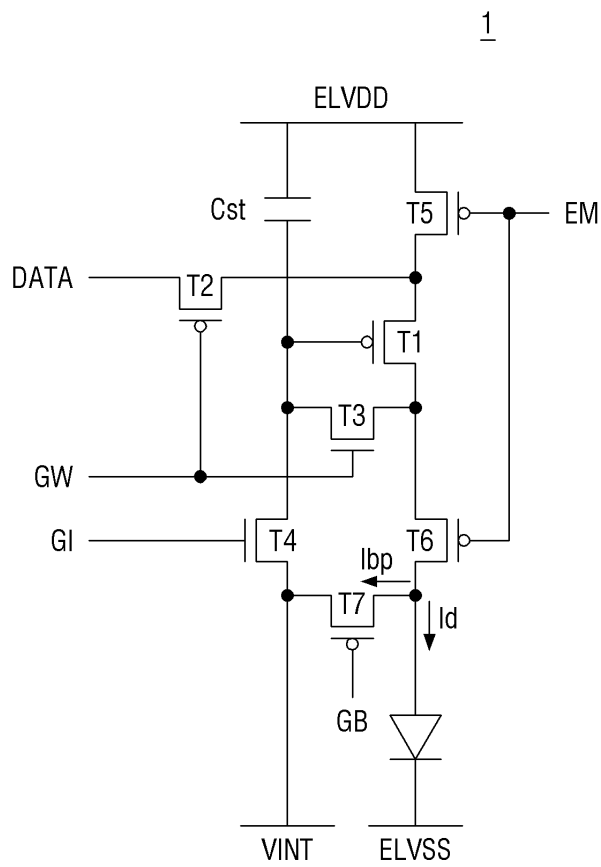


도면2

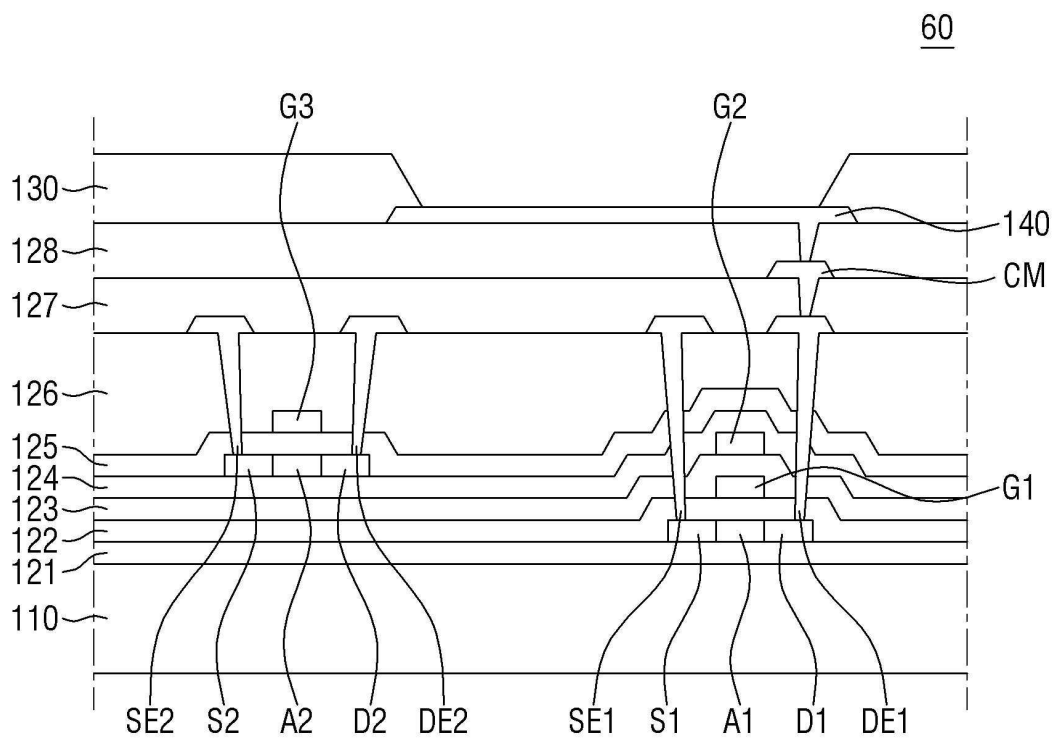
60



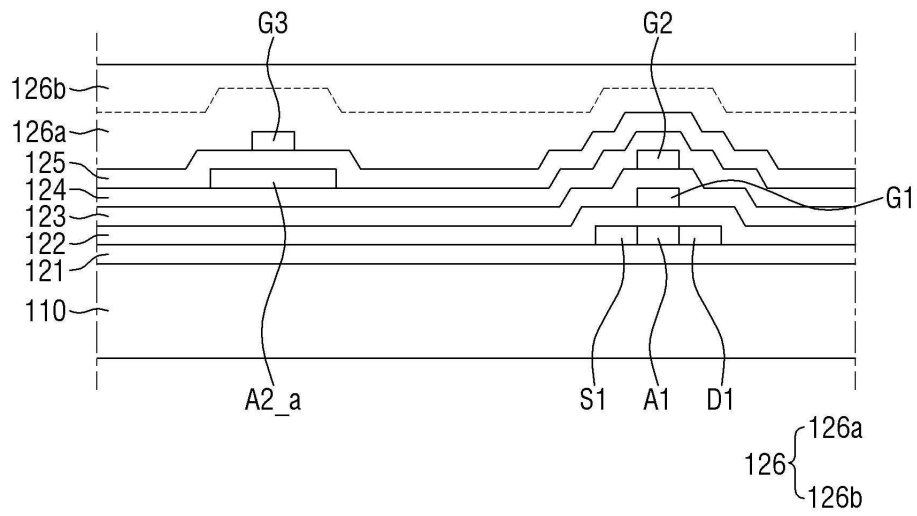
도면3



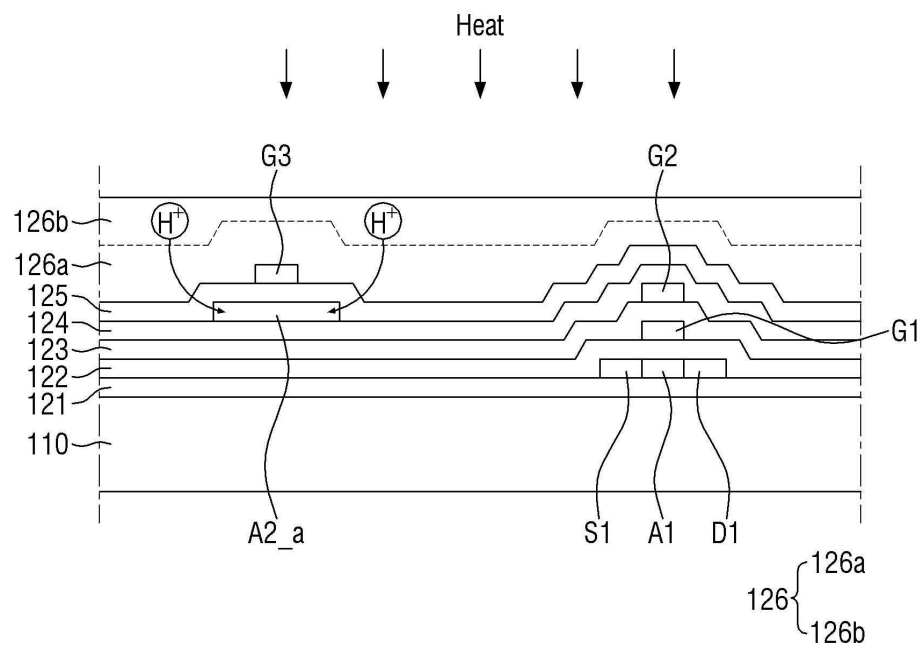
도면4



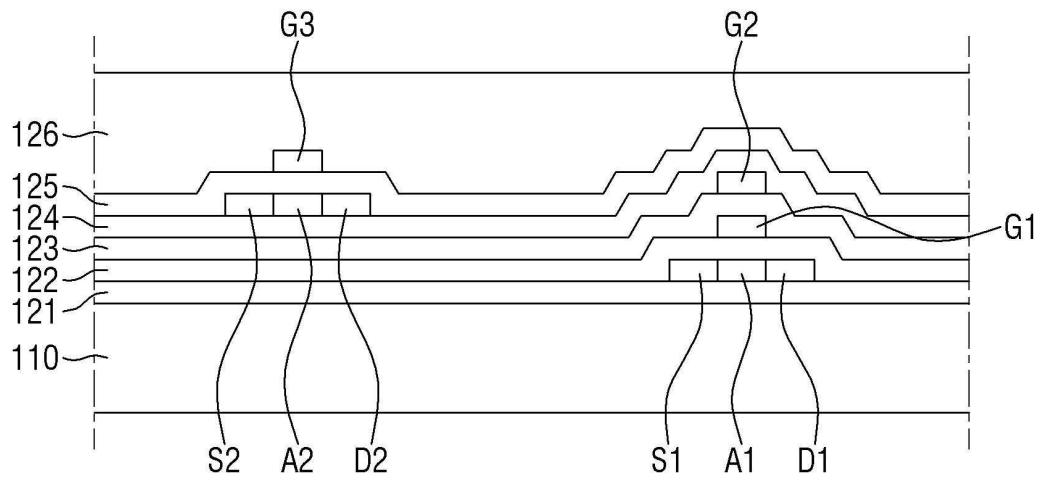
도면5



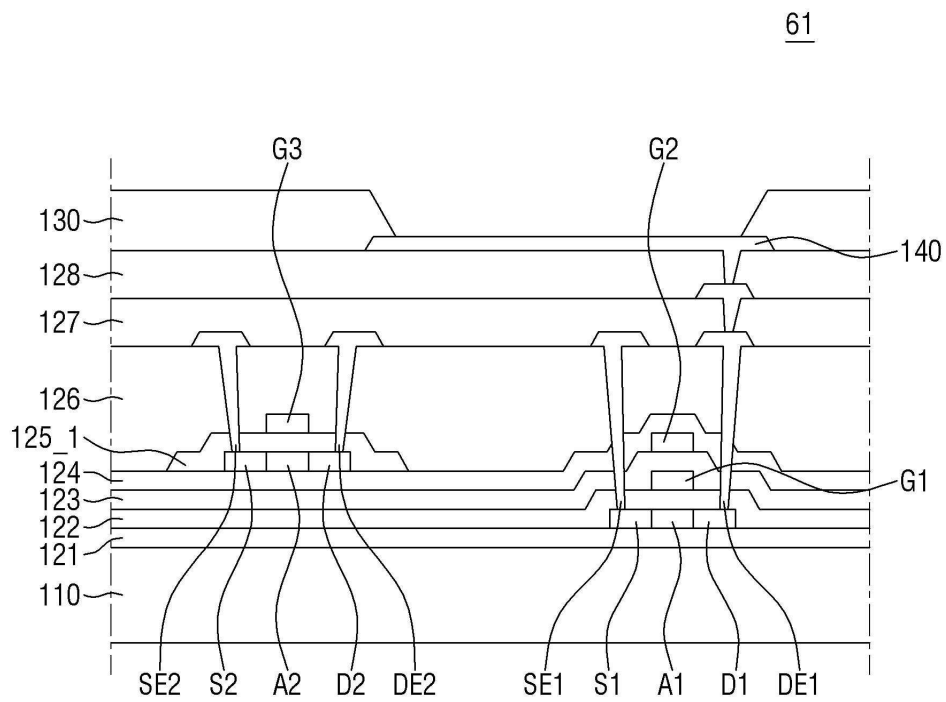
도면6



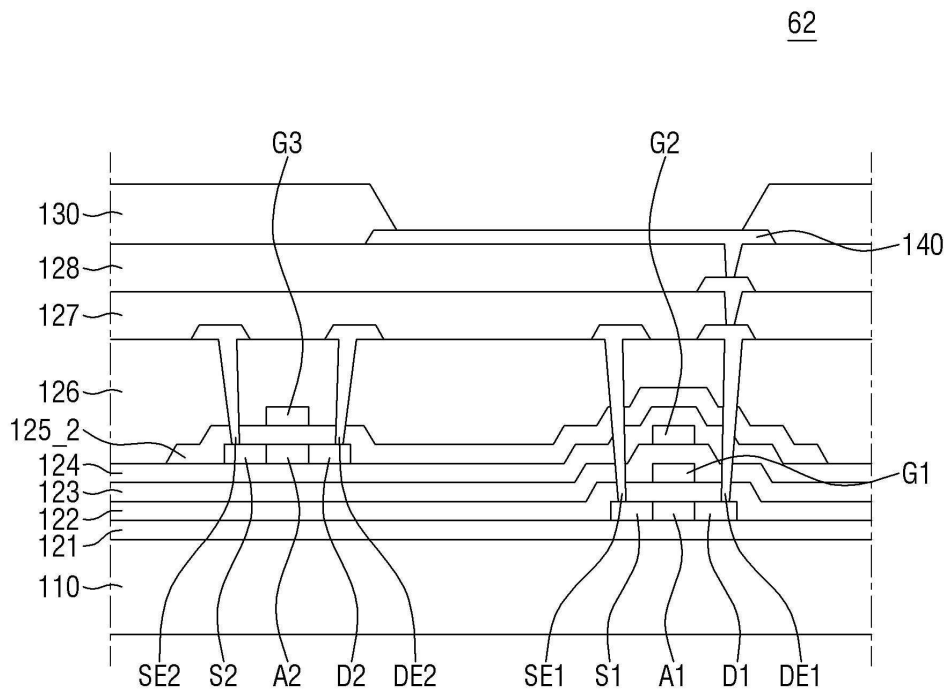
도면7



도면8



도면9



专利名称(译)	有机发光二极管显示装置		
公开(公告)号	KR1020190141048A	公开(公告)日	2019-12-23
申请号	KR1020180067489	申请日	2018-06-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	정우호 권세명 김윤희 성석제 최준후		
发明人	정우호 권세명 김윤희 성석제 최준후		
IPC分类号	H01L27/32 H01L21/3215 H01L21/324 H01L51/56		
CPC分类号	H01L27/3262 H01L21/32155 H01L21/324 H01L27/3258 H01L51/56 H01L27/1225 H01L27/1229 H01L27/1248 H01L27/3276 H01L29/66969 H01L51/0554 H01L21/477 H01L29/78675 H01L29/7869		
外部链接	Espacenet		

摘要(译)

本发明提供了一种有机发光显示装置，该有机发光显示装置能够仅通过热处理而无需预处理就能够对NMOS晶体管的半导体层进行n型掺杂。该有机发光显示装置包括：基板；第一薄膜晶体管设置在基板上；第二薄膜晶体管设置在基板上并与第一薄膜晶体管分离。所述第一薄膜晶体管包括：第一半导体层；以及第二半导体层。第一导电层，布置在第一半导体层上并形成与第一半导体层重叠；第一绝缘层设置在第一半导体层和第一导电层之间。第二薄膜晶体管包括第二半导体层和布置在第二半导体层上并形成与第二半导体层重叠的第二导电层。第一半导体层布置在高于第二半导体层的层中。第一半导体层包括氧化物半导体。第二半导体层包括低温多晶硅（LTPS）。形成第一绝缘层以覆盖整个第一半导体层。

