



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0136396  
(43) 공개일자 2019년12월10일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01) G09G 3/20 (2006.01)
- (52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 3/2003 (2013.01)
- (21) 출원번호 10-2018-0062055
- (22) 출원일자 2018년05월30일  
심사청구일자 없음

- (71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자  
김태훈  
경기도 파주시 월롱면 엘지로 245  
남상진  
경기도 파주시 월롱면 엘지로 245  
유옥상  
경기도 파주시 월롱면 엘지로 245
- (74) 대리인  
특허법인로얄

전체 청구항 수 : 총 11 항

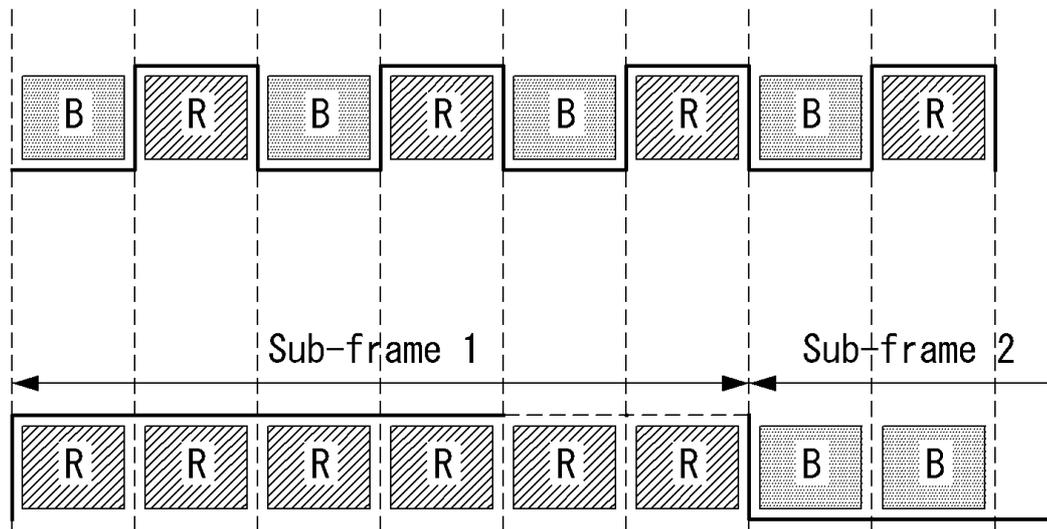
(54) 발명의 명칭 표시 장치

(57) 요약

본 발명에 따른 표시 장치는, 복수 개의 스캔 라인, 에미션 라인 및 데이터 라인에 연결되는 복수 개의 픽셀을 구비하는 표시 패널, 게이트 구동 회로 및 데이터 구동 회로를 포함하고, 제n 픽셀 라인에 배치되는 픽셀은, 발광 다이오드, 커패시터, 구동 트랜지스터 및 제1 내지 제6 트랜지스터를 포함하고, 제n 스캔 라인은 데이터 전압 (뒷면에 계속)

대표도 - 도6

일반 Pentile 구동



Interlace 구동

을 구동 트랜지스터에 인가하는 제1 트랜지스터의 게이트 및 구동 트랜지스터의 게이트와 드레인을 연결하는 제3 트랜지스터의 게이트에 연결되고, 제(n-2) 스캔 라인은 구동 트랜지스터의 게이트를 초기화하는 제5 트랜지스터의 게이트에 연결되고, 제(n-1) 스캔 라인은 OLED를 초기화하는 제6 트랜지스터의 게이트에 연결되고, 제n 에미션 라인에 고전위 전압을 구동 트랜지스터의 소스에 인가하는 제2 트랜지스터의 게이트 및 구동 트랜지스터와 OLED를 연결하는 제4 트랜지스터의 게이트에 연결될 수 있다. 표시 장치는 1 프레임을 홀수 픽셀 라인을 순차적으로 구동하는 제1 서브 프레임과 짝수 픽셀 라인을 순차적으로 구동하는 제2 서브 프레임으로 나누어 구동할 수 있다. 따라서, 내부 보상 회로 변경 없이 인터레이스 구동이 가능하게 되고, 구동 주파수와 데이터 트랜지션을 줄여 소비 전력을 줄일 수 있게 된다.

(52) CPC특허분류

*G09G 3/2022* (2013.01)

*G09G 2300/0452* (2013.01)

*G09G 2310/0224* (2013.01)

## 명세서

### 청구범위

#### 청구항 1

복수 개의 스캔 라인, 에미션 라인 및 데이터 라인에 연결되는 복수 개의 픽셀을 구비하는 표시 패널;  
 상기 스캔 라인과 에미션 라인을 구동하기 위한 게이트 구동 회로; 및  
 상기 데이터 라인을 구동하기 위한 데이터 구동 회로를 포함하고,  
 상기 복수 개의 픽셀 중에서 제 $n$  픽셀 라인에 배치되는 픽셀은,  
 발광 다이오드;  
 상기 데이터 라인을 통해 인가되는 데이터 전압을 저장하기 위한 커패시터;  
 상기 발광 다이오드에 상기 데이터 전압에 대응하는 구동 전류를 흐르게 하는 구동 트랜지스터;  
 상기 데이터 전압을 상기 구동 트랜지스터의 제1 전극에 인가하기 위한 제1 트랜지스터;  
 고전위 전압을 상기 구동 트랜지스터의 제1 전극에 인가하기 위한 제2 트랜지스터;  
 상기 구동 트랜지스터의 게이트 전극과 제2 전극을 연결하기 위한 제3 트랜지스터;  
 상기 구동 트랜지스터의 제2 전극과 상기 발광 다이오드의 애노드 전극을 연결하기 위한 제4 트랜지스터;  
 상기 구동 트랜지스터의 게이트 전극에 초기화 전압을 인가하기 위한 제5 트랜지스터; 및  
 상기 발광 다이오드의 애노드 전극에 상기 초기화 전압을 인가하기 위한 제6 트랜지스터를 포함하고,  
 제 $n$  스캔 라인이 상기 제1 및 제3 트랜지스터의 게이트 전극에 연결되고,  
 제 $(n-2)$  스캔 라인이 상기 제5 트랜지스터의 게이트 전극에 연결되고,  
 제 $(n-1)$  스캔 라인이 상기 제6 트랜지스터의 게이트 전극에 연결되고,  
 제 $n$  에미션 라인이 상기 제2 및 제4 트랜지스터의 게이트 전극에 연결되는 것을 특징으로 하는 표시 장치.

#### 청구항 2

제1 항에 있어서,  
 1 프레임을 홀수 픽셀 라인을 순차적으로 구동하는 제1 서브 프레임과 짝수 픽셀 라인을 순차적으로 구동하는 제2 서브 프레임으로 나누어 구동하는 것을 특징으로 하는 표시 장치.

#### 청구항 3

제2 항에 있어서,  
 상기 게이트 구동 회로는 펄스 폭이 상기 데이터 구동 회로에 입력되는 영상 데이터의 수평 기간보다 2 이상의 정수배가 되도록 상기 스캔 라인에 인가할 스캔 신호를 생성하는 것을 특징으로 하는 표시 장치.

#### 청구항 4

제1 항에 있어서,  
 상기 커패시터는, 제1 전극이 상기 고전위 전압을 공급하는 고전위 전압 라인에 연결되고, 제2 전극이 상기 구동 트랜지스터의 게이트 전극에 연결되고,  
 상기 구동 트랜지스터는, 제1 전극이 상기 제1 트랜지스터의 제2 전극에 연결되고, 제2 전극이 상기 제4 트랜지스터의 제1 전극에 연결되고,

상기 제1 트랜지스터는, 제1 전극이 상기 데이터 라인에 연결되고,

상기 제2 트랜지스터는, 제1 전극이 상기 고전위 전압 라인에 연결되고, 제2 전극이 상기 구동 트랜지스터의 제1 전극에 연결되고,

상기 제3 트랜지스터는, 제1 전극과 제2 전극이 상기 구동 트랜지스터의 게이트 전극과 제2 전극에 연결되고,

상기 제4 트랜지스터의 제2 전극이 상기 발광 다이오드의 애노드 전극에 연결되고,

상기 제5 트랜지스터는, 제1 전극이 상기 구동 트랜지스터의 게이트 전극에 연결되고, 제2 전극이 상기 초기화 전압을 공급하는 초기화 전압 라인에 연결되고,

상기 제6 트랜지스터는, 제1 전극이 상기 초기화 전압 라인에 연결되고, 제2 전극이 상기 발광 다이오드의 애노드 전극에 연결되고,

상기 발광 다이오드의 캐소드 전극이 저전위 전압을 공급하는 저전위 전압 라인에 연결되는 것을 특징으로 하는 표시 장치.

### 청구항 5

복수 개의 스캔 라인, 에미션 라인 및 데이터 라인에 연결되는 복수 개의 픽셀을 구비하는 표시 패널;

상기 스캔 라인과 에미션 라인을 구동하기 위한 게이트 구동 회로; 및

상기 데이터 라인을 구동하기 위한 데이터 구동 회로를 포함하고,

제 $n$  픽셀 라인에 배치되는 픽셀에 상기 데이터 라인에 인가되는 데이터 전압을 공급하는 것을 제어하기 위한 제 $n$  스캔 신호를 공급하기 위해 상기 제 $n$  픽셀 라인에 연결되는 제 $n$  스캔 라인, 상기 제 $n$  픽셀 라인, 제 $(n+1)$  픽셀 라인 및 제 $(n+2)$  픽셀 라인에 연결되는 것을 특징으로 하는 표시 장치.

### 청구항 6

제5 항에 있어서,

상기 게이트 구동 회로는, 상기 제 $n$  스캔 신호를 상기 제 $(n+1)$  픽셀 라인에 공급하여 상기 제 $(n+1)$  픽셀 라인에 배치되는 픽셀들에 포함된 발광 다이오드를 초기화하고, 상기 제 $n$  스캔 신호를 상기 제 $(n+2)$  픽셀 라인에 공급하여 상기 제 $(n+2)$  픽셀 라인에 배치되는 픽셀들에 포함된 구동 트랜지스터의 게이트 전극을 초기화하는 것을 특징으로 하는 표시 장치.

### 청구항 7

제5 항에 있어서,

상기 게이트 구동 회로는, 1 프레임 안에, 홀수 스캔 라인에 순차적으로 스캔 신호를 공급한 후 짝수 스캔 라인에 순차적으로 스캔 신호를 공급하거나 또는 짝수 스캔 라인에 순차적으로 스캔 신호를 공급한 후 홀수 스캔 라인에 순차적으로 스캔 신호를 공급하는 것을 특징으로 하는 표시 장치.

### 청구항 8

제7 항에 있어서,

상기 게이트 구동 회로는 펄스 폭이 상기 데이터 구동 회로에 입력되는 영상 데이터의 수평 기간보다 2 이상의 정수배가 되도록 상기 스캔 신호를 생성하는 것을 특징으로 하는 표시 장치.

### 청구항 9

제 $k$  픽셀 라인에 배치되는 픽셀에 데이터 전압을 공급하는 것을 제어하기 위해 제 $k$  스캔 라인이 제 $k$  픽셀 라인에 연결되고, 여기서  $k$ 는 자연수일 때,

제 $(n-2)$  스캔 라인에 제1 스캔 신호를 인가하여 제 $n$  픽셀 라인에 배치되는 픽셀들에 포함된 구동 트랜지스터의

게이트 전극을 초기화하는 단계;

상기 제1 스캔 신호보다 나중에 상기 제n 스캔 라인에 제2 스캔 신호를 인가하여, 상기 구동 트랜지스터의 문턱 전압과 데이터 라인을 통해 공급되는 데이터 전압을 샘플링 하고, 제(n+1) 픽셀 라인에 배치되는 픽셀들에 포함된 발광 다이오드를 초기화하는, 단계; 및

상기 제2 스캔 신호보다 나중에 상기 제n 픽셀 라인에 연결되는 제n 에미션 라인에 에미션 신호를 인가하여 상기 데이터 전압에 상응하는 전류를 상기 제n 픽셀 라인에 배치되는 픽셀들에 포함된 발광 다이오드에 흐르게 하는 단계를 포함하여 이루어지는 표시 장치를 구동하는 방법.

**청구항 10**

제9 항에 있어서,

상기 제1 신호, 상기 제2 신호 및 상기 에미션 신호를 인가하는 서브 프레임 이후 다음 서브 프레임에, 제(n-1) 스캔 라인에 제3 스캔 신호를 인가하여 상기 제n 픽셀 라인에 배치되는 픽셀들에 포함된 발광 다이오드를 초기화하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 표시 장치를 구동하는 방법.

**청구항 11**

제10 항에 있어서,

상기 제1 내지 제3 스캔 신호의 펄스 폭은 입력되는 영상 데이터의 수평 기간보다 2 이상의 정수 배인 것을 특징으로 하는 표시 장치를 구동하는 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 인터레이스 방식으로 구동이 가능한 내부 보상 픽셀 회로에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스 타입의 유기 발광 표시 장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: OLED)를 포함하며, 응답 속도가 빠르고 발광 효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기 발광 표시 장치는 OLED를 포함한 픽셀들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 OLED의 발광량을 제어하여 휘도를 조절한다. 각 픽셀 회로는, 발광 소자인 OLED, 계조에 해당하는 데이터 전압의 인가를 제어하기 위한 스위치 트랜지스터 또는 TFT(Thin Film Transistor), 게이트 전극과 소스 전극 사이에 걸리는 전압에 따라 OLED에 흐르는 픽셀 전류를 제어하는 구동 TFT, 및 데이터 전압을 저장하기 위한 커패시터를 포함한다.

[0004] OLED와 구동 TFT의 전기적 특성은 시간이 진행함에 따라 열화되어 픽셀마다 차이가 생길 수 있고, 이러한 픽셀들 사이 전기적 특성 편차는 화상 품질을 떨어뜨리는 주요 요인이 된다. 픽셀들 사이 전기적 특성 편차를 보상하기 위해 픽셀들의 전기적 특성(구동 TFT의 문턱 전압과 구동 TFT의 전자 이동도)을 보상해야 한다.

[0005] 픽셀들의 전기적 특성이 바뀌는 문제를 해결하기 위한 방법으로 외부 보상 방식과 내부 보상 방식이 제안된다. 외부 보상 방식은 각 화소의 구동 TFT의 특성 파라미터를 센싱 하고 센싱 값에 따라 입력 데이터를 보정하여 정밀하게 보상할 수 있지만 센싱에 많은 시간이 소요되고 소스 드라이버 IC가 커지는 단점이 있다. 반면 내부 보상 방식은 실시간으로 보상할 수 있지만 화소 구조가 복잡하고 개구율이 떨어지는 단점이 있다.

[0006] 한편, 표시 장치에서 소비 전력을 줄이기 위한 방안은 여러 가지가 알려져 있는데, 그 중 하나가 저속 구동 기술이다. 저속 구동 기술은 입력 프레임 주파수보다 낮은 프레임 주파수로 표시 장치의 화면 전체를 리프레쉬시킨다. 저속 구동 기술은 인터레이스 구동(interlace driving)을 통해 구현될 수 있다. 인터레이스 구동은 1 프레임을 다수의 서브 프레임들로 시분할하고, 각 서브 프레임에서 구동되는 스캔 라인을 서로 다르게 한다. 즉, 스캔 라인들이 각 서브 프레임에서 분산 구동됨으로써 인터레이스 구동이 구현된다.

[0007] 내부 보상 방식의 픽셀 회로 구조에서는 스캔 신호가 현재 픽셀 라인뿐만 아니라 다음 픽셀 라인의 동작에 영향을 주므로, 스캔 라인들이 둘 이상의 서브 프레임에 분산되어 구동되는 인터레이스 구동이 내부 보상 회로 구조

에서 정상적으로 작동할 수 없다.

## 발명의 내용

### 해결하려는 과제

[0008] 본 발명은 이러한 상황을 감안한 것으로, 본 발명의 목적은 내부 보상과 인터레이스 구동이 양립하도록 하는 픽셀 회로 구조를 제공하는 데 있다.

### 과제의 해결 수단

[0009] 본 발명의 일 실시예에 따른 표시 장치는, 복수 개의 스캔 라인, 에미션 라인 및 데이터 라인에 연결되는 복수 개의 픽셀을 구비하는 표시 패널; 스캔 라인과 에미션 라인을 구동하기 위한 게이트 구동 회로; 및 데이터 라인을 구동하기 위한 데이터 구동 회로를 포함하고, 복수 개의 픽셀 중에서 제 $n$  픽셀 라인에 배치되는 픽셀은, 발광 다이오드; 데이터 라인을 통해 인가되는 데이터 전압을 저장하기 위한 커패시터; 발광 다이오드에 데이터 전압에 대응하는 구동 전류를 흐르게 하는 구동 트랜지스터; 데이터 전압을 구동 트랜지스터의 제1 전극에 인가하기 위한 제1 트랜지스터; 고전위 전압을 구동 트랜지스터의 제1 전극에 인가하기 위한 제2 트랜지스터; 구동 트랜지스터의 드레인 전극과 제2 전극을 연결하기 위한 제3 트랜지스터; 구동 트랜지스터의 제2 전극과 발광 다이오드의 애노드 전극을 연결하기 위한 제4 트랜지스터; 구동 트랜지스터의 게이트 전극에 초기화 전압을 인가하기 위한 제5 트랜지스터; 및 발광 다이오드의 애노드 전극에 초기화 전압을 인가하기 위한 제6 트랜지스터를 포함하고, 제 $n$  스캔 라인이 제1 및 제3 트랜지스터의 게이트 전극에 연결되고, 제 $(n-2)$  스캔 라인이 제5 트랜지스터의 게이트 전극에 연결되고, 제 $(n-1)$  스캔 라인이 제6 트랜지스터의 게이트 전극에 연결되고, 제 $n$  에미션 라인이 제2 및 제4 트랜지스터의 게이트 전극에 연결되는 것을 특징으로 한다.

[0010] 일 실시예에서, 1 프레임을 홀수 픽셀 라인을 순차적으로 구동하는 제1 서브 프레임과 짝수 픽셀 라인을 순차적으로 구동하는 제2 서브 프레임으로 나누어 구동할 수 있다.

[0011] 일 실시예에서, 게이트 구동 회로는 펄스 폭이 데이터 구동 회로에 입력되는 영상 데이터의 수평 기간보다 2 이상의 정수배가 되도록 스캔 라인에 인가할 스캔 신호를 생성할 수 있다.

[0012] 일 실시예에서, 커패시터는, 제1 전극이 고전위 전압을 공급하는 고전위 전압 라인에 연결되고, 제2 전극이 구동 트랜지스터의 게이트 전극에 연결되고, 구동 트랜지스터는, 제1 전극이 제1 트랜지스터의 제2 전극에 연결되고, 제2 전극이 제4 트랜지스터의 제1 전극에 연결되고, 제1 트랜지스터는, 제1 전극이 데이터 라인에 연결되고, 제2 트랜지스터는, 제1 전극이 고전위 전압 라인에 연결되고, 제2 전극이 구동 트랜지스터의 제1 전극에 연결되고, 제3 트랜지스터는, 제1 전극과 제2 전극이 구동 트랜지스터의 게이트 전극과 제2 전극에 연결되고, 제4 트랜지스터의 제2 전극이 발광 다이오드의 애노드 전극에 연결되고, 제5 트랜지스터는, 제1 전극이 구동 트랜지스터의 게이트 전극에 연결되고, 제2 전극이 초기화 전압을 공급하는 초기화 전압 라인에 연결되고, 제6 트랜지스터는, 제1 전극이 초기화 전압 라인에 연결되고, 제2 전극이 발광 다이오드의 애노드 전극에 연결되고, 발광 다이오드의 캐소드 전극이 저전위 전압을 공급하는 저전위 전압 라인에 연결될 수 있다.

[0013] 본 발명의 다른 실시예에 따른 표시 장치는, 복수 개의 스캔 라인, 에미션 라인 및 데이터 라인에 연결되는 복수 개의 픽셀을 구비하는 표시 패널; 스캔 라인과 에미션 라인을 구동하기 위한 게이트 구동 회로; 및 데이터 라인을 구동하기 위한 데이터 구동 회로를 포함하고, 제 $n$  픽셀 라인에 배치되는 픽셀에 데이터 라인에 인가되는 데이터 전압을 공급하는 것을 제어하기 위한 제 $n$  스캔 신호를 공급하기 위해 제 $n$  픽셀 라인에 연결되는 제 $n$  스캔 라인은, 제 $n$  픽셀 라인, 제 $(n+1)$  픽셀 라인 및 제 $(n+2)$  픽셀 라인에 연결되는 것을 특징으로 한다.

[0014] 일 실시예에서, 게이트 구동 회로는, 제 $n$  스캔 신호를 제 $(n+1)$  픽셀 라인에 공급하여 제 $(n+1)$  픽셀 라인에 배치되는 픽셀들에 포함된 발광 다이오드를 초기화하고, 제 $n$  스캔 신호를 제 $(n+2)$  픽셀 라인에 공급하여 제 $(n+2)$  픽셀 라인에 배치되는 픽셀들에 포함된 구동 트랜지스터의 게이트 전극을 초기화할 수 있다.

[0015] 일 실시예에서, 게이트 구동 회로는, 1 프레임 안에, 홀수 스캔 라인에 순차적으로 스캔 신호를 공급한 후 짝수 스캔 라인에 순차적으로 스캔 신호를 공급하거나 또는 짝수 스캔 라인에 순차적으로 스캔 신호를 공급한 후 홀수 스캔 라인에 순차적으로 스캔 신호를 공급할 수 있다.

[0016] 일 실시예에서, 게이트 구동 회로는 펄스 폭이 데이터 구동 회로에 입력되는 영상 데이터의 수평 기간보다 2 이상의 정수배가 되도록 스캔 신호를 생성할 수 있다.

[0017] 본 발명의 또 다른 실시예에 따른 표시 장치를 구동하는 방법은, 제k 스캔 라인이 제k 픽셀 라인에 배치되는 픽셀에 데이터 전압을 공급하는 것을 제어하기 위해 제k 픽셀 라인에 연결되고, 여기서 k는 자연수일 때, 제(n-2) 스캔 라인에 제1 스캔 신호를 인가하여 제n 픽셀 라인에 배치되는 픽셀들에 포함된 구동 트랜지스터의 게이트 전극을 초기화하는 단계; 제1 스캔 신호보다 나중에 제n 스캔 라인에 제2 스캔 신호를 인가하여, 구동 트랜지스터의 문턱 전압과 데이터 라인을 통해 공급되는 데이터 전압을 샘플링 하고, 제(n+1) 픽셀 라인에 배치되는 픽셀들에 포함된 발광 다이오드를 초기화하는, 단계; 및 제2 스캔 신호보다 나중에 제n 픽셀 라인에 연결되는 제n 에미션 라인에 에미션 신호를 인가하여 데이터 전압에 상응하는 전류를 제n 픽셀 라인에 배치되는 픽셀들에 포함된 발광 다이오드에 흐르게 하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

[0018] 일 실시예에서, 제1 신호, 제2 신호 및 에미션 신호를 인가하는 서브 프레임 이후 다음 서브 프레임에 제(n-1) 스캔 라인에 제3 스캔 신호를 인가하여 제n 픽셀 라인에 배치되는 픽셀들에 포함된 발광 다이오드를 초기화할 수 있다.

[0019] 일 실시예에서, 제1 내지 제3 스캔 신호의 펄스 폭은 입력되는 영상 데이터의 수평 기간보다 2 이상의 정수배일 수 있다.

**발명의 효과**

[0020] 따라서, 내부 보상 회로 변경 없이 인터레이스 구동이 가능하게 되고, 인터레이스 구동으로 구동 주파수를 감소시킬 뿐만 아니라 데이터 트랜지션을 줄여 소비 전력을 줄이는 효과를 극대화할 수 있게 된다.

**도면의 간단한 설명**

- [0021] 도 1은 본 발명에 따른 유기 발광 표시 장치를 블록으로 도시한 것이고,
- 도 2는 본 발명의 일 실시예에 따른 픽셀의 등가 회로를 도시한 것이고,
- 도 3은 인터레이스 구동을 위한 스캔 신호와 픽셀과의 연결을 블록 다이어그램으로 도시한 것이고,
- 도 4는 인터레이스 구동을 위한 스캔 신호의 타이밍을 도시한 것이고,
- 도 5는 펜타일 구조로 픽셀이 배치된 패널을 인터레이스 방식으로 구동하는 예를 도시한 것이고,
- 도 6은 펜타일 구조로 픽셀이 배치된 패널에서 일반적으로 구동할 때와 인터레이스로 구동할 때 데이터 라인을 통해 출력되는 데이터의 순서를 도시한 것이고,
- 도 7은 패널에 표시되는 몇 가지 영상에 대해서 일반 구동과 인터레이스 구동 때 데이터 라인에서 출력되는 소비 전력을 비교한 것이다.

**발명을 실시하기 위한 구체적인 내용**

[0022] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0023] 본 발명에서는, 내부 보상 회로의 구성 요소 변경 없이 인터레이스 구동이 가능하도록 하는데, 현재 픽셀 라인인 n번째 픽셀 라인에 포함된 픽셀 회로 내부의 구동 트랜지스터의 게이트 전극을 초기화하기 위해 (n-2)번째 픽셀 라인에 연결되어 같은 서브 프레임(또는 필드)에 구동되는 (n-2)번째 스캔 라인(SCAN(n-2))에 인가되는 스캔 신호를 이용하고, OLED 애노드 전극을 초기화하기 위해 (n-1)번째 픽셀 라인에 연결되고 다음 또는 이전 서브 프레임(또는 필드)에 구동되는 (n-1)번째 스캔 라인(SCAN(n-1))에 인가되는 스캔 신호를 이용한다. OLED 애노드 전극은 다음 발광 시간 전에 초기화되므로, 내부 보상 회로에서도 인터레이스 구동이 정상적으로 가능해진다.

[0024] 도 1은 본 발명에 따른 유기 발광 표시 장치를 블록으로 도시한 것이다. 본 발명에 따른 표시 장치는 표시 패널(10), 타이밍 컨트롤러(11), 데이터 구동 회로(12), 게이트 구동 회로(13) 및 전원 생성부(16)를 구비할 수 있다.

[0025] 표시 패널(10)에는 열(Column) 방향으로 배열되는 다수의 데이터 라인들(14)과 행(Row) 방향으로 배열되는 다수

의 스캔 라인들(15)이 교차하고, 교차 영역마다 픽셀들(PXL)이 매트릭스 형태로 배치되어 픽셀 어레이를 형성한다. 스캔 라인들(15)은 데이터 전압 인가를 위한 스캔 신호가 공급되는 다수의 스캔 라인(Scan Line: SL)과 발광 소자의 발광을 제어하기 위한 발광 신호가 공급되는 다수의 발광 라인 또는 에미션 라인(Emission Line: EL)을 포함할 수 있다.

- [0026] 픽셀 어레이에서, 픽셀(PXL)은 데이터 라인들(14) 중 어느 하나, 스캔 라인들(SL) 중 세 개, 에미션 라인들(EL) 중 어느 하나에 접속되어 픽셀 라인을 형성한다. 픽셀은, 스캔 라인(SL)을 통해 입력되는 스캔 펄스에 응답하여 데이터 라인(14)과 전기적으로 연결되어 데이터 전압을 입력 받고, 에미션 라인(EL)을 통해 입력되는 에미션 펄스에 응답하여 발광 소자의 발광을 제어할 수 있다. 동일 픽셀 라인에 배치된 픽셀들은 동시에 동작한다.
- [0027] 픽셀은, 전원 생성부(16)로부터 고전위 구동 전압( $V_{DD}$ )과 저전위 구동 전압( $V_{SS}$ ), 초기화 전압( $V_{INI}$ )을 을 공급 받고, 발광 소자, 구동 트랜지스터, 스토리지 커패시터, 6개의 스위치 트랜지스터를 구비할 수 있다. 발광 소자는 무기 전계 발광 소자나 유기 발광 다이오드(OLED)가 될 수 있다. 이하에서는 편의상 OLED를 예로 들어 설명한다.
- [0028] 픽셀을 구성하는 트랜지스터(또는 TFT)들은 P 타입 또는 N 타입의 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조로 구현되거나, 또는 P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 이하의 실시예에서 N 타입 트랜지스터를 예시하지만, 본 발명은 이에 한정되지 않는다.
- [0029] 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다.
- [0030] N 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. N 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. P 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. P 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다.
- [0031] MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예를 들어, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되어서는 안 되고, 소스와 드레인 전극을 구분 없이 제1 및 제2 전극으로 칭하기도 한다.
- [0032] 각 픽셀(PXL)은 데이터 라인(14)을 통해 인가되는 픽셀 데이터에 비례하는 전류로 OLED를 구동하고 구동 트랜지스터의 문턱 전압 변화를 보상하기 위한 트랜지스터들과 커패시터를 포함하는데, 본 발명의 실시예에 의한 구체적인 픽셀 회로 구조는 후술하기로 한다.
- [0033] 타이밍 컨트롤러(11)는 외부 호스트 시스템(미도시)으로부터 전달되는 영상 데이터(RGB)를 데이터 구동 회로(12)에 공급한다. 타이밍 컨트롤러(11)는 호스트 시스템으로부터 수직 동기 신호( $V_{sync}$ ), 수평 동기 신호( $H_{sync}$ ), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍 신호를 입력 받아 데이터 구동 회로(12)와 게이트 구동 회로(13)의 동작 타이밍을 제어하기 위한 제어 신호들을 생성한다. 제어 신호들은 게이트 구동 회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GCS)와 데이터 구동 회로(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DCS)를 포함한다.
- [0034] 타이밍 컨트롤러(11)는, 표시 패널(10)을 구성하는 픽셀들에 하나의 화면을 구성하는 영상 데이터가 인가되는 한 프레임의 적어도 초기화 기간, 샘플링 기간, 에미션 기간으로 나누어 구동할 수 있다.
- [0035] 데이터 구동 회로(12)는 타이밍 컨트롤러(11)의 제어에 따라 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 데이터 라인들(14)로 출력한다. 이때, 데이터 전압은 유기 발광 소자가 나타낼 이미지 신호에 대응되는 값일 수 있다.
- [0036] 게이트 구동 회로(13)는, 타이밍 컨트롤러(11)의 제어에 따라 게이트 제어 신호(GDC)를 기반으로 스캔 신호와 에미션 신호를 생성하되, 스캔 신호를 행 순차 방식으로 생성하여 픽셀 라인마다 연결된 적어도 하나 이상의 스캔 라인(SL)에 순차적으로 제공하고, 에미션 신호를 픽셀 라인마다 연결된 에미션 라인(EL)에 동시에 제공할 수 있다.

- [0037] 게이트 구동 회로(13)는, 쉬프트 레지스터, 쉬프트 레지스터의 출력 신호를 픽셀의 TFT 구동에 적합한 스윙 폭으로 변환하기 위한 레벨 쉬프터 및 출력 버퍼 등을 각각 포함하는 다수의 게이트 드라이브 집적 회로들로 구성될 수 있다. 또는, 게이트 구동 회로(13)는 GIP(Gate Drive IC in Panel) 방식으로 표시 패널(10)의 하부 기판에 직접 형성될 수도 있다. GIP 방식의 경우, 레벨 쉬프터는 PCB(Printed Circuit Board) 위에 실장되고, 쉬프트 레지스터는 표시 패널(10)의 하부 기판에 형성될 수 있다.
- [0038] 게이트 구동 회로(13)는 별개로 분리된 스캔 구동부와 에미션 구동부로 구성될 수 있는데, 스캔 구동부는 행 순차 방식으로 스캔 신호를 생성하여 픽셀 라인마다 연결된 적어도 하나 이상의 스캔 라인(SL)에 공급하고, 에미션 구동부는 행 순차 방식으로 에미션 신호를 생성하여 픽셀 라인마다 연결된 적어도 하나 이상의 에미션 라인(EL)에 공급할 수 있다. 픽셀 회로에 인가되는 발광 신호는 픽셀의 발광 시간을 조절할 수 있다.
- [0039] 전원 생성부(16)는, 외부 전원을 이용하여, 데이터 구동 회로(12)와 게이트 구동 회로(13)의 동작에 필요한 전압을 생성하여 공급하고, 고전위 구동 전압( $V_{DD}$ ), 저전위 구동 전압( $V_{SS}$ ), 초기화 전압( $V_{INI}$ )을 생성하여 표시 패널(10)에 인가할 수 있다.
- [0040] 도 2는 본 발명의 일 실시예에 따른 픽셀의 등가 회로를 도시한 것이고, 도 3은 인터레이스 구동을 위한 스캔 신호와 픽셀과의 연결을 블록 다이어그램으로 도시한 것이고, 도 4는 인터레이스 구동을 위한 스캔 신호의 타이밍을 도시한 것이다.
- [0041] 유기 발광 소자(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다.
- [0042] 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압( $V_{SG}$ )에 따라 OLED에 인가되는 구동 전류를 제어한다. 구동 트랜지스터(DT)의 게이트 전극은 노드 B에 접속하고, 소스 전극은 노드 C에 접속하고, 드레인 전극은 노드 A에 접속한다.
- [0043] 제1 트랜지스터(T1)는, 제1 전극은 데이터 라인(DL)에 연결되고, 제2 전극은 노드 A에 연결되고, 게이트 전극은 n번째 픽셀 라인에 연결되는 스캔 라인(SCAN(n))에 연결되는 게이트 전극을 포함한다. 제1 트랜지스터(T1)는 n번째 스캔 라인(SCAN(n))의 스캔 신호에 응답하여, 데이터 라인(DL)으로부터 공급받는 데이터 전압( $V_{DATA}$ )을 노드 A에 인가한다.
- [0044] 제2 트랜지스터(T2)는, 제1 전극은 고전위 전압 라인( $V_{DD}$ )에 연결되고, 제2 전극은 노드 A에 연결되고, 게이트 전극은 n번째 픽셀 라인에 연결되는 에미션 라인(EM(n))에 연결되어, n번째 에미션 라인(EM(n))에 인가되는 에미션 신호에 응답하여 고전위 전압( $V_{DD}$ )을 노드 A에 인가한다.
- [0045] 제3 트랜지스터(T3)는, 제1 전극은 노드 B에 연결되고, 제2 전극은 노드 C에 연결되고, 게이트 전극은 n번째 픽셀 라인에 연결되는 n번째 스캔 라인(SCAN(n))에 연결된다. 제3 트랜지스터(T3)는 턴-오프 될 때 누설 전류를 감소시킬 수 있도록 듀얼 게이트 트랜지스터로 형성할 수도 있다.
- [0046] 제4 트랜지스터(T4)는, 제1 전극은 노드 C에 연결되고, 제2 전극은 노드 D에 연결되고, 게이트 전극이 n번째 에미션 라인(EM(n))에 연결되어, n번째 에미션 라인(EM(n))에 인가되는 에미션 신호에 응답하여 노드 C와 노드 D 간의 전류 패스를 형성한다.
- [0047] 제5 트랜지스터(T5)는, 제1 전극이 노드 B에 연결되고, 제2 전극이 초기화 전압( $V_{INI}$ ) 입력 단에 연결되고, 게이트 전극은 (n-2)번째 픽셀 라인에 연결되는 스캔 라인(SCAN(n-2))에 연결되어, n번째 픽셀 라인과 같은 서브 필드에 동작하는 (n-2)번째 픽셀 라인에 연결되는 스캔 라인(SCAN(n-2))의 스캔 신호에 응답하여 초기화 전압( $V_{INI}$ )을 노드 B에 인가한다. 제5 트랜지스터(T5)도 듀얼 게이트 트랜지스터로 형성할 수 있다.
- [0048] 제6 트랜지스터(T6)는, 제1 전극이 초기화 전압( $V_{INI}$ ) 입력 단에 연결되고, 제2 전극이 노드 D에 연결되고, 게이트 전극이 (n-1)번째 픽셀 라인에 연결되는 스캔 라인(SCAN(n-1))에 연결되는 게이트 전극을 포함하여, n번째 픽셀 라인과 다른 서브 필드에 동작하는 (n-1)번째 픽셀 라인에 연결되는 스캔 라인(SCAN(n-1))의 스캔 신호에 응답하여 초기화 전압( $V_{INI}$ )을 노드 D, 즉 OLED의 애노드 전극에 인가한다.
- [0049] 스토리지 커패시터( $C_{ST}$ )는 제1 전극은 노드 B에 연결되고 제2 전극은 고전위 전압 라인( $V_{DD}$ )에 연결된다. 스토리지 커패시터( $C_{ST}$ )는 해당 픽셀 라인에 연결되는 스캔 신호(SCAN(n))가 비활성화인 동안 구동 트랜지스터(DT)의

게이트 전극의 전압 레벨을 유지할 수 있다.

- [0050] 도 2는 스캔 라인을 기준으로 픽셀과의 연결을 도시한다.
- [0051] (n-2)번째 스캔 라인(SCAN(n-2))은, (n-2)번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 데이터를 기입하고 문턱 전압을 샘플링 하도록 한다(Scan). 또한, (n-2)번째 스캔 라인(SCAN(n-2))은, (n-2)번째 픽셀 라인의 픽셀들과 다른 서브 프레임에 데이터 기입 동작과 발광 동작을 수행하는 (n-1)번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 포함되는 OLED의 애노드 전극(노드 D)을 초기화한다(Init\_OLED). 또한, (n-2)번째 스캔 라인(SCAN(n-2))은, (n-2)번째 픽셀 라인의 픽셀들과 같은 서브 프레임에 데이터 기입 동작과 발광 동작을 수행하는 n번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 포함되는 구동 트랜지스터(DT)의 게이트 전극(노드 B)을 초기화한다(Init\_DT).
- [0052] (n-1)번째 스캔 라인(SCAN(n-1))은, (n-1)번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 데이터를 기입하고 문턱 전압을 샘플링 하도록 한다(Scan). 또한, (n-1)번째 스캔 라인(SCAN(n-1))은, (n-1)번째 픽셀 라인의 픽셀들과 다른 서브 프레임에 데이터 기입 동작과 발광 동작을 수행하는 n번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 포함되는 OLED의 애노드 전극(노드 D)을 초기화한다(Init\_OLED). 또한, (n-1)번째 스캔 라인(SCAN(n-1))은, (n-1)번째 픽셀 라인의 픽셀들과 같은 서브 프레임에 데이터 기입 동작과 발광 동작을 수행하는 (n+1)번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 포함되는 구동 트랜지스터(DT)의 게이트 전극(노드 B)을 초기화한다(Init\_DT).
- [0053] 비슷하게, n번째 스캔 라인(SCAN(n))은, n번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 데이터를 기입하고 문턱 전압을 샘플링 하도록 한다(Scan). 또한, n번째 스캔 라인(SCAN(n))은, n번째 픽셀 라인의 픽셀들과 다른 서브 프레임에 데이터 기입 동작과 발광 동작을 수행하는 (n+1)번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 포함되는 OLED의 애노드 전극(노드 D)을 초기화한다(Init\_OLED). 또한, n번째 스캔 라인(SCAN(n))은, n번째 픽셀 라인의 픽셀들과 같은 서브 프레임에 데이터 기입 동작과 발광 동작을 수행하는 (n+2)번째 픽셀 라인의 픽셀들에 연결되어, 해당 픽셀들에 포함되는 구동 트랜지스터(DT)의 게이트 전극(노드 B)을 초기화한다(Init\_DT).
- [0054] 구동 트랜지스터(DT)에 대한 초기화 동작(Init\_DT), 데이터 기입과 문턱 전압 샘플링 동작 및 발광 동작은 같은 서브 프레임 또는 필드에 이루어지고, OLED의 애노드 전극에 대한 초기화 동작(Init\_OLED)은 이전 서브 프레임 또는 다음 서브 프레임에 이루어진다.
- [0055] 또한, n번째 스캔 라인(SCAN(n))은 n번째 픽셀 라인부터 (n+2)번째 픽셀 라인까지 3개의 연속되는 픽셀 라인에 연결되어, n번째 스캔 라인(SCAN(n))에 인가되는 스캔 신호는 데이터 기입과 문턱 전압 센싱 동작(n번째 픽셀 라인), OLED 애노드 전극의 초기화 동작((n+1)번째 픽셀 라인) 및 구동 트랜지스터(DT) 게이트 전극의 초기화 동작((n+1)번째 픽셀 라인)을 제어한다.
- [0056] 또한, 도 4에 도시한 것과 같이, 홀수 서브 프레임(Sub-frame 1)에 홀수 스캔 라인에 스캔 신호가 또한 홀수 에미션 라인에 에미션 신호가 순차적으로 인가된 후, 짝수 서브 프레임(Sub-frame 2)에 짝수 스캔 라인에 스캔 신호가 또한 짝수 에미션 라인에 에미션 신호가 순차적으로 인가된다.
- [0057] 스캔 신호의 펄스 폭은 1 수평 기간(1H)일 수도 있고, 소비 전력 절감을 위한 저속 구동을 위해 2H 이상일 수도 있다.
- [0058] 본 발명이 적용되는 유기 발광 표시 장치에서 한 프레임은 홀수 서브 프레임과 짝수 서브 프레임으로 구성되고, 홀수 서브 프레임과 짝수 서브 프레임은 초기화 기간, 샘플링 기간 및 에미션 기간으로 구분되어 동작할 수 있다. 초기화 기간은 구동 트랜지스터(DT)의 게이트 전극의 전압을 초기화하는 기간이고, 샘플링 기간은 구동 트랜지스터(DT)의 문턱 전압과 데이터 전압을 샘플링 하여 노드 B에 저장하는 기간이고, 에미션 기간은 샘플링 된 문턱 전압을 상쇄하고 샘플링 된 데이터 전압에 상응하는 구동 전류로 OLED를 발광시키는 기간이다.
- [0059] 또한, 샘플링 기간은 현재 픽셀 라인의 다음 픽셀 라인의 픽셀들에 포함되어 바로 다음 서브 프레임에 발광 동작을 수행하는 OLED의 애노드 전극을 초기화하는 기간이기도 한다.
- [0060] 홀수 서브 프레임(Sub-frame 1)의 (2n-1)번째 픽셀 라인에 포함된 픽셀의 동작을 중심으로 설명하는데, 짝수 서브 프레임(Sub-frame 2)의 (2n)번째 픽셀 라인에 포함된 픽셀의 동작도 같은 원리로 작동한다.
- [0061] (2n-1)번째 픽셀 라인의 구동 트랜지스터(DT)를 초기화하는 초기화 기간은 같은 서브 프레임에 발광 동작을 하는 (2n-3)번째 픽셀 라인의 샘플링 기간과 중첩할 수 있다. 즉, 샘플링 기간을 충분히 확보할 수 있어서 문턱

전압의 보상을 더욱 정확하게 할 수 있다.

- [0062] 구동 트랜지스터의 초기화 기간 동안, 제5 트랜지스터(T5)는 (2n-3)번째 스캔 라인(SCAN(2n-3))의 스캔 신호에 응답하여, 노드 B에 초기화 전압(V<sub>INI</sub>)을 인가한다. 그 결과 구동 트랜지스터(DT)의 게이트 전극은 초기화 전압(V<sub>INI</sub>)으로 초기화된다. 그리고, 초기화 기간에 앞서 노드 B에는 이전 프레임의 데이터 전압(V<sub>DATA</sub>)에서 구동 트랜지스터(DT)의 문턱 전압(V<sub>TH</sub>)을 뺀 값(V<sub>DATA</sub> - V<sub>TH</sub>)이 유지되어 있다.
- [0063] 또한, 초기화 기간에 앞서, OLED의 애노드 전극인 노드 D는, 바로 앞선 짝수 서브 프레임에, 현재 픽셀 라인인 (2n-1)번째 픽셀 라인보다 바로 위에 배치되는 (2n-2)번째 픽셀 라인에 연결되는 (2n-2)번째 스캔 라인(SCAN(2n-2))의 스캔 신호에 의해 초기화 전압(V<sub>INI</sub>)으로 초기화되어 있는 상태이다.
- [0064] 샘플링 기간 동안, 제1 트랜지스터(T1)는 (2n-1)번째 스캔 라인(SCAN(2n-1))의 스캔 신호에 응답하여, 데이터 라인으로부터 공급받는 데이터 전압(V<sub>DATA</sub>)을 노드 A에 인가한다. 그리고 제3 트랜지스터(T3)는 (2n-1)번째 스캔 라인(SCAN(2n-1))의 스캔 신호에 응답하여 턴-온 되고, 구동 트랜지스터(DT)는 다이오드 연결된다(Diode Connection, 게이트 전극과 드레인 전극이 쇼트 되어 트랜지스터가 다이오드처럼 동작한다).
- [0065] 샘플링 기간에, 구동 트랜지스터(DT)의 소스-드레인 사이에는 전류(I<sub>ds</sub>)가 흐른다. 구동 트랜지스터(DT)의 게이트 전극과 제2 전극은 다이오드 연결된 상태이기 때문에, 제1 전극에서 제2 전극으로 흐르는 전류(I<sub>ds</sub>)에 의해서 구동 트랜지스터(DT)의 노드 B의 전압은 점차 상승한다. 샘플링 기간 동안, 노드 B의 전압은 데이터 전압(V<sub>DATA</sub>)에서 구동 트랜지스터(DT)의 문턱 전압(V<sub>TH</sub>)을 뺀 값(V<sub>DATA</sub> - V<sub>TH</sub>)까지 높아진다.
- [0066] 샘플링 기간에, (2n-1)번째 스캔 라인(SCAN(2n-1))의 스캔 신호는, 다음 서브 프레임인 짝수 서브 프레임(Sub-frame 2)에 발광 동작을 수행하는 (2n)번째 픽셀 라인의 픽셀들에 인가되어 OLED의 애노드 전극(노드 D)을 초기화 전압(V<sub>INI</sub>)으로 초기화한다.
- [0067] 에미션 기간 동안, 제2 트랜지스터(T2)는 (2n-1)번째 에미션 라인(EM(2n-1))의 에미션 신호에 응답하여, 노드 A에 고전위 전압(V<sub>DD</sub>)을 인가한다. 제4 트랜지스터(T4)는 (2n-1)번째 에미션 라인(EM(2n-1))의 에미션 신호에 응답하여, 노드 C 및 노드 D의 전류 패스를 형성한다. 결국, 구동 트랜지스터(DT)의 소스 전극과 드레인 전극을 공유하는 구동 전류(I<sub>OLED</sub>)는 유기 발광다이오드(OLED)에 인가된다.
- [0068] 에미션 기간 동안, 유기 발광 소자(OLED)에 흐르는 구동 전류(I<sub>OLED</sub>)에 대한 관계식은 아래 수학적 식 2와 같다.

**수학적 식 1**

[0069] 
$$I_{OLED} = k/2(V_{sg} - V_{TH})^2 = k/2(V_{DD} - (V_{DATA} - V_{TH}) - V_{TH})^2 = k/2(V_{DD} - V_{DATA})^2$$

- [0070] 수학적 식 1에서, k/2는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스, 채널 용량 등에 의해 결정되는 비례 상수를 나타낸다.
- [0071] 수학적 식 1에서 보는 것과 같이 구동 전류(I<sub>OLED</sub>)의 관계식에는 구동 트랜지스터(DT)의 문턱 전압(V<sub>TH</sub>) 성분이 소거되고, 이는 본 발명에 따른 유기 발광 표시 장치는 문턱 전압(V<sub>TH</sub>)이 변한다고 할지라도 구동 전류(I<sub>OLED</sub>)는 변하지 않는다는 것을 의미한다.
- [0072] 도 4에 도시한 것과 같이, 홀수 서브 프레임(Sub-frame 1)의 (2n-1)번째 픽셀 라인의 동작에서, 초기화 기간은 (2n-3)번째 스캔 라인(SCAN(2n-3))에 스캔 신호가 인가되는 기간이고, 샘플링 기간은 (2n-1)번째 스캔 라인(SCAN(2n-1))에 스캔 신호가 인가되는 기간이고, 에미션 기간은 (2n+1)번째 스캔 라인(SCAN(2n+1))에 스캔 신호가 인가되는 기간 또는 그 이후에 (2n-1)번째 에미션 라인(EM(2n-1))에 에미션 신호가 인가되는 기간이다.
- [0073] 또한, 짝수 서브 프레임(Sub-frame 2)의 (2n)번째 픽셀 라인의 동작에서, 초기화 기간은 (2n-2)번째 스캔 라인(SCAN(2n-2))에 스캔 신호가 인가되는 기간이고, 샘플링 기간은 (2n)번째 스캔 라인(SCAN(2n))에 스캔 신호가 인가되는 기간이고, 에미션 기간은 (2n+2)번째 스캔 라인(SCAN(2n+1))에 스캔 신호가 인가되는 기간 또는 그 이

후에 (2n)번째 에미션 라인(EM(2n))에 에미션 신호가 인가되는 시간이다.

- [0074] 하나의 프레임 안에서 홀수 서브 프레임에 홀수 픽셀 라인을 순차적으로 구동한 이후에 짝수 서브 프레임에 짝수 픽셀 라인을 순차적으로 구동하여 인터레이스 구동을 하게 된다. 또는, 순서를 바꾸어, 하나의 프레임 안에서 짝수 서브 프레임에 짝수 픽셀 라인을 순차적으로 구동한 이후에 홀수 서브 프레임에 홀수 픽셀 라인을 순차적으로 구동하여 인터레이스 구동을 할 수도 있다.
- [0075] 이와 같이, 내부 보상 회로의 구성 요소를 바꾸지 않고 단순히 스캔 신호의 연결을 변경함으로써 내부 보상 동작과 인터레이스 구동을 병행할 수 있게 된다.
- [0076] 도 4에서, 스캔 라인에 인가되는 스캔 신호의 펄스 폭은 데이터 구동 회로(12)에 입력되는 영상 신호의 수평 기간(H)과 같거나 수평 기간(H)의 2배 이상의 정수배가 될 수 있다. 스캔 신호의 펄스 폭이 수평 기간(H)과 같은 경우, 프레임 레이트는 변동 없이 입력 영상을 인터레이스 구동을 하는 것이다.
- [0077] 스캔 신호의 펄스 폭이 수평 기간(H)의 2배 이상의 정수 배인 경우, 입력 영상의 프레임 레이트보다 정수 배 느리게 입력 영상을 인터레이스 방식으로 표시하는 것으로, 입력 영상이 정지 영상일 때 영상의 품질 저하 없이 소비 전력을 감소시킬 수 있다.
- [0078] 동영상인 아닌 정지 영상의 경우 소비 전력을 줄이기 위해 저주파로 동작할 수 있는데, 본 발명의 픽셀 구조를 적용할 때 종래의 주파수 감소 효과에 더해 데이터 천이(Data Transition) 회수를 줄여, 소비 전력 효과를 더 높일 수 있다.
- [0079] 본 발명에 따른 도 2와 도 3의 구성은, 도 4의 신호와 같이 인터레이스 방식으로만 구동 가능한 것이 아니고, 제1 픽셀 라인부터 마지막인 제N 픽셀 라인까지 순차적으로 구동하는 것도 가능하다.
- [0080] 현재 픽셀 라인보다 두 픽셀 라인 앞서는 픽셀 라인에 인가되는 스캔 신호와 한 픽셀 라인 앞서는 픽셀 라인에 인가되는 스캔 신호를 이용하여 구동 트랜지스터의 게이트 전극과 OLED의 애노드 전극을 초기화하고, 현재 픽셀 라인에 인가되는 스캔 신호를 이용하여 데이터 전압과 문턱 전압을 샘플링 하고, 현재 픽셀 라인에 인가되는 에미션 신호를 이용하여 OLED를 발광시킬 수 있다.
- [0081] 도 5는 펜타일(Pen Tile) 구조로 픽셀이 배치된 패널을 인터레이스 방식으로 구동하는 예를 도시한 것이고, 도 6은 펜타일 구조로 픽셀이 배치된 패널에서 일반적으로 구동할 때와 인터레이스로 구동할 때 데이터 라인을 통해 출력되는 데이터의 순서를 도시한 것이다.
- [0082] 도 5에 도시한 것과 같이, 펜타일 구조에서는 서브픽셀이 RGBG를 하나의 픽셀 유닛으로 배치되고, RG가 첫 번째 픽셀 라인을 형성하고 BG가 두 번째 픽셀 라인을 형성하여, 데이터 라인 1과 3(DL1, DL3)에는 빨강 데이터를 출력하는 서브픽셀(R)과 파랑 데이터를 출력하는 서브픽셀(B)이 번갈아 배치된다.
- [0083] 일반 구동 방식에서는, 도 6의 위 그림과 같이, 데이터 라인 1과 3(DL1, DL3)은 빨강 데이터(R)와 파랑 데이터(B)를 번갈아 출력하게 된다.
- [0084] 하지만, 본 발명과 같이 내부 보상 회로에 인터레이스 구동을 적용하면, 도 5와 같이, 홀수 서브 프레임(Sub-frame 1)에서는 데이터 라인 1(DL1)은 빨강 데이터(R)만을 연속으로 출력하고 데이터 라인 3(DL3)은 파랑 데이터(B)만 연속으로 출력하고(도 10의 아래 그림 참조), 짝수 서브 프레임(Sub-frame 2)에서는 데이터 라인 1(DL1)은 파랑 데이터(B)만을 연속으로 출력하고 데이터 라인 3(DL3)은 빨강 데이터(R)만 연속으로 출력한다. 즉, 각 데이터 라인은 하나의 서브 프레임에 같은 색의 데이터만을 출력하므로, 입력 영상에 따라 데이터 라인의 데이터 천이 회수를 줄여 소비 전력을 더 낮출 수 있다.
- [0085] 도 7은 패널에 표시되는 몇 가지 영상에 대해서 일반 구동과 인터레이스 구동 때 데이터 라인에서 출력되는 소비 전력을 비교한 것이다.
- [0086] 도 7의 표는 데이터 구동 회로에 포함되어 데이터 라인을 구동하는 IC의 전압을 측정된 것으로, 단색으로 표현되는 영상, 특히 붉은 색이 단색으로 표현되는 영상(Red 패턴)과 푸른 색이 단색으로 표현되는 영상(Blue 패턴)에서 소비 전력 절감 효과가 큰 것을 알 수 있다.
- [0087] 또한, 여러 색이 하나의 화면에 표현되는 일반 영상에서는 단색 영상에 비해서는 소비 전력 절감 효과가 덜하지만, 그래도 일반 구동보다는 본 발명에 따른 인터레이스 구동 때 소비 전력이 주는 것을 확인할 수 있다.
- [0088] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정

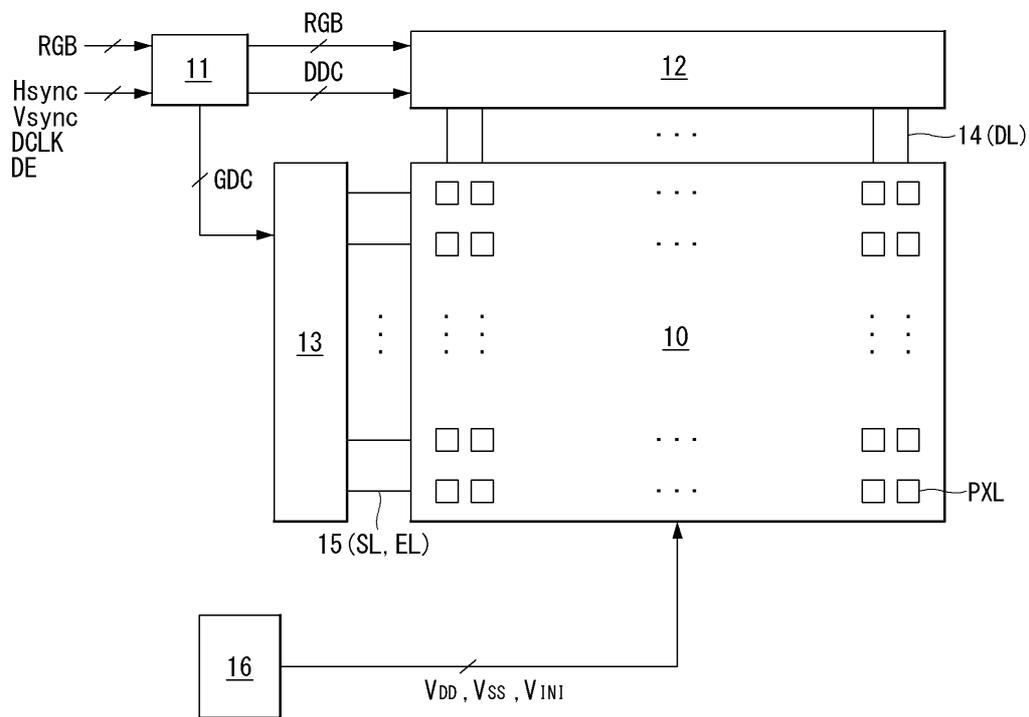
이 가능성을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

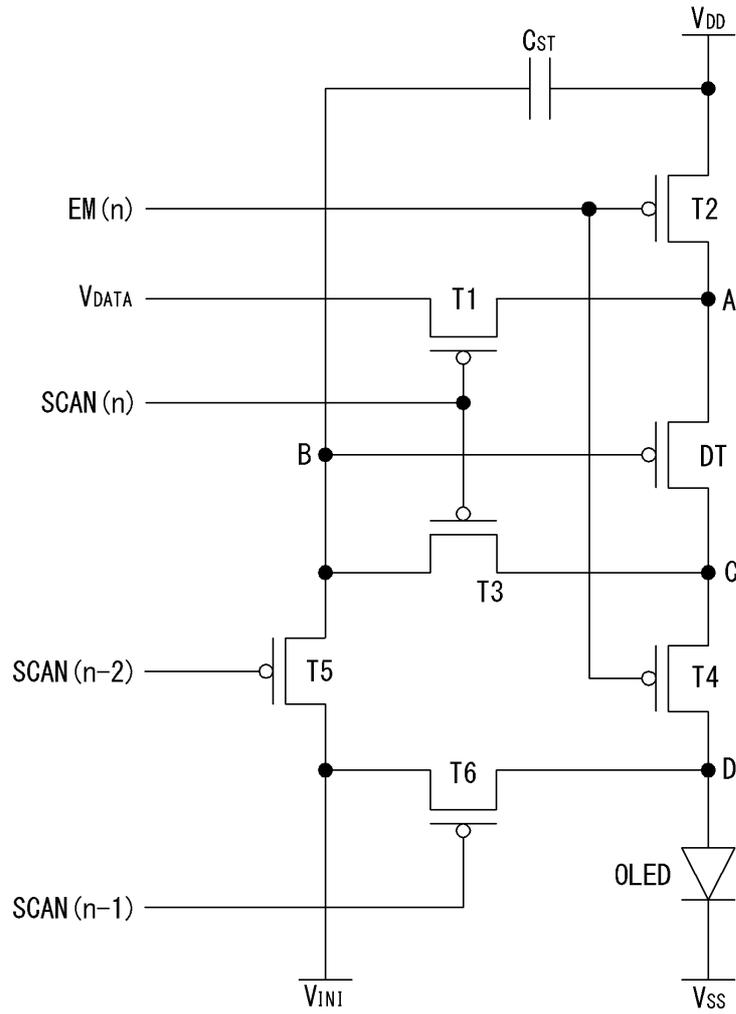
- 10: 표시 패널    11: 타이밍 컨트롤러
- 12: 데이터 구동 회로    13: 게이트 구동 회로
- 14: 데이터 라인    15: 스캔 라인
- 16: 전원 생성부

**도면**

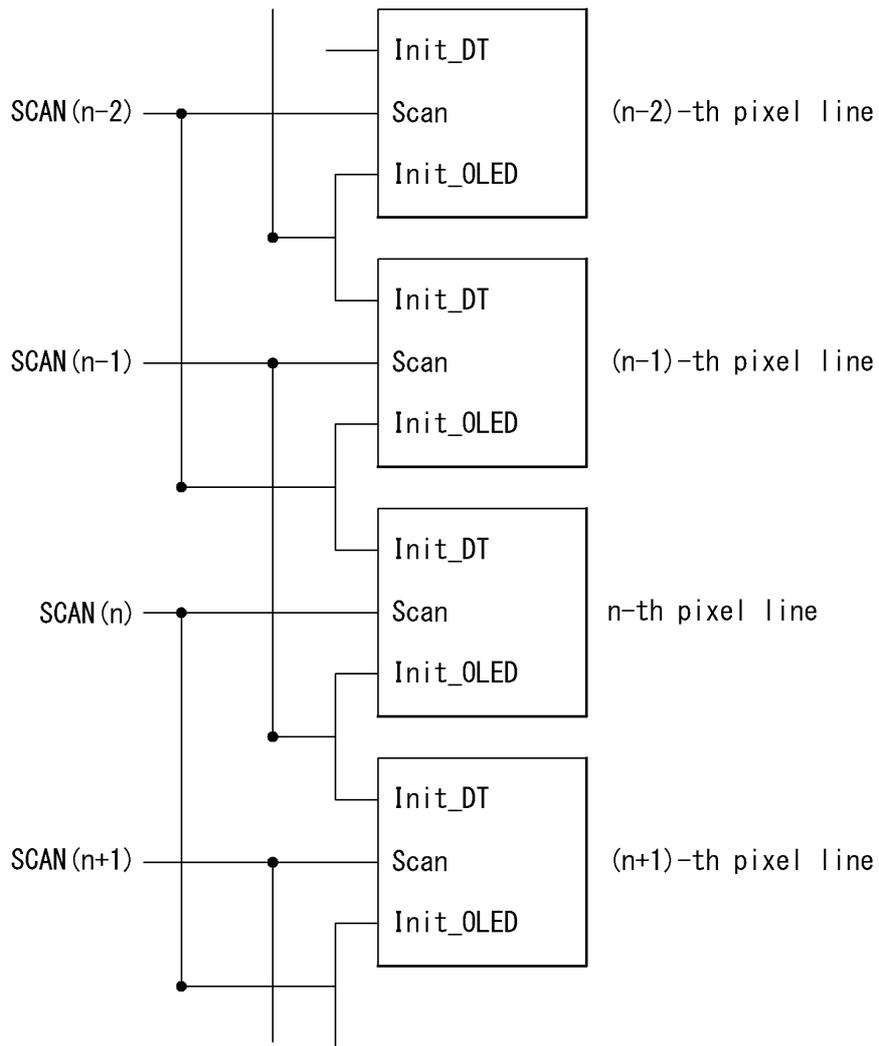
**도면1**



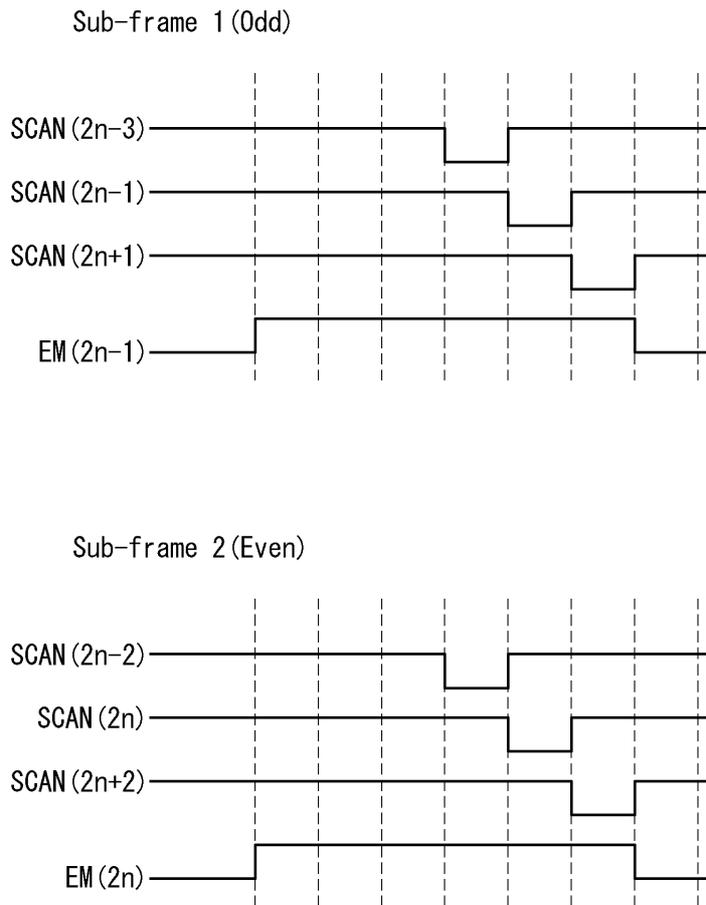
도면2



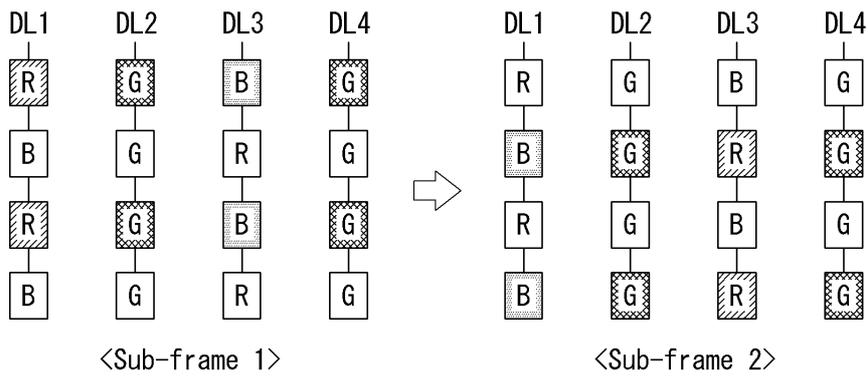
도면3



도면4

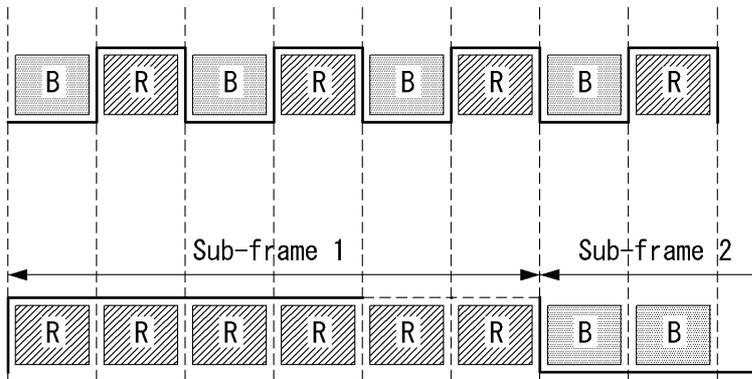


도면5



도면6

일반 Pentile 구동



Interlace 구동

도면7

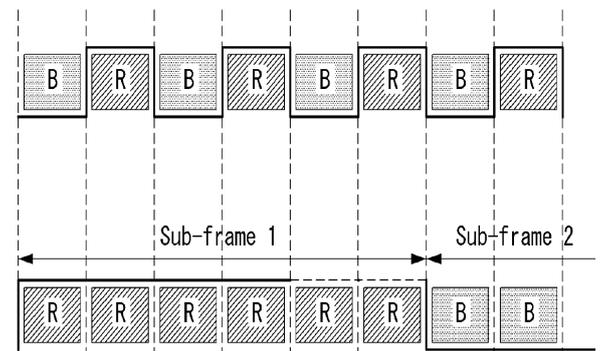
컬럼 소비 전력 (mW)	Red 패턴	Blue 패턴	일반 영상
일반 구동	222.08	245.70	176.18
인터레이스 구동	166.73	166.73	168.75
비율 (%)	75.08	67.86	95.78

专利名称(译)	显示装置		
公开(公告)号	<a href="#">KR1020190136396A</a>	公开(公告)日	2019-12-10
申请号	KR1020180062055	申请日	2018-05-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김태훈 남상진 유옥상		
发明人	김태훈 남상진 유옥상		
IPC分类号	G09G3/3233 G09G3/20		
CPC分类号	G09G3/3233 G09G3/2003 G09G3/2022 G09G2300/0452 G09G2310/0224		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明，一种显示装置包括：显示面板，其具有与多个扫描线，发射线和数据线连接的多个像素；栅极驱动电路；和数据驱动电路。布置在第n个像素线上的像素包括发光二极管，电容器，驱动晶体管以及第一至第六晶体管。第n条扫描线连接到第一晶体管的栅极以向驱动晶体管施加数据电压，第三扫描线的栅极用于连接驱动晶体管的栅极和漏极。第(n-2)条扫描线连接到第五晶体管的栅极，用于初始化驱动晶体管的栅极。第(n-1)条扫描线连接到第六晶体管的栅极，用于初始化OLED。第n条发射线可以连接到第二晶体管的栅极以向驱动晶体管的源极施加高电势电压，并且可以将第四晶体管的栅极连接到驱动晶体管和OLED。通过将一帧分为用于顺序驱动奇数像素线的第一子帧和用于顺序驱动偶数像素线的第二子帧，可以驱动显示装置。因此，可以在不改变内部补偿电路的情况下执行隔行扫描驱动，并且可以通过降低驱动频率和数据转换来降低功耗。

일반 Pentile 구동



Interlace 구동