



(52) CPC특허분류

*H01L 27/3262* (2013.01)

*H01L 27/3276* (2013.01)

*H01L 51/0023* (2013.01)

*H01L 51/56* (2013.01)

*H01L 2227/323* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 기관 상에 배치된 보조 전극;

상기 보조 전극과 이격되어 배치된 박막 트랜지스터;

상기 박막 트랜지스터 상에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극;

상기 보조 전극 상에 배치되며, 상기 보조 전극과 전기적으로 연결되는 다중층 전극;

상기 제1 전극 상에 배치되는 유기 발광층; 및

상기 유기 발광층 상에 배치되며, 상기 다중층 전극과 연결되는 제2 전극을 포함하고, 상기 유기 발광층은 상기 다중층 전극에 의해서 분리되는 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서,

상기 다중층 전극은 언더컷 형태를 갖는 유기 발광 표시 장치.

#### 청구항 3

제 1 항에 있어서,

상기 다중층 전극은 차례로 적층된 제1 다중층 전극, 제2 다중층 전극, 및 제3 다중층 전극을 포함하고,

상기 제2 다중층 전극은 상기 제1 및 제3 다중층 전극 보다 길이가 짧은 유기 발광 표시 장치.

#### 청구항 4

제 3 항에 있어서,

상기 제2 전극은 상기 제1 다중층 전극과 연결되는 유기 발광 표시 장치.

#### 청구항 5

제 3 항에 있어서,

상기 제1 및 제3 다중층 전극은 열을 가하면 습식 에칭이 되지 않는 재질로 구성된 유기 발광 표시 장치.

#### 청구항 6

제1 기관 상에 보조 전극을 형성하는 단계;

상기 보조 전극과 이격되도록 박막 트랜지스터를 형성하는 단계;

상기 보조 전극 상에 배치되며, 상기 보조 전극과 전기적으로 연결되는 다중층 전극 및 상기 박막 트랜지스터 상에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극을 형성하는 단계;

상기 다중층 전극 및 제1 전극 상에 बैं크를 형성하는 단계;

상기 다중층 전극을 언더컷 형태로 형성하는 단계;

상기 제1 전극 상에 유기 발광층을 형성하는 단계;

상기 유기 발광층 상에 제2 전극을 형성하는 단계를 포함하며, 상기 유기 발광층은 상기 다중층 전극에 의해서 분리되는 유기 발광 표시 장치의 제조방법.

#### 청구항 7

제 6 항에 있어서,

상기 다중층 전극은 차례로 적층된 제1 다중층 전극, 제2 다중층 전극, 및 제3 다중층 전극을 포함하고,

상기 제2 다중층 전극은 상기 제1 및 제3 다중층 전극 보다 길이가 짧게 형성되는 유기 발광 표시 장치의 제조 방법.

**청구항 8**

제 7 항에 있어서,

상기 제2 전극은 상기 제1 다중층 전극과 전기적으로 연결되는 유기 발광 표시 장치의 제조방법.

**청구항 9**

제 6 항에 있어서,

상기 다중층 전극을 언더컷 형태로 형성하는 단계는,

상기 다중층 전극을 열처리하는 단계; 및

상기 다중층 전극을 습식 에칭하는 단계를 포함하는 유기 발광 표시 장치의 제조방법.

**청구항 10**

제 6 항에 있어서,

상기 बैं크를 형성하는 단계는,

상기 제1 전극 상에 बैं크를 패턴 형성하는 단계;

상기 제1 전극을 노출시키도록 상기 बैं크를 식각하는 단계; 및

상기 बैं크에 열을 가하여 상기 제1 전극의 양측을 덮도록 유동시키는 단계를 포함하는 유기 발광 표시 장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로는 상부 발광 방식 유기 발광 표시 장치 및 그의 제조방법에 관한 것이다.

**배경 기술**

[0002] 유기 발광 표시 장치(OLED)는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가지고 있다.

[0003] 유기 발광 표시 장치(OLED)는 유기 발광 소자를 통해 발광된 빛의 투과 방향에 따라 상부 발광 방식(top emission type)과 하부 발광 방식(bottom emission type)으로 나뉜다. 상기 하부 발광 방식은 개구율이 저하되는 문제가 발생되기 때문에, 최근에는 상부 발광 방식이 주로 이용되고 있다.

[0004] 이와 같은, 종래의 상부 발광 방식 유기 발광 표시 장치는 기판 상에 박막 트랜지스터가 구비되고, 박막 트랜지스터 상에 패시베이션층, 평탄화층, 애노드 전극, 보조 전극, बैं크, 유기 발광층, 및 캐소드 전극이 구비된다.

[0005] 이때, 종래의 유기 발광 표시 장치는 유기 발광층을 전면 증착하기 어려운 단점이 있다. 종래의 유기 발광 표시 장치는 유기 발광층을 전면 증착할 경우, 캐소드 전극과 보조 전극을 연결시키기 위한 공간이 유기 발광층에 의해 가려지면서, 보조 전극과 캐소드 전극을 연결시킬 수 없게 되는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 전술한 문제점을 해결하고자 안출된 것으로, 본 발명은 유기 발광층을 전면 증착하면서도, 보조 전극

과 캐소드 전극을 연결시킬 수 있는 유기 발광 표시 장치 및 그의 제조방법을 제공하는 것을 기술적 과제로 한다.

**과제의 해결 수단**

[0007] 상술한 기술적 과제를 달성하기 위한 본 발명은 제1 기관 상에 배치된 보조 전극, 보조 전극과 이격되어 배치된 박막 트랜지스터, 및 박막 트랜지스터와 전기적으로 연결되는 제1 전극을 포함한다. 또한, 본 발명은 보조 전극과 전기적으로 연결되는 다중층 전극, 제1 전극 상에 배치되는 유기 발광층 및 다중층 전극과 연결되는 제2 전극을 포함하고, 유기 발광층은 다중층 전극에 의해서 분리된 유기 발광 표시 장치 및 그의 제조방법을 제공한다.

**발명의 효과**

[0008] 본 발명의 일 예에 따른 유기 발광 표시 장치는 다중층 전극이 언더컷 형태를 가짐으로써, 유기 발광층이 분리되어 화소간의 불량구동을 방지하는 효과가 있다.

[0009] 또한, 본 발명의 일 예에 따른 유기 발광 표시 장치는 다중층 전극의 언더컷 형태에 의해서 추가 공정 없이 유기 발광층을 액티브 영역에 전면 증착하면서도, 다중층 전극을 노출시킬 수 있는 효과가 있다.

[0010] 또한, 본 발명의 일 예에 따른 유기 발광 표시 장치는 노출된 다중층 전극의 일측과 제2 전극이 연결됨으로써, 다중층 전극의 타측이 보조 전극과 전기적으로 연결되어, 보조 전극에 의해서 제2 전극의 저항을 감소시키는 효과가 있다.

[0011] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

**도면의 간단한 설명**

[0012] 도 1은 본 발명의 일 예에 따른 유기 발광 표시 장치의 단면도이다.

도 2 내지 도 9는 본 발명의 일 예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 공정 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0013] 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0014] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다. "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우뿐만 아니라 이들 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.

[0015] 이하에서는 본 발명에 따른 유기 발광 표시 장치 및 그의 제조방법의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0016] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

[0017] 도 1은 본 발명의 일 예에 따른 유기 발광 표시 장치의 단면도이다.

[0018] 도 1을 참조하면, 본 발명의 일 예에 따른 유기 발광 표시 장치는 액티브 영역(Active Area; AA) 및 패드 영역

(Pad Area; PA)을 포함한다.

- [0019] 상기 액티브 영역(AA)에는 제1 기판(100), 보조 전극(110), 버퍼층(120), 박막 트랜지스터(T), 연결 전극(175), 패시베이션층(180), 평탄화층(190), 제1 전극(200), 다중층 전극(210), बैं크(220), 유기 발광층(230), 제2 전극(240), 및 제2 기판(300)을 포함한다.
- [0020] 상기 제1 기판(100)은 유리가 주로 이용되지만, 구부러거나 휘 수 있는 투명한 플라스틱, 예로서, 폴리이미드가 이용될 수 있다. 폴리이미드를 상기 제1 기판(100)의 재료로 이용할 경우에는, 상기 제1 기판(100) 상에서 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다.
- [0021] 상기 보조 전극(110)은 제1 기판(100) 상의 액티브 영역(AA)에 배치된다. 보조 전극(110)은 후술되는 연결 전극(175) 및 다중층 전극(210)을 통해서 제2 전극(240)과 연결된다. 이러한 보조 전극(110)은 제2 전극(240)과 연결되어 제2 전극(240)의 저항을 감소시키는 역할을 한다. 이때, 보조 전극(110)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있다.
- [0022] 상기 버퍼층(120)은 제1 기판(100) 상부 전면에 배치될 수 있다. 이러한 버퍼층(120)은 투습에 취약한 제1 기판(100)으로부터 내부로 수분이 침투하는 것을 방지하는 기능을 한다. 또한, 버퍼층(120)은 제1 기판(100)으로부터 금속 이온 등의 불순물이 확산되어 박막 트랜지스터(T)의 액티브층(130)에 침투하는 것을 방지하는 기능을 한다. 이때, 버퍼층(120)은 무기절연물질 예를 들어, SiO<sub>2</sub>(silicon dioxide), SiN<sub>x</sub>(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.
- [0023] 상기 박막 트랜지스터(T)는 버퍼층(120) 상에 배치된다. 이러한 박막 트랜지스터(T)는 액티브층(130), 게이트 절연층(140), 게이트 전극(150), 층간 절연층(160), 소스 전극(171) 및 드레인 전극(173)을 포함한다.
- [0024] 상기 액티브층(130)은 액티브 영역(AA)에 배치된 제1 기판(100) 상에 배치된다. 액티브층(130)은 게이트 전극(150)과 중첩되도록 배치된다. 액티브층(130)은 소스 전극(171) 측에 위치한 일단 영역, 드레인 전극(173) 측에 위치한 타단 영역, 및 일단 영역과 타단 영역 사이에 위치한 중심 영역으로 구성될 수 있다. 중심 영역은 도펀트가 도핑되지 않은 반도체 물질로 이루어지고, 일단 영역과 타단 영역은 도펀트가 도핑된 반도체 물질로 이루어질 수 있다.
- [0025] 상기 게이트 절연층(140)은 액티브층(130) 상에 배치된다. 이러한 게이트 절연층(140)은 액티브층(130)과 게이트 전극(150)을 절연시키는 기능을 한다. 이때, 게이트 절연층(140)은 무기절연물질 예를 들어, SiO<sub>2</sub>(silicon dioxide), SiN<sub>x</sub>(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.
- [0026] 상기 게이트 전극(150)은 게이트 절연층(140) 상에 배치된다. 게이트 전극(150)은 게이트 절연층(140)을 사이에 두고, 액티브층(130)의 중심 영역과 중첩된다. 이때, 게이트 전극(150)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0027] 상기 층간 절연층(160)은 게이트 전극(150) 상에 배치된다. 층간 절연층(160)은 게이트 전극(150)을 포함한 액티브 영역(AA) 전면에 배치된다. 이때, 층간 절연층(160)은 게이트 절연층(140)과 동일한 무기절연물질 예를 들어, SiO<sub>2</sub>(silicon dioxide), SiN<sub>x</sub>(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.
- [0028] 상기 소스 전극(171) 및 드레인 전극(173)은 층간 절연층(160)상에서 서로 이격되어 배치된다. 층간 절연층(160)에는 액티브층(130)의 일단 영역 일부를 노출시키는 제1 콘택홀 및 액티브층(130)의 타단 영역 일부를 노출시키는 제2 콘택홀이 구비된다. 소스 전극(171)은 제1 콘택홀을 통해서 액티브층(130)의 일단 영역과 연결되고, 드레인 전극(173)은 제2 콘택홀을 통해서 액티브층(130)의 타단 영역과 연결된다. 이때, 소스 및 드레인 전극(171, 173)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있다. 특히, 본 발명의 일 예에 따른 소스 및 드레인 전극(171, 173)은 예를 들어, 차례로 적층된 MoTi/Cu/MoTi로 구성될 수 있다. 그러나, 이에 한정되지 않는다.
- [0029] 상술한 박막 트랜지스터(T)의 구성은 앞서 설명한 예에 한정되지 않고, 당업자가 용이하게 실시할 수 있는 공지된 구성으로 다양하게 변형 가능하다.

- [0030] 상기 연결 전극(175)은 층간 절연층(160) 상에 배치된다. 연결 전극(175)은 소스 및 드레인 전극(171, 173)과 동일한 층에 이격되어 배치되며, 소스 및 드레인 전극(171, 173)과 동일한 물질로 이루어질 수 있다. 이러한 연결 전극(175)의 일측은 보조 전극(110)과 연결되고 타측은 다중층 전극(210)과 연결되어, 보조 전극(110)과 제2 전극(240)을 연결시키는 기능을 한다. 연결 전극(175)은 패시베이션층(180)에 구성된 홈에 의해서 일부가 노출되어 있으며, 노출된 연결 전극(175)을 통해서 다중층 전극(210)과 연결된다. 이때, 연결 전극(175)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있다. 특히, 본 발명의 일 예에 따른 연결 전극(175)은 예를 들어, 차례로 적층된 MoTi/Cu/MoTi로 구성될 수 있으나, 이에 한정되지 않는다.
- [0031] 상기 패시베이션층(180)은 박막 트랜지스터(T) 및 연결 전극(175) 상에 배치된다. 패시베이션층(180)은 제1 기판(100) 상의 액티브 영역(AA)에 배치되며, 일부 패드 영역(PA)에도 배치될 수 있다. 이러한 패시베이션층(180)은 박막 트랜지스터(T)를 보호하는 역할을 한다. 이때, 패시베이션층(180)은 무기절연물질 SiO<sub>2</sub>(silicon dioxide), SiN<sub>x</sub>(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어질 수 있으나, 이에 한정되지 않는다.
- [0032] 상기 평탄화층(190)은 박막 트랜지스터(T) 및 패시베이션층(180) 상에 배치되며, 보다 구체적으로, 패시베이션층(180)과 제1 전극(200) 사이에 배치된다. 이러한 평탄화층(190)은 박막 트랜지스터(T) 및 패시베이션층(180) 상부를 평탄하게 해주는 역할을 한다. 평탄화층(190)은 유기절연물질 예를 들어, 아크릴계 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin)등으로 이루어질 수 있으나, 이에 한정되지 않는다. 패시베이션층(180)과 평탄화층(190)에는 박막 트랜지스터(T)의 드레인 전극(173)을 노출시키는 제3 콘택홀이 구비되어 있다. 제3 콘택홀을 통하여 드레인 전극(173)과 제1 전극(200)이 전기적으로 연결된다.
- [0033] 상기 제1 전극(200)은 평탄화층(190) 상에 배치된다. 제1 전극(200)은 패시베이션층(180)과 평탄화층(190)에 구비된 제3 콘택홀을 통해 박막 트랜지스터(T)의 드레인 전극(173)에 연결된다. 이러한 제1 전극(200)은 일 예로 애노드 전극의 역할을 할 수 있다. 이때, 제1 전극(200)은 일함수 값이 비교적 큰 투명 도전성 물질 예를 들어, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어질 수 있다. 또한, 제1 전극(200)은 반사 효율이 우수한 금속물질 예를 들어, 알루미늄(Al), 은(Ag), APC(Ag;Pb;Cu) 등을 포함하는 적어도 둘 이상의 층으로 구성될 수 있다. 또한, 본 발명의 일 예에 따른 제1 전극(200)은 차례로 적층된 ITO/Ag/ITO로 구성될 수 있으나, 이에 한정되지 않는다.
- [0034] 상기 다중층 전극(210)은 패시베이션층(180) 상에 배치된다. 다중층 전극(210)은 패시베이션층(180)에 구비된 홈에 의해서 노출된 연결 전극(175)과 연결된다. 이러한 다중층 전극(210)의 일측은 연결 전극(175)과 연결되고, 타측은 제2 전극(240)과 연결되어, 제2 전극(240)과 보조 전극(110)을 연결시키는 기능을 한다. 이때, 다중층 전극(210)은 제1 전극(200)과 동일한 물질로 이루어질 수 있다. 또한, 다중층 배선(210)은 일함수 값이 비교적 큰 투명 도전성 물질 예를 들어, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어질 수 있다. 또한, 본 발명의 일 예에 따른 다중층 배선(210)은 알루미늄(Al), 은(Ag), APC(Ag;Pb;Cu) 등을 포함하는 적어도 둘 이상의 층으로 구성될 수 있다.
- [0035] 본 발명의 일 예에 따른 다중층 배선(210)은 차례로 적층된 제1 다중층 전극(211), 제2 다중층 전극(213), 및 제3 다중층 전극(215)를 포함할 수 있다.
- [0036] 상기 제1 다중층 전극(211)은 연결 전극(175) 상에 배치된다. 이러한 제1 다중층 전극(211)의 일측은 연결 전극(175)과 연결되고 타측은 제2 전극(240)과 연결되어, 제2 전극(240)과 보조 전극(110)을 연결하는 역할을 한다. 이때, 본 발명의 일 예에 따른 제1 다중층 전극(211)은 열을 가하면 습식 에칭이 되지 않는 재질로 구성될 수 있으며, 일 예로 인듐-틴-옥사이드(ITO)로 구성될 수 있으나, 이에 한정되지 않는다.
- [0037] 상기 제2 다중층 전극(213)은 제1 다중층 전극(211)과 제3 다중층 전극(215) 사이에 배치된다. 제2 다중층 전극(213)은 제1 및 제3 다중층 전극(211, 215) 보다 길이가 짧아, 다중층 전극(210)이 파여있는 형태를 구성한다. 즉, 다중층 전극(210)은 제1 및 제3 다중층 전극(211, 215) 보다 길이가 짧은 제2 다중층 전극(213)에 의해서 언더컷(undercut) 형태를 가진다. 다중층 전극(210)은 이러한 언더컷 형태에 의해서 다중층 전극(210) 상에 배치되는 유기 발광층(230)을 화소별로 분리한다. 유기 발광층(230)은 증발법(Evaporation)과 같은 증착 물질의 직진성이 우수한 증착 공정을 통해 구성됨으로써 다중층 전극(210)의 언더컷 형태에 의해 분리된다. 따라서, 본 발명의 일 예에 따른 다중층 전극(210)은 안쪽까지 유기 발광층(230)이 침투하지 않고 노출될 수 있으며, 유기 발광층(230)이 분리되어 화소간의 불량구동을 방지하는 효과가 있다. 이때, 제2 다중

층 전극(213)은 은(Ag)으로 구성될 수 있으나, 이에 한정되지 않는다.

- [0038] 상기 제3 다중층 전극(215)은 제2 다중층 전극(213) 상에 배치된다. 이때, 본 발명의 일 예에 따른 제3 다중층 전극(215)은 열을 가하면 습식 에칭이 되지 않는 재료로 구성될 수 있으며, 일 예로 인듐-틴-옥사이드(ITO)로 구성될 수 있으나, 이에 한정되지 않는다.
- [0039] 이와 같은 본 발명의 일 예에 따른 다중층 전극(210)은 언더컷 형태를 가짐으로써, 유기 발광층(230)이 분리되고 다중층 전극(210)이 노출되어 제2 전극(240)과 다중층 전극(210)이 연결될 수 있다. 보다 구체적으로, 본 발명의 일 예에 따른 다중층 전극(210)은 언더컷 형태에 의해 노출된 제1 다중층 전극(211)의 일측과 제2 전극(240)이 연결됨으로써, 제1 다중층 전극(211)의 타측과 연결된 연결 전극(175) 및 보조 전극(110)과 전기적으로 연결되고, 보조 전극(110)에 의해서 제2 전극(240)의 저항을 감소시키는 효과가 있다.
- [0040] 다중층 전극(210)을 언더컷 형태로 구성하지 않는 경우에는, 보조 전극(110)과 연결되는 연결 전극(175)을 노출시키기 위해서, 유기 발광층(240)을 증착할 때 연결 전극(175)의 상면을 가리는 마스크 패턴이 필요하게 되고, 이에 따른 추가 공정이 발생하게 된다. 그러나, 본 발명의 일 예에 따른 유기 발광 표시 장치는 유기 발광층(230)을 액티브 영역(AA)에 전면 증착 하면서도, 다중층 전극(210)의 언더컷 형태에 의해서 유기 발광층(240)을 분리시킬 수 있으며, 노출된 다중층 전극(210)에 제2 전극(240)을 연결시킬 수 있다.
- [0041] 상기 बैं크(220)는 패시베이션층(180)과 평탄화층(190)의 측면을 감싸며 제1 전극(200) 상에 배치된다. बैं크(220)는 제1 전극(200)의 일측 및 타측과 증착될 수 있다. 이러한 बैं크(220)는 제1 전극(200)을 구획한다. 이때, बैं크(220)는 유기절연물질 예를 들어, 폴리이미드계 수지(polyimides resin), 아크릴계 수지(acrylic resin), 벤조사이클로뷰텐(BCB) 등으로 이루어질 수 있으나, 이에 한정되지 않는다.
- [0042] 상기 유기 발광층(230)은 제1 전극(200) 상에 배치된다. 유기 발광층(230)은 액티브 영역(AA)의 제1 기관(100) 상에 전면 증착되며, 다중층 전극(210)에 의해서 분리된다. 이러한, 유기 발광층(230)은 정공 주입층(Hole Injecting Layer), 정공 수송층(Hole Transporting Layer), 발광층(Emitting Layer), 전자 수송층(Electron Transporting Layer), 및 전자 주입층(Electron Injecting Layer)의 조합으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 당업계에 공지된 다양한 구조로 변경될 수 있다.
- [0043] 상기 제2 전극(240)은 유기 발광층(230) 상에 배치된다. 제2 전극(240)은 유기 발광층(230)에서부터 연장되어 제1 기관(100) 상에 전체적으로 배치되고, 다중층 전극(210)에 의해서 보조 전극(110)과 전기적으로 연결된다. 이러한 제2 전극(240)은 제1 전극(200)과 함께 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층(230)으로 이동되며, 상기 유기 발광층(230)에서 서로 결합하여 발광하게 된다. 이때, 제2 전극(240)은 매우 얇은 두께의 일함수가 낮은 금속성 물질이 사용될 수 있다. 예를 들어, 제2 전극(240)은 은(Ag), 티타늄(Ti), 알루미늄(Al), 몰리브덴(Mo), 또는 은(Ag)과 마그네슘(Mg)의 합금 등과 같은 금속성 물질이 사용될 수 있다.
- [0044] 상기 제2 기관(300)은 제1 기관(100)과 마주보도록 제2 전극(240) 상에 배치된다. 제2 기관(300)과 제1 기관(100) 사이에는 봉지층이 배치될 수 있으며, 봉지층은 유기 발광 표시 장치 내부로 수분이 침투하는 것을 방지할 수 있다. 또한, 봉지층은 접착 물질이 포함되어, 제1 기관(100)과 제2 기관(300)을 합착할 수 있다. 봉지층은 당업계에 공지된 다양한 재료가 이용될 수 있다. 이때, 제2 기관(300)에는 컬러 필터(310)가 배치될 수 있다.
- [0045] 상기 컬러 필터(310)는 각각의 화소 영역에 대응되도록 제2 기관(300) 상에 배치된다. 컬러 필터(310)는 각 화소 영역에 대응되는 적색, 녹색, 및 청색의 컬러 필터로 이루어질 수 있으며, 상기 적색, 녹색, 및 청색의 컬러 필터 사이에 색의 혼합을 방지하는 차광층(320)이 포함될 수 있다.
- [0046] 상기 패드 영역(PA)은 제1 기관(100) 및 버퍼층(120) 상에 제1 신호 패드(135), 제2 신호 패드(155), 및 제3 신호 패드(177)를 포함한다.
- [0047] 상기 제1 신호 패드(135)는 버퍼층(120) 상에 배치된다. 제1 신호 패드(135)는 액티브층(130)과 동일한 층에 이격되어 배치되며, 액티브층(130)과 동일한 물질로 이루어질 수 있다.
- [0048] 상기 제2 신호 패드(155)는 제1 신호 패드(135) 상에 배치된다. 제2 신호 패드(155)는 게이트 전극(150)과 동일한 물질로 이루어질 수 있다. 이때, 제2 신호 패드(155)는 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.

- [0049] 상기 제3 신호 패드(177)는 층간 절연층(160) 상에 배치되며, 층간 절연층(160)에 구비된 컨택홀에 의해서 제2 신호 패드(155)와 연결된다. 이때, 제3 신호 패드(177)는 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있다. 특히, 본 발명의 일 예에 따른 연결 전극(175)은 예를 들어, 차례로 적층된 MoTi/Cu/MoTi로 구성될 수 있으나, 이에 한정되지 않는다.
- [0050] 이와 같은 본 발명의 일 예에 따른 유기 발광 표시 장치는 액티브 영역(AA)에 배치된 다중층 전극(210)이 언더컷 형태를 가짐으로써, 유기 발광층(230)이 분리되어 화소간의 불량구동을 방지하는 효과가 있다. 또한, 본 발명의 일 예에 따른 유기 발광 표시 장치는 다중층 전극(210)의 언더컷 형태에 의해서 추가 공정 없이 유기 발광층(240)을 액티브 영역(AA)에 전면 증착하면서도, 다중층 전극(210)을 노출시킬 수 있는 효과가 있다. 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 노출된 제1 다중층 전극(211)의 일측과 제2 전극(240)이 연결됨으로써, 제1 다중층 전극(211)의 타측과 연결된 연결 전극(175) 및 보조 전극(110)과 전기적으로 연결되고, 보조 전극(110)에 의해서 제2 전극(240)의 저항을 감소시키는 효과가 있다.
- [0051] 도 2 내지 도 9는 본 발명의 일 예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 공정 단면도이다. 이는 전술한 도 1에 따른 유기 발광 표시 장치의 제조방법에 관한 것이다. 따라서, 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 각각의 구성의 재료 및 구조 등에 있어서 반복되는 부분에 대한 중복 설명은 생략된다.
- [0052] 우선, 도 2에 도시된 바와 같이, 제1 기판(100) 상에 보조 전극(110)을 형성하고, 버퍼층(120)을 형성한다. 그런 다음, 버퍼층(120) 상에 박막 트랜지스터(T), 연결 전극(175), 및 신호 패드(135, 155, 177)를 형성한다.
- [0053] 상기 박막 트랜지스터(T)를 형성하는 공정은 제1 기판(100) 상에 액티브층(130)을 형성하고, 액티브층(130) 상에 게이트 절연층(140)을 형성하고, 게이트 절연층(140) 상에 게이트 전극(150)을 형성하고, 게이트 전극(150) 상에 층간 절연층(160)을 형성하고, 층간 절연층(160)에 컨택홀을 형성하여 층간 절연층(160) 상에 소스 및 드레인 전극(171, 173)이 컨택홀을 통해서 액티브층(130)과 연결되도록 형성하는 공정을 포함한다.
- [0054] 상기 박막 트랜지스터(TFT)의 형성 공정은 당업계에 공지된 다양한 방법을 이용할 수 있다.
- [0055] 상기 연결 전극(175)을 형성하는 공정은 버퍼층(120) 및 층간 절연층(160)에 컨택홀을 형성하고, 층간 절연층(160) 상에 연결 전극(175)이 컨택홀을 통해서 보조 전극(110)과 연결되도록 형성하는 공정을 포함한다.
- [0056] 상기 신호 패드(135, 155, 177)를 형성하는 공정은 버퍼층(120) 상에 제1 신호 패드(135)를 형성하고, 제1 신호 패드(135) 상에 제2 신호 패드(155)를 형성하고, 제2 신호 패드(155) 상에 층간 절연층(160)을 형성하고, 층간 절연층(160)에 컨택홀을 형성하고, 층간 절연층(160) 상에 제3 신호 패드(177)가 컨택홀을 통해서 제2 신호 패드(155)와 연결되도록 형성하는 공정을 포함한다. 이때, 제1 신호 패드(135)를 형성하는 공정은 박막 트랜지스터(T)의 액티브층(130)을 형성하는 공정과 동일한 공정으로 동시에 이루어질 수 있다. 또한, 제2 신호 패드(155)를 형성하는 공정은 박막 트랜지스터(T)의 게이트 전극(150)을 형성하는 공정과 동일한 공정으로 동시에 이루어질 수 있다. 또한, 제3 신호 패드(177)를 형성하는 공정은 연결 전극(175), 소스 전극(171), 및 드레인 전극(173)을 형성하는 공정과 동일한 공정으로 동시에 이루어질 수 있다.
- [0057] 버퍼층(120) 상에 박막 트랜지스터(T), 연결 전극(175), 및 신호 패드(135, 155, 177)를 형성한 다음, 제1 기판(100) 상부 전면에 패시베이션층(180)을 형성하고, 패시베이션층(180) 상에 평탄화층(190)을 형성하고, 연결 전극(175), 드레인 전극(173), 및 신호 패드(135, 155, 177)를 노출시킨 후, 제1 기판(100) 상부 전면에 다중층 배선(210a)을 형성한다. 다중층 배선(210a)은 차례로 적층된 제1 다중층 배선(211a), 제2 다중층 배선(213a), 및 제3 다중층 배선(215a)으로 구성될 수 있다.
- [0058] 그런 다음, 도 3에 도시된 바와 같이, 박막 트랜지스터(T) 상부와 연결 전극(175) 상부에 하프톤(half tone) 마스크를 이용하여 बैं크(220)를 패터닝 형성한다.
- [0059] 그런 다음, 도 4에 도시된 바와 같이, बैं크(220)를 마스크로 다중층 배선(210a)을 패터닝(patterning)하여 제1 전극(200) 및 다중층 전극(210)을 형성한다.
- [0060] 그런 다음, 도 5에 도시된 바와 같이, 애싱(ashing) 공정으로 제1 전극(200) 및 다중층 전극(210) 상에 형성된 बैं크(220)의 일부를 식각하여 제거한다.
- [0061] 그런 다음, 도 6에 도시된 바와 같이, 큐어링(curing) 공정으로 बैं크(220)에 열을 가하여 퍼짐성을 증가시켜 बैं

크(220)가 제1 전극(200)의 양측을 덮도록 유동시킨다.

[0062] 그런 다음, 도 7에 도시된 바와 같이, 제1 전극(200) 및 다중층 전극(210)을 열처리한 뒤, 습식 에칭(wet etching) 공정으로 다중층 전극(210)을 언더컷 형태로 형성한다. 본 발명의 일 예에 따른 유기 발광 표시 장치의 다중층 전극(210)은 차례로 적층된 제1 다중층 전극(211), 제2 다중층 전극(213), 및 제3 다중층 전극(215)을 포함하며, 제1 다중층 전극(211) 및 제3 다중층 전극(215)은 일 예로 인듐-틴-옥사이드(ITO)로 구성될 수 있다. 인듐-틴-옥사이드(ITO)는 도전성 물질로, 비정질 인듐-틴-옥사이드(ITO)를 열처리 하면, 결정화 인듐-틴-옥사이드(ITO)가 되어 저항이 낮아지고, 습식 에칭(wet etching) 공정을 하더라도 깎이지 않는다. 따라서, 열처리된 제1 전극(200)의 노출된 부분과 제1 및 제3 다중층 전극(213)은 습식 에칭 공정을 하더라도 깎이지 않는다. 그러나, 외부로 노출된 제2 다중층 전극(213)은 습식 에칭 공정에 의해서 안쪽으로 파이게 된다. 따라서, 본 발명의 일 예에 따른 다중층 전극(210)은 제1 및 제3 다중층 전극(211, 215) 보다 길이가 짧은 제2 다중층 전극(213)에 의해서 언더컷(undercut) 형태를 가진다.

[0063] 그런 다음, 도 8에 도시된 바와 같이, 제1 기판(100) 액티브 영역(AA) 전면에 유기 발광층(230) 및 제2 전극(240)을 형성한다. 유기 발광층(230)은 증발법(Evaporation)과 같은 증착 물질의 직진성이 우수한 증착 공정으로 형성됨으로써 다중층 전극(210)의 언더컷 형태에 의해 분리된다. 제2 전극(240)은 분리된 유기 발광층(230)에 의해 노출된 제1 다중층 전극(211)과 연결된다.

[0064] 그런 다음, 도 9에 도시된 바와 같이, 컬러 필터(310)와 차광층(320)이 형성된 제2 기판(300)을 제1 기판(100)과 합착한다.

[0065] 이와 같은 본 발명의 일 예에 따른 유기 발광 표시 장치는 보조 전극(110)과 연결되는 연결 전극(175)을 노출시키기 위한 별도의 마스크 패턴 없이, 언더컷 형태의 다중층 전극(210)을 형성함으로써, 제2 전극(240)을 전면 증착하면서도 보조 전극(110)과 전기적으로 연결시킬 수 있다.

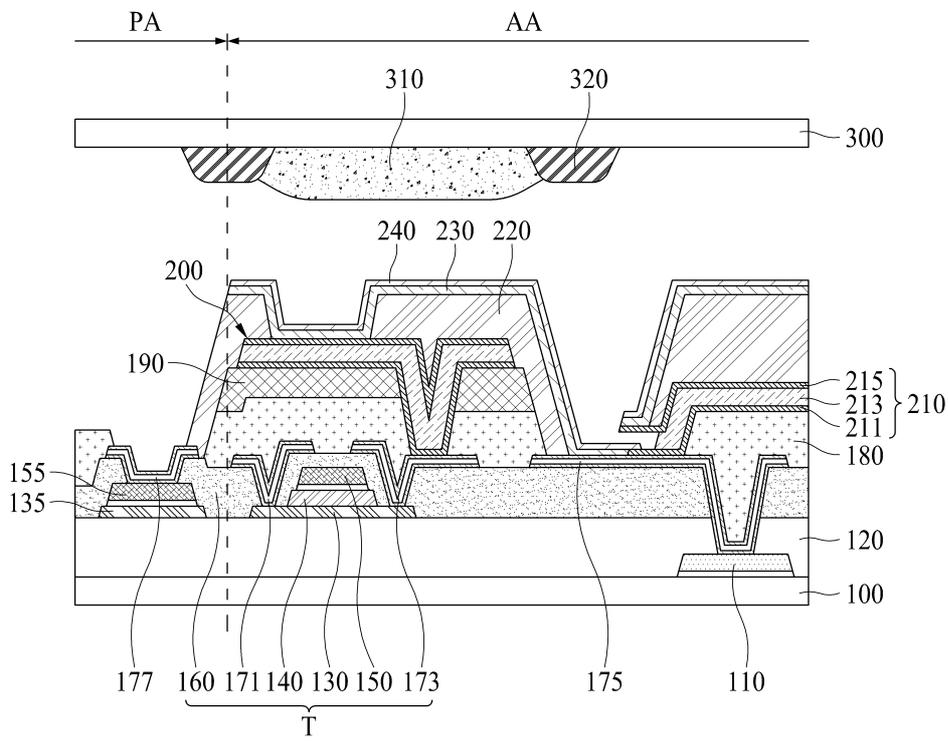
[0066] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

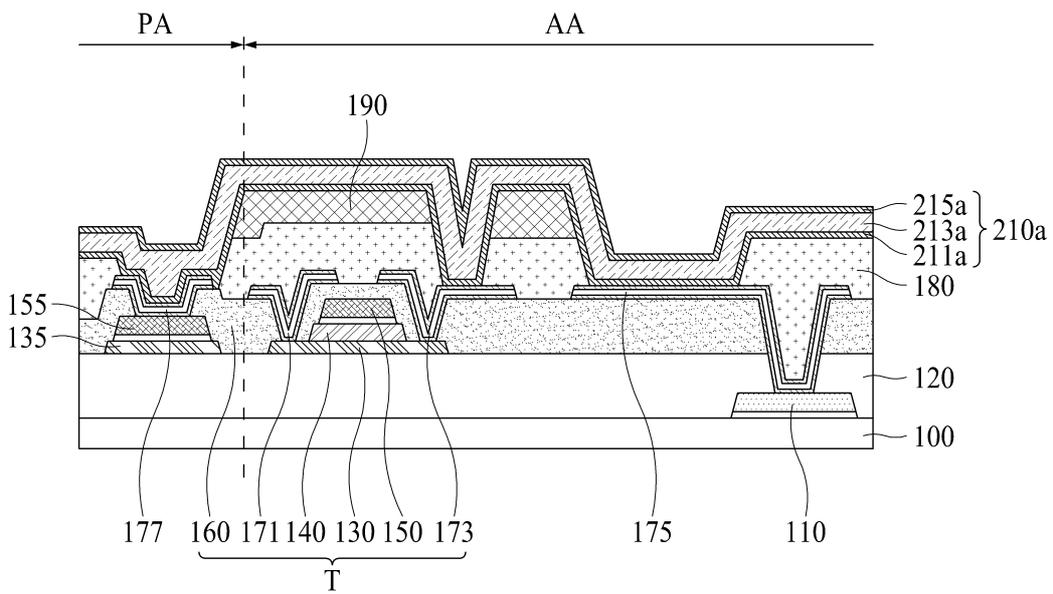
- [0067]
- |              |                       |
|--------------|-----------------------|
| 100: 제1 기판   | 110: 보조 전극            |
| 120: 버퍼층     | 130: 액티브층             |
| 140: 게이트 절연층 | 150: 게이트 전극           |
| 160: 층간 절연층  | 171, 173: 소스 및 드레인 전극 |
| 175: 연결 전극   | 180: 패시베이션층           |
| 190: 평탄화층    | 200: 제1 전극            |
| 210: 다중층 전극  | 220: बैं크             |
| 230: 유기 발광층  | 240: 제2 전극            |
| 300: 제2 기판   | 310: 컬러 필터            |
| 320: 차광층     |                       |

도면

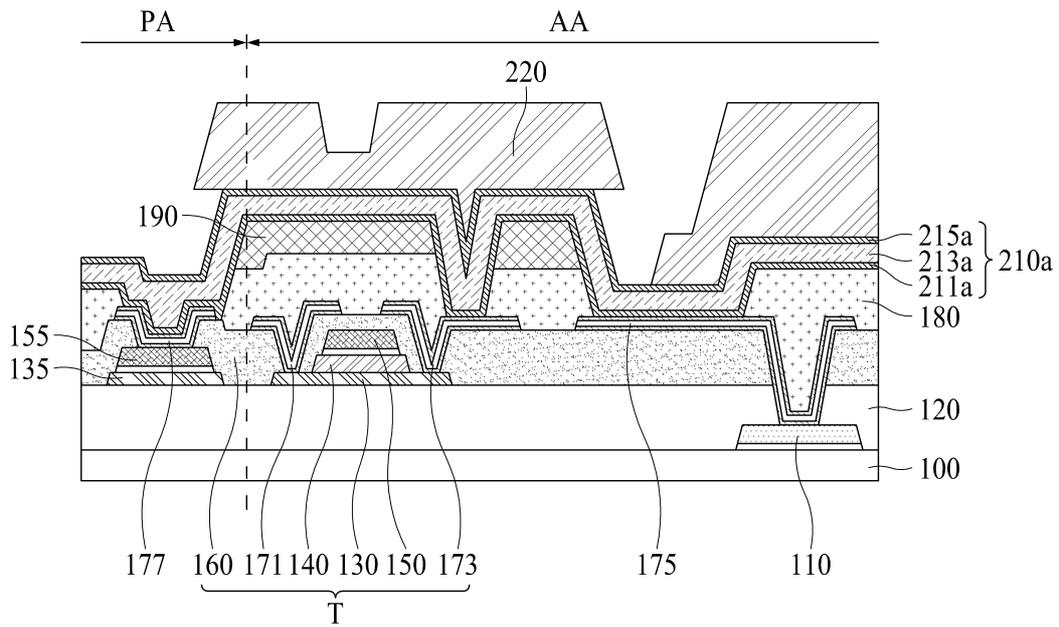
도면1



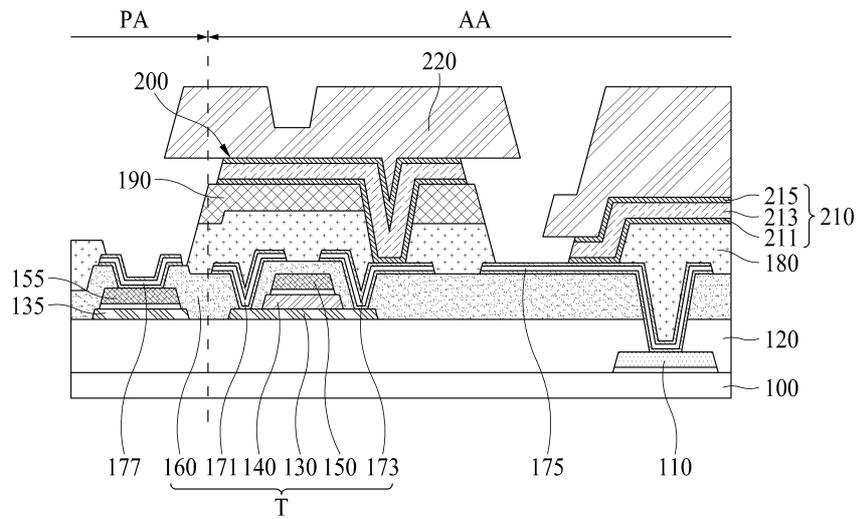
도면2



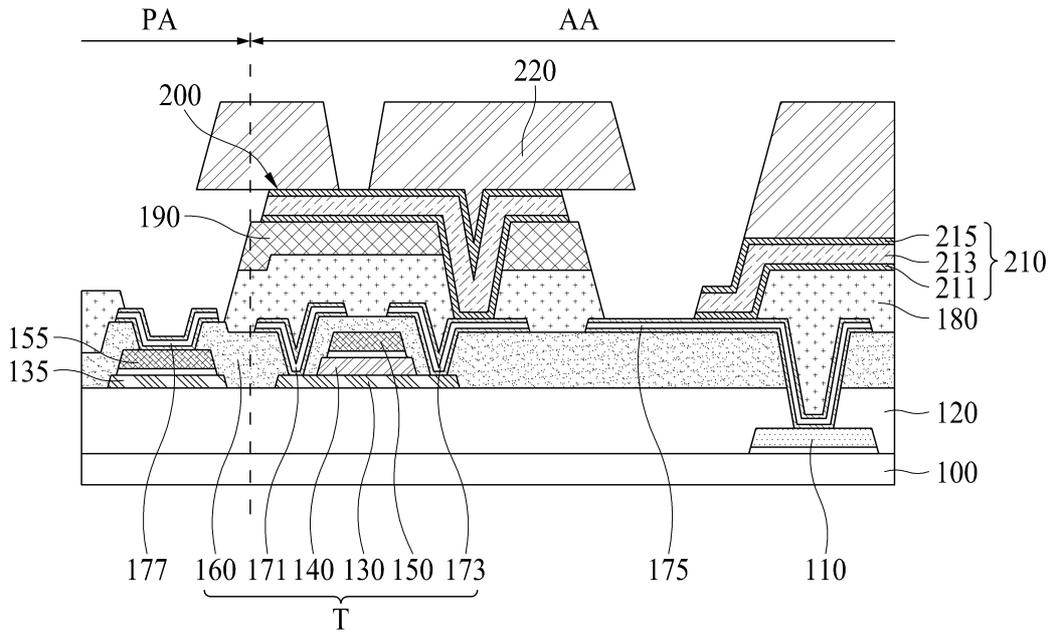
도면3



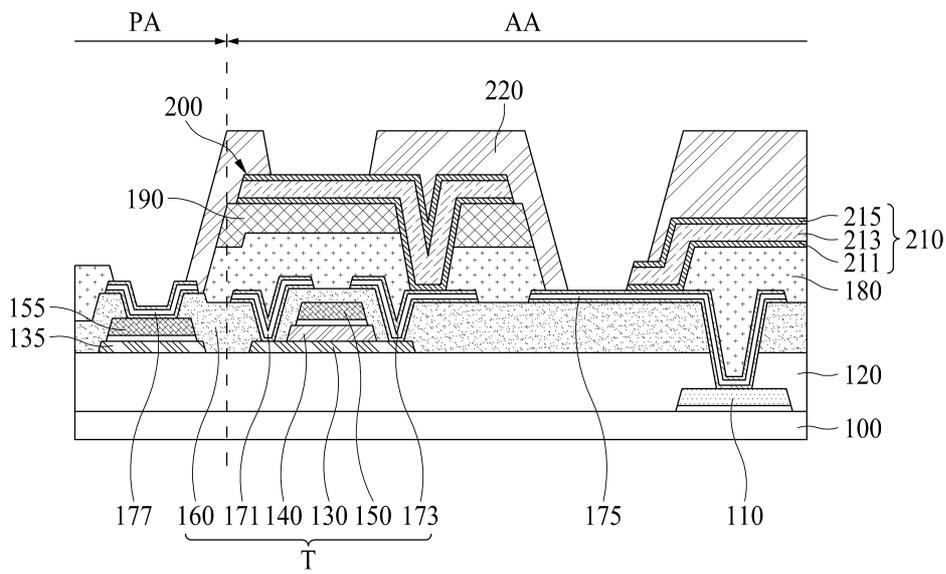
도면4



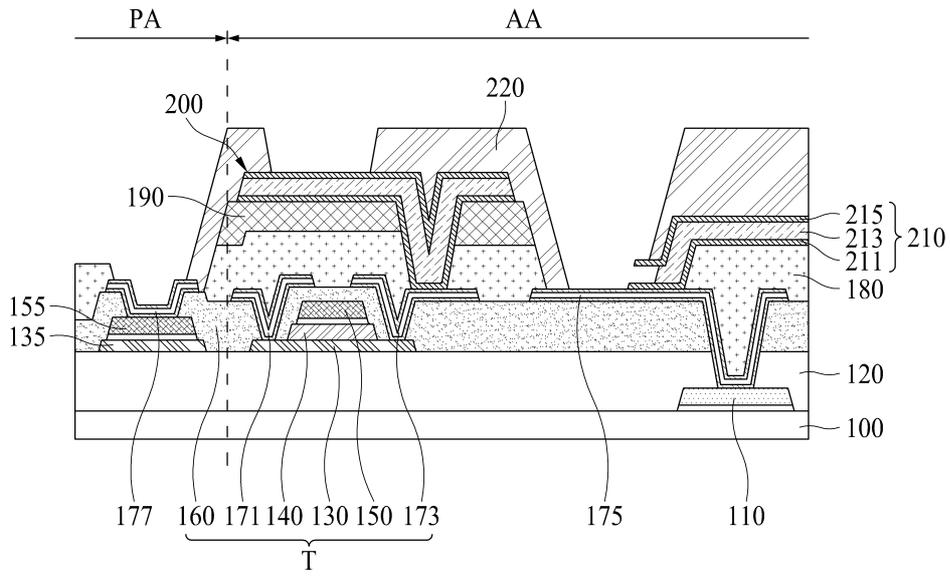
도면5



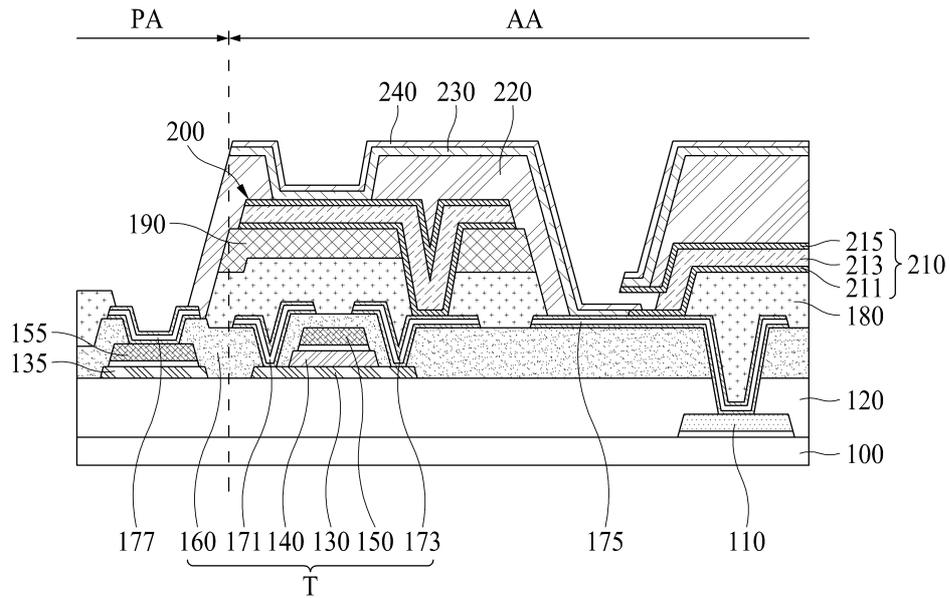
도면6



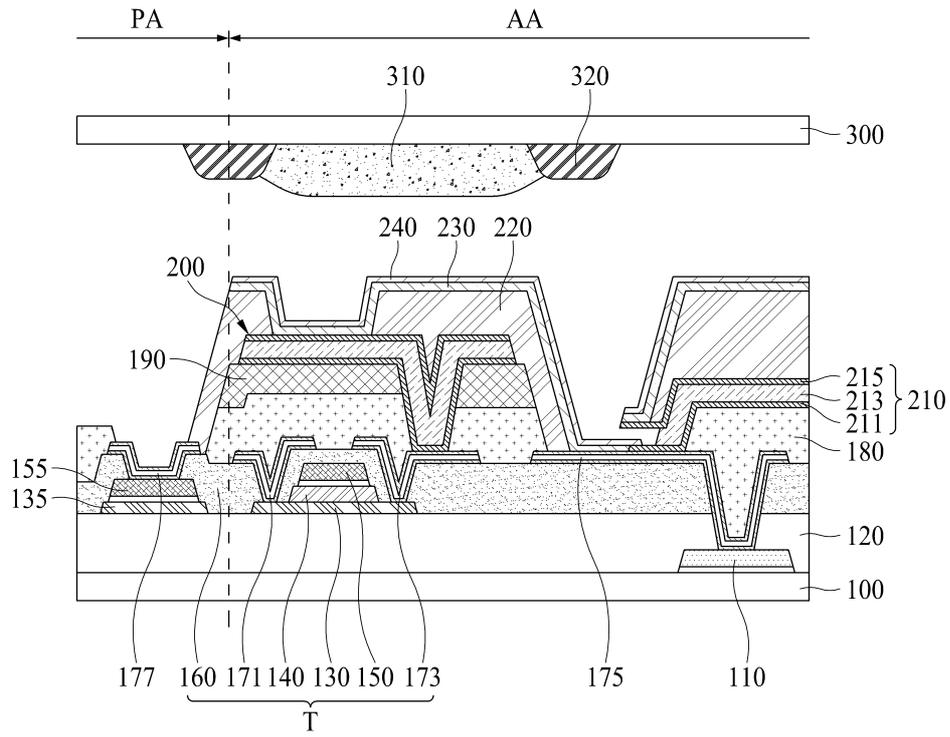
도면7



도면8



도면9



专利名称(译)	OLED显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020170139957A</a>	公开(公告)日	2017-12-20
申请号	KR1020160072620	申请日	2016-06-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HANGYU JUNG 정한규 TAEYOUNG KIM 김태영		
发明人	정한규 김태영		
IPC分类号	H01L51/52 H01L27/32 H01L51/00 H01L51/56		
CPC分类号	H01L51/5228 H01L27/3276 H01L51/0023 H01L51/56 H01L27/3262 H01L27/3246 H01L2227/323		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供有机发光显示装置及其制造方法，其在整个表面上蒸发有机发光层，并且可以连接辅助电极和阴极电极，使得辅助电极能够布置在第一基板上，并且设置与辅助电极和第一电极分开的薄膜晶体管。布置成与辅助电极和第一电极分开的薄膜晶体管与薄膜晶体管电连接。此外，本发明包括多层电极，并且布置在第一电极上的有机发光层和连接到多层电极的第二电极和多层电极分开有机发光层。多层电极与辅助电极电连接。

