



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0123400
(43) 공개일자 2017년11월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) G09G 3/20 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 3/2074 (2013.01)
(21) 출원번호 10-2016-0052395
(22) 출원일자 2016년04월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
하원규
경기도 파주시 책향기로 371 602동 1003호 (동패
동, 숲속길마을동문굿모닝힐아파트)
(74) 대리인
김은구, 송해모

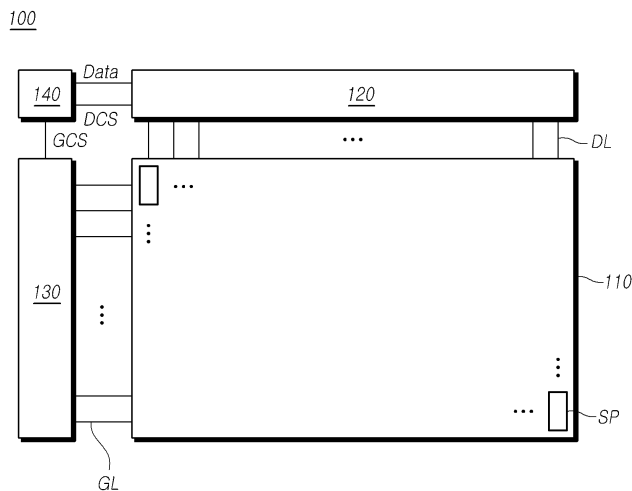
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기발광표시패널, 유기발광표시장치 및 그 구동방법

(57) 요약

본 실시예들은, 유기발광표시패널, 유기발광표시장치 및 그 구동방법에 관한 것으로서, 더욱 상세하게는, 프레임 주파수에 의해 정의되는 영상 프레임 사이마다 실제 영상과는 무관한 페이크 영상을 표시할 수 있는 유기발광표시패널, 유기발광표시장치 및 그 구동방법에 관한 것이다. 이러한 본 실시예들에 의하면, 저속 프레임 주파수로 저속 구동하면서도 고속 프레임 주파수로 고속 구동을 하는 것처럼 보이도록 해줄 수 있고, 동영상 응답 시간 및 화질을 향상시켜줄 수 있다.

대표도 - 도1



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0252 (2013.01)

G09G 2320/043 (2013.01)

명세서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되는 유기발광표시패널을 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와,

상기 유기발광다이오드를 구동하는 구동 트랜지스터와,

상기 구동 트랜지스터의 제1 노드로 데이터 전압을 전달해 주기 위한 제1 트랜지스터와,

상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

프레임 주파수에 의해 정의되는 영상 프레임 사이마다 실제 영상과는 무관한 페이크 영상을 표시하는 유기발광 표시장치.

청구항 2

제1항에 있어서,

상기 페이크 영상은 상기 실제 영상과는 무관한 영상으로서 블랙 영상인 유기발광표시장치.

청구항 3

제1항에 있어서,

육안으로 인지되는 프레임 주파수는 상기 프레임 주파수보다 높은 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 실제 영상이 표시되는 구간의 길이는,

상기 페이크 영상이 표시되는 구간의 길이와 동일한 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 실제 영상이 표시되는 구간의 길이는,

상기 페이크 영상이 표시되는 구간의 길이보다 긴 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 페이크 영상이 표시되는 구간에서,

상기 구동 트랜지스터의 제1 노드와 제2 노드는 동일한 전압 레벨을 갖는 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 페이크 영상이 표시되는 구간에서,

상기 구동 트랜지스터의 제1 노드는 턴-오프 레벨 전압을 갖는 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 다수의 서브픽셀 각각은,

상기 실제 영상이 표시되는 구간 동안 턴-오프 상태이고 상기 페이크 영상이 표시되는 구간 동안 턴-온 상태인 페이크 스캔 트랜지스터(Fake Scan Transistor)를 더 포함하고,

상기 페이크 스캔 트랜지스터는 턴-온 되어 상기 구동 트랜지스터를 턴-오프 시켜 상기 유기발광다이오드를 비발광시키는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 페이크 스캔 트랜지스터는,

상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결되고,

게이트 노드에 인가되는 페이크 스캔 신호에 제어되는 유기발광표시장치.

청구항 10

제9항에 있어서,

상기 제1 트랜지스터의 게이트 노드에 인가되는 스캔 신호가 턴-온 레벨 전압인 경우, 상기 페이크 스캔 신호는 턴-오프 레벨 전압이고,

상기 제1 트랜지스터의 게이트 노드에 인가되는 스캔 신호가 턴-오프 레벨 전압으로 바뀐 이후, 상기 페이크 스캔 신호는 턴-온 레벨 전압으로 바뀌고,

상기 페이크 스캔 신호의 턴-온 레벨 전압이 인가되는 시점은 상기 페이크 영상이 표시되는 구간의 시작 시점과 대응되는 유기발광표시장치.

청구항 11

제8항에 있어서,

상기 페이크 스캔 트랜지스터는,

상기 제1 트랜지스터의 게이트 노드와 상기 구동 트랜지스터의 제1 노드 사이에 전기적으로 연결되거나,

상기 제1 트랜지스터의 게이트 노드에 전기적으로 연결된 게이트 라인과 상기 구동 트랜지스터의 제1 노드 사이에 전기적으로 연결되고,

게이트 노드에 인가되는 페이크 스캔 신호에 제어되는 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 제1 트랜지스터의 게이트 노드에 인가되는 스캔 신호가 턴-온 레벨 전압인 경우, 상기 페이크 스캔 신호는 턴-오프 레벨 전압이고,

상기 제1 트랜지스터의 게이트 노드에 인가되는 스캔 신호가 턴-오프 레벨 전압으로 바뀐 이후, 상기 페이크 스캔 신호는 턴-온 레벨 전압으로 바뀌고,

상기 페이크 스캔 신호의 턴-온 레벨 전압이 인가되는 시점은 상기 페이크 영상이 표시되는 구간의 시작 시점과 대응되는 유기발광표시장치.

청구항 13

제11항에 있어서,

상기 제1 트랜지스터가 턴-오프 상태일 때, 상기 페이크 스캔 트랜지스터가 턴-온 되면,

상기 페이크 스캔 트랜지스터는,

상기 제1 트랜지스터의 게이트 노드에 인가되는 스캔 신호의 턴-오프 레벨 전압을 상기 구동 트랜지스터의 제1 노드에 인가해주는 유기발광표시장치.

청구항 14

제1항에 있어서,

상기 다수의 서브픽셀 각각에는 상기 구동 트랜지스터의 제2 노드와 기준 전압을 공급하는 기준 전압 라인 사이에 전기적으로 연결되는 제2 트랜지스터가 더 배치되는 유기발광표시장치.

청구항 15

다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되는 유기발광표시패널을 포함하고,

상기 각 서브픽셀은,

유기발광다이오드와,

상기 유기발광다이오드를 구동하는 구동 트랜지스터와,

상기 구동 트랜지스터의 제1 노드로 데이터 전압을 전달해주기 위한 제1 트랜지스터와,

상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

프레임 주파수에 의해 정의된 한 프레임 구간 동안, 각 서브픽셀은 적어도 한 차례의 발광 상태 변화가 있는 유기발광표시장치.

청구항 16

데이터 전압을 공급하는 다수의 데이터 라인;

스캔 신호를 공급하는 다수의 게이트 라인; 및

상기 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되어 배열되는 다수의 서브픽셀을 포함하고,

상기 다수의 서브픽셀 각각에는,

유기발광다이오드와,

상기 유기발광다이오드를 구동하는 구동 트랜지스터와,

상기 구동 트랜지스터의 제1 노드로 데이터 전압을 전달해주기 위한 제1 트랜지스터와,

상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터가 배치되고,

상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 페이크 스캔 트랜지스터가 더 배치되며,

상기 페이크 스캔 트랜지스터는,

상기 제1 트랜지스터가 턴-온 상태일 때에는 턴-오프 상태이고,

상기 제1 트랜지스터가 턴-오프 된 이후 턴-온 되는 유기발광표시패널.

청구항 17

데이터 전압을 공급하는 다수의 데이터 라인;

스캔 신호를 공급하는 다수의 게이트 라인; 및

상기 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되어 배열되는 다수의 서브픽셀을 포함하고,
 상기 다수의 서브픽셀 각각에는,
 유기발광다이오드와,
 상기 유기발광다이오드를 구동하는 구동 트랜지스터와,
 상기 구동 트랜지스터의 제1 노드로 데이터 전압을 전달해주기 위한 제1 트랜지스터와,
 상기 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터가 배치되고,
 상기 제1 트랜지스터의 게이트 노드와 상기 구동 트랜지스터의 제1 노드 사이에 전기적으로 연결되거나, 상기 제1 트랜지스터의 게이트 노드에 전기적으로 연결된 게이트 라인과 상기 구동 트랜지스터의 제1 노드 사이에 전기적으로 연결되는 페이크 스캔 트랜지스터가 더 배치되는 유기발광표시패널.

청구항 18

다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되어 다수의 서브픽셀이 매트릭스 타입으로 배열된 유기발광표시패널을 포함하는 유기발광표시장치의 구동방법에 있어서,
 i (i 는 1 이상의 자연수)번째 프레임 구간이 시작되면, 다수의 서브픽셀 행을 순차적으로 발광시키는 단계;
 상기 i 번째 프레임 구간이 시작되어 일정 시간이 경과하면, 상기 다수의 서브픽셀 행을 순차적으로 비 발광시키는 단계; 및
 $i+1$ 번째 프레임 구간이 시작되면, 상기 다수의 서브픽셀 행을 순차적으로 발광시키는 단계를 포함하는 유기발광표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시패널, 유기발광표시장치 및 그 구동방법에 관한 것이다.

배경 기술

- [0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.
- [0003] 이러한 유기발광표시장치는 유기발광다이오드가 포함된 서브픽셀을 매트릭스 형태로 배열하고 스캔 신호에 의해 선택된 서브픽셀들의 밝기를 데이터의 계조에 따라 제어한다.
- [0004] 한편, 보다 높은 응답속도를 위한 고속 구동에 대한 요구가 커지고 있다.
- [0005] 하지만, 고속 구동을 위해서는 데이터 입력을 고속으로 해야 하는데, 이는 데이터 드라이버의 고성능을 필요로 할 뿐만 아니라, 대면적 및 고해상도에서는 데이터 라인에 대한 로드가 크기 때문에, 고속 구동을 적용하기에는 한계가 있는 실정이다.

발명의 내용

해결하려는 과제

- [0006] 본 실시예들의 목적은, 저속으로 구동하면서도 고속으로 구동하는 것처럼 보이도록 해주는 페이크 고속 구동을 제공하는 데 있다.
- [0007] 본 실시예들의 다른 목적은, 프레임 주파수를 높여주지 않고도 동영상 응답 시간 및 화질을 향상시켜줄 수 있는 페이크 고속 구동을 제공하는 데 있다.
- [0008] 본 실시예들의 또 다른 목적은, 프레임 주파수를 높여주지 않고도 고속 구동처럼 보이도록 해주는 서브픽셀 구조를 제공하는 데 있다.

과제의 해결 수단

- [0009] 본 실시예들은, 저속으로 구동하면서도 고속으로 구동하는 것처럼 보이도록 해주는 유기발광표시패널, 유기발광 표시장치 및 그 구동방법을 제공할 수 있다.
- [0010] 본 실시예들은, 프레임 주파수를 높여주지 않고도 동영상 응답 시간 및 화질을 향상시켜줄 수 있는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공할 수 있다.
- [0011] 본 실시예들은, 프레임 주파수를 높여주지 않고도 고속 구동처럼 보이도록 해주는 서브픽셀 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공할 수 있다.
- [0012] 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되는 다수의 서브픽셀이 배열되는 유기발광표시패널을 포함하는 유기발광표시장치를 제공할 수 있다.
- [0013] 이러한 유기발광표시장치에서 각 서브픽셀은, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 구동 트랜지스터의 제1 노드로 데이터 전압을 전달해주기 위한 제1 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함할 수 있다.
- [0014] 이러한 유기발광표시장치는, 프레임 주파수에 의해 정의되는 영상 프레임 사이마다 실제 영상과는 무관한 페이크 영상을 표시할 수 있다.
- [0015] 위에서 언급한 페이크 영상은, 일 예로, 영상 프레임에서 표시되는 실제 영상과는 무관한 영상으로서 블랙 영상일 수 있다.
- [0016] 이러한 유기발광표시장치에 대하여, 육안으로 인지되는 프레임 주파수는 실제의 프레임 주파수보다 높을 수 있다.
- [0017] 본 실시예들에 따른 유기발광표시장치에서, 프레임 주파수에 의해 정의된 한 프레임 구간 동안, 각 서브픽셀은 적어도 한 차례의 발광 상태 변화가 있을 수 있다.
- [0018] 본 실시예들은, 데이터 전압을 공급하는 다수의 데이터 라인과, 스캔 신호를 공급하는 다수의 게이트 라인과, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되어 배열되는 다수의 서브픽셀을 포함하는 유기발광표시패널을 제공할 수 있다.
- [0019] 이러한 유기발광표시패널에서, 다수의 서브픽셀 각각에는, 유기발광다이오드와, 유기발광다이오드를 구동하는 구동 트랜지스터와, 구동 트랜지스터의 제1 노드로 데이터 전압을 전달해주기 위한 제1 트랜지스터와, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터가 배치될 수 있다.
- [0020] 이러한 유기발광표시패널에서, 다수의 서브픽셀 각각에는, 페이크 스캔 트랜지스터가 더 배치될 수 있다.
- [0021] 페이크 스캔 트랜지스터는, 구동 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결될 수 있다.
- [0022] 이러한 페이크 스캔 트랜지스터는, 제1 트랜지스터가 턴-온 상태일 때에는 턴-오프 상태일 수 있다.
- [0023] 이러한 페이크 스캔 트랜지스터는, 제1 트랜지스터가 턴-오프 된 이후 턴-온 될 수 있다. 이에 따라, 유기발광다이오드가 비 발광 될 수 있다.
- [0024] 전술한 페이크 스캔 트랜지스터의 연결 구조와 다르게, 페이크 스캔 트랜지스터는, 제1 트랜지스터의 게이트 노드와 구동 트랜지스터의 제1 노드 사이에 전기적으로 연결되거나, 제1 트랜지스터의 게이트 노드에 전기적으로 연결된 게이트 라인과 구동 트랜지스터의 제1 노드 사이에 전기적으로 연결될 수 있다.
- [0025] 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인에 의해 정의되어 다수의 서브픽셀이 매트릭스 타입으로 배열된 유기발광표시패널을 포함하는 유기발광표시장치의 구동방법을 제공할 수 있다.
- [0026] 이러한 유기발광표시장치의 구동방법은, i (i 는 1 이상의 자연수)번째 프레임 구간이 시작되면, 다수의 서브픽셀 행을 순차적으로 발광시키는 단계와, i 번째 프레임 구간이 시작되어 일정 시간이 경과하면, 다수의 서브픽셀 행을 순차적으로 비 발광시키는 단계와, $i+1$ 번째 프레임 구간이 시작되면, 다수의 서브픽셀 행을 순차적으로 발광시키는 단계를 포함할 수 있다.

발명의 효과

- [0027] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 저속으로 구동하면서도 고속으로 구동하는 것처럼 보이도록 해주는 페이크 고속 구동을 제공할 수 있다.
- [0028] 또한, 본 실시예들에 의하면, 프레임 주파수를 높여주지 않고도 동영상 응답 시간 및 화질을 향상시켜줄 수 있는 페이크 고속 구동을 제공할 수 있다.
- [0029] 또한, 본 실시예들에 의하면, 프레임 주파수를 높여주지 않고도 고속 구동처럼 보이도록 해주는 서브픽셀 구조를 제공할 수 있다.
- [0030] 또한, 본 실시예들에 의하면, 프레임 주파수를 높여주지 않고도 고속 구동처럼 보이도록 해주면서도, 구동 트랜지스터의 열화도 복원시켜줄 수 있다.

도면의 간단한 설명

- [0031] 도 1은 본 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.
- 도 2는 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도이다.
- 도 3은 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 다른 예시도이다.
- 도 4 및 도 5는 본 실시예들에 따른 유기발광표시장치의 도 3의 서브픽셀 구조의 2가지 예시도이다.
- 도 6은 본 실시예들에 따른 유기발광표시장치의 저속 구동과 고속 구동을 나타낸 도면이다.
- 도 7은 본 실시예들에 따른 유기발광표시장치의 저속 구동과 고속 구동에 따른 데이터 전압 또는 스캔 신호의 신호 파형도이다.
- 도 8은 본 실시예들에 따른 유기발광표시장치의 페이크(Fake) 고속 구동을 나타낸 도면이다.
- 도 9 및 도 10은 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동의 특성과 화면 변화를 나타낸 도면이다.
- 도 11은 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동 시, 리얼 구동(Real Driving)과 페이크 구동(Fake Driving) 각각의 구동 시간 길이가 동일한 경우를 나타낸 도면이다.
- 도 12는 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동 시, 리얼 구동(Real Driving)과 페이크 구동(Fake Driving) 각각의 구동 시간 길이가 다른 경우를 나타낸 도면이다.
- 도 13은 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동을 위한 제어 방법을 간략하게 설명하기 위한 도면이다.
- 도 14는 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동을 위한 제1 서브픽셀 구조를 나타낸 도면이다.
- 도 15a, 도 15b 및 도 16은 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동을 위한 제1 서브픽셀 구조에서, 스캔 신호와 페이크 스캔 신호를 나타낸 도면이다.
- 도 17은 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동을 위한 제2 서브픽셀 구조를 나타낸 도면이다.
- 도 18a, 도 18b 및 도 19는 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동을 위한 제2 서브픽셀 구조에서, 스캔 신호와 페이크 스캔 신호를 나타낸 도면이다.
- 도 20 및 도 21은 본 실시예들에 따른 유기발광표시장치의 페이크 고속 구동을 위한 유기발광표시패널을 나타낸 도면이다.
- 도 22는 본 실시예들에 따른 유기발광표시장치의 구동방법에 대한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본

발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

- [0033] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0034] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템 구성도이다.
- [0035] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되는 다수의 서브픽셀(SP: Sub Pixel)이 매트릭스 타입으로 배열된 유기발광표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.
- [0036] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.
- [0037] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0038] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다.
- [0039] 이러한 컨트롤러(140)는, 데이터 드라이버(120)와 별도의 부품으로 구현될 수도 있고, 데이터 드라이버(120)와 함께 집적회로로 구현될 수 있다.
- [0040] 데이터 드라이버(120)는, 다수의 데이터 라인(DL)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.
- [0041] 이러한 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0042] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0043] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0044] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.
- [0045] 이러한 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0046] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0047] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.
- [0048] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.
- [0049] 데이터 드라이버(120)는, 도 1에서와 같이, 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.

- [0050] 게이트 드라이버(130)는, 도 1에서와 같이, 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치할 수도 있고, 경우에 따라서는, 구동 방식, 패널 설계 방식 등에 따라 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0051] 전술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0052] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.
- [0053] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0054] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.
- [0055] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0056] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.
- [0057] 유기발광표시패널(110)에 배열된 각 서브픽셀(SP)은 자발광 소자인 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0058] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제공 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.
- [0059] 도 2는 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도이다.
- [0060] 도 2를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서, 각 서브픽셀(SP)은, 기본적으로, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT: Driving Transistor)와, 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 제1 노드(N1)로 데이터 전압을 전달해주기 위한 제1 트랜지스터(T1)와, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 정해진 시간(예: 1 프레임 시간 또는 1/2 프레임 시간 등) 동안 유지하는 스토리지 캐패시터(Cst: Storage Capacitor)를 포함하여 구성될 수 있다.
- [0061] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극 또는 캐소드 전극), 유기층 및 제2전극(예: 캐소드 전극 또는 애노드 전극) 등으로 이루어질 수 있다.
- [0062] 유기발광다이오드(OLED)의 제2전극에는 기저 전압(EVSS)이 인가될 수 있다.
- [0063] 구동 트랜지스터(DRT)는 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동해준다.
- [0064] 구동 트랜지스터(DRT)는 제1 노드(N1), 제2 노드(N2) 및 제3노드(N3)를 갖는다.
- [0065] 구동 트랜지스터(DRT)의 제1 노드(N1)는 게이트 노드에 해당하는 노드로서, 제1 트랜지스터(T1)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.
- [0066] 구동 트랜지스터(DRT)의 제2 노드(N2)는 유기발광다이오드(OLED)의 제1전극과 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다.

- [0067] 구동 트랜지스터(DRT)의 제3노드(N3)는 구동 전압(EVDD)이 인가되는 노드로서, 구동 전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.
- [0068] 구동 트랜지스터(DRT)와 제1 트랜지스터(T1)는, 도 2의 예시와 같이 n 타입으로 구현될 수도 있고, p 타입으로도 구현될 수도 있다.
- [0069] 제1 트랜지스터(T1)는 데이터 라인(DL)과 구동 트랜지스터(DRT)의 제1 노드(N1) 사이에 전기적으로 연결되고, 게이트 라인을 통해 스캔 신호(SCAN)를 게이트 노드로 인가 받아 제어될 수 있다.
- [0070] 이러한 제1 트랜지스터(T1)는 스캔 신호(SCAN)에 의해 턴-온 되어 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 구동 트랜지스터(DRT)의 제1 노드(N1)로 전달해줄 수 있다.
- [0071] 스토리지 캐패시터(Cst)는 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결될 수 있다.
- [0072] 이러한 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 구동 트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.
- [0073] 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 다른 예시도이다.
- [0074] 도 3을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)에 배치된 각 서브픽셀은, 일 예로, 유기발광다이오드(OLED), 구동 트랜지스터(DRT), 제1 트랜지스터(T1) 및 스토리지 캐패시터(Cst) 이외에, 제2 트랜지스터(T2)를 더 포함할 수 있다.
- [0075] 도 3을 참조하면, 제2 트랜지스터(T2)는 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준 전압(Vref: Reference Voltage)을 공급하는 기준 전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 연결되고, 게이트 노드로 스캔 신호의 일종인 센싱 신호(SENSE)를 인가 받아 제어될 수 있다.
- [0076] 이러한 제2 트랜지스터(T2)는 센싱 신호(SENSE)에 의해 턴-온 되어 기준 전압 라인(RVL)을 통해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DRT)의 제2 노드(N2)에 인가해준다.
- [0077] 구동 트랜지스터(DRT), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)는, n형 트랜지스터일 수도 있고, p형 트랜지스터일 수도 있다.
- [0078] 도 3을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 기준 전압 라인(RVL)의 전압을 측정하여 디지털 값으로 변환하는 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)와, 구동 트랜지스터(DRT)의 제2 노드(N2)에 기준 전압(Vref)이 인가되는 여부를 제어하는 초기화 스위치(SPRE)와, 기준 전압 라인(RVL)과 아날로그 디지털 컨버터(ADC) 간의 연결을 제어하는 샘플링 스위치(SAM)를 더 포함할 수 있다.
- [0079] 초기화 스위치(SPRE)는, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제2 노드(N2)가 원하는 회로 소자의 특성치를 반영하는 전압 상태가 되도록, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 인가 상태를 제어하기 위한 스위치이다.
- [0080] 초기화 스위치(SPRE)가 턴-온 되면, 기준 전압(Vref)이 기준전압 라인(RVL)으로 공급되어 턴-온 되어 있는 제2 트랜지스터(T2)를 통해 구동 트랜지스터(DRT)의 제2 노드(N2)로 인가될 수 있다.
- [0081] 샘플링 스위치(SAM)는, 턴-온 되어, 기준 전압 라인(RVL)과 아날로그 디지털 컨버터(ADC)를 전기적으로 연결해준다.
- [0082] 샘플링 스위치(SAM)는, 서브픽셀(SP) 내 구동 트랜지스터(DRT)의 제2 노드(N2)가 원하는 회로 소자의 특성치를 반영하는 전압 상태가 되었을 때, 턴-온 되도록, 온-오프 타이밍이 제어된다.
- [0083] 샘플링 스위치(SAM)가 턴-온 되면, 아날로그 디지털 컨버터(ADC)는 연결된 기준 전압 라인(RVL)의 전압을 센싱할 수 있다.
- [0084] 아날로그 디지털 컨버터(ADC)가 기준 전압 라인(RVL)의 전압을 센싱할 때, 제2 트랜지스터(T2)가 턴-온 되어 있는 경우, 구동 트랜지스터(DRT)의 저항 성분을 무시할 수 있다면, 아날로그 디지털 컨버터(ADC)에 의해 측정된 전압은, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압에 해당할 수 있다.

- [0085] 아날로그 디지털 컨버터(ADC)에 의해 측정된 전압은, 기준 전압 라인(RVL)의 전압, 즉, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압일 수 있다.
- [0086] 기준 전압 라인(RVL) 상에 라인 캐패시터가 존재한다면, 아날로그 디지털 컨버터(ADC)에 의해 센싱되는 전압은, 기준 전압 라인(RVL) 상의 라인 캐패시터에 충전된 전압일 수도 있다.
- [0087] 한편, 본 실시예들에 따른 유기발광표시장치(100)의 경우, 각 서브픽셀(SP)의 구동 시간이 길어짐에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다.
- [0088] 이에 따라, 유기발광다이오드(OLED), 구동 트랜지스터(DRT) 등의 회로 소자가 갖는 고유한 특성치가 변할 수 있다. 여기서, 회로 소자의 고유 특성치는, 유기발광다이오드(OLED)의 문턱전압, 구동 트랜지스터(DRT)의 문턱전압, 구동 트랜지스터(DRT)의 이동도 등을 포함할 수 있다.
- [0089] 회로 소자의 특성치 변화는 해당 서브픽셀의 휘도 변화를 야기할 수 있다. 따라서, 회로 소자의 특성치 변화는 서브픽셀의 휘도 변화와 동일한 개념으로 사용될 수 있다.
- [0090] 또한, 회로 소자 간의 특성치 변화의 정도는 각 회로 소자의 열화 정도의 차이에 따라 서로 다를 수 있다.
- [0091] 이러한 회로 소자 간의 특성치 변화 정도의 차이는, 회로 소자 간 특성치 편차가 발생시켜, 서브픽셀 간의 휘도 편차를 야기할 수 있다. 따라서, 회로 소자 간의 특성치 편차는 서브픽셀 간의 휘도 편차와 동일한 개념으로 사용될 수 있다.
- [0092] 회로 소자의 특성치 변화(서브픽셀의 휘도 변화)와 회로 소자 간 특성치 편차(서브픽셀 간 휘도 편차)는, 서브픽셀의 휘도 표현력에 대한 정확도를 떨어뜨리거나 화면 이상 현상을 발생시키는 등의 문제를 발생시킬 수 있다.
- [0093] 이에, 본 실시예들에 따른 유기발광표시장치(100)는 서브픽셀에 대한 특성치를 센싱하는 센싱 기능과, 센싱 결과를 이용하여 서브픽셀 특성치를 보상해주는 보상 기능을 제공할 수 있다.
- [0094] 여기서, 서브픽셀에 대한 특성치를 센싱한다는 것은, 서브픽셀 내 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED))의 특성치 또는 특성치 변화를 센싱한다는 것, 또는 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED)) 간의 특성치 편차를 센싱한다는 것을 의미할 수 있다.
- [0095] 또한, 서브픽셀에 대한 특성치를 보상한다는 것은, 서브픽셀 내 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED))의 특성치 또는 특성치 변화를 미리 정해진 수준으로 만들어주거나, 회로소자(구동 트랜지스터(DRT), 유기발광다이오드(OLED)) 간의 특성치 편차를 줄여주거나 제거하는 것을 의미할 수 있다.
- [0096] 서브픽셀에 대한 특성치를 센싱하기 위해서, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 특성치 또는 그 변화를 반영하는 상태로 만들어 주는 구동이 필요하다.
- [0097] 이러한 구동이 진행된 이후, 구동 트랜지스터(DRT)의 전압을 기준 전압 라인(RVL)을 통해 측정하여, 측정된 전압을 토대로 서브픽셀에 대한 특성치를 센싱한다.
- [0098] 이와 관련하여, 아날로그 디지털 컨버터(ADC)에 의해 측정된 전압은, 구동 트랜지스터(DRT)의 문턱전압(V_{th}) 또는 문턱전압 편차(ΔV_{th})를 포함하는 전압 값($V_{data}-V_{th}$ 또는 $V_{data}-\Delta V_{th}$, V_{data} : 싱 구동용 데이터 전압임)이거나, 구동 트랜지스터(DRT)의 이동도를 센싱하기 위한 전압 값일 수도 있다.
- [0099] 도 3의 서브픽셀 구조는, 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준 전압 라인(RVL) 사이에 제2 트랜지스터(T2)가 전기적으로 연결되어 있기 때문에, 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압 상태를 제어하기가 쉽기 때문에, 디스플레이 구동 및 센싱 구동을 더욱 효과적으로 수행할 수 있고, 센싱 구동을 통해 서브픽셀의 특성치를 반영할 수 있는 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압을 측정하기가 용이한 장점이 있다.
- [0100] 도 4 및 도 5는 본 실시예들에 따른 유기발광표시장치(100)의 도 3의 서브픽셀 구조의 2가지 예시도이다.
- [0101] 도 4에 도시된 바와 같이, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)는 독립적으로 스위칭 동작이 제어될 수 있다.
- [0102] 이 경우, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 스캔 신호(SCAN)와 제2 트랜지스터(T2)의 게이트 노드에 인가되는 센싱 신호(SENSE)는, 서로 다른 게이트 신호일 수 있다.
- [0103] 즉, 제1 트랜지스터(T1)는 제1 게이트 라인(GL1)을 통해 스캔 신호(SCAN)를 게이트 노드로 인가받고,

- [0104] 제2 트랜지스터(T2)는 제2 게이트 라인(GL2)을 통해 센싱 신호(SENSE)를 게이트 노드로 인가받는다.
- [0105] 이러한 경우, 유기발광표시패널(110)에는 게이트 구동을 위한 2가지의 게이트 라인(GL1, GL2)이 배치되어야 한다.
- [0106] 도 5에 도시된 바와 같이, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)는 동시에 스위칭 동작이 제어될 수 있다.
- [0107] 이 경우, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 스캔 신호(SCAN)와 제2 트랜지스터(T2)의 게이트 노드에 인가되는 센싱 신호(SENSE)는, 동일한 게이트 신호이다.
- [0108] 이러한 경우, 본 명세서에서는, 제2 트랜지스터(T2)의 게이트 노드에 인가되는 센싱 신호(SENSE)를 스캔 신호(SCAN)라고 명명한다.
- [0109] 즉, 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드는, 하나의 게이트 라인(GL)에 동시에 연결되어, 스캔 신호(SCAN)를 동시에 인가받는다.
- [0110] 이러한 경우, 유기발광표시패널(110)에는 게이트 구동을 위한 1가지의 게이트 라인(GL)이 배치되어도 된다.
- [0111] 아래에서는, 동영상 응답 시간(MPRT: Moving Picture Response Time)을 줄여주고 화질을 개선시키기 위한 구동 방법을 설명한다.
- [0112] 이러한 구동 방법을 설명하기에 앞서, 제1 주파수에 해당하는 프레임 주파수로 저속 구동하는 경우와, 제1 주파수보다 높은 제2 주파수로 고속 구동하는 경우에 대하여 먼저 설명한다. 이후, 실제로는 제1 주파수에 해당하는 프레임 주파수를 이용하여 저속 구동을 하면서도, 육안으로는 제1 주파수보다 높은 제2 주파수로 고속 구동하는 것처럼 보이도록 해주는 페이크 고속 구동 방법에 대하여 설명한다.
- [0113] 본 명세서에서는, 저속 구동을 위한 프레임 주파수인 제1 주파수가 120 Hz이고, 고속 구동을 위한 프레임 주파수인 제2 주파수가 240 Hz인 것으로 가정한다.
- [0114] 이는 설명의 편의를 위한 것일 뿐, 저속 구동을 위한 프레임 주파수인 제1 주파수가 60 Hz이고, 고속 구동을 위한 프레임 주파수인 제2 주파수가 120 Hz일 수도 있다.
- [0115] 이뿐만 아니라, 제2 주파수가 제1 주파수보다 높은 주파수이기만 하면, 제1 주파수와 제2 주파수는 그 어떠한 값일 수도 있다.
- [0116] 도 6은 본 실시예들에 따른 유기발광표시장치(100)의 저속 구동과 고속 구동을 나타낸 도면이고, 도 7은 본 실시예들에 따른 유기발광표시장치(100)의 저속 구동과 고속 구동에 따른 데이터 전압(Vdata) 또는 스캔 신호(SCAN)의 신호 파형도이다.
- [0117] 도 6을 참조하면, 프레임 구간은 블랭크 구간에 의해 구분된다.
- [0118] 도 6을 참조하면, 120 Hz에 해당하는 프레임 주파수로 구동하는 저속 구동의 경우, 한 프레임 구간 동안, 서브픽셀 행이 1개씩 순차적으로 구동된다.
- [0119] 240 Hz에 해당하는 프레임 주파수로 구동하는 고속 구동의 경우, 한 프레임 구간 동안, 서브픽셀 행이 2개씩 순차적으로 구동된다.
- [0120] 따라서, 240 Hz에 해당하는 프레임 주파수로 구동하는 240 Hz 구동의 경우, 120 Hz 구동에 비해, 데이터 구동 및 게이트 구동이 2배 빠른 속도로 진행되어야 한다. 즉, 데이터 전압 및 스캔 신호의 공급(입력)이 2배 빠르게 이루어져야 한다.
- [0121] 따라서, 동영상 응답 시간(MPRT)을 줄여주고 화질 개선을 위한 고속 구동을 위해서는, 고성능의 데이터 드라이버(120) 및 게이트 드라이버(130)가 필요하다.
- [0122] 하지만, 대면적 및 고해상도로 유기발광표시패널(110)이 설계되는 경우, 데이터 라인(DL) 및 게이트 라인(GL)의 RC 로드(RC Load)가 크기 때문에, 120 Hz보다 더 빠른 프레임 주파수(예: 240 Hz)로 고속 구동하기가 어렵다.
- [0123] 도 7에 도시된 신호 파형을 스캔 신호(SCAN)의 신호 파형으로 보면, 120 Hz보다 더 빠른 프레임 주파수(예: 240 Hz)로 고속 구동을 하는 경우, 게이트 라인(GL)의 전압 변화가 신속하게 이루어지지 못한다.
- [0124] 따라서, 구동 시점에서 게이트 라인(GL)의 전압이 원하는 전압 값보다 일정 전압 값(ΔV) 만큼 낮을 수 있다.
- [0125] 이러한 전압 오차로 인해, 정상적인 타이밍에 게이트 라인(GL)이 온-오프가 되지 못하여, 화면 이상 현상을 발

생시킬 수 있다.

- [0126] 도 7에 도시된 신호 파형을 데이터 전압(Vdata)의 신호 파형으로 보면, 120 Hz보다 더 빠른 프레임 주파수(예: 240 Hz)로 고속 구동을 하는 경우, 데이터 충전이 빠르게 이루어지지 못한다.
- [0127] 따라서, 구동 시점에서 스토리지 캐패시터(Cst)에 충전되는 전압은, 원하는 전압 값보다 일정 전압(ΔV)만큼 낮아질 수 있다.
- [0128] 이러한 데이터 충전 오차로 인하여, 화면 끌림 현상, 영상 겹침 현상 등의 화면 이상 현상이 발생할 수 있다.
- [0129] 이에, 본 실시예들에 따른 유기발광표시장치(100)는, 실제로는 저속 구동을 하면서도, 육안으로는 고속 구동을 하는 것처럼 보이도록 해주는 페이크 고속 구동(Fake High Speed Driving) 방법을 제공할 수 있다.
- [0130] 도 8은 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 나타낸 도면이다.
- [0131] 도 8을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 실제로는 저속 구동 프레임 주파수(예: 120 Hz)로 저속 구동을 하면서도, 육안으로는 고속 구동 프레임 주파수(예: 240 Hz)로 고속 구동을 하는 것처럼 보이도록 해주는 페이크 고속 구동(Fake High Speed Driving)을 제공한다.
- [0132] 이러한 페이크 고속 구동에 따르면, 실제의 프레임 주파수(예: 120 Hz)에 따라 실제 영상(Real Image)이 표시되는 영상 프레임 사이마다 실제 영상(Real Image)과는 무관한 페이크 영상(Fake Image)이 표시될 수 있다.
- [0133] 본 명세서에서, 실제 영상은 컨트롤러(140)에서 데이터 드라이버(120)로 공급된 영상 데이터에 의해 표현되는 영상이고, 페이크 영상은 컨트롤러(140)에서 데이터 드라이버(120)로의 영상 데이터 공급 없이 서브픽셀 내 노드(예: N1노드, 또는 N1과 N2 노드)의 전압 상태 제어를 통해 표현되는 영상이다.
- [0134] 본 명세서에서, 페이크 영상이 표시되는 화면을 페이크 프레임(Fake Frame)이라고도 한다.
- [0135] 이에 따르면, 육안으로 인지되는 프레임 주파수는, 실제의 프레임 주파수(예: 120 Hz)보다 높은 값(예: 240 Hz)일 수 있다.
- [0136] 이러한 페이크 고속 구동에 의하면, 사용자 눈으로는, 실제 영상과 실제 영상 사이에 페이크 영상이 더 보이기 때문에, 1개의 프레임이 2개의 프레임(영상 프레임, 페이크 프레임)처럼 보이게 된다. 이로 인해, 실제로는 저속 구동 프레임 주파수(예: 120 Hz)로 저속 구동을 하면서도, 육안으로는 고속 구동 프레임 주파수(예: 240 Hz)로 고속 구동을 하는 것처럼 보이게 된다.
- [0137] 이러한 페이크 고속 구동에 따르면, 저속 구동 프레임 주파수에 해당하는 실제의 프레임 주파수(예: 120 Hz)에 의해 정의된 한 프레임 구간 동안, 각 서브픽셀(SP)은 아래의 발광 상태 변화들 중 하나의 상태 변화를 보일 수 있다.
- [0138] (1) 발광 상태 → 비 발광 상태
- [0139] (2) 비 발광 상태 → 발광 상태 → 비 발광 상태
- [0140] (3) 비 발광 상태 → 발광 상태
- [0141] (4) 발광 상태 → 비 발광 상태 → 발광 상태
- [0142] (5) 발광 상태 → 비 발광 상태
- [0143] 다시 말해, 페이크 고속 구동에 따르면, 저속 구동 프레임 주파수에 해당하는 실제의 프레임 주파수(예: 120 Hz)에 의해 정의된 한 프레임 구간 동안, 각 서브픽셀(SP)은 적어도 한 차례의 발광 상태 변화(발광 상태에서 비 발광 상태로의 변화, 또는 비 발광 상태에서 발광 상태로의 변화)가 있다.
- [0144] 전술한 바와 같이, 한 프레임 구간 동안, 각 서브픽셀은 한 차례 이상 발광 상태 변화가 있기 때문에, 육안으로는 한 프레임 구간이 둘 이상의 프레임 구간처럼 보일 수 있다.
- [0145] 위에서 언급한 페이크 영상(Fake Image 또는 Fake Picture)은, 실제 영상(Real Image 또는 Real Picture)과는 무관한 영상으로서, 일 예로, 블랙 영상일 수 있다.
- [0146] 그리고, 페이크 프레임(Fake Frame)은, 페이크 영상이 표시됨으로써, 육안으로는 마치 하나의 프레임처럼 인지되며, 비 발광 프레임이라고도 할 수 있다.
- [0147] 전술한 바에 따르면, 실제의 프레임 주파수로 실제 영상이 표시되는 동안, 실제 영상의 사이마다 블랙 영상을

페이크 영상으로서 삽입함으로써, 사용자는 영상이 보다 빠른 속도로 변화하는 것처럼 느낄 수 있다. 따라서, 블랙 영상 삽입 방식을 통해 페이크 고속 구동을 쉽게 구현할 수 있다.

- [0148] 도 8을 참조하면, 페이크 고속 구동은, 실제 영상을 표시하기 위한 리얼 구동(Real Driving)과, 실제 영상 사이에 페이크 영상을 삽입(표시)하기 위한 페이크 구동(Fake Driving)을 포함한다.
- [0149] 도 8을 참조하면, 첫 번째 프레임 구간이 시작되면, 다수의 서브픽셀 행을 순차적으로 발광시킨다. 여기서, 각 프레임 구간의 시작에 따라 다수의 서브픽셀(SP)을 발광시키는 구동을 "리얼 구동(Real Driving)"이라고 한다.
- [0150] 첫 번째 프레임 구간이 시작되어 일정 시간(Δt)이 경과하면, 다수의 서브픽셀 행을 순차적으로 비 발광시킨다. 여기서, 다수의 서브픽셀 행을 순차적으로 비 발광시키는 구동을 "페이크 구동(Fake Driving)"이라고 한다.
- [0151] 두 번째 프레임 구간이 시작되면, 리얼 구동(Real Driving)을 통해, 다수의 서브픽셀 행을 순차적으로 발광시킨다.
- [0152] 위에서 언급한 리얼 구동(Real Driving)은, 실제 영상을 표시하기 위한 구동으로서, 유기발광표시패널(110)에서의 서브픽셀 내 유기발광다이오드(OLDE)를 발광시키는 일반적인 구동 방식으로 진행된다.
- [0153] 예를 들어, 리얼 구동(Real Driving)은 다음과 같은 방식으로 진행될 수 있다.
- [0154] 제1 트랜지스터(T1)와 제2 트랜지스터(T2)를 모두 턴-온 시켜, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 각각에 데이터 전압(Vdata)과 기준 전압(Vref)을 인가한다. 이후, 제1 트랜지스터(T1)를 턴-오프 시키고, 제2 트랜지스터(T2)를 턴-오프 시키거나 초기화 스위치(SPHE)를 오프 시켜서, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)를 모두 플로팅 시킨다. 이에 따라, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)의 전압이 상승한다. 구동 트랜지스터(DRT)의 제2 노드(N2)의 전압이 유기발광다이오드(OLED)를 구동시킬 수 있는 전압 값만큼 상승하게 되면, 유기발광다이오드(OLED)로 전류가 흐르게 되어 유기발광다이오드(OLED)가 발광을 한다.
- [0155] 본 실시예들에 따른 페이크 고속 구동을 가능하게 하는 페이크 구동(Fake Driving)은, 페이크 영상을 표시하기 위한 구동으로서, 데이터 드라이버(120)로부터 페이크 영상(예: 블랙 영상)을 표시하기 위하여 별도의 데이터 전압을 공급받아 이루어지는 데이터 기반의 구동이 아니라, 서브픽셀 내 회로 소자의 동작 제어를 통해 이루어질 수 있다.
- [0156] 예를 들어, 리얼 구동이 시작된 이후 어 일정 시간(Δt)이 경과하면, 각 서브픽셀 내 구동 트랜지스터(DRT)를 순차적으로 턴-오프 시켜서 각 서브픽셀 내 유기발광다이오드(OLED)를 순차적으로 비 발광시킬 수 있다.
- [0157] 도 9 및 도 10은 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동의 특성과 화면 변화를 나타낸 도면이다.
- [0158] 전술한 바와 같이, 본 실시예들에 따른 페이크 고속 구동에 의하면, 저속 구동 프레임 주파수에 해당하는 실제의 프레임 주파수(예: 120 Hz)에 의해 정의된 한 프레임 구간 동안, 각 서브픽셀(SP)은 적어도 한 차례의 발광 상태 변화(발광 상태에서 비 발광 상태로의 변화, 또는 비 발광 상태에서 발광 상태로의 변화)가 있다.
- [0159] 이로 인해, 특정 시점에서 화면을 보면, 적어도 하나의 영역에서 실제 영상(Real Image)이 표시되어 있고, 적어도 하나의 영역에서 페이크 영상(Fake Image)이 표시되어 있다.
- [0160] 도 9 및 도 10을 참조하면, $t=t_1$ 인 시점에서 화면(1010)을 보면, 화면 상단 영역에 실제 영상이 표시되어 있고, 화면 중앙 영역에 페이크 영상(예: 블랙 영상)이 표시되어 있으며, 화면 하단 영역에 실제 영상이 표시되어 있다.
- [0161] 도 9 및 도 10을 참조하면, $t=t_2$ 인 시점에서 화면(1020)을 보면, 화면 상단 영역에 실제 영상이 표시되어 있고, 화면 하단 영역에 페이크 영상(예: 블랙 영상)이 표시되어 있다.
- [0162] 도 9 및 도 10을 참조하면, $t=t_3$ 인 시점에서 화면(1030)을 보면, 화면 상단 영역에 페이크 영상(예: 블랙 영상)이 표시되어 있고, 화면 중앙 영역에 실제 영상이 표시되어 있으며, 화면 하단 영역에 페이크 영상(예: 블랙 영상)이 표시되어 있다.
- [0163] 전술한 페이크 고속 구동에 의하면, 하나의 서브픽셀의 관점에서 봤을 때, 하나의 프레임 구간의 시간적인 길이 동안, 하나의 서브픽셀은, 실제 영상을 표시하기 위한 리얼 구동이 진행되고, 페이크 영상을 표시하기 위한 페이크 구동이 진행될 수 있다.

- [0164] 한편, 페이크 구동에 따라 실제 영상이 표시되는 시간(즉, 리얼 구동 시간)이 감소하게 된다. 따라서, 페이크 영상 표시에 따른 실제 영상이 표시되는 시간의 감소분만큼 순간적으로 휘도를 상승시킬 필요가 있다.
- [0165] 이러한 순간적인 휘도 상승은, 유기발광다이오드(OLED)에게 전기적인 스트레스로 작용하여 유기발광다이오드(OLED)의 수명을 단축시킬 수 있다.
- [0166] 따라서, 페이크 구동에 따른 갑작스런 큰 휘도 변화를 고려하여, 페이크 구동 시간의 길이를 적절하게 조절할 필요가 있다.
- [0167] 도 11은 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동 시, 리얼 구동(Real Driving)과 페이크 구동(Fake Driving) 각각의 구동 시간 길이가 동일한 경우를 나타낸 도면이다.
- [0168] 도 11에 도시된 바와 같이, 리얼 구동의 구동 시간 길이(RT)와 페이크 구동의 구동 시간 길이(FT)는 동일할 수 있다. 즉, 실제 영상이 표시되는 구간의 길이(RT)는, 페이크 영상이 표시되는 구간의 길이(FT)와 동일할 수 있다.
- [0169] 전술한 바에 따르면, 동일한 시간 동안 리얼 구동과 페이크 구동을 진행하기 때문에 구동 타이밍을 제어하기가 쉬운 장점이 있다.
- [0170] 도 12는 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동 시, 리얼 구동(Real Driving)과 페이크 구동(Fake Driving) 각각의 구동 시간 길이가 다른 경우를 나타낸 도면이다.
- [0171] 도 12에 도시된 바와 같이, 리얼 구동의 구동 시간 길이(RT)와 페이크 구동의 구동 시간 길이(FT)와 다를 수 있다. 즉, 실제 영상이 표시되는 구간의 길이(RT)는, 페이크 영상이 표시되는 구간의 길이(FT)와 다를 수 있다.
- [0172] 일 예로, 도 12에 도시된 바와 같이, 리얼 구동의 구동 시간 길이(RT)는, 페이크 구동의 구동 시간 길이(FT)보다 길 수 있다. 즉, 실제 영상이 표시되는 구간의 길이(RT)는, 페이크 영상이 표시되는 구간의 길이(FT)보다 길 수 있다.
- [0173] 전술한 바에 따르면, 리얼 구동 시간 길이(RT)에 비해 페이크 구동 시간 길이(FT)를 짧게 함으로써, 즉, 실제 영상에 비해 페이크 영상(블랙 영상)을 보다 짧은 시간에 표시함으로써, 페이크 구동에 따른 갑작스런 휘도 상승에도 불구하고, 유기발광다이오드(OLED) 등의 회로 소자에게 가해지는 전기적인 스트레스를 줄여줄 수 있게 되어, 유기발광다이오드(OLED) 등의 회로 소자의 수명 단축을 방지할 수 있다.
- [0174] 전술한 바와 같이, 본 실시예들에 따른 페이크 고속 구동은, 실제로는 저속 구동을 하면서도, 실제 영상 사이마다 페이크 영상(예: 블랙 영상)을 삽입하는 방식을 통해, 육안으로는 고속 구동을 하는 것처럼 보이도록 해주는 구동이다.
- [0175] 본 실시예들은, 페이크 영상을 위한 데이터 공급을 통해 실제 영상 사이마다 페이크 영상(예: 블랙 영상)을 삽입하는 것이 아니라, 회로 소자의 동작 제어를 통해 실제 영상 사이마다 페이크 영상(예: 블랙 영상)이 보이도록 해준다.
- [0176] 아래에서는, 실제 영상 사이마다 페이크 영상(예: 블랙 영상)을 삽입하는 방법에 대하여 구체적으로 설명한다.
- [0177] 도 13은 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 제어 방법을 간략하게 설명하기 위한 도면이다.
- [0178] 단, 아래에서는, 설명의 편의를 위하여, 도 5와 같이, 제1 트랜지스터(T1)의 게이트 노드와 제2 트랜지스터(T2)의 게이트 노드가 동일한 게이트 라인(GL)에 연결된 서브픽셀 구조를 가정한다.
- [0179] 도 13을 참조하면, 페이크 영상이 표시되는 구간(페이크 구동 구간)에서는, 다수의 서브픽셀(SP)이 순차적으로 비 발광된다.
- [0180] 이를 위해, 페이크 영상이 표시되는 구간(페이크 구동 구간)에서는, 구동 트랜지스터(DRT)의 제1 노드(N1)의 전압 상태가 제어된다.
- [0181] 일 예로, 페이크 영상이 표시되는 구간(페이크 구동 구간)에서는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)는 동일한 전압 레벨을 가질 수 있다. 즉, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)의 전위차가 거의 0(Zero)이 된다.
- [0182] 다른 예로, 페이크 영상이 표시되는 구간(페이크 구동 구간)에서는, 구동 트랜지스터(DRT)의 제1 노드(N1)는 턴

-오프 레벨 전압(예를 들어, VGL로서, 음 전위일 수 있음)을 가질 수 있다.

- [0183] 전술한 2가지 전압 제어 방식에 따르면, 페이크 구동 구간(비 발광 구간 동안), 각 서브픽셀의 구동 트랜지스터(DRT)가 순차적으로 턴-오프 되어, 각 서브픽셀의 유기발광다이오드(OLED)가 순차적으로 비 발광 상태로 된다. 이로 인해, 페이크 영상(예: 블랙 영상)이 표시될 수 있다.
- [0184] 전술한 2가지 방식을 위하여, 본 실시예들에 따른 유기발광표시장치(100)에서, 다수의 서브픽셀(SP) 각각은, 실제 영상이 표시되는 구간(리얼 구동 구간) 동안 턴-오프 상태이고 페이크 영상이 표시되는 구간(페이크 구동 구간) 동안 턴-온 상태인 페이크 스캔 트랜지스터(TM: Fake Scan Transistor)를 더 포함할 수 있다.
- [0185] 이러한 페이크 스캔 트랜지스터(TM)는, 턴-온 되어, 구동 트랜지스터(DRT)를 턴-오프 시켜 유기발광다이오드(OLED)를 비 발광시킬 수 있다.
- [0186] 전술한 바에 따르면, 페이크 스캔 트랜지스터(TM)의 턴 온 타이밍과 턴 온 유지 시간을 조절하여, 페이크 구동의 시작 시점과, 페이크 구동 시간 길이(FT)를 조절해줄 수 있다. 즉, 페이크 스캔 트랜지스터(TM)의 턴 온 타이밍과 턴 온 유지 시간을 조절함으로써, 페이크 영상(예: 블랙 영상)의 표시가 시작되는 시점과 페이크 영상(예: 블랙 영상)이 표시되는 시간 길이를 조절해줄 수 있다.
- [0187] 따라서, 본 실시예들에 따른 유기발광표시장치(100)는, 동영상 응답 속도, 화질 및 디스플레이 효율성 등을 종합적으로 고려하여, 페이크 스캔 트랜지스터(TM)의 온-오프 타이밍 제어를 통해, 효율적인 페이크 고속 구동을 수행할 수 있다.
- [0188] 이러한 페이크 스캔 트랜지스터(TM)의 온-오프를 제어하는 페이크 스캔 신호(SCAN_TM)는, 컨트롤러(140)의 타이밍 제어에 따라 게이트 드라이버(130)에서 출력된다.
- [0189] 아래에서는, 전술한 2가지 전압 제어 방식에 맞는 2가지 서브픽셀 구조를 설명한다.
- [0190] 도 14는 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 제1 서브픽셀 구조를 나타낸 도면이다.
- [0191] 도 14를 참조하면, 페이크 구동을 위해 각 서브픽셀에 배치된 페이크 스캔 트랜지스터(TM)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결될 수 있다.
- [0192] 이러한 페이크 스캔 트랜지스터(TM)는, 게이트 노드에 인가되는 페이크 스캔 신호(SCAN_TM)에 제어될 수 있다.
- [0193] 이러한 제1 서브픽셀 구조에서의 페이크 스캔 트랜지스터(TM)의 연결 구조에 따라, 페이크 스캔 트랜지스터(TM)의 온-오프 제어를 통해, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)의 전위차(스토리지 캐패시터(Cst)의 양 단 전위차)를 효율적으로 제어해줄 수 있다.
- [0194] 도 15a, 도 15b 및 도 16은 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 제1 서브픽셀 구조에서, 스캔 신호(SCAN)와 페이크 스캔 신호(SCAN_TM)를 나타낸 도면이다.
- [0195] 도 15a, 도 15b 및 도 16은, 저속 구동 프레임 주파수에 해당하는 실제의 프레임 주파수(예: 120 Hz)에 의해 정의된 한 프레임 구간 동안, 발광 상태에서 비 발광 상태로 변하는 서브픽셀(리얼 구동을 통해 리얼 영상이 표시되다가 페이크 구동을 통해 페이크 영상이 표시되는 서브픽셀)에 포함된 제1 트랜지스터(T1)와 페이크 스캔 트랜지스터(TM)의 온-오프 제어를 나타낸 도면이다.
- [0196] 도 15a를 참조하면, 리얼 구동 시간 길이(RT)와 페이크 구동 시간(FT)는 동일하고, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압 구간이 페이크 구동 시간(FT)과 대응될 수 있다.
- [0197] 경우에 따라서는, 도 15b에 도시된 바와 같이, 리얼 구동 시간 길이(RT)이 페이크 구동 시간(FT)에 비해 길고, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압 구간이 페이크 구동 시간(FT)과 대응될 수 있다.
- [0198] 또한, 경우에 따라서는, 도 16b에 도시된 바와 같이, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압 구간이 페이크 구동 시간(FT)보다 짧을 수 있으며, 이 경우, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압(예: VGH)은 1HT (Horizontal Time) 동안만 짧게 인가될 수도 있다.
- [0199] 도 15a, 도 15b 및 도 16을 참조하면, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 스캔 신호(SCAN)가 턴-온 레벨 전압(예: VGH)인 경우, 페이크 스캔 트랜지스터(TM)의 게이트 노드에 인가되는 페이크 스캔 신호(SCAN_TM)는 턴-오프 레벨 전압(예: VGL)이다.

- [0200] 도 15a, 도 15b 및 도 16을 참조하면, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 스캔 신호(SCAN)가 턴-온 레벨 전압(예: VGH)에서 턴-오프 레벨 전압(예: VGL)으로 바뀐 이후, 페이크 스캔 트랜지스터(TM)의 게이트 노드에 인가되는 페이크 스캔 신호(SCAN_TM)는 턴-온 레벨 전압(예: VGH)으로 바뀐다.
- [0201] 이에 따라, 페이크 구동이 시작되어 페이크 영상이 표시된다.
- [0202] 페이크 스캔 트랜지스터(TM)의 게이트 노드에 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압(예: VGH)이 인가되는 시점은 페이크 영상이 표시되는 구간(페이크 구동 구간)의 시작 시점과 대응된다.
- [0203] 한편, 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)가 턴-오프 된 이후, 그 어떠한 시점에든 턴-온 될 수 있다.
- [0204] 다시 말해, 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)의 턴-온 되어 있을 때 턴-오프 되어야 한다. 하지만, 페이크 스캔 트랜지스터(TM)의 턴-온 시점은, 제1 트랜지스터(T1)의 턴-오프 시점과는 관계 없이, 자유롭게 정해질 수 있다.
- [0205] 따라서, 제1 트랜지스터(T1)의 턴-오프 시점과는 관계 없이, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2)의 전위차가 영(Zero)이 되는 페이크 스캔 트랜지스터(TM)의 턴-온 시점을 제어함으로써, 페이크 영상이 표시되는 시간의 길이(도 8에서, 페이크 영상에 해당하는 면적과 대응됨)를 자유롭게 조절할 수 있다.
- [0206] 한편, 스캔 신호(SCAN)의 턴-온 레벨 전압(예: VGH 또는 VGL)과, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압(예: VGH 또는 VGL)은, 동일한 전압 값일 수도 있고 다른 전압 값일 수도 있다.
- [0207] 스캔 신호(SCAN)의 턴-오프 레벨 전압(예: VGL 또는 VGH)과, 페이크 스캔 신호(SCAN_TM)의 턴-오프 레벨 전압(예: VGL 또는 VGH)은, 동일한 전압 값일 수도 있고 다른 전압 값일 수도 있다.
- [0208] 도 17은 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 제2 서브픽셀 구조를 나타낸 도면이다.
- [0209] 도 17을 참조하면, 페이크 구동을 위해 각 서브픽셀에 배치된 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)의 게이트 노드(NG1)와 구동 트랜지스터(DRT)의 제1 노드(N1) 사이에 전기적으로 연결될 수 있다.
- [0210] 또는, 페이크 구동을 위해 각 서브픽셀에 배치된 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)의 게이트 노드(NG1)에 전기적으로 연결된 게이트 라인(GL)과 구동 트랜지스터(DRT)의 제1 노드(N1) 사이에 전기적으로 연결될 수 있다.
- [0211] 이러한 페이크 스캔 트랜지스터(TM)는, 게이트 노드에 인가되는 페이크 스캔 신호(SCAN_TM)에 제어될 수 있다.
- [0212] 이러한 제2 서브픽셀 구조에서의 페이크 스캔 트랜지스터(TM)의 연결 구조에 따라, 페이크 스캔 트랜지스터(TM)의 온-오프 제어를 통해, 구동 트랜지스터(DRT)의 제1 노드(N1)의 전압을 효율적으로 제어해줄 수 있다.
- [0213] 도 18a, 도 18b 및 도 19는 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 제2 서브픽셀 구조에서, 스캔 신호(SCAN)와 페이크 스캔 신호(SCAN_TM)를 나타낸 도면이다.
- [0214] 도 18a, 도 18b 및 도 19는, 저속 구동 프레임 주파수에 해당하는 실제의 프레임 주파수(예: 120 Hz)에 의해 정의된 한 프레임 구간 동안, 발광 상태에서 비 발광 상태로 변하는 서브픽셀(리얼 구동을 통해 리얼 영상이 표시되다가 페이크 구동을 통해 페이크 영상이 표시되는 서브픽셀)에 포함된 제1 트랜지스터(T1)와 페이크 스캔 트랜지스터(TM)의 온-오프 제어를 나타낸 도면이다.
- [0215] 도 18a를 참조하면, 실제 영상이 표시되는 구간의 길이에 해당하는 리얼 구동 시간 길이(RT)와 페이크 영상이 표시되는 구간의 길이에 해당하는 페이크 구동 시간(FT)가 동일할 수 있고, 이 경우, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압 구간이 페이크 구동 시간(FT)과 대응될 수 있다.
- [0216] 경우에 따라서, 도 18b에 도시된 바와 같이, 실제 영상이 표시되는 구간의 길이에 해당하는 리얼 구동 시간 길이(RT)이 페이크 영상이 표시되는 구간의 길이에 해당하는 페이크 구동 시간(FT)에 비해 길 수 있다. 이 경우, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압 구간이 페이크 구동 시간(FT)과 대응될 수 있다.
- [0217] 또한, 경우에 따라서는, 도 19에 도시된 바와 같이, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압 구간이 페이크 구동 시간(FT)보다 짧을 수 있으며, 이 경우, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압(예: VGH)은 1HT (Horizontal Time) 동안만 짧게 인가될 수도 있다.

- [0218] 도 18a, 도 18b 및 도 19를 참조하면, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 스캔 신호(SCAN)가 턴-온 레벨 전압(예: VGH)인 경우, 페이크 스캔 트랜지스터(TM)의 게이트 노드에 인가되는 페이크 스캔 신호(SCAN_TM)는 턴-오프 레벨 전압(예: VGL)이다.
- [0219] 도 18a, 도 18b 및 도 19를 참조하면, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 스캔 신호(SCAN)가 턴-온 레벨 전압(예: VGH)에서 턴-오프 레벨 전압(예: VGL)으로 바뀐 이후, 페이크 스캔 트랜지스터(TM)의 게이트 노드에 인가되는 페이크 스캔 신호(SCAN_TM)는 턴-온 레벨 전압(예: VGH)으로 바뀐다.
- [0220] 이에 따라, 페이크 구동이 시작되어 페이크 영상이 표시된다.
- [0221] 페이크 스캔 트랜지스터(TM)의 게이트 노드에 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압(예: VGH)이 인가되는 시점은 페이크 영상이 표시되는 구간(페이크 구동 구간)의 시작 시점과 대응된다.
- [0222] 한편, 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)가 턴-오프 된 이후, 그 어떠한 시점에든 턴-온 될 수 있다.
- [0223] 다시 말해, 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)의 턴-온 되어 있을 때 턴-오프 되어야 한다. 하지만, 페이크 스캔 트랜지스터(TM)의 턴-온 시점은, 제1 트랜지스터(T1)의 턴-오프 시점과는 관계 없이, 자유롭게 정해질 수 있다.
- [0224] 따라서, 제1 트랜지스터(T1)의 턴-오프 시점과는 관계 없이, 구동 트랜지스터(DRT)의 제1 노드(N1)가 턴-오프 레벨 전압(예: VGL)이 되는 페이크 스캔 트랜지스터(TM)의 턴-온 시점을 제어함으로써, 페이크 영상이 표시되는 시간의 길이(도 8에서, 페이크 영상에 해당하는 면적과 대응됨)를 자유롭게 조절할 수 있다.
- [0225] 도 18 및 도 19를 참조하면, 제1 트랜지스터(T1)가 턴-오프 상태일 때, 턴-온 레벨 전압의 페이크 스캔 신호(SCAN_TM)에 의해 페이크 스캔 트랜지스터(TM)가 턴-온 되면, 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)의 게이트 노드에 인가되는 스캔 신호(SCAN)의 턴-오프 레벨 전압(예: VGL)을 구동 트랜지스터(DRT)의 제1 노드(N1)에 인가해줄 수 있다.
- [0226] 여기서, 스캔 신호(SCAN)의 턴-오프 레벨 전압(예: VGL)은, 음의 전압 값을 가질 수 있다.
- [0227] 이와 같이, 음의 전압 값을 갖는 스캔 신호(SCAN)의 턴-오프 레벨 전압(예: VGL)을 구동 트랜지스터(DRT)의 게이트 노드에 해당하는 제1 노드(N1)에 입력하여 페이크 구동을 해줌으로써, 구동 트랜지스터(DRT)의 열화를 복원(회복)시켜주는 부수적인 효과도 얻을 수 있다.
- [0228] 한편, 스캔 신호(SCAN)의 턴-온 레벨 전압(예: VGH 또는 VGL)과, 페이크 스캔 신호(SCAN_TM)의 턴-온 레벨 전압(예: VGH 또는 VGL)은, 동일한 전압 값일 수도 있고 다른 전압 값일 수도 있다.
- [0229] 스캔 신호(SCAN)의 턴-오프 레벨 전압(예: VGL 또는 VGH)과, 페이크 스캔 신호(SCAN_TM)의 턴-오프 레벨 전압(예: VGL 또는 VGH)은, 동일한 전압 값일 수도 있고 다른 전압 값일 수도 있다.
- [0230] 도 20은 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 유기발광표시패널(110)을 나타낸 도면이다.
- [0231] 도 20을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 유기발광표시패널(110)은, 데이터 전압(Vdata)을 공급하는 다수의 데이터 라인(DL)과, 스캔 신호(SCAN)를 공급하는 다수의 게이트 라인(GL)과, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되어 배열되는 다수의 서브픽셀(SP)을 포함한다.
- [0232] 이러한 다수의 서브픽셀(SP) 각각에는, 기본적으로, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT)와, 구동 트랜지스터(DRT)의 제1 노드(N1)로 데이터 전압(Vdata)을 전달해주기 위한 제1 트랜지스터(T1)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst) 등이 배치될 수 있다.
- [0233] 경우에 따라서, 다수의 서브픽셀(SP) 각각에는, 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준 전압 라인(RVL) 사이에 전기적으로 연결된 제2 트랜지스터(T2)가 더 배치될 수 있다.
- [0234] 도 20을 참조하면, 다수의 서브픽셀(SP) 각각에는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 페이크 스캔 트랜지스터(TM)가 더 배치될 수 있다.

- [0235] 이러한 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)가 턴-온 상태일 때에는 턴-오프 상태일 수 있다.
- [0236] 그리고, 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)가 턴-오프 된 이후, 발광 중인 유기발광다이오드(OLED)를 비 발광 시키기 위해 턴-온 될 수 있다.
- [0237] 전술한 유기발광표시패널(110)은, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이의 전위차를 제어하는 페이크 스캔 트랜지스터(TM)를 포함하는 서브픽셀 구조를 갖기 때문에, 실제 영상과 실제 영상 사이에 비 발광에 따른 페이크 영상이 보여지도록 해줄 수 있다. 이를 통해, 육안으로는, 실제의 저속 구동 프레임 주파수(예: 120 Hz)보다 높은 고속 구동 프레임 주파수(예: 240 Hz)로 고속 구동이 되는 것처럼 보이도록 해줄 수 있다.
- [0238] 도 21은 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 유기발광표시패널(110)을 나타낸 다른 도면이다.
- [0239] 도 21을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 페이크 고속 구동을 위한 유기발광표시패널(110)은, 데이터 전압(Vdata)을 공급하는 다수의 데이터 라인(DL)과, 스캔 신호(SCAN)를 공급하는 다수의 게이트 라인(GL)과, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되어 배열되는 다수의 서브픽셀(SP)을 포함한다.
- [0240] 이러한 다수의 서브픽셀(SP) 각각에는, 기본적으로, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT)와, 구동 트랜지스터(DRT)의 제1 노드(N1)로 데이터 전압(Vdata)을 전달해주기 위한 제1 트랜지스터(T1)와, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결된 스토리지 캐패시터(Cst) 등이 배치될 수 있다.
- [0241] 경우에 따라서, 다수의 서브픽셀(SP) 각각에는, 구동 트랜지스터(DRT)의 제2 노드(N2)와 기준 전압 라인(RVL) 사이에 전기적으로 연결된 제2 트랜지스터(T2)가 더 배치될 수 있다.
- [0242] 도 21을 참조하면, 다수의 서브픽셀(SP) 각각에는, 제1 트랜지스터(T1)의 게이트 노드(NG1)와 구동 트랜지스터(DRT)의 제1 노드(N1) 사이에 전기적으로 연결되거나, 제1 트랜지스터(T1)의 게이트 노드(NG1)에 전기적으로 연결된 게이트 라인(GL)과 구동 트랜지스터(DRT)의 제1 노드(N1) 사이에 전기적으로 연결되는 페이크 스캔 트랜지스터(TM)가 더 배치될 수 있다.
- [0243] 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)가 턴-온 상태일 때에는 턴-오프 상태일 수 있다.
- [0244] 그리고, 페이크 스캔 트랜지스터(TM)는, 제1 트랜지스터(T1)가 턴-오프 된 이후 유기발광다이오드(OLED)를 비 발광 시키기 위해 턴-온 될 수 있다.
- [0245] 전술한 유기발광표시패널(110)은, 구동 트랜지스터(DRT)의 제1 노드(N1)의 전압을 제어하는 페이크 스캔 트랜지스터(TM)를 포함하는 서브픽셀 구조를 갖기 때문에, 실제 영상과 실제 영상 사이에 비 발광에 따른 페이크 영상이 보여지도록 해줄 수 있다. 이를 통해, 육안으로는, 실제의 저속 구동 프레임 주파수(예: 120 Hz)보다 높은 고속 구동 프레임 주파수(예: 240 Hz)로 고속 구동이 되는 것처럼 보이도록 해줄 수 있다.
- [0246] 도 22는 본 실시예들에 따른 유기발광표시장치(100)의 구동방법에 대한 흐름도이다.
- [0247] 도 22를 참조하면, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)에 의해 정의되어 다수의 서브픽셀(SP)이 매트릭스 타입으로 배열된 유기발광표시패널(110)을 포함하는 유기발광표시장치(100)의 구동방법은, i번째 프레임 구간이 시작되면, 다수의 서브픽셀 행을 순차적으로 발광시키는 단계(S2210)와, i번째 프레임 구간이 시작되어 일정 시간(Δt)이 경과하면, 다수의 서브픽셀 행을 순차적으로 비 발광시키는 단계(S2220)와, i+1번째 프레임 구간이 시작되면, 다수의 서브픽셀 행을 순차적으로 발광시키는 단계(S2230) 등을 포함할 수 있다.
- [0248] i번째 프레임 구간에서 모든 서브픽셀 행이 발광하기 전에, S2220 단계는 시작된다.
- [0249] 따라서, i번째 프레임 구간의 후반부가 되면, S2220 단계가 시작된다. 이에 따라, i번째 프레임 구간의 전반부에서 이미 발광 상태에 있는 1번째 서브픽셀 행부터 순차적으로 비 발광하게 된다.
- [0250] S2220 단계가 종료되기 전에, S2230 단계가 시작된다.
- [0251] 따라서, S2220 단계에 따라 중앙부에 위치한 서브픽셀 행이 비 발광하기 시작하면, S2230 단계가 시작되어 1번째 서브픽셀 행부터 순차적으로 발광하게 된다.

- [0252] 전술한 유기발광표시장치(100)의 구동방법을 이용하면, 실제 영상과 실제 영상 사이에 비 발광 상태를 만들어줌으로써, 실제의 저속 구동 프레임 주파수(예: 120 Hz)보다 높은 고속 구동 프레임 주파수(예: 240 Hz)로 고속 구동이 되는 것처럼 보이도록 해줄 수 있다.
- [0253] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 저속으로 구동하면서도 고속으로 구동하는 것처럼 보이도록 해주는 페이크 고속 구동을 제공할 수 있다.
- [0254] 또한, 본 실시예들에 의하면, 프레임 주파수를 높여주지 않고도 동영상 응답 시간 및 화질을 향상시켜줄 수 있는 페이크 고속 구동을 제공할 수 있다.
- [0255] 또한, 본 실시예들에 의하면, 프레임 주파수를 높여주지 않고도 고속 구동처럼 보이도록 해주는 서브픽셀 구조를 제공할 수 있다.
- [0256] 또한, 본 실시예들에 의하면, 프레임 주파수를 높여주지 않고도 고속 구동처럼 보이도록 해주면서도, 구동 트랜지스터(DRT)의 열화도 복원시켜줄 수 있다.
- [0257] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

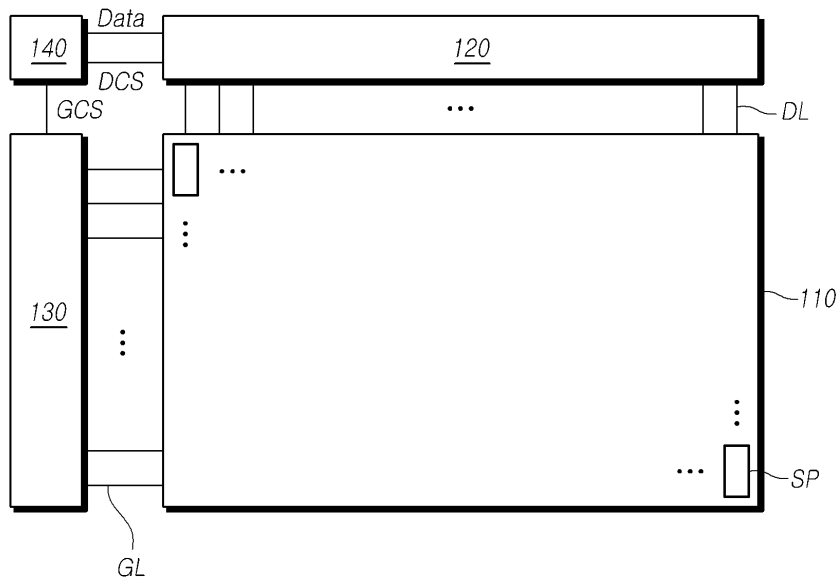
부호의 설명

- [0258] 100: 유기발광표시장치
110: 유기발광표시패널
120: 데이터 드라이버
130: 게이트 드라이버
140: 컨트롤러

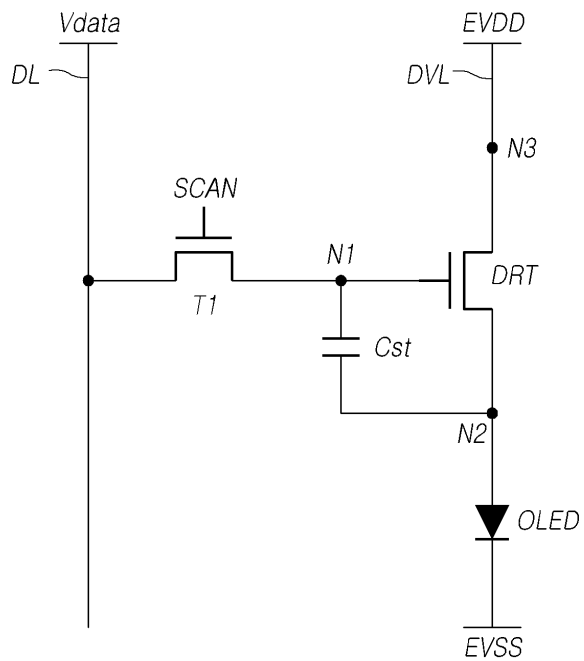
도면

도면1

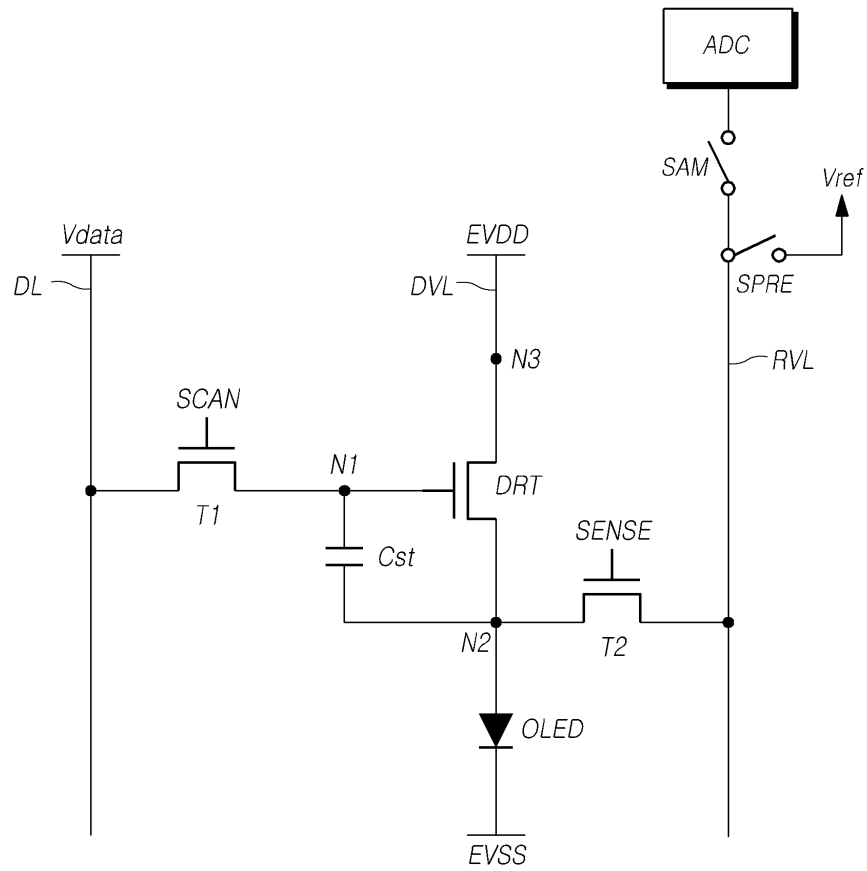
100



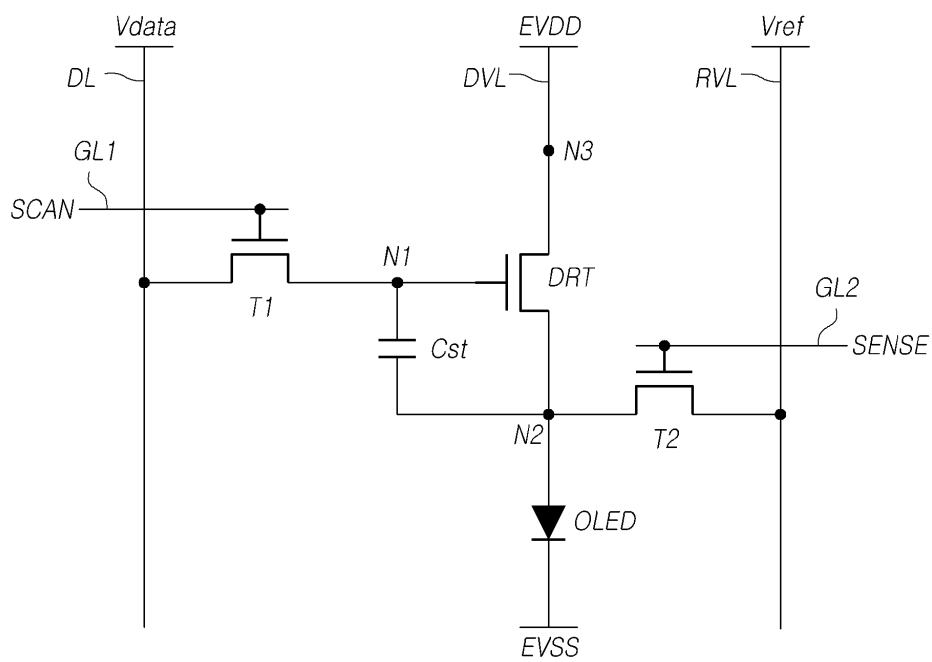
도면2



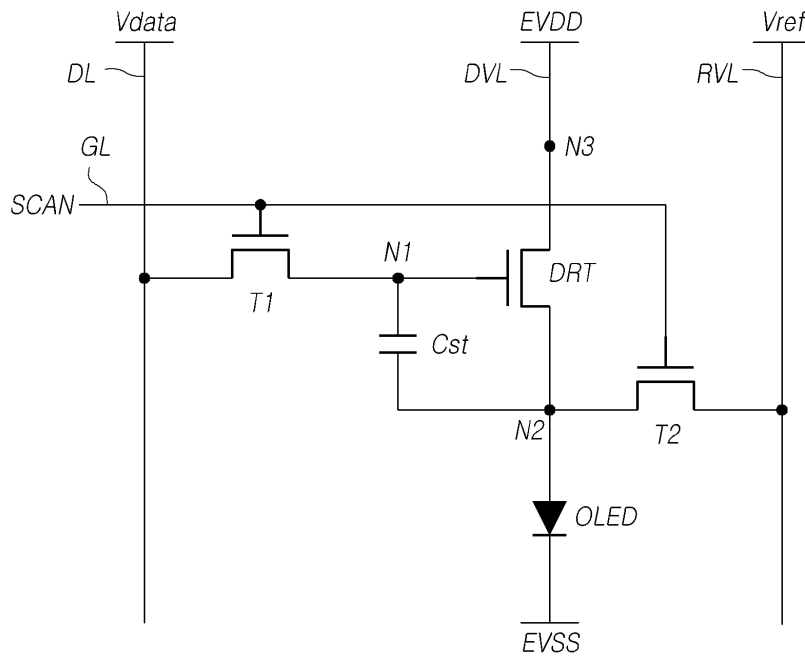
도면3



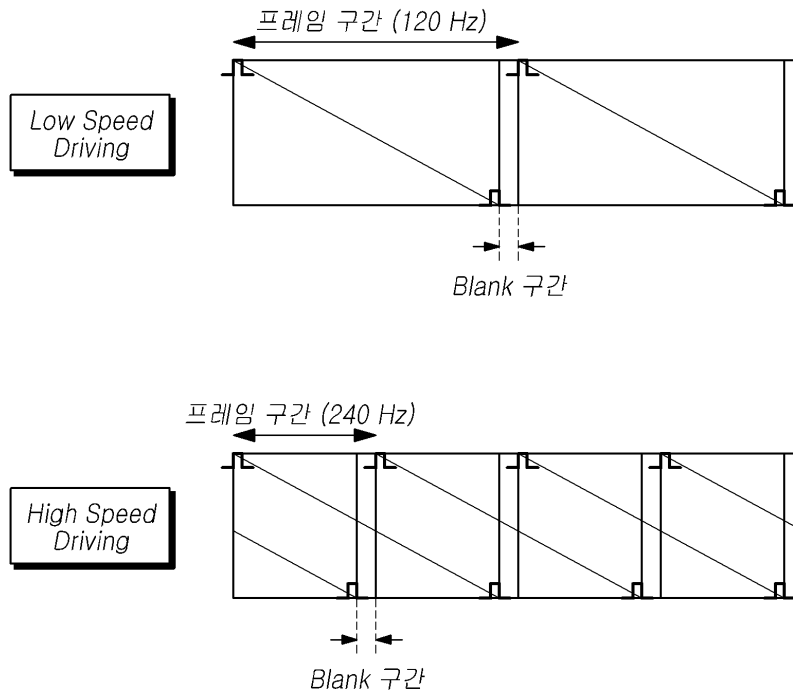
도면4



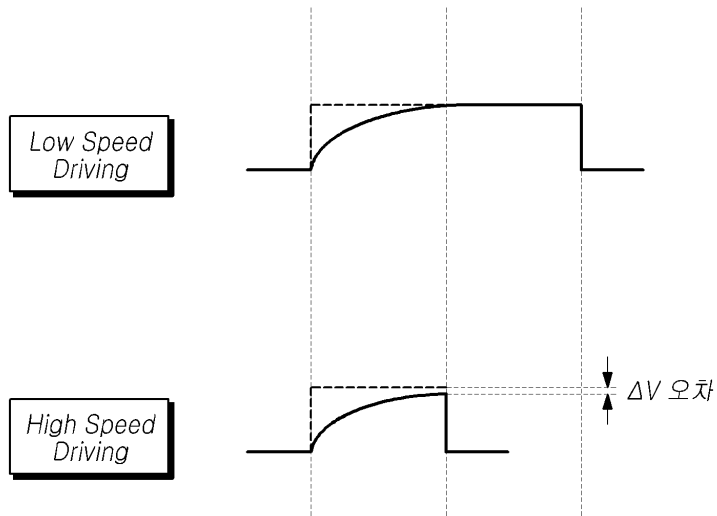
도면5



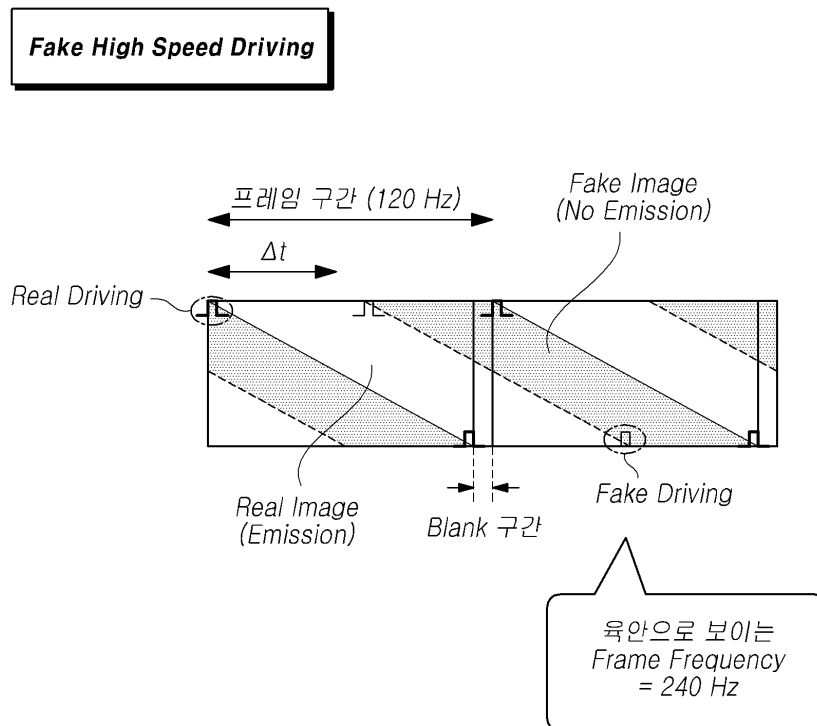
도면6



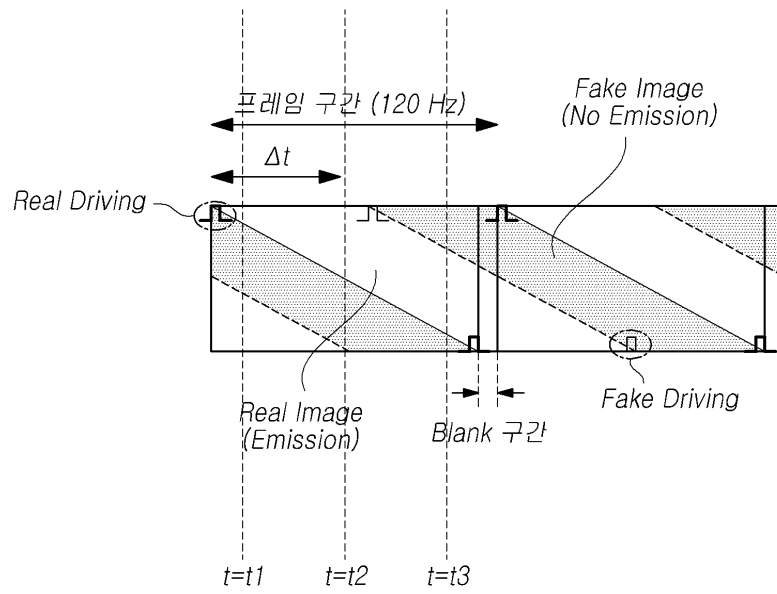
도면7



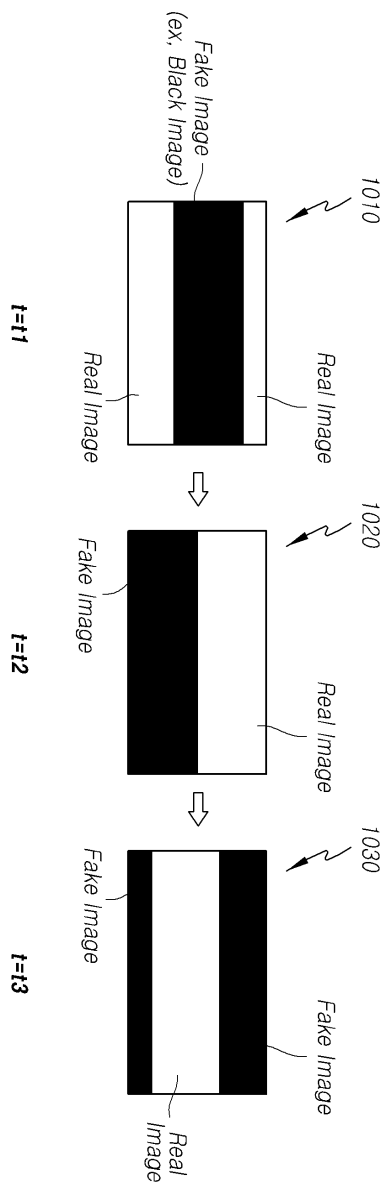
도면8



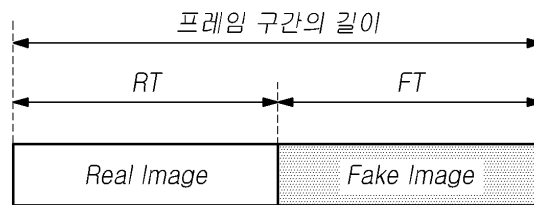
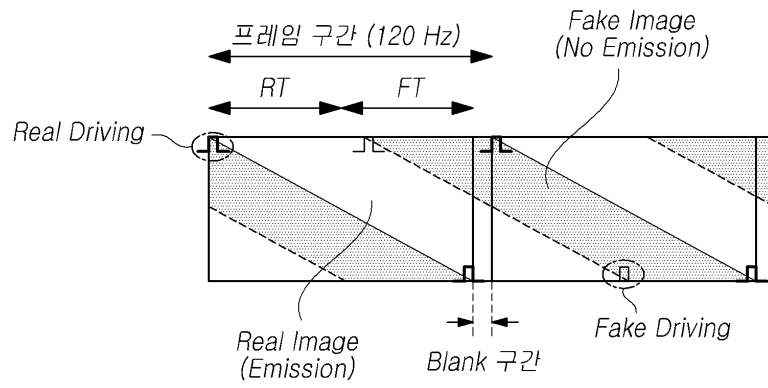
도면9



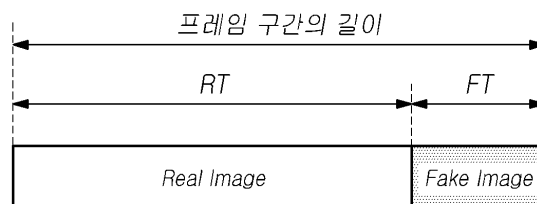
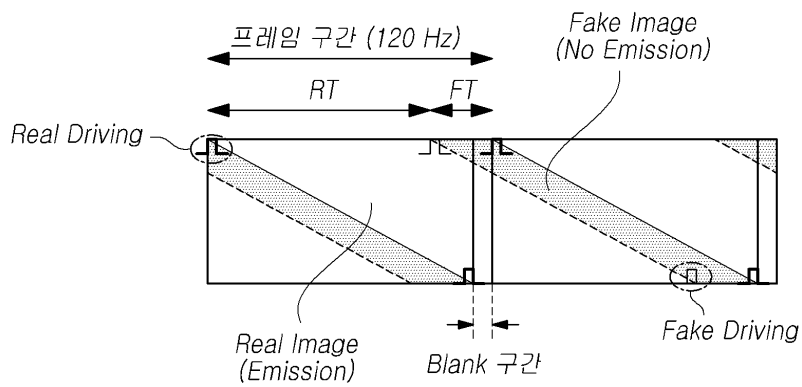
도면10



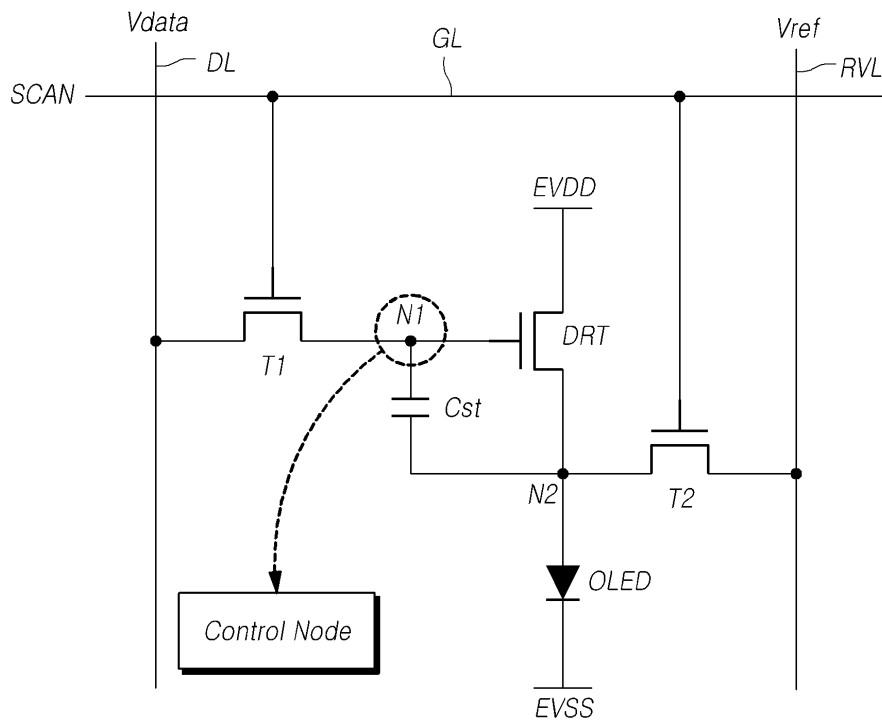
도면11



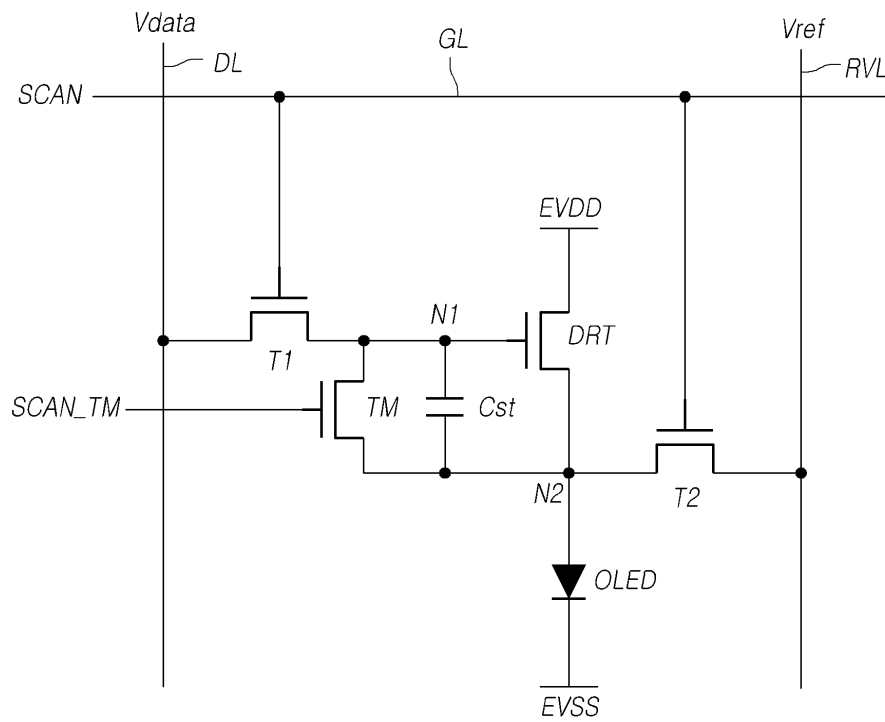
도면12



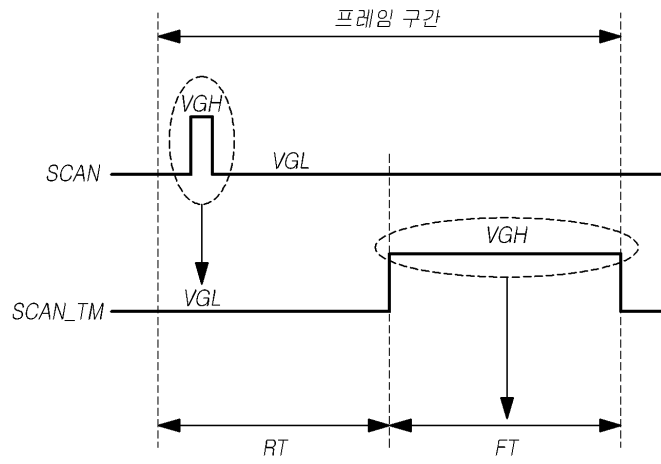
도면13



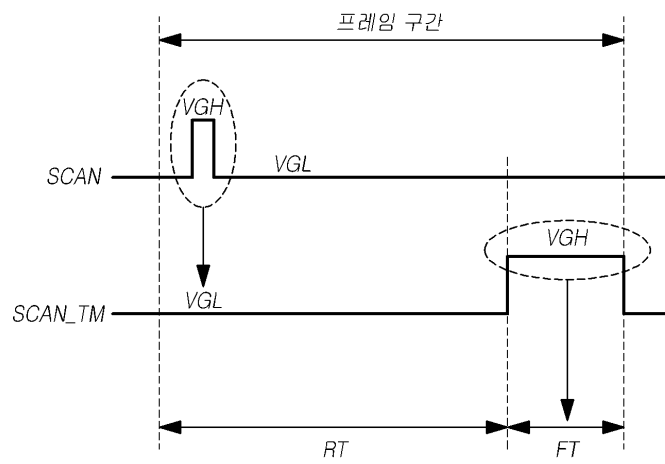
도면14



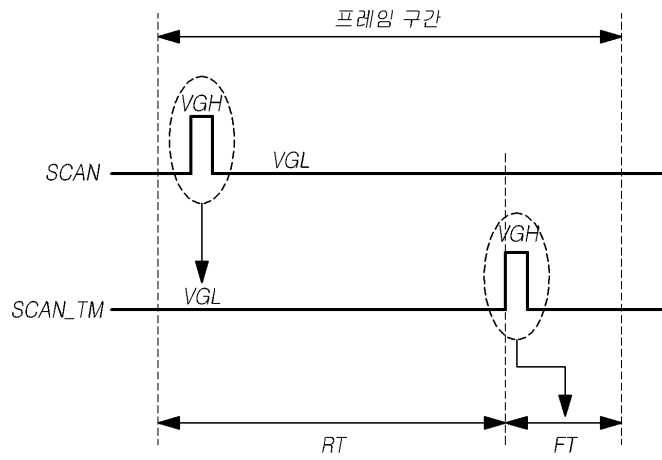
도면15a



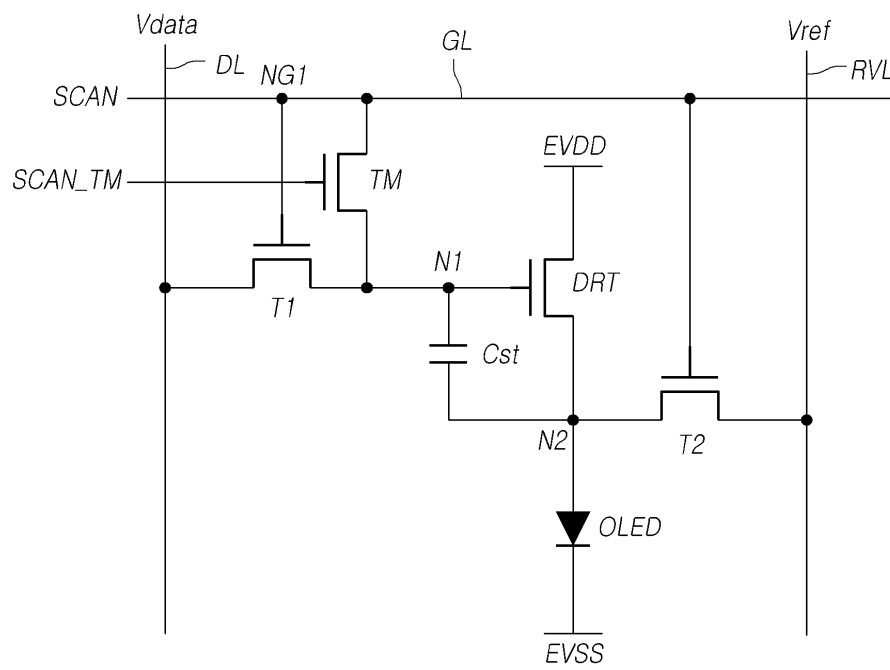
도면15b



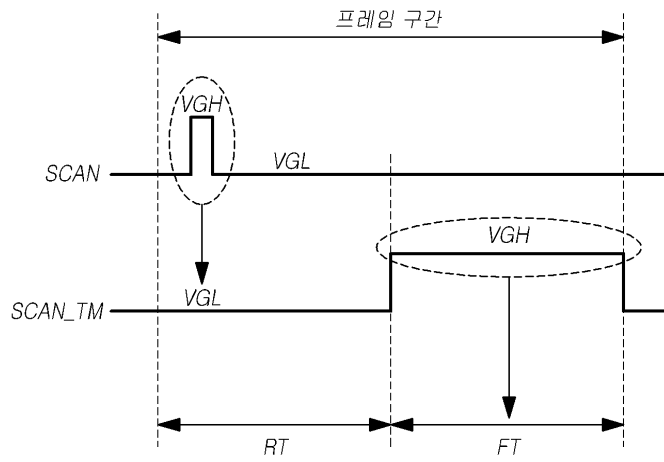
도면16



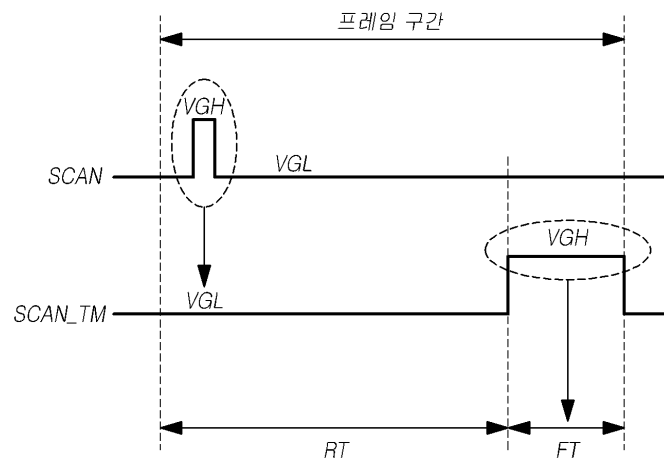
도면17



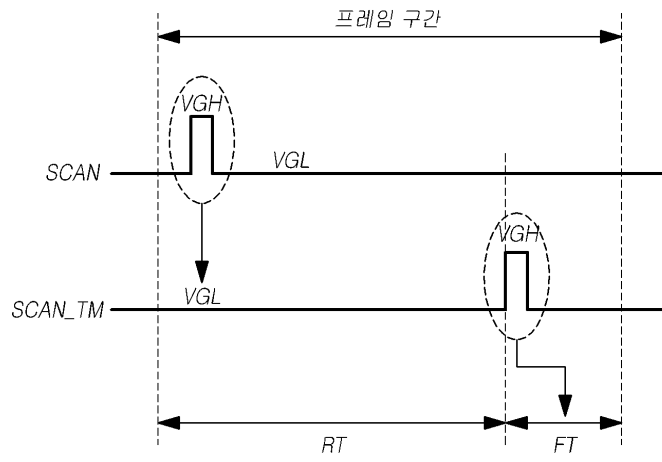
도면18a



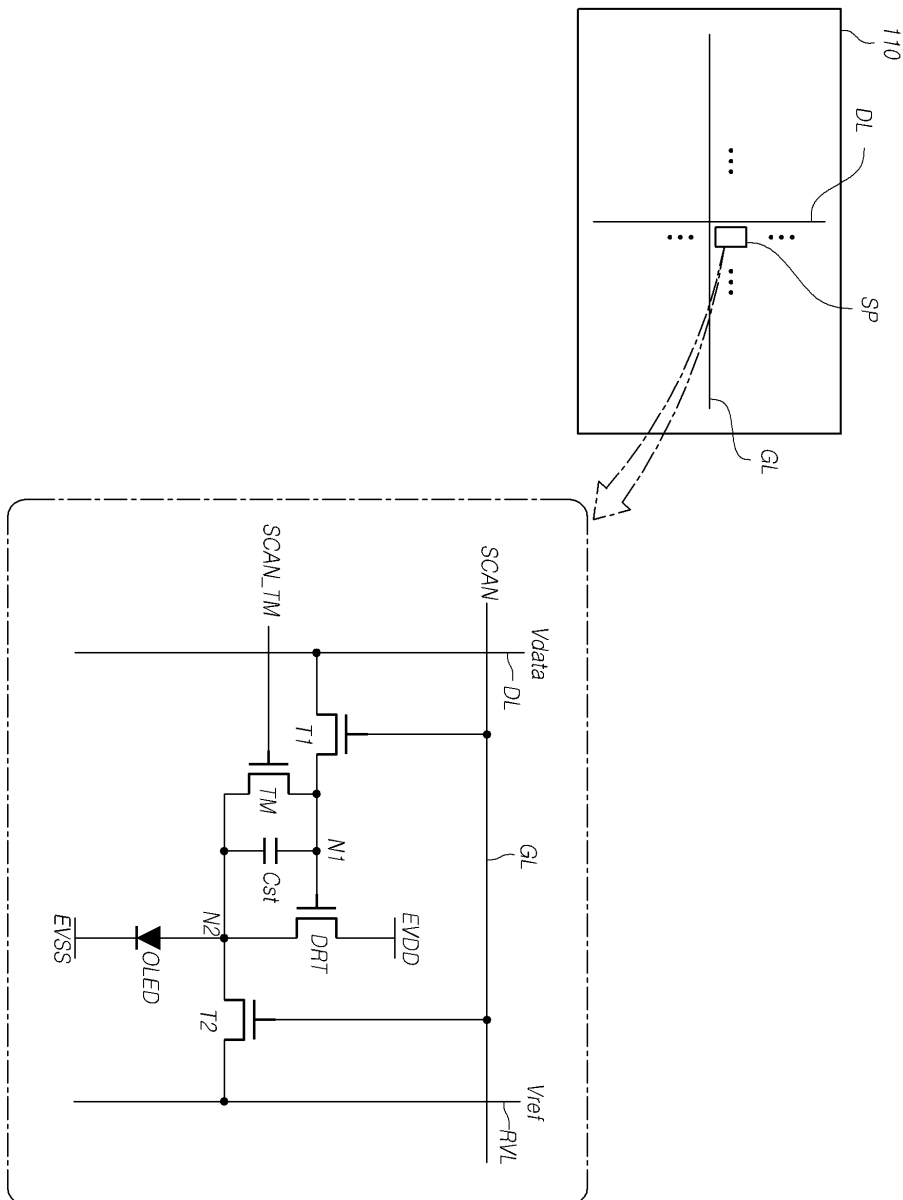
도면18b



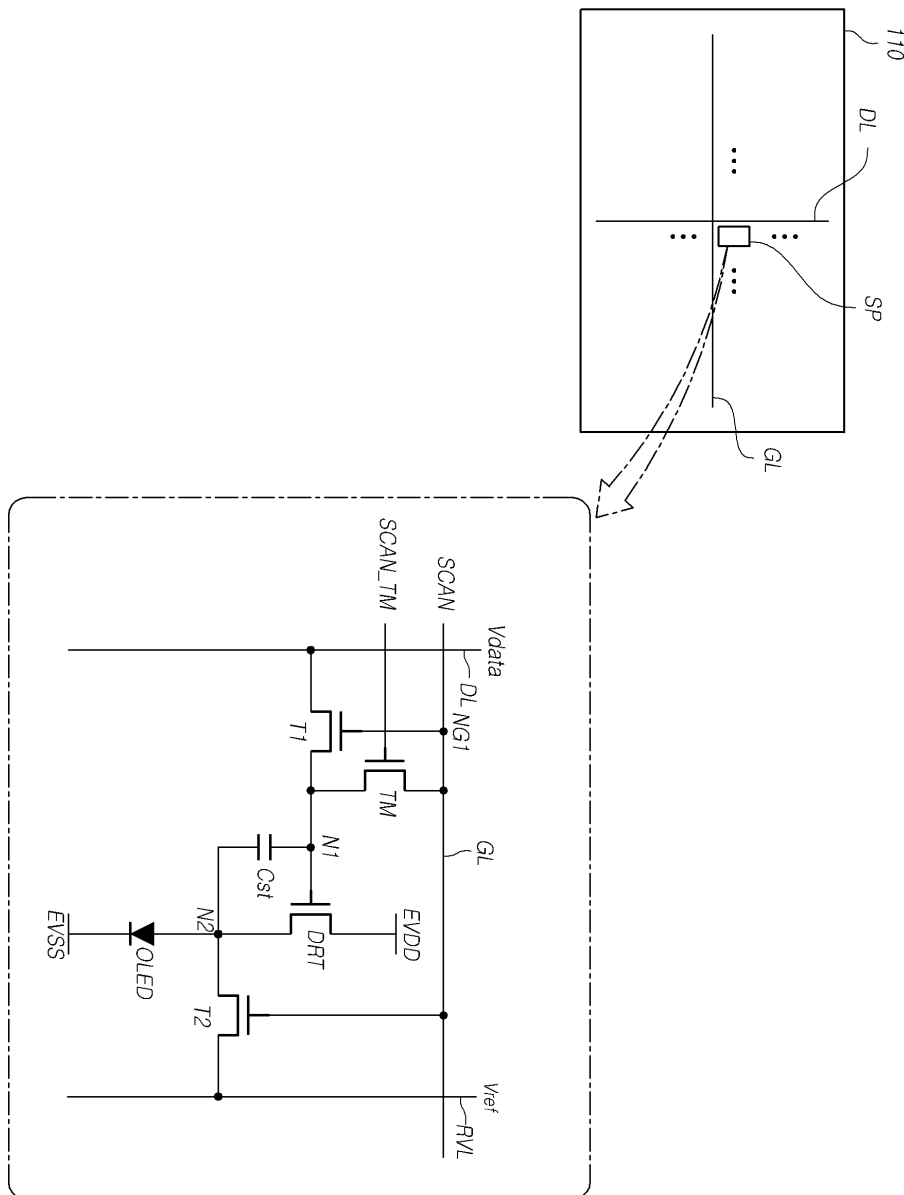
도면19



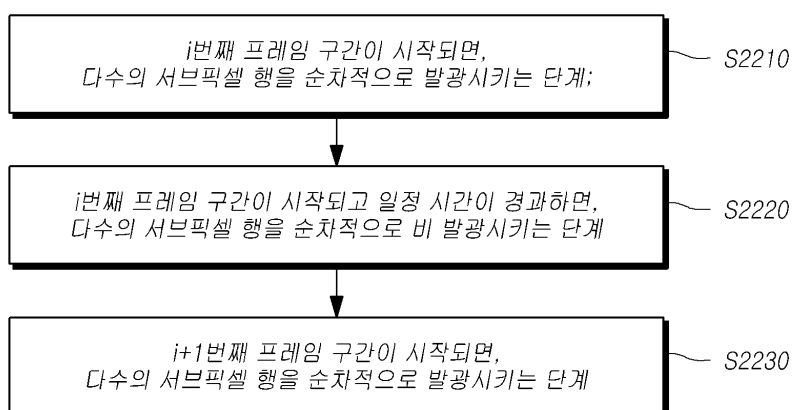
도면20



도면21



도면22



专利名称(译)	标题：有机发光显示面板，有机发光显示装置及其驱动方法		
公开(公告)号	KR1020170123400A	公开(公告)日	2017-11-08
申请号	KR1020160052395	申请日	2016-04-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HA WON KYU 하원규		
发明人	하원규		
IPC分类号	G09G3/3233 G09G3/20		
CPC分类号	G09G3/3233 G09G3/2074 G09G2320/0252 G09G2320/043 G09G2300/0842		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

作为涉及这些实施例的发明是有机发光显示面板，以及有机发光显示器及其驱动方法。更具体地，关于有机发光显示面板，其指示实际上与在帧频率定义的视频帧间隔处的图像无关的伪图像，以及有机发光显示器及其驱动方法。根据这样的实施例，即使当低速驱动到低速帧频时，它也高速地工作到高速帧频，并且可以改善运动图像响应时间和图像质量。

