



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081015
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0842 (2013.01)

(21) 출원번호 10-2015-0191650

(22) 출원일자 2015년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최기민

대전광역시 중구 문화로78번길 29 305호 (산성동, 산성연립)

김홍석

부산광역시 해운대구 해운대로191번길 42 B동 101호 (재송동, 지정파크빌라)

(74) 대리인

특허법인 대아

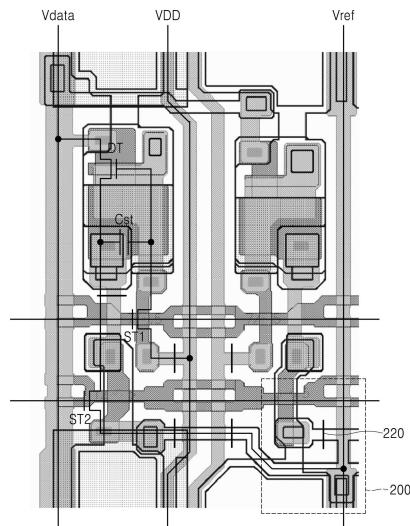
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 리페어 구조를 가지는 유기 발광 다이오드 표시 장치, 그 표시 패널 및 그 배선 구조

(57) 요약

본 발명을 적용하면, 유기 발광 다이오드 표시 장치의 표시 패널에는 각각이 복수의 서브 픽셀을 포함하는 복수의 픽셀, 및 복수의 서브 픽셀의 각각에 센스 신호를 공급하는 복수의 센스 신호 라인이 포함된다. 복수의 서브 픽셀의 각각에 스캔 신호를 공급하는 복수의 스캔 신호 라인, 복수의 서브 픽셀의 각각에 데이터 신호를 공급하는 복수의 데이터 라인이 더 포함된다. 여기에 복수의 서브 픽셀의 각각에 기준전원 신호를 공급하는 기준전원 라인이 포함된다. 여기에 기준전원 라인과 복수의 서브 픽셀의 각각의 사이에 도전 배선이 배치된다. 이 도전 배선은 기준전원 신호의 공급을 위한 광차단층(light shield layer)이 포함되어 있다. 이에 따라 광차단층이 레이저 커팅에 의해 쉽게 제어될 수 있으므로 해서 리페어 공정이 수월해진다.

대표도 - 도5



(52) CPC특허분류
G09G 2330/08 (2013.01)

명세서

청구범위

청구항 1

각각이 복수의 서브 픽셀을 포함하는 복수의 픽셀;

상기 복수의 서브 픽셀의 각각에 센스 신호를 공급하는 복수의 센스 신호 라인;

상기 복수의 서브 픽셀의 각각에 스캔 신호를 공급하는 복수의 스캔 신호 라인;

상기 복수의 서브 픽셀의 각각에 데이터 신호를 공급하는 복수의 데이터 라인;

상기 복수의 서브 픽셀의 각각에 기준전원 신호를 공급하는 기준전원 라인; 및

상기 기준전원 신호의 공급 및 레이저 커팅이 가능한 광차단층(light shield layer)을 포함하며, 상기 기준전원 라인과 상기 복수의 서브 픽셀의 각각의 사이에 배치된 도전 배선을 포함하는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치의 표시 패널.

청구항 2

제1 항에 있어서,

상기 도전 배선은 상기 레이저 커팅을 통한 리페어 포인트로 사용되기 위한 설계 마진을 가지는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치의 표시 패널.

청구항 3

제1 항에 있어서, 상기 복수의 서브 픽셀의 각각은,

기판, 상기 기판위에 배치된 소스/드레인 메탈층을 포함하되,

상기 기판과 상기 소스/드레인 메탈층의 사이에 상기 도전 배선의 광차단층이 연장 배치되어 있는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치의 표시 패널.

청구항 4

제1 항에 있어서,

상기 도전 배선은 기판, 상기 기판위에 배치된 버퍼층을 포함하며,

상기 기판과 상기 버퍼층 사이에 상기 광차단층이 배치되는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치의 표시 패널.

청구항 5

제4 항에 있어서,

상기 버퍼층위에 배치되며 상기 복수의 서브 픽셀의 각각과 상기 기준전원 라인을 전기적으로 절연하기 위한 층간 절연층을 포함하는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치의 표시 패널.

청구항 6

제5 항에 있어서, 상기 층간 절연층 위에 배치되며 상기 복수의 서브 픽셀의 각각과 상기 기준 전원 라인을 덮는 보호층을 더 포함하는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치의 표시 패널.

청구항 7

제1 항에 있어서, 상기 서브 픽셀은 제1 스위칭 TFT, 제2 스위칭 TFT, 드라이빙 TFT 및 커패시터를 포함하는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치의 표시 패널.

청구항 8

복수의 픽셀 영역을 포함하는 표시패널;

상기 복수의 픽셀 영역 각각에 게이트 신호를 게이트 구동부;

상기 복수의 픽셀 영역 각각에 데이터 신호를 공급하는 데이터 구동부; 및

상기 게이트 구동부에 게이트 제어신호를 공급하고 상기 데이터 구동부에 데이터 제어 신호 및 영상 데이터를 공급하는 타이밍 컨트롤러를 포함하고,

상기 표시 패널은,

각각이 복수의 서브 픽셀을 포함하는 복수의 픽셀;

상기 복수의 서브 픽셀의 각각에 센스 신호를 공급하는 복수의 센스 신호 라인;

상기 복수의 서브 픽셀의 각각에 스캔 신호를 공급하는 복수의 스캔 신호 라인;

상기 복수의 서브 픽셀의 각각에 데이터 신호를 공급하는 복수의 데이터 라인;

상기 복수의 서브 픽셀의 각각에 기준전원 신호를 공급하는 기준전원 라인; 및

상기 기준전원 신호의 공급을 위한 광차단층(light shield layer)을 포함하며, 상기 기준전원 라인과 상기 복수의 서브 픽셀의 각각의 사이에 배치된 도전 배선을 포함하는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치.

청구항 9

기판;

상기 기판위에 위치하는 광차단층;

상기 광차단층의 제1 영역상에 위치하는 픽셀 영역; 및

상기 픽셀 영역과 이격되어 상기 광차단층의 제2 영역상에 위치하는 기준 전원 라인 영역을 포함하며,

상기 픽셀 영역은 상기 광차단층 위에 위치하는 소스/드레인 메탈층을 포함하며,

상기 소스/드레인 메탈층은 상기 광차단층을 통해 상기 기준 전원 라인 영역과 전기적으로 연결되는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치용 배선 구조.

청구항 10

제9 항에 있어서,

상기 광차단층은 상기 제1 영역과 상기 제2 영역사이에 레이저 커팅을 통한 리페어 포인트로 사용되기 위한 설계 마진을 가지는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치용 배선 구조.

청구항 11

제 9항에 있어서, 상기 광차단층은 600Å - 1000Å의 두께를 가지며, MoTi를 포함하는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치용 배선 구조.

발명의 설명

기술 분야

[0001] 본 발명은 리페어 구조를 가지는 유기 발광 다이오드 표시 장치, 그 표시 패널 및 배선 구조에 관한 것으로, 상세하게는 기준전원 신호의 공급 및 레이저 커팅이 가능한 광차단층(light shield layer)을 포함하며, 기준전원 라인과 복수의 서브 픽셀의 각각의 사이에 배치된 도전 배선을 포함하는 리페어 구조를 가지는 유기 발광 다이오드 표시 장치, 그 표시 패널 및 배선 구조에 관한 것이다.

배경 기술

- [0002] 유기발광 다이오드(OLED)를 발광시켜 화상을 표시하는 유기발광 다이오드 표시 장치는 구동방식에 따라 수동 매트릭스(Passive Matrix) 방식과 능동 매트릭스(Active Matrix) 방식으로 나눌 수 있다.
- [0003] 수동 매트릭스 방식은 별도의 박막 트랜지스터(thin film transistor, 이하 "TFT"라 함)를 구비하지 않으면서 매트릭스 형태로 픽셀이 배열된 구성을 포함하며, 소비전력이 높아지게 되고 해상도 면에서도 한계가 있다.
- [0004] 반면에, 능동 매트릭스 방식은 매트릭스 형태로 배열된 픽셀 각각에 TFT가 형성된 구성을 포함하며, TFT의 스위칭 구동과 스토리지 커패시터(Cst)의 전압 충전에 의해 각각의 픽셀을 구동한다.
- [0005] 따라서, 소비전력이 낮고 해상도 면에서도 수동 매트릭스 방식과 대비하여 이점이 있다. 고해상도 및 대면적을 요구하는 표시소자에는 능동 매트릭스 방식의 유기발광소자가 적합하다. 참고로, 이하 본 명세서에서는 '능동 매트릭스 방식의 유기발광 다이오드 표시 장치'를 간략하게 '유기발광 다이오드 표시 장치'로 칭하도록 한다.
- [0006] 도 1은 일반적인 유기전계 발광소자의 표시영역 일부에 대한 평면도로서, 전체 픽셀들 중에서 하나의 단위 픽셀을 나타내는 도면이다.
- [0007] 도 1에서는 각 픽셀 영역 내에서 픽셀 회로가 형성된 영역을 픽셀 회로 영역(DA)으로 정의하였다. 픽셀 회로는 드라이빙 TFT(20), 스캔 TFT(30) 및 센스 TFT(40)를 포함한다. 그리고, 유기발광 다이오드(OLED)가 형성된 영역을 발광 영역(EA)으로 정의하였다.
- [0008] 도 1을 참조하면, 구동전원 라인(VDD line)과 데이터 라인(data line)은 수직 방향으로 형성되어 있고, 게이트 인(gate line) 및 센스신호 라인(sense line)은 수평 방향으로 형성되어 있다.
- [0009] 데이터 라인(data line)과 게이트 라인(gate line)이 교차되어 발광 영역(EA)이 정의된다. 발광 영역에는 복수의 픽셀이 형성되어 있으며, 레드 픽셀, 그린 픽셀, 블루 픽셀 및 화이트 픽셀이 모여 하나의 단위 픽셀(10)을 구성한다. 게이트 라인(gate line)과 센스신호 라인(sense line) 사이에 픽셀 회로 영역(DA)이 정의된다.
- [0010] 드라이빙 TFT(20)의 소스 전극은 구동전원 라인(VDD line)과 연결되고, 드레인 전극은 유기발광 다이오드(OLED)의 애노드 전극과 연결된다. 그리고, 드라이빙 TFT(20)의 게이트 전극은 스캔 TFT(30)의 드레인 전극과 연결된다. 스캔 TFT(30)의 게이트 전극은 게이트 라인(gate line)과 연결되고, 소스 전극은 데이터 라인(data line)과 연결된다. 센스 TFT(40)의 게이트 전극은 센스신호 라인에 연결되고, 드레인 전극은 드라이빙 TFT(20)의 드레인 전극에 연결되고, 소스 전극은 기준전원 라인(Ref line)에 연결된다.
- [0011] 도 2는 휘점 불량이 발생한 픽셀을 리페어하여 암점화시킨 것을 나타내는 도면이다.
- [0012] 도 2를 참조하면, 픽셀의 유기발광 다이오드(OLED) 및 픽셀 회로를 제조하는 과정에서 각 TFT들의 특성 저하와, 라인들 및 레이어들 간의 쇼트 발생으로 인해 각 픽셀이 정상적으로 구동되지 않는 불량이 발생될 수 있다.
- [0013] 하나의 픽셀 영역에 형성된 드라이빙 TFT(20), 스캔 TFT(30) 또는 센스 TFT(40)가 정상적으로 구동되지 않을 경우, 유기발광 다이오드로 전류가 인가되지 않아 암점화 불량이 발생할 수 있다. 또한, 드라이빙 TFT(20)의 소스 전극과 드레인 전극이 쇼트되는 경우, 드라이빙 TFT(20)가 정상적으로 구동되지 않고 소스 전극으로 인가된 전압이 바로 드레인 전극으로 직접 인가될 수 있다. 이 경우, 드라이빙 TFT(20)가 오프(off)되지 않고 계속 온

(on) 상태가 유지되어 유기발광 다이오드(OLED)가 계속 점등하는 휘점 불량이 발생할 수 있다.

- [0014] 이와 같이, 특정 픽셀에 암점화 또는 휘점화 불량이 발생하는 경우, 암점화된 픽셀 영역은 리페어가 불가하므로 암점화된 상태 그대로 둔다.
- [0015] 그리고, 휘점화된 픽셀 영역은, 휘점화된 픽셀을 구동시키는 픽셀 회로의 드라이빙 TFT(20)와 유기발광 다이오드(OLED)의 애노드 전극이 연결되는 "A" 지점을 레이저 커팅을 통해 끊는다. 즉, 스토리지 커패시터와 유기발광 다이오드(OLED)의 애노드 전극 사이의 개구 영역에서 레이저 커팅을 수행하여 드라이빙 TFT(20)와 유기발광 다이오드(OLED)의 애노드 전극의 연결을 끊는다.
- [0016] 또한, 센스 TFT(40)의 드레인 전극과 드라이빙 TFT(20)가 연결되는 "B" 지점을 레이저 커팅을 통해 끊는다. 또한, 휘점화 불량이 발생한 픽셀의 발광 영역(EA)에 형성된 유기발광 다이오드(OLED)에 웰딩(welding)을 진행하여 애노드 전극과 캐소드 전극을 도통시켜 유기발광 다이오드(OLED)를 암점화 시킨다.
- [0017] 이때, 암점화를 통한 리페어 공정에서 레이저 커팅의 성공률을 높이기 위해서는 설계적인 마진을 충분히 확보하는 것이 필요하다. 그러나 설계적 마진에는 한계가 있을 수 있다. 따라서, 설계적인 마진을 최소화하면서 암점화를 실행하여 성공률을 높일 수 있는 리페어 방안이 필요하다.
- [0018] 또한 종래의 경우에는 레이저 커팅을 위한 리페어 포인트가 소스/드레인 메탈층으로 이루어져 있음에 따라 일회의 레이저 커팅으로 완료되지 않고 여러번의 레이저 커팅이 시도되어야 하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0019] 본 발명이 해결하고자 하는 과제는 본 발명은 유기 발광 다이오드 표시 장치에서 설계적 마진을 최소화하면서 휘점화된 픽셀을 암점화를 통해 리페어하기 위한 암점화 리페어 구조를 가지는 유기 발광 다이오드 표시 장치, 그 표시 패널 및 배선 구조를 제공하는데 있다.
- [0020] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0021] 본 발명의 일 측면에 의한 유기 발광 다이오드 표시 장치의 표시 패널에는 각각이 복수의 서브 픽셀을 포함하는 복수의 픽셀, 및 복수의 서브 픽셀의 각각에 센스 신호를 공급하는 복수의 센스 신호 라인이 포함된다. 복수의 서브 픽셀의 각각에 스캔 신호를 공급하는 복수의 스캔 신호 라인, 복수의 서브 픽셀의 각각에 데이터 신호를 공급하는 복수의 데이터 라인이 더 포함된다. 여기에 복수의 서브 픽셀의 각각에 기준전원 신호를 공급하는 기준전원 라인이 포함된다. 여기에 기준전원 라인과 복수의 서브 픽셀의 각각의 사이에 도전 배선이 배치된다. 이 도전 배선에는 기준전원 신호의 공급을 위한 광차단층(light shield layer)이 포함되어 있다.
- [0022] 본 발명의 다른 측면에 의하면, 리페어 구조를 가지는 유기 발광 다이오드 표시 장치용 배선 구조가 제공된다. 배선 구조에는 기관위에 위치하는 광차단층이 위치한다. 광차단층의 제1 영역상에는 픽셀 영역이 위치하고, 픽셀 영역과 이격되어 광차단층의 제2 영역상에 기준 전원 라인 영역이 위치한다. 여기에서 픽셀 영역은 광차단층 위에 위치하는 소스/드레인 메탈층을 포함하며, 소스/드레인 메탈층은 광차단층을 통해 기준 전원 라인 영역과 전기적으로 연결되어 있다.

발명의 효과

- [0023] 본 발명에 의하면, 기준전원 신호의 공급 및 레이저 커팅이 가능한 광차단층(light shield layer)을 포함하며, 기준전원 라인과 복수의 서브 픽셀의 각각의 사이에 배치된 도전 배선을 포함하고 있다.
- [0024] 이에 따라 휘점 불량이 발생한 픽셀의 리페어시에 레이저 커팅을 통해 광차단층을 손쉽게 제거할 수 있음에 따

라 설계적인 마진을 최소화하면서 암점화를 실행하여 리페어를 수행할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 일반적인 유기전계 발광소자의 표시영역 일부에 대한 평면도이다.
- 도 2는 휘점 불량에 발생한 픽셀을 리페어하여 암점화시킨 것을 설명하기 위한 도면이다.
- 도 3은 본 발명의 실시 예에 따른 유기발광 다이오드 표시 장치를 설명하기 위한 도면이다.
- 도 4는 본 발명의 일실시예에 따른 유기발광 다이오드 표시 장치의 픽셀구조를 설명하기 위한 회로도이다.
- 도 5는 본 발명의 일실시예에 따른 유기발광 다이오드 표시 장치의 픽셀회로의 배선 형상을 설명하기 위한 도면이다.
- 도 6은 도 5에서 기준전원 라인과 제2 스위칭 TFT(ST2)를 연결하는 도전 배선을 설명하기 위한 도면이다.
- 도 7은 도 6에서 B-B' 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명은 다양한 변경을 가할 수 있고 여러가지 실시예를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0027] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.
- [0028] 도 3은 본 발명의 실시 예에 따른 유기발광 다이오드 표시 장치를 설명하기 위한 도면이다.
- [0029] 도 3을 참조하면, 본 발명의 일실시예에 따른 유기 발광 다이오드 표시 장치(100)는 표시 패널(110) 및 구동 회로부를 포함하여 구성된다.
- [0030] 구동 회로부는 데이터 드라이버(130), 게이트 드라이버(120), 타이밍 컨트롤러(140), 메모리(141) 및 전원 공급부를 포함하며, 복수의 구동집적회로(Drive IC)가 실장된 인쇄회로기판 및 COF(Chip on Film)에 형성된다. 구동 회로부는 FOG(Film on Glass)를 이용하여 표시 패널(110)에 전원 및 구동신호를 공급한다.
- [0031] 타이밍 컨트롤러(140)는 영상 데이터를 프레임 단위로 정렬하여 데이터 드라이버(130)에 공급한다. 또한, 타이밍 컨트롤러(140)는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 데이터 인에이블(DE), 클럭(DCLK)과 같은 타이밍 동기 신호(TSS)에 기초하여 데이터 드라이버(130)와 게이트 드라이버(120)를 드라이빙 모드로 동작시켜 입력된 영상을 표시한다.
- [0032] 또한, 타이밍 컨트롤러(140)는 데이터 드라이버(130)와 게이트 드라이버(120)를 센싱 모드로 동작시켜 각 서브 픽셀에 형성된 드라이빙 TFT(DT)의 특성(문턱전압/이동도)의 센싱이 이루어지도록 한다.
- [0033] 게이트 드라이버(120)는 타이밍 컨트롤러(140)의 모드 제어에 따라 드라이빙 모드와 센싱 모드로 동작한다. 게이트 드라이버(120)는 드라이빙 모드 시, 게이트 드라이버(120)는 타이밍 컨트롤러(140)로부터 공급되는 게이트 제어 신호(GCS)에 따라 1 수평 기간마다 게이트 온 전압 레벨의 스캔 신호(scan)를 생성한다. 게이트 드라이버(120)는 생성된 스캔 신호(scan)를 복수의 게이트 라인(GL)에 순차적으로 공급한다. 그리고, 게이트 드라이버(120)는 센싱 모드 시, 게이트 드라이버(120)는 게이트 온 전압 레벨의 센스 신호(sense)를 생성한다. 그리고, 센스 신호(sense)를 복수의 센스 신호 라인(SL)에 순차적으로 공급한다.
- [0034] 이러한 게이트 드라이버(120)는 복수의 게이트 라인(GL1-GLm), 복수의 센스 신호 라인(SL1-SLm) 및 전원 라인(PL1-PLn, EVDD 라인)과 연결되어 있다. 게이트 드라이버(120)는 집적 회로(IC) 형태로 형성되어 연성 케이블을 통해 표시 패널(110)에 연결되거나, 또는 각 픽셀(P)의 트랜지스터를 형성할 때, 동일한 공정을 통해 표시 패널(110)의 어레이 기판의 비 표시 영역에 직접 형성될 수도 있다.
- [0035] 데이터 드라이버(130)는 복수의 데이터 라인(DL1 내지 DLn)에 연결되어 있고, 타이밍 컨트롤러(140)의 모드 제어에 따라 표시 모드와 센싱 모드로 동작한다. 데이터 드라이버(130)는 타이밍 컨트롤러(140)에서 공급되는 보

정된 영상 데이터를 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL)에 공급한다.

- [0036] 메모리(141)에는 전체 픽셀(P)의 드라이빙 TFT(DT)의 문턱전압(Vth)의 쉬프트를 보상하기 위한 초기 보상 값이 저장되어 있다. 또한, 표시 패널(110)의 구동에 따른 각 픽셀(P)의 드라이빙 TFT(DT)의 문턱전압(Vth)의 쉬프트를 보상하기 위한 경시 보상 데이터가 메모리(141)에 저장되어 있다. 메모리(141)에 저장된 경시 보상 데이터를 로딩하여 경시 보상이 수행될 수 있다. 타이밍 컨트롤러(140)는 메모리(141)로부터 드라이빙 TFT(DT)의 문턱전압(Vth)의 쉬프트를 보상하기 위한 초기 보상 값을 로딩하고, 로딩된 보상 값을 보정된 영상 데이터에 반영한다.
- [0037] 표시패널(110)은 각각이 복수의 서브 픽셀을 포함하는 복수의 픽셀, 및 복수의 서브 픽셀의 각각에 센스 신호를 공급하는 복수의 센스 신호 라인(SL1-SLm)이 포함된다. 복수의 서브 픽셀의 각각에 스캔 신호를 공급하는 복수의 스캔 신호 라인(GL1-GLm), 복수의 서브 픽셀의 각각에 데이터 신호를 공급하는 복수의 데이터 라인(DL1-DLn)이 더 포함된다. 여기에 복수의 서브 픽셀의 각각에 기준전원 신호를 공급하는 기준전원 라인(RL1-RLn)이 포함된다. 여기에 기준전원 라인과 복수의 서브 픽셀의 각각의 사이에 도전 배선이 배치된다. 이 도전 배선에는 기준전원 신호의 공급을 위한 광차단층(light shield layer)이 포함될 수 있다. 도전 배선은 레이저 커팅을 통한 리페어 포인트로 사용되기 위한 설계 마진을 가진다.
- [0038] 표시 패널(110)은 복수의 유기 발광 다이오드(OLED)와 복수의 유기 발광 다이오드(OLED)를 발광시키기 위한 픽셀 회로들이 형성된 어레이 기판과, 복수의 유기 발광 다이오드(OLED)를 봉지하는 봉지 기판을 포함한다.
- [0039] 표시 패널(110)은 복수의 픽셀이 매트릭스 형태로 배열되어 화상이 표시되는 액티브 영역(active area)과, 복수의 링크 라인 및 로그 라인들이 형성된 비 표시 영역(non-display area)을 포함한다.
- [0040] 어레이 기판의 액티브 영역에는 복수의 게이트 라인(GL1-GLm), 복수의 센스 신호 라인(SL1-SLm), 복수의 데이터 라인(DL1-DLn), 복수의 전원 라인(PL1-PLn, EVDD 라인) 및 복수의 기준 전원 라인(RL1-RLn)이 형성되어 있고, 이러한 라인들에 의해 복수의 픽셀(P)이 정의된다. 레드, 그린, 블루 및 화이트 픽셀이 모여 하나의 단위 픽셀을 구성한다.
- [0041] 복수의 픽셀(P) 각각에는 유기 발광 다이오드(OLED) 및 유기 발광 다이오드(OLED)를 발광시키기 위한 픽셀회로가 형성되어 있다. 픽셀 회로는 드라이빙 TFT, 스캔 TFT 및 센스 TFT를 포함한다.
- [0042] 게이트 라인(GL)에는 게이트 드라이버(120)로부터 스캔 신호(게이트 구동 신호)가 인가된다. 그리고, 센스 신호 라인(SL)에는 게이트 드라이버(120)로부터 센싱 신호(sense)가 인가된다.
- [0043] 복수의 데이터 라인(DL)에는 데이터 드라이버(130)로부터 데이터 전압이 인가된다. 데이터 전압(Vdata)은 픽셀(P)의 드라이빙 TFT(DT)의 문턱전압(Vth)의 쉬프트를 보상하기 위한 보상 전압이 포함될 수 있다.
- [0044] 기준 전원 라인(RL)에는 데이터 드라이버(130)로부터 표시 기준 전원 또는 센싱 프리차징 전압이 선택적으로 공급될 수 있다. 표시 기준 전원은 각 픽셀(P)의 데이터 충전 기간 동안 각 기준 전원 라인(RL)에 공급된다. 센싱 프리차징 전압은 각 픽셀(P)의 드라이빙 TFT(DT)의 문턱전압/이동도를 센싱하는 센싱 기간에 기준전원 라인(RL)에 공급될 수 있다.
- [0045] 도 4는 본 발명의 일실시예에 따른 유기발광 다이오드 표시 장치의 픽셀구조를 설명하기 위한 회로도이다. 도 4에서는 표시 패널에 형성된 외부 보상 방식의 픽셀들 중에서 하나의 픽셀의 등가 회로를 표시하고 있다.
- [0046] 도 4를 참조하면, 표시 패널의 각 픽셀은 입력되는 데이터 전류(Ioled)에 의해 발광하는 유기발광 다이오드(OLED)와, 유기발광 다이오드(OLED)를 구동시키기 위한 픽셀 회로(PC)를 포함한다. 또한, 표시 패널에는 유기 발광 다이오드(OLED)와 픽셀 회로(PC)에 구동 전원 및 신호를 공급하기 위한 복수의 라인들이 형성되어 있다.
- [0047] 여기서, 픽셀 회로(PC)는 제1 스위칭 TFT(ST1), 제2 스위칭 TFT(ST2), 드라이빙 TFT(DT) 및 커패시터(Cst)를 포함한다. 그리고, 복수의 라인들은 데이터 라인(DL), 게이트 라인(GL), 구동전원 라인(PL), 센스신호 라인(SL), 기준전원 라인(RL)을 포함한다.
- [0048] 제1 스위칭 TFT(ST1)은 게이트 라인(GL)에 공급되는 스캔 신호(게이트 구동 신호)에 따라 스위칭된다. 제1 스위칭 TFT(ST1)이 턴온되어 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)이 드라이빙 TFT(DT)에 공급된다.
- [0049] 드라이빙 TFT(DT)는 제1 스위칭 트랜지스터(ST1)로부터 공급되는 데이터 전압(Vdata)에 따라 스위칭된다. 드라이빙 TFT(DT)의 스위칭에 의해 유기발광 다이오드(OLED)로 흐르는 데이터 전류(Ioled)를 제어한다.

- [0050] 게이트 라인(GL)을 통해 스캔 신호가 인가되면 제1 스위칭 TFT(ST1)가 턴온(turn-on) 되고, 이때 제1 스위칭 TFT(ST1)로부터의 신호가 드라이빙 TFT(DT)의 게이트 전극에 입력되어 드라이빙 TFT(DT)가 턴온된다. 드라이빙 TFT(DT)가 턴온되면 구동전원 라인(PL)을 통해 인가된 구동 전류가 유기발광 다이오드(OLED)에 입력되어, 유기 발광 다이오드(OLED)가 발광하게 된다.
- [0051] 외부 보상을 위해서, 게이트 라인(GL)과 동일 방향으로 형성된 센스신호 라인(SL)이 형성되어 있다. 센스신호 라인(SL)에 인가되는 센스신호(sense)에 따라 스위칭되는 제2 스위칭 TFT(ST2)가 형성되어 있다. 제2 스위칭 TFT(ST2)의 스위칭에 의해 유기발광 다이오드(OLED)로 공급되는 데이터 전류(Ioled)를 데이터 드라이브 IC의 ADC(analog to digital converter)를 이용하여 센싱한다. ADC에서 센싱된 각 픽셀의 센싱 값에 따라 각 픽셀에 공급되는 데이터 전압을 보상하여 드라이빙 TFT(DT)의 문턱전압(Vth) 및 이동도(mobility) 특성의 변화를 보상한다.
- [0052] 도 5는 본 발명의 일실시예에 따른 유기발광 다이오드 표시 장치의 픽셀회로의 배선 형상을 설명하기 위한 도면이다. 도 5에서는 표시 패널에 형성된 외부 보상 방식의 픽셀들 중에서 하나의 픽셀의 등가 회로도 함께 표시하고 있다.
- [0053] 도 5를 참조하면, 픽셀 회로 배선에는 제1 스위칭 TFT(ST1) 배선, 제2 스위칭 TFT(ST2) 배선, 드라이빙 TFT(DT) 배선 및 커패시터(Cst) 배선이 형성되어 있다. 또한 데이터 라인(DL) 배선, 구동전원 라인(PL) 배선, 기준전원 라인(RL) 배선이 형성되어 있다.
- [0054] 제1 스위칭 TFT(ST1) 배선은 게이트 라인(GL)에 공급되는 스캔 신호(게이트 구동 신호)에 따라 제1 스위칭 TFT(ST1)가 스위칭되도록 형성되어 있다. 제1 스위칭 TFT(ST1) 배선이 턴온되면 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)이 드라이빙 TFT(DT) 배선에 공급되도록 배선이 형성되어 있다.
- [0055] 제2 스위칭 TFT(ST2) 배선은 센스신호 라인(SL)에 인가되는 센스신호(sense)에 따라 제2 스위칭 TFT(ST2)가 스위칭되도록 형성되어 있다.
- [0056] 드라이빙 TFT(DT) 배선은 제1 스위칭 트랜지스터(ST1)로부터 공급되는 데이터 전압(Vdata)에 따라 드라이빙 TFT(DT)가 스위칭되도록 형성되어 있다.
- [0057] 드라이빙 TFT(DT) 배선은 제1 스위칭 TFT(ST1)로부터의 신호가 드라이빙 TFT(DT)의 게이트 전극에 입력되어 드라이빙 TFT(DT)가 턴온되도록 형성되어 있다. 제1 스위칭 TFT(ST1) 배선은 게이트 라인(GL)을 통해 스캔 신호가 인가될 때 제1 스위칭 TFT(ST1)가 턴온(turn-on)되도록 형성되어 있다.
- [0058] 드라이빙 TFT(DT) 배선은 드라이빙 TFT(DT)가 턴온되면 구동전원 라인(PL)을 통해 인가된 구동 전류가 유기발광 다이오드(OLED)에 입력되어, 유기 발광 다이오드(OLED)가 발광하게 되도록 형성되어 있다.
- [0059] 제2 스위칭 TFT(ST2) 배선은 구동전원 라인(PL) 배선과 연결되어 있다. 제2 스위칭 TFT(ST2) 배선과 기준전원 라인(RL) 배선을 연결하는 도전 배선(220)에는 리페어 포인트(221)가 형성되어 있다.
- [0060] 도전 배선(220)은 광차단층(light shield layer) 배선으로 이루어져 있다. 광차단층 배선은 광차단층을 포함하고 있는 도전 배선이다. 광차단층 배선은 기준전원 라인(RL) 배선에 연결되어 기준전원 라인(RL)로부터 기준전원 신호를 제2 스위칭 TFT(ST2)에 공급한다. 광차단층은 도전성을 가지면서도 두께가 얇기 때문에 레이저 커팅이 용이한 장점이 있다. 도전 배선(220)은 리페어 포인트(221)에 레이저가 조사되면 레이저 커팅을 통해 끊어질 수 있다.
- [0061] 따라서, 휘점화된 픽셀 영역은, 휘점화된 픽셀을 구동시키는 픽셀 회로의 제2 스위칭 TFT(ST2)와 기준전원 라인(RL)이 연결되는 리페어 포인트(221)를 레이저 커팅을 통해 끊음으로써 암점화를 수행할 수 있다.
- [0062] 도 6은 도 5에서 기준전원 라인과 제2 스위칭 TFT(ST2)를 연결하는 도전 배선을 설명하기 위한 도면이다.
- [0063] 도 6을 참조하면, 기준전원 라인과 제2 스위칭 TFT(ST2)의 부분 확대영역(200)에 기준전원 라인 배선과 제2 스위칭 TFT(ST2) 배선을 연결하는 도전 배선(220)이 형성되어 있다. 도전 배선(220)의 B-B' 단면도를 도 7에서 설명하도록 한다.
- [0064] 도 7은 본 발명의 일실시예에 따른 도전 배선의 층 구조를 설명하기 위한 도면으로서, 도 6에서 B-B' 단면도이다.
- [0065] 도 7을 참조하면, 유기발광다이오드 표시장치는 구동 박막트랜지스터(DTr), 스위칭 박막트랜지스터(미도시) 및

유기 발광 다이오드가 형성된 기관(201)을 포함한다.

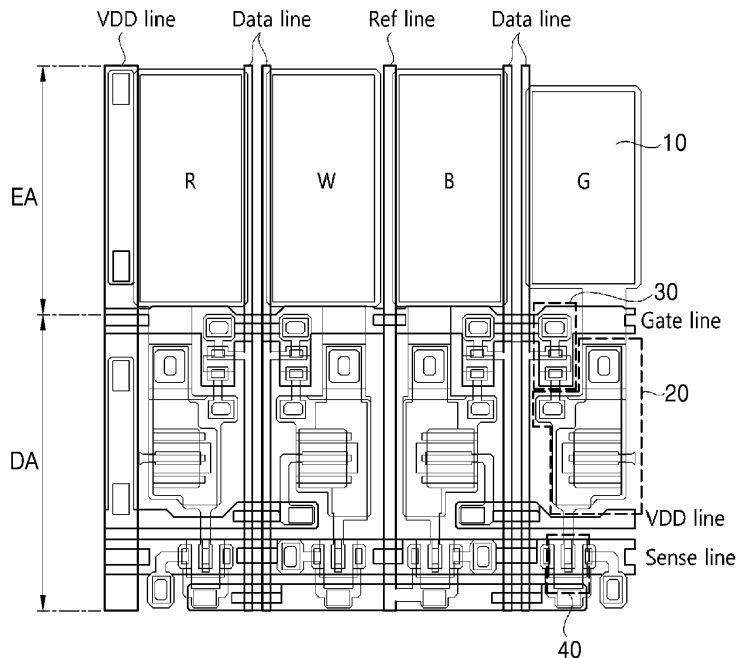
- [0066] 기관(201)은 픽셀 영역(A), 도전 배선 영역(B), 기준전원 라인 영역(C)으로 구분될 수 있다.
- [0067] 즉, 기관(201)위에 광차단층(202)이 위치하고, 광차단층(202)의 제1 영역상에는 픽셀 영역(A)이 위치하고, 픽셀 영역(A)과 이격되어 광차단층(202)의 제2 영역상에 기준 전원 라인 영역(C)이 위치한다. 여기에서 픽셀 영역(A)은 광차단층(202) 위에 위치하는 소스/드레인 메탈층(210)을 포함하며, 소스/드레인 메탈층(210)은 광차단층(202)을 통해 기준 전원 라인 영역(C)과 전기적으로 연결되어 있다. 따라서, 복수의 서브 픽셀의 각각에는 기관(201), 기관(201)위에 배치된 소스/드레인 메탈층(210)이 포함되며, 기관(201)과 소스/드레인 메탈층(210)의 사이에 도전 배선의 광차단층(202)이 연장 배치된다.
- [0068] 픽셀 영역(A)은 기관(201), LS층(202), 버퍼층(203), 액티브 영역(209), 소스/드레인 메탈층(210), 보호층(206), 평탄화층(207), 픽셀층(211), बैं크층(208)을 포함한다.
- [0069] 도전배선 영역(B)은 기관(201), LS층(202), 버퍼층(203), 층간 절연막(204), 보호층(206), 평탄화층(207), बैं크층(208)을 포함한다.
- [0070] 기준전원라인 영역(C)은 기관(201), LS층(202), 버퍼층(203), 층간 절연막(204), 소스/드레인 메탈층(205), 보호층(206), 평탄화층(207), बैं크층(208)을 포함한다.
- [0071] 여기서, 기관(201)은 유리기관 또는 얇은 플렉서블(flexibility) 기관일 수 있다. 플렉서블(flexibility) 기관은 폴리 에테르 술폰(Polyethersulfone :PES), 폴리 에틸렌 나프탈레이트(polyethylenenaphthalate :PEN), 폴리 에틸렌 테레프탈레이트(polyethylene terephthalate : PET), 폴리 카보네이트(polycarbonate : PC)및 폴리 이미드(polyimide : PI) 중 어느 하나로 이루어질 수 있다.
- [0072] 기관(201)상에 빛을 차단하는 역할을 하는 광차단층(light shield layer, LS)(202)이 형성된다.
- [0073] 광차단층(202)은 픽셀 영역(A)과 기준 전원 라인 영역(C)사이에 레이저 커팅을 통한 리페어 포인트로 사용되기 위한 설계 마진을 가지도록 형성된다.
- [0074] 예를 들어, 광차단층(202)은 600Å - 1000Å의 두께를 가지며, MoTi를 포함하여 형성될 수 있다.
- [0075] 광차단층(202)위에 버퍼층(203)이 형성될 수 있다. 버퍼층(203)은 무기절연물질, 예를 들면 산화실리콘(SiO₂) 또는 질화실리콘(SiN_x)으로 이루어질 수 있다.
- [0076] 버퍼층(203)은, 기관(201)이 유리기관일 경우에 형성되는 것으로, 반도체층(미도시됨)의 결정화시 유리기관의 내부로부터 나오는 알칼리 이온의 방출에 의한 반도체층의 특성 저하를 방지하는 역할을 한다.
- [0077] 버퍼층(203)위에 층간 절연막(204, ILD)이 형성된다. 층간 절연막(204, ILD)은 산화 실리콘(SiO₂) 또는 질화 실리콘(SiN_x)의 단일막으로 형성될 수 있고, 산화 실리콘(SiO₂)으로 형성된 제1 막과 질화 실리콘(SiN_x)으로 형성된 제2 막으로 형성될 수도 있다. 층간 절연막(204, ILD)는 복수의 서브 픽셀의 각각과 기준전원 라인을 전기적으로 절연한다.
- [0078] 픽셀 영역의 경우, LS층(202)상에 소스/드레인 메탈층(210)이 형성되어 있다. 소스/드레인 메탈층(210)으로 드라이빙 TFT(D-TFT) 영역에 소스(S) 및 드레인(D)이 형성된다.
- [0079] 액티브 영역(209)은 IGO(indium-gallium oxide), IZO (indium-zinc oxide) 또는 IGZO(amorphous indium-gallium zinc oxide)와 같은 산화물로 형성된다.
- [0080] 액티브 영역(209)과 중첩되는 영역의 식각 방지층(미도시됨)을 관통하여 드라이빙 TFT(DTFT)의 소스(S)와 드레인(D)이 형성된다. 드라이빙 TFT(D-TFT) 영역에 형성된 소스/드레인 메탈층(210)은 액티브 영역(209)상에서 패터닝되어 일측은 드레인(D)이 되고, 타측은 소스(S)가 된다.
- [0081] 소스/드레인 메탈층(210)은 몰리브덴(Mo), 티타늄(Ti) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 구조로 형성될 수 있다. 다른 예로서, 소스/드레인 메탈층(210)은 복층(multi layer) 구조로 형성될 수 있다.
- [0082] 제1 층은 몰리브덴-티타늄(MoTi)의 합금을 재료로 이용하여 형성되고, 제2 층은 구리(Cu)를 재료로 이용하여 형성될 수 있다. 이때, 소스/드레인 메탈층(210)은 데이터 라인(data line)과 동일 메탈을 재료로 한 동일 마스크 공정으로 함께 형성된다. 여기서, 드라이빙 TFT(D-TFT)의 드레인(D)과 VDD 라인(VDD line)이 연결되어 있다.
- [0083] 드라이빙 TFT(D-TFT)의 소스 전극/드레인 전극을 덮도록 보호막(206, PAS)이 형성되어 있다. 보호막(206, PAS)

은 산화 실리콘(SiO_2) 물질로 형성된다. 따라서, 보호막(206, PAS)은 복수의 서브 픽셀의 각각과 기준 전원 라인을 덮게 된다.

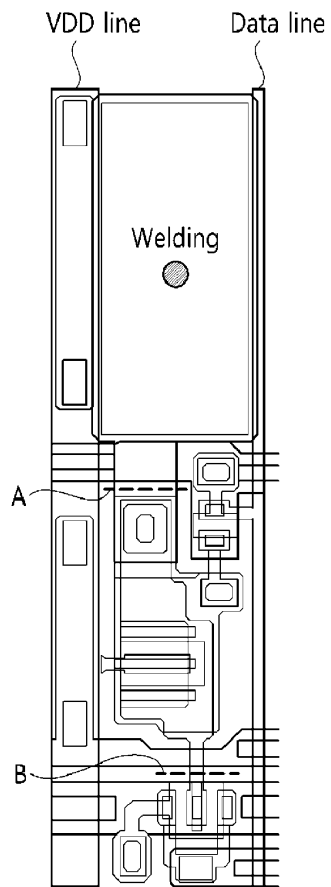
- [0084] 보호막(206, PAS)위에는 평탄화층(207)이 형성된다. 각 픽셀 영역을 구분시키기 위해서 픽셀 영역의 비발광 부분에 뱅크(208)가 형성된다.
- [0085] 도전 배선은 이와 같은 구조를 가지고 있기 때문에 기관(201)쪽에서 레이저가 조사되어 레이저 커팅이 수행될 수 있다.
- [0086] 여기에서 광차단층(202)은 대략 $600\text{\AA}$ - $1000\text{\AA}$ 의 두께로 형성되어 있기때문에 종래에 도전 배선을 구성하던 소스/드레인 메탈층이 $6000\text{\AA}$ 의 두께로 형성되는 것에 비하여 거의 1/10 수준이 된다. 따라서, 레이저 커팅이 훨씬 더 용이하다.
- [0087] 한편, 픽셀 영역은 메탈성분이 ITO로 이루어져 있으며, $1140\text{\AA}$ 의 두께를 가질 수있다. 소스/드레인 메탈층은 Cu/MoTi로 이루어져 있으며 $6000/300\text{\AA}$ 의 두께를 가질 수 있다. 게이트층은 Cu/MoTi로 이루어져 있으며 $4500/300\text{\AA}$ 의 두께를 가질 수 있다. 액티브 레이어는 IGZO로 이루어질 수 있으며 $400\text{\AA}$ 의 두께를 가질 수 있다.
- [0088] 이와 같이 도전 배선의 배선 구조에 광차단층(202)를 포함하고 있기 때문에 기준전원 라인(RL)로부터 기준전원 신호를 제2 스위칭 TFF(ST2)에 공급할 수 있다.
- [0089] 광차단층(202)은 도전성을 가지면서도 두께가 얇기 때문에 레이저 커팅이 용이한 장점이 있다. 레이저가 조사되면 광차단층(202)는 최소의 설계 마진으로 레이저 커팅을 통해 끊어질 수 있다.
- [0090] 이상에서 본 발명에 따른 실시예들이 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 범위의 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 다음의 특허청구범위에 의해서 정해져야 할 것이다.

도면

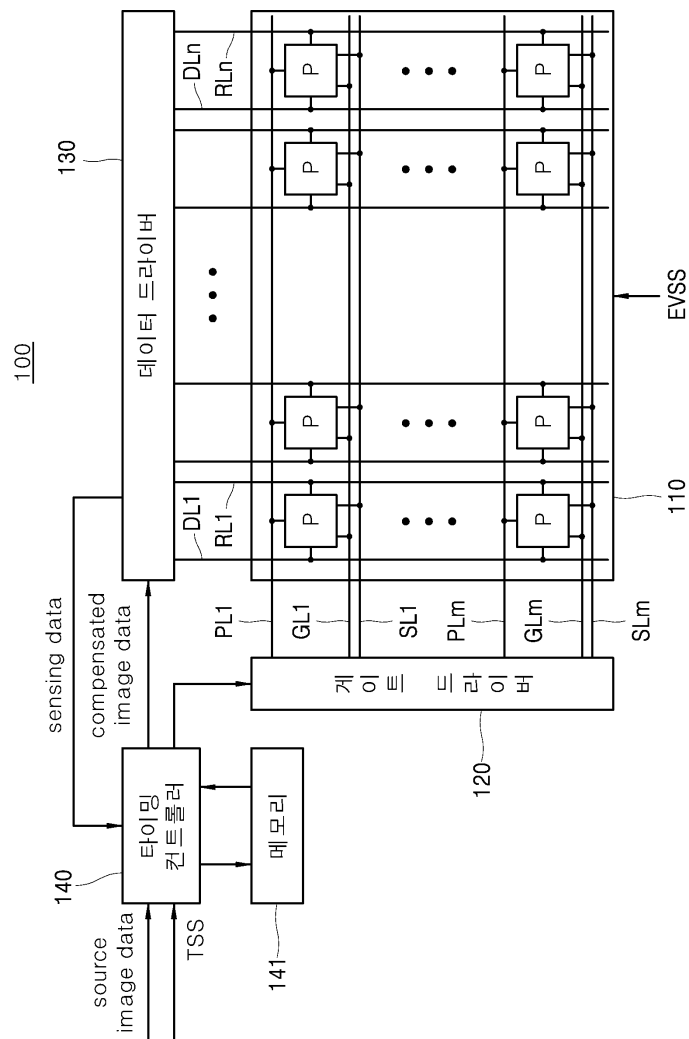
도면1



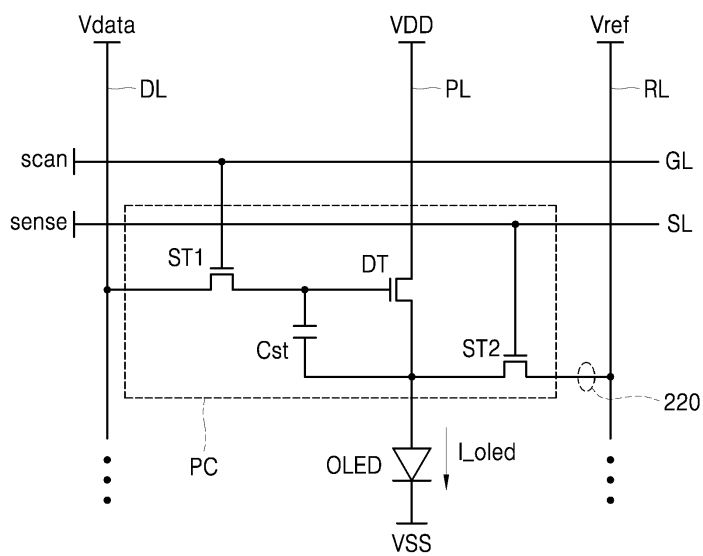
도면2



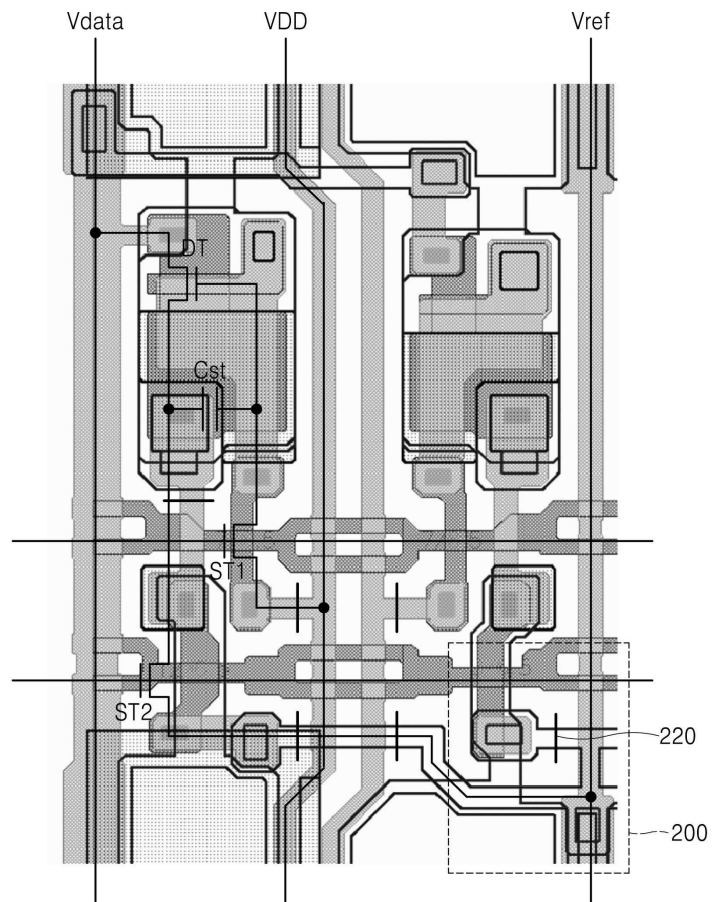
도면3



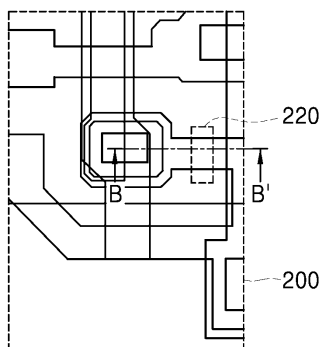
도면4



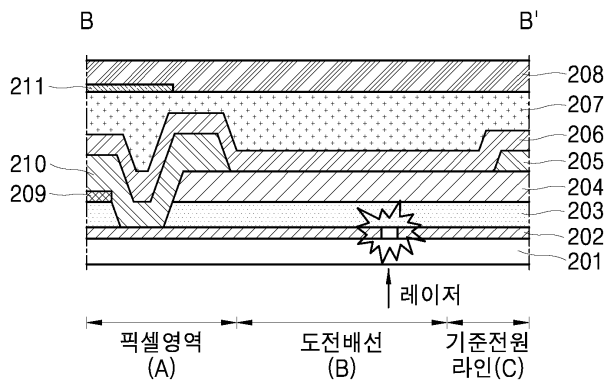
도면5



도면6



도면7



专利名称(译)	标题：具有修复结构的有机发光二极管显示装置，显示面板及其布线结构		
公开(公告)号	KR1020170081015A	公开(公告)日	2017-07-11
申请号	KR1020150191650	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KI MIN CHOI 최기민 HONG SUK KIM 김홍석		
发明人	최기민 김홍석		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2330/08		
外部链接	Espacenet		

摘要(译)

应用本发明的有机发光二极管显示装置的显示面板包括多个像素，其中每个包括多个子像素和多个感测信号线，多个子像素分别提供多个子像素的感测信号。分别提供多个子像素的扫描信号的多条扫描信号线和分别提供多个子像素的数据信号的多条数据线。这里，包括分别提供多个子像素的参考电源信号的参考电源线。这里，导体布线布置在多个子像素和参考电源线中的每一个之间。该导电功率分布包括用于提供参考电源信号的光屏蔽层（光屏蔽层）。因此，由于可以通过激光切割容易地控制遮光层，因此修复过程变得容易。

