



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0049712
(43) 공개일자 2017년05월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/3262 (2013.01)

(21) 출원번호 10-2015-0149712
(22) 출원일자 2015년10월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
박건도
경기도 파주시 월롱면 엘씨디로 231 H동 1909호
(덕은리, 정다운마을)

(74) 대리인
김은구, 송해모

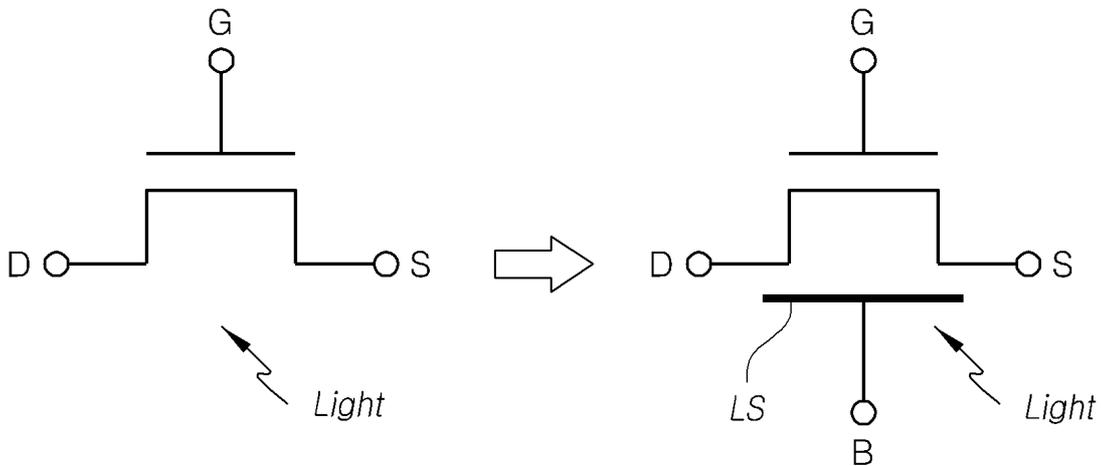
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 유기발광표시패널, 유기발광표시장치 및 그 구동방법

(57) 요약

본 실시예들은, 유기발광표시패널, 유기발광표시장치 및 그 구동방법에 관한 것으로서, 더욱 상세하게는, 서브픽셀 내 각 트랜지스터의 하부에 차광 패턴을 위치시켜 트랜지스터의 소자 특성 변화를 저감하면서도, 각 트랜지스터에 대응되는 차광 패턴을 서로 다른 지점에 연결시킴으로써 각 트랜지스터에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여줌과 동시에, 각 서브픽셀 내 회로 소자에 대한 특성치의 센싱 정확도 저하를 방지할 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법에 관한 것이다.

대표도 - 도6



(52) CPC특허분류

H01L 27/3265 (2013.01)

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

다수의 데이터 라인 및 다수의 게이트 라인이 배치되며 다수의 서브픽셀이 배치된 유기발광표시패널;

상기 다수의 데이터 라인을 구동하는 데이터 드라이버; 및

상기 다수의 게이트 라인을 구동하는 게이트 드라이버를 포함하고,

상기 다수의 서브픽셀 각각은,

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 제1 트랜지스터와, 상기 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 상기 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터와, 상기 제1 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성되고,

상기 제1 트랜지스터의 영역에 제1 차광패턴이 위치하고, 상기 제2 트랜지스터의 영역에 제2 차광 패턴이 위치하며, 상기 제3 트랜지스터의 영역에 제3 차광 패턴이 위치하고,

상기 제1 차광 패턴, 상기 제2 차광 패턴 및 상기 제3 차광 패턴은, 제1 바이어스 지점, 제2 바이어스 지점 및 제3 바이어스 지점에 각각 전기적으로 연결되며,

상기 제1 바이어스 지점, 상기 제2 바이어스 지점 및 상기 제3 바이어스 지점은 위치가 서로 다르고 전기적으로 서로 단선된 지점들인 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제1 바이어스 지점은 상기 제1 트랜지스터의 제2 노드이고,

상기 제2 바이어스 지점은 상기 데이터 라인과 전기적으로 연결된 상기 제2 트랜지스터의 드레인 노드 또는 소스 노드이거나, 상기 데이터 라인 상의 지점이며,

상기 제3 바이어스 지점은 상기 기준 전압 라인과 전기적으로 연결된 상기 제3 트랜지스터의 드레인 노드 또는 소스 노드이거나, 상기 기준 전압 라인 상의 지점인 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 제1 바이어스 지점, 상기 제2 바이어스 지점 및 상기 제3 바이어스 지점은 소스-드레인 레이어(Source-Drain Layer)에 위치하고,

상기 제1 차광 패턴, 상기 제2 차광 패턴 및 상기 제3 차광 패턴은 상기 소스-드레인 레이어와 다른 레이어에 위치하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 제1 차광 패턴은 제1 바이어스 전압이 인가되는 상기 제1 트랜지스터의 바디 노드이고,

상기 제2 차광 패턴은 제2 바이어스 전압이 인가되는 상기 제2 트랜지스터의 바디 노드이고,

상기 제3 차광 패턴은 제3 바이어스 전압이 인가되는 상기 제3 트랜지스터의 바디 노드인 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 제2 바이어스 전압과 상기 제3 바이어스 전압 각각은 상기 제1 바이어스 전압보다 낮은 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 제1 차광 패턴, 상기 제2 차광 패턴 및 상기 제3 차광 패턴 중 하나만이 상기 기준 전압 라인과 전기적으로 연결되는 유기발광표시장치.

청구항 7

유기발광다이오드;

상기 유기발광다이오드를 구동하는 제1 트랜지스터;

상기 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터;

상기 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터; 및

상기 제1 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 제1 트랜지스터의 영역에 제1 차광패턴이 위치하고, 상기 제2 트랜지스터의 영역에 제2 차광 패턴이 위치하며, 상기 제3 트랜지스터의 영역에 제3 차광 패턴이 위치하고,

상기 제1 차광 패턴, 상기 제2 차광 패턴 및 상기 제3 차광 패턴은, 제1 바이어스 지점, 제2 바이어스 지점 및 제3 바이어스 지점에 각각 전기적으로 연결되며,

상기 제1 바이어스 지점, 상기 제2 바이어스 지점 및 상기 제3 바이어스 지점은 위치가 서로 다르고 전기적으로 서로 단선된 지점들인 유기발광표시패널.

청구항 8

제7항에 있어서,

상기 제1 바이어스 지점은 상기 제1 트랜지스터의 제2 노드이고,

상기 제2 바이어스 지점은 상기 제2 트랜지스터의 드레인 노드 또는 소스 노드이거나, 상기 데이터 라인 상의 지점이며,

상기 제3 바이어스 지점은 상기 제3 트랜지스터의 드레인 노드 또는 소스 노드이거나, 상기 기준 전압 라인 상의 지점인 유기발광표시장치.

청구항 9

제7항에 있어서,

상기 제1 차광 패턴은 제1 바이어스 전압이 인가되는 상기 제1 트랜지스터의 바디 노드이고,

상기 제2 차광 패턴은 제2 바이어스 전압이 인가되는 상기 제2 트랜지스터의 바디 노드이고,

상기 제3 차광 패턴은 제3 바이어스 전압이 인가되는 상기 제3 트랜지스터의 바디 노드인 유기발광표시패널.

청구항 10

제9항에 있어서,

상기 제2 바이어스 전압과 상기 제3 바이어스 전압 각각은,

상기 제1 바이어스 전압보다 낮은 유기발광표시패널.

청구항 11

유기발광다이오드;

상기 유기발광다이오드를 구동하는 제1 트랜지스터; 및

상기 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터를 포함하고,

상기 제1 트랜지스터의 하부에는 제1 차광 패턴이 위치하고, 상기 제2 트랜지스터의 하부에는 제2 차광 패턴이 위치하며,

상기 제1 차광 패턴 및 상기 제2 차광 패턴에는 서로 다른 제1 바이어스 전압 및 제2 바이어스 전압이 인가되는 유기발광표시패널.

청구항 12

제11항에 있어서,

상기 제2 차광 패턴에 인가되는 상기 제2 바이어스 전압은 상기 제1 차광 패턴에 인가되는 상기 제1 바이어스 전압보다 낮은 유기발광표시패널.

청구항 13

제11항에 있어서,

상기 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터를 더 포함하고,

상기 제3 트랜지스터의 하부에는 제3 차광 패턴이 위치하며,

상기 제3 차광 패턴에는 상기 제1 바이어스 전압과 다른 제3 바이어스 전압이 인가되는 유기발광표시패널.

청구항 14

제13항에 있어서,

상기 제3 바이어스 전압은 상기 제1 바이어스 전압보다 낮은 유기발광표시패널.

청구항 15

유기발광다이오드와, 상기 유기발광다이오드를 구동하는 제1 트랜지스터와, 상기 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 상기 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터와, 상기 제1 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성된 서브픽셀이 포함된 유기발광표시장치의 구동 방법에 있어서,

상기 제1 트랜지스터의 제1 노드와 제2 노드로 데이터 전압과 기준 전압을 인가하는 제1단계;

상기 제1 트랜지스터의 제2 노드를 플로팅하는 제2단계; 및

일정 시간 경과 후, 상기 제1 트랜지스터의 제2 노드의 전압을 상기 기준 전압 라인을 통해 측정하는 제3단계를 포함하고,

상기 제1단계, 상기 제2단계 및 상기 제3단계가 진행되는 동안,

상기 제1 트랜지스터의 하부에 위치한 제1 차광 패턴, 상기 제2 트랜지스터의 하부에 위치한 제2 차광 패턴, 상기 제3 트랜지스터의 하부에 위치한 제3 차광 패턴은 서로 다른 지점에 연결되어 있는 유기발광표시장치의 구동 방법.

청구항 16

유기발광다이오드;

상기 유기발광다이오드를 구동하는 제1 트랜지스터;

상기 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터;

상기 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터; 및

상기 제1 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하고,

상기 제1 트랜지스터의 영역에 제1 차광패턴이 위치하고, 상기 제2 트랜지스터의 영역에 제2 차광 패턴이 위치하며, 상기 제3 트랜지스터의 영역에 제3 차광 패턴이 위치하고,

상기 제1 차광 패턴은 상기 제1 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결되고, 상기 제2 차광 패턴은 상기 제2 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결되고, 상기 제3 차광 패턴은 상기 제3 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결되는 유기발광표시패널.

발명의 설명

기술 분야

[0001] 본 실시예들은 유기발광표시패널, 유기발광표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는, 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써, 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 크다는 장점이 있다.

[0003] 이러한 유기발광표시장치의 유기발광표시패널에는 각 서브픽셀 별로 유기발광다이오드 및 각종 트랜지스터가 배치된다.

[0004] 유기발광표시패널에서, 트랜지스터 등의 회로 소자는, 구동 시간에 따라 회로 소자가 열화 되어 소자 특성이 변하기도 하지만, 빛(예: 외부 광)에 노출되어 소자 특성이 변하기도 한다.

[0005] 전술한 바와 같이, 유기발광표시패널에서 각 회로 소자가 구동 시간에 따라 소자 특성이 변하거나, 외부 광 노출에 의해 소자 특성이 변하는 경우, 비정상적인 구동을 유발하여 화면 이상 현상을 발생시킬 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 실시예들의 목적은, 서브픽셀 내 회로 소자에 대한 소자 특성 변화를 줄여줄 수 있는 차광 패턴 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.

[0007] 본 실시예들의 다른 목적은, 서브픽셀 내 각 트랜지스터의 하부에 차광 패턴을 위치시켜, 트랜지스터의 소자 특성 변화를 저감하면서도, 트랜지스터에서 발생할 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.

[0008] 본 실시예들의 또 다른 목적은, 서브픽셀 내 각 트랜지스터의 하부에 차광 패턴을 위치시켜, 트랜지스터의 소자 특성 변화를 저감하면서도, 트랜지스터에서 발생할 수 있는 바디 효과(Body Effect)의 영향을 줄여주고, 각 서브픽셀 내 회로 소자에 대한 특성치의 센싱 정확도 저하를 방지할 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.

[0009] 본 실시예들의 또 다른 목적은, 서브픽셀 내 각 트랜지스터의 하부에 차광 패턴을 위치시키고, 각 차광 패턴을 서로 다른 지점에 연결시킴으로써, 트랜지스터에서 발생할 수 있는 바디 효과(Body Effect)의 영향을 줄여주고, 각 서브픽셀 내 회로 소자에 대한 특성치의 센싱 정확도 저하를 방지할 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.

과제의 해결 수단

[0010] 일 측면에서, 본 실시예들은, 다수의 데이터 라인 및 다수의 게이트 라인이 배치되며 다수의 서브픽셀이 배치된 유기발광표시패널과, 다수의 데이터 라인을 구동하는 데이터 드라이버와, 다수의 게이트 라인을 구동하는 게이트 트 드라이버를 포함하는 유기발광표시장치를 제공할 수 있다.

[0011] 이러한 유기발광표시장치에서 다수의 서브픽셀 각각은, 유기발광다이오드와, 유기발광다이오드를 구동하는 제1 트랜지스터와, 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터와, 제1 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성될 수 있다.

- [0012] 이러한 유기발광표시장치에서, 제1 트랜지스터의 영역에 제1 차광패턴이 위치하고, 제2 트랜지스터의 영역에 제2 차광 패턴이 위치하며, 제3 트랜지스터의 영역에 제3 차광 패턴이 위치할 수 있다.
- [0013] 또한, 제1 차광 패턴, 제2 차광 패턴 및 제3 차광 패턴은, 제1 바이어스 지점, 제2 바이어스 지점 및 제3 바이어스 지점에 각각 전기적으로 연결될 수 있다.
- [0014] 그리고, 제1 바이어스 지점, 제2 바이어스 지점 및 제3 바이어스 지점은 위치가 서로 다르고 전기적으로 서로 단선된 지점들일 수 있다.
- [0015] 다른 측면에서, 본 실시예들은, 유기발광다이오드와, 유기발광다이오드를 구동하는 제1 트랜지스터와, 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터와, 제1 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 각 서브픽셀 별로 포함하는 유기발광표시패널을 제공할 수 있다.
- [0016] 이러한 유기발광표시패널에서, 제1 트랜지스터의 영역에 제1 차광패턴이 위치하고, 제2 트랜지스터의 영역에 제2 차광 패턴이 위치하며, 제3 트랜지스터의 영역에 제3 차광 패턴이 위치할 수 있다.
- [0017] 또한, 유기발광표시패널에서, 제1 차광 패턴, 제2 차광 패턴 및 제3 차광 패턴은, 제1 바이어스 지점, 제2 바이어스 지점 및 제3 바이어스 지점에 각각 전기적으로 연결될 수 있다.
- [0018] 또한, 유기발광표시패널에서, 제1 바이어스 지점, 제2 바이어스 지점 및 제3 바이어스 지점은 위치가 서로 다르고 전기적으로 서로 단선된(전기적으로 분리된) 지점들일 수 있다.
- [0019] 또 다른 측면에서, 본 실시예들은, 유기발광다이오드와, 유기발광다이오드를 구동하는 제1 트랜지스터와, 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터를 포함하는 유기발광표시패널을 제공할 수 있다.
- [0020] 이러한 유기발광표시패널에서, 제1 트랜지스터의 하부에는 제1 차광 패턴이 위치하고, 제2 트랜지스터의 하부에는 제2 차광 패턴이 위치할 수 있다.
- [0021] 또한, 이러한 유기발광표시패널에서, 제1 차광 패턴 및 제2 차광 패턴에는 서로 다른 제1 바이어스 전압 및 제2 바이어스 전압이 인가될 수 있다.
- [0022] 또 다른 측면에서, 본 실시예들은, 유기발광다이오드와, 유기발광다이오드를 구동하는 제1 트랜지스터와, 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터와, 제1 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하여 구성된 서브픽셀이 포함된 유기발광표시장치의 구동 방법을 제공할 수 있다.
- [0023] 이러한 유기발광표시장치의 구동 방법은, 제1 트랜지스터의 제1 노드와 제2 노드로 데이터 전압과 기준 전압을 인가하는 제1단계와, 제1 트랜지스터의 제2 노드를 플로팅하는 제2단계와, 일정 시간 경과 후, 제1 트랜지스터의 제2 노드의 전압을 기준 전압 라인을 통해 측정하는 제3단계를 포함하여 진행될 수 있다.
- [0024] 진술한 제1단계, 제2단계 및 제3단계가 진행되는 동안, 제1 트랜지스터의 하부에 위치한 제1 차광 패턴, 제2 트랜지스터의 하부에 위치한 제2 차광 패턴, 제3 트랜지스터의 하부에 위치한 제3 차광 패턴은 서로 다른 지점에 연결되어 있을 수 있다.
- [0025] 또 다른 측면에서, 본 실시예들은, 유기발광다이오드와, 유기발광다이오드를 구동하는 제1 트랜지스터와, 제1 트랜지스터의 제1 노드와 데이터 라인 사이에 전기적으로 연결된 제2 트랜지스터와, 제1 트랜지스터의 제2 노드와 기준 전압 라인 사이에 전기적으로 연결된 제3 트랜지스터와, 제1 트랜지스터의 제1 노드와 제2 노드 사이에 전기적으로 연결된 스토리지 캐패시터를 포함하는 유기발광표시패널을 제공할 수 있다.
- [0026] 이러한 유기발광표시패널에서, 제1 트랜지스터의 영역에 제1 차광패턴이 위치하고, 제2 트랜지스터의 영역에 제2 차광 패턴이 위치하며, 제3 트랜지스터의 영역에 제3 차광 패턴이 위치할 수 있다.
- [0027] 또한, 유기발광표시패널에서, 제1 차광 패턴은 제1 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결되고, 제2 차광 패턴은 제2 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결되고, 제3 차광 패턴은 제3 트랜지스터의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.

발명의 효과

- [0028] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 서브픽셀 내 회로 소자에 대한 소자 특성 변화를 줄여줄 수 있는 차광 패턴 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공할 수 있다.
- [0029] 또한, 본 실시예들에 의하면, 서브픽셀 내 각 트랜지스터의 하부에 차광 패턴을 위치시켜, 트랜지스터의 소자 특성 변화를 저감하면서도, 트랜지스터에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공할 수 있다.
- [0030] 또한, 본 실시예들에 의하면, 서브픽셀 내 각 트랜지스터의 하부에 차광 패턴을 위치시켜, 트랜지스터의 소자 특성 변화를 저감하면서도, 트랜지스터에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여주고, 각 서브픽셀 내 회로 소자에 대한 특성치의 센싱 정확도 저하를 방지할 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공할 수 있다.
- [0031] 또한, 본 실시예들에 의하면, 서브픽셀 내 각 트랜지스터의 하부에 차광 패턴을 위치시키고, 각 차광 패턴을 서로 다른 지점에 연결시킴으로써, 트랜지스터에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여주고, 각 서브픽셀 내 회로 소자에 대한 특성치의 센싱 정확도 저하를 방지할 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널, 유기발광표시장치 및 그 구동방법을 제공하는 데 있다.

도면의 간단한 설명

- [0032] 도 1은 본 실시예들에 따른 유기발광표시장치의 시스템 구성도이다.
- 도 2는 본 실시예들에 따른 유기발광표시장치의 서브픽셀 구조의 예시도이다.
- 도 3은 본 실시예들에 따른 유기발광표시장치의 보상 회로에 대한 예시도이다.
- 도 4는 본 실시예들에 따른 유기발광표시장치에서, 제1 트랜지스터에 대한 문턱전압 센싱 구동 방식을 설명하기 위한 도면이다.
- 도 5는 본 실시예들에 따른 유기발광표시장치에서, 제1 트랜지스터에 대한 이동도 센싱 구동 방식을 설명하기 위한 도면이다.
- 도 6은 본 실시예들에 따른 유기발광표시장치(100)에서, 빛에 의해 트랜지스터의 특성치가 변화하는 현상을 방지하기 위하여, 차광 패턴(LS)을 트랜지스터의 하부에 형성한 것을 나타낸 도면이다.
- 도 7은 본 실시예들에 따른 유기발광표시장치에서, A 타입의 차광 패턴 연결 구조를 나타낸 도면이다.
- 도 8은 본 실시예들에 따른 유기발광표시장치에서, A 타입의 차광 패턴 연결 구조의 단점을 설명하기 위한 도면이다.
- 도 9는 본 실시예들에 따른 유기발광표시장치에서, B 타입의 차광 패턴 연결 구조를 나타낸 도면이다.
- 도 10 및 도 11은 본 실시예들에 따른 유기발광표시장치에서, B 타입의 차광 패턴 연결 구조의 단점을 설명하기 위한 도면이다.
- 도 12는 본 실시예들에 따른 유기발광표시장치에서, C 타입의 차광 패턴 연결 구조를 나타낸 도면이다.
- 도 13은 본 실시예들에 따른 유기발광표시장치에서, C 타입의 차광 패턴 연결 구조의 단점을 설명하기 위한 도면이다.
- 도 14는 본 실시예들에 따른 유기발광표시장치에서, D 타입의 차광 패턴 연결 구조를 나타낸 도면이다.
- 도 15는 본 실시예들에 따른 유기발광표시장치에서, D 타입의 차광 패턴 연결 구조 하에서, 차광 패턴들과 바이어스 지점들의 레이어(Layer)를 설명하기 위한 도면이다.
- 도 16 내지 도 17은 본 실시예들에 따른 유기발광표시장치에서, D 타입의 차광 패턴 연결 구조의 바디 효과(Body Effect)의 영향 감소의 장점을 설명하기 위한 도면이다.
- 도 18 내지 도 19는 본 실시예들에 따른 유기발광표시장치에서, D 타입의 차광 패턴 연결 구조의 센싱 정확도 향상의 장점을 설명하기 위한 도면이다.

도 20은 본 실시예들에 따른 유기발광표시장치의 구동방법에 대한 흐름도이다.

도 21은 본 실시예들에 따른 유기발광표시패널과 그 서브픽셀 구조를 간략하게 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0034] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0035] 도 1은 본 실시예들에 따른 유기발광표시장치(100)의 시스템 구성도이다.
- [0036] 도 1을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 배치되고, 다수의 서브픽셀(SP: Sub Pixel)이 배치된 유기발광표시패널(110)과, 다수의 데이터 라인(DL)을 구동하는 데이터 드라이버(120)와, 다수의 게이트 라인(GL)을 구동하는 게이트 드라이버(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하는 컨트롤러(140) 등을 포함한다.
- [0037] 컨트롤러(140)는, 데이터 드라이버(120) 및 게이트 드라이버(130)로 각종 제어신호를 공급하여, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어한다.
- [0038] 이러한 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 외부에서 입력되는 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0039] 이러한 컨트롤러(140)는 통상의 디스플레이 기술에서 이용되는 타이밍 컨트롤러(Timing Controller)이거나, 타이밍 컨트롤러(Timing Controller)를 포함하여 다른 제어 기능도 더 수행하는 제어장치일 수 있다.
- [0040] 데이터 드라이버(120)는, 다수의 데이터 라인(DL)으로 데이터 전압을 공급함으로써, 다수의 데이터 라인(DL)을 구동한다. 여기서, 데이터 드라이버(120)는 '소스 드라이버'라고도 한다.
- [0041] 게이트 드라이버(130)는, 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 공급함으로써, 다수의 게이트 라인(GL)을 순차적으로 구동한다. 여기서, 게이트 드라이버(130)는 '스캔 드라이버'라고도 한다.
- [0042] 게이트 드라이버(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 다수의 게이트 라인(GL)으로 순차적으로 공급한다.
- [0043] 데이터 드라이버(120)는, 게이트 드라이버(130)에 의해 특정 게이트 라인이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터를 아날로그 형태의 데이터 전압으로 변환하여 다수의 데이터 라인(DL)으로 공급한다.
- [0044] 데이터 드라이버(120)는, 도 1에서는 유기발광표시패널(110)의 일측(예: 상측 또는 하측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 상측과 하측)에 모두 위치할 수도 있다.
- [0045] 게이트 드라이버(130)는, 도 1에서는 유기발광표시패널(110)의 일 측(예: 좌측 또는 우측)에만 위치하고 있으나, 구동 방식, 패널 설계 방식 등에 따라서, 유기발광표시패널(110)의 양측(예: 좌측과 우측)에 모두 위치할 수도 있다.
- [0046] 전술한 컨트롤러(140)는, 입력 영상 데이터와 함께, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블(DE: Data Enable) 신호, 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호들을 외부(예: 호스트 시스템)로부터 수신한다.
- [0047] 컨트롤러(140)는, 외부로부터 입력된 입력 영상 데이터를 데이터 드라이버(120)에서 사용하는 데이터 신호 형식

에 맞게 전환하여 전환된 영상 데이터를 출력하는 것 이외에, 데이터 드라이버(120) 및 게이트 드라이버(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 DE 신호, 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들을 생성하여 데이터 드라이버(120) 및 게이트 드라이버(130)로 출력한다.

- [0048] 예를 들어, 컨트롤러(140)는, 게이트 드라이버(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호(GCS: Gate Control Signal)를 출력한다.
- [0049] 여기서, 게이트 스타트 펄스(GSP)는 게이트 드라이버(130)를 구성하는 하나 이상의 게이트 드라이버 집적회로의 동작 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적회로의 타이밍 정보를 지정하고 있다.
- [0050] 또한, 컨트롤러(140)는, 데이터 드라이버(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Source Output Enable) 등을 포함하는 각종 데이터 제어 신호(DCS: Data Control Signal)를 출력한다.
- [0051] 여기서, 소스 스타트 펄스(SSP)는 데이터 드라이버(120)를 구성하는 하나 이상의 소스 드라이버 집적회로의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 드라이버(120)의 출력 타이밍을 제어한다.
- [0052] 데이터 드라이버(120)는, 적어도 하나의 소스 드라이버 집적회로(SDIC: Source Driver Integrated Circuit)를 포함하여 다수의 데이터 라인을 구동할 수 있다.
- [0053] 각 소스 드라이버 집적회로(SDIC)는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 소스 드라이버 집적회로(SDIC)는, 유기발광표시패널(110)에 연결된 필름 상에 실장 되는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0054] 각 소스 드라이버 집적회로(SDIC)는, 쉬프트 레지스터(Shift Register), 래치 회로(Latch Circuit), 디지털 아날로그 컨버터(DAC: Digital to Analog Converter), 출력 버퍼(Output Buffer) 등을 포함할 수 있다.
- [0055] 각 소스 드라이버 집적회로(SDIC)는, 경우에 따라서, 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 더 포함할 수 있다.
- [0056] 게이트 드라이버(130)는, 적어도 하나의 게이트 드라이버 집적회로(GDIC: Gate Driver Integrated Circuit)를 포함할 수 있다.
- [0057] 각 게이트 드라이버 집적회로(GDIC)는, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 글래스(COG) 방식으로 유기발광표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 유기발광표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 유기발광표시패널(110)에 집적화되어 배치될 수도 있다. 또한, 각 게이트 드라이버 집적회로(GDIC)는 유기발광표시패널(110)과 연결된 필름 상에 실장 되는 칩 온 필름(COF) 방식으로 구현될 수도 있다.
- [0058] 각 게이트 드라이버 집적회로(GDIC)는 쉬프트 레지스터(Shift Register), 레벨 쉬프터(Level Shifter) 등을 포함할 수 있다.
- [0059] 본 실시예들에 따른 유기발광표시장치(100)는 적어도 하나의 소스 드라이버 집적회로(SDIC)에 대한 회로적인 연결을 위해 필요한 적어도 하나의 소스 인쇄회로기판(S-PCB: Source Printed Circuit Board)과 제어 부품들과 각종 전기 장치들을 실장 하기 위한 컨트롤 인쇄회로기판(C-PCB: Control Printed Circuit Board)을 포함할 수 있다.
- [0060] 적어도 하나의 소스 인쇄회로기판(S-PCB)에는, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 되거나, 적어도 하나의 소스 드라이버 집적회로(SDIC)가 실장 된 필름이 연결될 수 있다.
- [0061] 컨트롤 인쇄회로기판(C-PCB)에는, 데이터 드라이버(120) 및 게이트 드라이버(130) 등의 동작을 제어하는 컨트롤러(140)와, 유기발광표시패널(110), 데이터 드라이버(120) 및 게이트 드라이버(130) 등으로 각종 전압 또는 전

류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러 등이 실장 될 수 있다.

- [0062] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 적어도 하나의 연결 부재를 통해 회로적으로 연결될 수 있다.
- [0063] 여기서, 연결 부재는 가요성 인쇄 회로(FPC: Flexible Printed Circuit), 가요성 플랫 케이블(FFC: Flexible Flat Cable) 등일 수 있다.
- [0064] 적어도 하나의 소스 인쇄회로기판(S-PCB)과 컨트롤 인쇄회로기판(C-PCB)은 하나의 인쇄회로기판으로 통합되어 구현될 수도 있다.
- [0065] 유기발광표시패널(110)에 배치되는 각 서브픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다.
- [0066] 일 예로, 유기발광표시패널(110)이 유기발광표시패널인 경우, 각 서브픽셀(SP)은 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 이를 구동하기 위한 구동 트랜지스터(Driving Transistor) 등의 회로 소자로 구성되어 있다.
- [0067] 각 서브픽셀(SP)을 구성하는 회로 소자의 종류 및 개수는, 제1 트랜지스터의 종류 및 개수에 따라 다양하게 정해질 수 있다.
- [0068] 도 2는 본 실시예들에 따른 유기발광표시장치(100)의 서브픽셀 구조의 예시도이다.
- [0069] 도 2를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)에서, 각 서브픽셀은, 기본적으로, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터에 해당하는 제1 트랜지스터(T1: Driving Transistor)와, 제1 트랜지스터(T1)의 게이트 노드에 해당하는 제1 노드(N1)로 데이터 전압(Vdata)을 전달해주기 위한 제2 트랜지스터(T2)와, 영상 신호 전압에 해당하는 데이터 전압 또는 이에 대응되는 전압을 한 프레임 시간 동안 유지하는 스토리지 캐패시터(C1)를 포함하여 구성될 수 있다.
- [0070] 유기발광다이오드(OLED)는 제1전극(예: 애노드 전극), 유기층 및 제2전극(예: 캐소드 전극) 등으로 이루어질 수 있다.
- [0071] 제1 트랜지스터(T1)는, 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터로서, 유기발광다이오드(OLED)로 구동 전류를 공급해줌으로써 유기발광다이오드(OLED)를 구동한다.
- [0072] 제1 트랜지스터(T1)의 제1 노드(N1)는 제2 트랜지스터(T2)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있으며, 게이트 노드일 수 있다. 제1 트랜지스터(T1)의 제2 노드(N2)는 유기발광다이오드(OLED)의 제1전극과 전기적으로 연결될 수 있으며, 소스 노드 또는 드레인 노드일 수 있다. 제1 트랜지스터(T1)의 제3노드(N3)는 구동전압(EVDD)을 공급하는 구동전압 라인(DVL: Driving Voltage Line)과 전기적으로 연결될 수 있으며, 드레인 노드 또는 소스 노드일 수 있다.
- [0073] 제1 트랜지스터(T1)와 제2 트랜지스터(T2)는, 도 2의 예시와 같이 n 타입으로 구현될 수도 있고, p 타입으로도 구현될 수도 있다.
- [0074] 제2 트랜지스터(T2)는 데이터 라인(DL)과 제1 트랜지스터(T1)의 제1 노드(N1) 사이에 전기적으로 연결되고, 게이트 라인을 통해 스캔 신호(SCAN)를 게이트 노드로 인가 받아 제어될 수 있다.
- [0075] 제2 트랜지스터(T2)는 스캔 신호(SCAN)에 의해 턴-온 되어 데이터 라인(DL)으로부터 공급된 데이터 전압(Vdata)을 제1 트랜지스터(T1)의 제1 노드(N1)로 전달해줄 수 있다.
- [0076] 스토리지 캐패시터(C1)는 제1 트랜지스터(T1)의 제1 노드(N1)와 제2 노드(N2) 사이에 전기적으로 연결될 수 있다.
- [0077] 이러한 스토리지 캐패시터(C1)는, 제1 트랜지스터(T1)의 제1 노드(N1)와 제2 노드(N2) 사이에 존재하는 내부 캐패시터(Internal Capacitor)인 기생 캐패시터(예: Cgs, Cgd)가 아니라, 제1 트랜지스터(T1)의 외부에 의도적으로 설계한 외부 캐패시터(External Capacitor)이다.
- [0078] 한편, 본 실시예들에 따른 유기발광표시패널(110)에 배치된 각 서브픽셀(SP)에서, 유기발광다이오드(OLED) 및 제1 트랜지스터(T1) 등의 회로 소자는 고유한 특성치를 가지고 있다.
- [0079] 여기서, 유기발광다이오드(OLED)는 문턱전압 등의 고유 특성치를 가지며, 구동 트랜지스터에 해당하는 제1 트랜지스터(T1)은 문턱전압 및 이동도 등의 고유 특성치를 갖는다.

- [0080] 각 서브픽셀(SP)의 구동 시간이 길어짐에 따라, 유기발광다이오드(OLED), 제1 트랜지스터(T1) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다.
- [0081] 이에 따라, 유기발광다이오드(OLED), 제1 트랜지스터(T1) 등의 회로 소자가 갖는 고유한 특성치(예: 문턱전압, 이동도 등)가 변할 수 있다.
- [0082] 서브픽셀 내 회로 소자의 특성치 변화는 해당 서브픽셀의 휘도 변화를 야기한다. 따라서, 회로 소자의 특성치 변화는 서브픽셀의 휘도 변화와 동일한 개념으로 사용될 수 있다.
- [0083] 또한, 서브픽셀 내 회로 소자의 특성치 변화는 회로 소자의 열화 정도에 따라 서로 다를 수 있다.
- [0084] 따라서, 회로 소자 간의 특성치 편차가 발생할 수 있으며, 이러한 회로 소자 간의 특성치 편차는 서브픽셀 간의 휘도 편차를 야기한다. 이에, 회로 소자 간의 특성치 편차는 서브픽셀 간의 휘도 편차와 동일한 개념으로 사용될 수 있다.
- [0085] 전술한 서브픽셀 휘도 변화와 서브픽셀 간 휘도 편차는, 회로 소자의 특성치 변화와 회로 소자 간의 특성치 편차에 의해 야기되며, 서브픽셀의 휘도 표현력에 대한 정확도를 떨어뜨리거나 화면 이상 현상을 발생시키는 등의 문제를 발생시킬 수 있다.
- [0086] 여기서, 회로 소자의 특성치(이하, "서브픽셀 특성치"라고도 함)는, 일 예로, 제1 트랜지스터(T1)의 문턱전압 및 이동도 등을 포함할 수 있고, 경우에 따라서, 유기발광다이오드(OLED)의 문턱전압을 포함할 수도 있다.
- [0087] 본 실시예들에 따른 유기발광표시장치(100)는 서브픽셀의 특성치를 센싱(측정)하는 센싱 기능과, 센싱 결과를 이용하여 서브픽셀의 휘도 변화와 서브픽셀 간 휘도 편차를 보상해주는 보상 기능을 제공할 수 있다.
- [0088] 여기서, 서브픽셀의 특성치를 센싱한다는 것은, 구동 트랜지스터인 제1 트랜지스터(T1)의 특성치(예: 문턱전압, 이동도)를 센싱하는 것과, 유기발광다이오드(OLED)의 특성치(예: 문턱전압)를 센싱하는 것을 포함할 수 있다.
- [0089] 여기서, 구동 트랜지스터인 제1 트랜지스터(T1)의 특성치(예: 문턱전압, 이동도)를 센싱하는 것은, 제1 트랜지스터(T1)의 특성치 변화를 센싱하는 것 또는 제1 트랜지스터(T1) 간의 특성치 편차를 센싱하는 것을 포함할 수 있다.
- [0090] 유기발광다이오드(OLED)의 특성치(예: 문턱전압)를 센싱하는 것은, 유기발광다이오드(OLED)의 특성치 변화를 센싱하는 것 또는 유기발광다이오드(OLED) 간의 특성치 편차를 센싱하는 것을 포함할 수 있다.
- [0091] 본 실시예들에 따른 유기발광표시장치(100)는, 서브픽셀의 특성치를 센싱하고 보상하기 위한 센싱 및 보상 기능을 제공하기 위하여, 그에 맞는 서브픽셀 구조와, 센싱 및 보상 구성을 포함하는 보상 회로를 포함한다.
- [0092] 도 3은 본 실시예들에 따른 유기발광표시장치(100)의 보상 회로에 대한 예시도이다.
- [0093] 도 3을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)에 배치된 각 서브픽셀은, 일 예로, 유기발광다이오드(OLED), 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 스토리지 캐패시터(C1) 이외에, 제3 트랜지스터(T3)를 더 포함할 수 있다.
- [0094] 도 3에 예시된 서브픽셀은 3개의 트랜지스터(T1, T2, T3)와 1개의 캐패시터(C1)를 포함하여 구성된다는 점에서, 3T(Transistor)1C(Capacitor) 구조를 갖는다고 한다.
- [0095] 도 3을 참조하면, 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 제2 노드(N2)와 기준 전압(Vref: Reference Voltage)을 공급하는 기준 전압 라인(RVL: Reference Voltage Line) 사이에 전기적으로 연결된다.
- [0096] 이러한 제3 트랜지스터(T3)는 게이트 노드로 스캔 신호의 일종인 센싱 신호(SENSE)를 인가 받아 제어될 수 있다.
- [0097] 이러한 제3 트랜지스터(T3)는 센싱 신호(SENSE)에 의해 턴-온 되어 기준 전압 라인(RVL)을 통해 공급되는 기준 전압(Vref)을 제1 트랜지스터(T1)의 제2 노드(N2)에 인가해준다.
- [0098] 또한, 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 제2 노드(N2)에 대한 전압 센싱 경로 중 하나로 활용될 수 있다.
- [0099] 한편, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 별개의 게이트 신호일 수 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는, 서로 다른 게이트 라인을 통해, 제2 트랜지스터(T2)의 게이트 노드 및 제3 트랜지스터(T3)의

게이트 노드로 각각 인가될 수도 있다.

- [0100] 경우에 따라서는, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 신호일 수도 있다. 이 경우, 스캔 신호(SCAN) 및 센싱 신호(SENSE)는 동일한 게이트 라인을 통해 제2 트랜지스터(T2)의 게이트 노드 및 제3 트랜지스터(T3)의 게이트 노드에 공통으로 인가될 수도 있다.
- [0101] 도 3을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는 서브픽셀의 특성치(즉, 제1 트랜지스터(T1)의 특성치, 유기발광다이오드(OLED)의 특성치)를 센싱하여 센싱 데이터를 출력하는 센싱부(310)와, 센싱 데이터를 저장하는 메모리(320)와, 센싱 데이터를 이용하여 서브픽셀의 특성치를 보상해주는 보상 프로세스를 수행하는 보상부(330) 등을 포함할 수 있다.
- [0102] 센싱부(310)는 적어도 하나의 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)를 포함하여 구현될 수 있다.
- [0103] 각 아날로그 디지털 컨버터(ADC: Analog to Digital Converter)는 소스 드라이버 집적회로(SDIC)의 내부에 포함될 수 있으며, 경우에 따라서는, 소스 드라이버 집적회로(SDIC)의 외부에 포함될 수도 있다.
- [0104] 보상부(330)는 컨트롤러(140)의 내부에 포함될 수 있으며, 경우에 따라서는, 컨트롤러(140)의 외부에 포함될 수도 있다.
- [0105] 센싱부(310)에서 출력되는 센싱 데이터는, 일 예로, LVDS (Low Voltage Differential Signaling) 데이터 포맷으로 되어 있을 수 있다.
- [0106] 본 실시예들에 따른 유기발광표시장치(100)는, 센싱 구동을 제어하기 위하여, 즉, 서브픽셀(SP) 내 제1 트랜지스터(T1)의 제2 노드(N2)의 전압 인가 상태를 서브픽셀 특성치 센싱에 필요한 상태로 제어하기 위하여, 제1스위치(SW1)와 제2스위치(SW2)를 더 포함할 수 있다.
- [0107] 제1스위치(SW1)를 통해, 기준 전압 라인(RVL)으로의 기준 전압(Vref)의 공급 여부가 제어될 수 있다.
- [0108] 제1스위치(SW1)가 턴-온 되면, 기준 전압(Vref)이 기준 전압 라인(RVL)으로 공급되어 턴-온 되어 있는 제3 트랜지스터(T3)를 통해 제1 트랜지스터(T1)의 제2 노드(N2)로 인가될 수 있다.
- [0109] 한편, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압이 서브픽셀의 특성치를 반영하는 전압 상태가 되면, 제1 트랜지스터(T1)의 제2 노드(N2)와 등 전위일 수 있는 기준 전압 라인(RVL)의 전압도 서브픽셀 특성치를 반영하는 전압 상태가 될 수 있다. 이때, 기준 전압 라인(RVL) 상에 형성된 라인 캐패시터에 서브픽셀 특성치를 반영하는 전압이 충전될 수 있다.
- [0110] 제1 트랜지스터(T1)의 제2 노드(N2)의 전압이 서브픽셀 특성치를 반영하는 전압 상태가 되면, 제2스위치(SW2)가 턴-온 되어, 센싱부(310)와 기준 전압 라인(RVL)이 연결될 수 있다.
- [0111] 이에 따라, 센싱부(310)는 서브픽셀 특성치를 반영하는 전압 상태인 기준 전압 라인(RVL)의 전압, 즉, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압을 센싱한다. 여기서, 기준 전압 라인(RVL)을 "센싱 라인"이라고도 기재한다.
- [0112] 이러한 기준 전압 라인(RVL)은, 일 예로, 서브픽셀 열마다 1개씩 배치될 수도 있고, 둘 이상의 서브픽셀 열마다 1개씩 배치될 수도 있다.
- [0113] 예를 들어, 1개의 픽셀이 4개의 서브픽셀(적색 서브픽셀, 흰색 서브픽셀, 녹색 서브픽셀, 청색 서브픽셀)로 구성된 경우, 기준 전압 라인(RVL)은 4개의 서브픽셀 열(적색 서브픽셀 열, 흰색 서브픽셀 열, 녹색 서브픽셀 열, 청색 서브픽셀 열)을 포함하는 1개의 픽셀 열마다 1개씩 배치될 수도 있다.
- [0114] 센싱부(310)는 기준 전압 라인(RVL)과 연결되면, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압(기준 전압 라인(RVL)의 전압, 또는, 기준 전압 라인(RVL) 상의 라인 캐패시터에 충전된 전압)을 센싱한다.
- [0115] 센싱부(310)에서 센싱된 전압은, 제1 트랜지스터(T1)의 문턱전압(Vth) 또는 문턱전압 편차(ΔV_{th})를 포함하는 전압 값($V_{data} - V_{th}$ 또는 $V_{data} - \Delta V_{th}$)이거나, 제1 트랜지스터(T1)의 이동도를 센싱하기 위한 전압 값일 수도 있다.
- [0116] 아래에서는, 제1 트랜지스터(T1)에 대한 문턱전압 센싱 구동 및 이동도 센싱 구동에 대하여 간략하게 설명한다.
- [0117] 도 4는 본 실시예들에 따른 유기발광표시장치(100)에서, 제1 트랜지스터(T1)에 대한 문턱전압 센싱 구동 방식을 설명하기 위한 도면이다.

- [0118] 도 4를 참조하면, 제1 트랜지스터(T1)에 대한 문턱전압 센싱 구동 시, 제1 트랜지스터(T1)의 제1 노드(N1)와 제2 노드(N2) 각각은 문턱전압 센싱 구동용 데이터 전압(Vdata)과 기준 전압(Vref)으로 초기화된다.
- [0119] 이후, 제1스위치(SW1)가 오프되어 제1 트랜지스터(T1)의 제2 노드(N2)가 플로팅(Floating) 된다.
- [0120] 이에 따라, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압이 상승한다. 제1 트랜지스터(T1)의 제2 노드(N2)의 전압은 일정 시간 동안 상승하다가 그 상승 폭이 서서히 줄어들어 결국 포화하게 된다.
- [0121] 제1 트랜지스터(T1)의 제2 노드(N2)의 포화된 전압은 데이터 전압(Vdata)과 문턱전압(Vth)의 차이 또는 데이터 전압(Vdata)과 문턱전압 편차(ΔV_{th})의 차이에 해당할 수 있다.
- [0122] 여기서, 제1 트랜지스터(T1)의 문턱전압(Vth)은 포지티브 문턱전압일 수도 있고 네거티브 문턱전압일 수도 있다.
- [0123] 센싱부(310)는 제1 트랜지스터(T1)의 제2 노드(N2)의 전압이 포화되면, 제1 트랜지스터(T1)의 제2 노드(N2)의 포화된 전압을 센싱한다.
- [0124] 센싱부(310)에 의해 센싱된 전압(Vsense)은 문턱전압 센싱 구동용 데이터 전압(Vdata)에서 문턱전압(Vth)을 뺀 전압(Vdata-Vth) 또는 문턱전압 센싱 구동용 데이터 전압(Vdata)에서 문턱전압 편차(ΔV_{th})을 뺀 전압(Vdata- ΔV_{th})일 수 있다.
- [0125] 도 5는 본 실시예들에 따른 유기발광표시장치(100)에서, 제1 트랜지스터(T1)에 대한 이동도 센싱 구동 방식을 설명하기 위한 도면이다.
- [0126] 도 5를 참조하면, 이동도 센싱 구동 시, 제1 트랜지스터(T1)의 제1 노드(N1)와 제2 노드(N2) 각각은 이동도 센싱 구동용 데이터 전압과 기준 전압(Vref)으로 초기화된다.
- [0127] 이동도 센싱 구동은 문턱전압 보상 이후 진행될 수 있으며, 이 경우, 이동도 센싱 구동용 데이터 전압은, 문턱전압 보상을 위한 데이터 전압(Vth_comp)이 더해진 형태(Vdata+Vth_comp)일 수 있다.
- [0128] 이후, 제1스위치(SW1)가 오프 되어 제1 트랜지스터(T1)의 제2 노드(N2)가 플로팅 된다.
- [0129] 이에 따라, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압이 상승하게 된다.
- [0130] 여기서, 제1 트랜지스터(T1)의 제2 노드(N2)에 대한 전압 상승 속도(시간에 대한 전압 상승치의 변화량(ΔV))는 제1 트랜지스터(T1)의 전류 능력, 즉 이동도를 나타낸다.
- [0131] 따라서, 전류 능력(이동도)이 큰 제1 트랜지스터(T1)일 수록, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압이 더욱 가파르게 상승한다.
- [0132] 센싱부(310)는 미리 정해진 일정 시간 동안 전압 상승이 이루어진 이후, 제1 트랜지스터(T1)의 제2 노드(N2)의 상승된 전압, 즉, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압 상승에 따라 함께 전압 상승이 이루어진 기준 전압 라인(RVL)의 전압을 센싱한다.
- [0133] 도 4 및 도 5를 참조하여 전술한 문턱전압 또는 이동도 센싱 구동에 따라 센싱부(310)는 문턱전압 센싱 또는 이동도 센싱을 위해 센싱된 전압(Vsense)을 디지털 값으로 변환하고, 변환된 디지털 값을 포함하는 센싱 데이터를 생성하여 출력한다.
- [0134] 센싱부(310)에서 출력된 센싱 데이터는 메모리(320)에 저장되거나 보상부(330)로 제공될 수 있다.
- [0135] 보상부(330)는 메모리(320)에 저장되거나 센싱부(310)에서 제공된 센싱 데이터를 토대로 해당 서브픽셀 내 제1 트랜지스터(T1)의 특성치(예: 문턱전압, 이동도) 또는 제1 트랜지스터(T1)의 특성치 변화(예: 문턱전압 변화, 이동도 변화)를 파악하고, 특성치 보상 프로세스를 수행할 수 있다.
- [0136] 여기서, 제1 트랜지스터(T1)의 특성치 변화는 이전 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미하거나, 기준 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미할 수도 있다.
- [0137] 여기서, 제1 트랜지스터(T1) 간의 특성치 또는 특성치 변화를 비교해보면, 제1 트랜지스터(T1) 간의 특성치 편차를 파악할 수 있다. 제1 트랜지스터(T1)의 특성치 변화가 기준 센싱 데이터를 기준으로 현재 센싱 데이터가 변화된 것을 의미하는 경우, 제1 트랜지스터(T1)의 특성치 변화로부터 제1 트랜지스터(T1) 간의 특성치 편차(즉, 서브픽셀 휘도 편차)를 파악할 수도 있다.

- [0138] 특성치 보상 프로세스는, 제1 트랜지스터(T1)의 문턱전압을 보상하는 문턱전압 보상 처리와, 제1 트랜지스터(T1)의 이동도를 보상하는 이동도 보상 처리를 포함할 수 있다.
- [0139] 문턱전압 보상 처리는 문턱전압 또는 문턱전압 편차(문턱전압 변화)를 보상하기 위한 보상값을 연산하고, 연산된 보상값을 메모리(320)에 저장하거나, 연산된 보상값으로 해당 영상 데이터(Data)를 변경하는 처리를 포함할 수 있다.
- [0140] 이동도 보상 처리는 이동도 또는 이동도 편차(이동도 변화)를 보상하기 위한 보상값을 연산하고, 연산된 보상값을 메모리(320)에 저장하거나, 연산된 보상값으로 해당 영상 데이터(Data)를 변경하는 처리를 포함할 수 있다.
- [0141] 보상부(330)는 문턱전압 보상 처리 또는 이동도 보상 처리를 통해 영상 데이터(Data)를 변경하여 변경된 데이터를 데이터 드라이버(120) 내 해당 소스 드라이버 집적회로(SDIC)로 공급해줄 수 있다.
- [0142] 이에 따라, 해당 소스 드라이버 집적회로(SDIC)는, 디지털 아날로그 컨버터(340)를 이용하여, 변경된 데이터를 데이터 전압으로 변환하여 해당 서브픽셀로 공급해줌으로써, 서브픽셀 특성치 보상(문턱전압 보상, 이동도 보상)이 실제로 이루어지게 된다.
- [0143] 이러한 서브픽셀 특성치 보상이 이루어짐에 따라, 서브픽셀 간의 휘도 편차를 줄여주거나 방지해줌으로써, 화상 품질을 향상시켜줄 수 있다.
- [0144] 진술한 바와 같이, 구동 트랜지스터에 해당하는 제1 트랜지스터(T1) 등의 트랜지스터는 구동 시간이 길어짐에 따라 열화가 진행되어 특성치가 변할 수 있다.
- [0145] 구동 시간뿐만 아니라, 트랜지스터의 특성치는 빛에 의해서도 변할 수 있다.
- [0146] 예를 들어, 외부 광이 트랜지스터(특히, 채널 영역)에 닿으면, 문턱전압 또는 문턱전압 변화량이 네거티브(-) 방향으로 쉬프트 하는 현상이 발생하여 트랜지스터 소자 특성이 나빠지게 된다.
- [0147] 도 6은 본 실시예들에 따른 유기발광표시장치(100)에서, 빛에 의해 트랜지스터의 특성치가 변화하는 현상을 방지하기 위하여, 차광 패턴(LS)을 트랜지스터의 하부에 형성한 것을 나타낸 도면이다.
- [0148] 도 6을 참조하면, 트랜지스터는 소스 노드(S), 드레인 노드(D) 및 게이트 노드(G)로 형성될 수 있다.
- [0149] 이러한 트랜지스터(특히, 트랜지스터의 채널 영역)에 빛이 조사되는 경우, 트랜지스터의 소자 특성(예: 문턱전압 등)이 변할 수 있다.
- [0150] 따라서, 본 실시예들에 따르면, 트랜지스터의 하부에 차광 패턴(LS)을 형성해둔다.
- [0151] 이에 따라, 트랜지스터에 빛이 조사되더라도, 트랜지스터의 소자 특성이 변화하는 것을 방지해줄 수 있다.
- [0152] 차광 패턴(LS)은 빛이 투과되는 것을 차단할 수 있는 금속 물질로 되어 있을 수 있다.
- [0153] 한편, 차광 패턴(LS)은 트랜지스터의 게이트 노드(게이트 전극)의 하부에 절연층을 사이에 두고 위치하며, 트랜지스터의 바디(B)의 역할을 할 수 있다.
- [0154] 이에, 바디(B)의 역할을 하는 차광 패턴(LS)에는 바이어스(Bias) 전압이 인가되며, 이를 위해, 차광 패턴(LS)은 주변의 다른 전압 패턴과 연결될 수 있다.
- [0155] 아래에서, 트랜지스터의 하부에 위치하는 차광 패턴(LS)이 주변 패턴과 연결되는 다양한 타입의 구조들을 예시적으로 설명한다.
- [0156] 단, 차광 패턴(LS)과 주변 패턴 간의 연결 구조를 "차광 패턴 연결 구조"고 기재하고, 도 3의 서브픽셀 구조로 예로 들어 설명한다.
- [0157] 도 7은 본 실시예들에 따른 유기발광표시장치(100)에서, A 타입의 차광 패턴 연결 구조를 나타낸 도면이다.
- [0158] 도 7을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는 구동 성능에 가장 큰 영향을 끼치는 구동 트랜지스터인 제1 트랜지스터(T1)의 영역에만 제1 차광 패턴(LS1)이 존재하는 A 타입의 차광 패턴 연결 구조를 가질 수 있다.
- [0159] 제1 트랜지스터(T1)의 영역(일 예로, 게이트 절연층의 아래에 위치하는 하부 영역일 수 있음)에 위치한 제1 차광 패턴(LS1)은 제1 트랜지스터(T1)의 소스 노드(또는 드레인 노드)일 수 있는 제2 노드(N2)에 전기적으로 연결될 수 있다.

- [0160] 제1 차광 패턴(LS1)은 제1 트랜지스터(T1)의 제2 노드(N2)와 다른 레이어(Layer)에 존재하기 때문에, 제1 차광 패턴(LS1)은 제1 트랜지스터(T1)의 제2 노드(N2)와 컨택홀(Contact Hole)을 통해 연결될 수 있다.
- [0161] 도 8은 본 실시예들에 따른 유기발광표시장치(100)에서, A 타입의 차광 패턴 연결 구조의 단점을 설명하기 위한 도면이다.
- [0162] 도 8을 참조하면, 도 7을 참조하여 전술한 바와 같이, 구동 트랜지스터인 제1 트랜지스터(T1)의 영역에만 제1 트랜지스터(T1)의 제2 노드(N2)에 전기적으로 연결되는 제1 차광 패턴(LS1)이 존재하기 때문에, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)은 빛(외부에서 유입된 외부 광일 수 있음)에 노출될 수 있다.
- [0163] 이에 따라, 제1 트랜지스터(T1)와는 다르게, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)은 빛에 의한 소자 특성 변화가 발생할 수 있다.
- [0164] 이러한 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)의 소자 특성 변화는, 스위칭 성능에 문제를 야기시켜 비정상적인 디스플레이 구동이 일어날 수 있으며, 이로 인해, 화면 이상 현상이 초래될 수 있다.
- [0165] A 타입의 차광 패턴 연결 구조의 단점을 극복하기 위해, 제1 트랜지스터(T1)는 물론, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)의 영역에도 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)이 각각 형성된 3가지 타입(B, C 및 D 타입)의 차광 패턴 연결 구조를 제안한다.
- [0166] 도 9는 본 실시예들에 따른 유기발광표시장치(100)에서, B 타입의 차광 패턴 연결 구조를 나타낸 도면이다.
- [0167] 도 9를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)의 영역에 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)이 각각 존재하되, 제1 트랜지스터(T1)의 영역(하부)에 위치하는 제1 차광 패턴(LS1), 제2 트랜지스터(T2)의 영역(하부)에 위치하는 제2 차광 패턴(LS2), 제3 트랜지스터(T3)의 영역(하부)에 위치하는 제3 차광 패턴(LS3)이 하나의 바이어스 지점(PV1)에 함께 전기적으로 연결되는 B 타입의 차광 패턴 연결 구조를 가질 수 있다.
- [0168] 도 9를 참조하면, 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3) 모두가 전기적으로 연결된 바이어스 지점(PV1)은, 제1 트랜지스터(T1)의 소스 노드(또는 드레인 노드)에 해당하는 제2 노드(N2)일 수 있다.
- [0169] 도 10 및 도 11은 본 실시예들에 따른 유기발광표시장치(100)에서, B 타입의 차광 패턴 연결 구조의 단점을 설명하기 위한 도면이다.
- [0170] 도 10을 참조하면, B 타입의 차광 패턴 연결 구조에 따르면, 바이어스 지점(PV1)에 걸리는 바이어스 전압(V1)은 구동 상태, 유기발광다이오드(OLED)의 문턱전압 등에 의해 상당히 높아질 수 있다.
- [0171] 즉, B 타입의 차광 패턴 연결 구조에 따르면, 제1 트랜지스터(T1)의 영역(하부)에 위치하는 제1 차광 패턴(LS1), 제2 트랜지스터(T2)의 영역(하부)에 위치하는 제2 차광 패턴(LS2), 제3 트랜지스터(T3)의 영역(하부)에 위치하는 제3 차광 패턴(LS3)에 상당히 높은 바이어스 전압(V1)이 걸리게 된다.
- [0172] 이러한 경우, 구동 상황에 맞게 제2 트랜지스터(T2)를 턴 오프 시키기 위하여 제2 트랜지스터(T2)의 게이트 노드에 턴 오프 게이트 전압(VGL)의 스캔 신호(SCAN)를 인가하더라도, 제2 차광 패턴(LS2)가 또 다른 게이트 노드(일명, 뒷문 게이트 노드(Back Gate Node)라고도 함)의 역할을 하여, 제2 트랜지스터(T2)가 턴 온 되는 현상이 발생할 수 있다. 이러한 현상을 "바디 효과(Body Effect)"라고 한다.
- [0173] 이와 같은 바디 효과에 의해서, 스위칭 트랜지스터에 해당하는 제2 트랜지스터(T2)가 오프 되어야 하는 상황에서 온이 되어, 구동 트랜지스터인 제1 트랜지스터(T1)의 게이트 노드인 제1 노드(N1)에 데이터 전압(Vdata)이 인가되게 된다.
- [0174] 따라서, 해당 서브픽셀은 원하지 않는 디스플레이 구동이 되고, 화면 이상 현상을 초래할 수 있다.
- [0175] 전술한 바디 효과 및 그에 따른 비정상적인 디스플레이 구동 및 화면 이상 현상은, 제3 트랜지스터(T3)와 관련하여서도 동일하게 발생할 수 있다.
- [0176] 도 11은 바디로서 역할을 하는 차광 패턴에 인가되는 바이어스 전압(LS Bias)에 대한 해당 트랜지스터의 문턱전압 변화(ΔV_{th})를 나타낸 그래프이다.
- [0177] 도 11을 참조하면, 차광 패턴에 인가되는 바이어스 전압(LS Bias)이 높아질수록, 트랜지스터의 문턱전압 변화

(ΔV_{th})은 네거티브(-) 방향으로 커질 수 있다.

- [0178] 즉, 차광 패턴에 인가되는 바이어스 전압(LS Bias)이 높아질수록, 마이너스(-) 값을 갖는 문턱전압 변화(ΔV_{th})의 절대값은 커질 수 있다.
- [0179] 이는, 차광 패턴에 인가되는 바이어스 전압(LS Bias)이 높아질수록, 트랜지스터의 문턱전압(V_{th})이 네거티브 방향(-)으로 쉬프트(Shift) 하기 때문에 발생하는 것이다.
- [0180] 차광 패턴에 인가되는 바이어스 전압(LS Bias)에 따른 문턱전압의 네거티브 쉬프트 현상으로 인해, 트랜지스터는 보다 낮은 게이트 전압에서 쉽게 턴 온 될 수 있다.
- [0181] 다시 말해, 뒷문 게이트 노드(Back Gate Node)로 동작할 수 있는 차광 패턴에 인가되는 바이어스 전압이 그리 높지 않은 상황에서도, 해당 트랜지스터가 쉽게 턴 온 될 수 있다. 즉, 도 10을 참조하여 설명한 "바디 효과(Body Effect)"가 더욱 쉽게 발생할 수 있다.
- [0182] 이러한 관점에서, B 타입의 차광 패턴 연결 구조의 경우, 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)에 공통으로 인가되는 바이어스 전압(V_1)이 상당히 높기 때문에, 바디 효과가 매우 쉽게 심각한 정도로 발생할 수 있는 것이다.
- [0183] 이에, 아래에서는, B 타입의 차광 패턴 연결 구조의 문제점을 해결할 수 있는 C 타입의 차광 패턴 연결 구조와 D 타입의 차광 패턴 연결 구조를 설명한다.
- [0184] 도 12는 본 실시예들에 따른 유기발광표시장치(100)에서, C 타입의 차광 패턴 연결 구조를 나타낸 도면이다.
- [0185] 도 12를 참조하면, 본 실시예들에 따른 유기발광표시장치(100)는, 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)의 영역에 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)이 각각 존재하되, 제1 트랜지스터(T1)의 영역(하부)에 위치하는 제1 차광 패턴(LS1)은 제1 트랜지스터(T1)의 제2 노드(N2)에 해당하는 제1 바이어스 지점(PV1)에 전기적으로 연결되고, 제2 트랜지스터(T2)의 영역(하부)에 위치하는 제2 차광 패턴(LS2)과 제3 트랜지스터(T3)의 영역(하부)에 위치하는 제3 차광 패턴(LS3)은, 제1 트랜지스터(T1)의 소스 노드(또는 드레인 노드)인 제2 노드(N2)에 해당하는 제1 바이어스 지점(PV1)과는 다른 제2 바이어스 지점(PV2)에 함께 전기적으로 연결되는 C 타입의 차광 패턴 연결 구조를 가질 수 있다.
- [0186] 이러한 C 타입의 차광 패턴 연결 구조에 따르면, 제2 트랜지스터(T2)의 영역(하부)에 위치하는 제2 차광 패턴(LS2)과 제3 트랜지스터(T3)의 영역(하부)에 위치하는 제3 차광 패턴(LS3)이 함께 전기적으로 연결되는 제2 바이어스 지점(PV2)은, 일 예로, 기준 전압 라인(RVL) 상의 어느 한 지점이거나, 제3 트랜지스터(T3)의 드레인 노드(또는 소스 노드)일 수 있다.
- [0187] 도 13은 본 실시예들에 따른 유기발광표시장치(100)에서, C 타입의 차광 패턴 연결 구조의 단점을 설명하기 위한 도면이다.
- [0188] 도 13을 참조하면, C 타입의 차광 패턴 연결 구조에 따르면, 제2 트랜지스터(T2)의 영역(하부)에 위치하는 제2 차광 패턴(LS2)과 제3 트랜지스터(T3)의 영역(하부)에 위치하는 제3 차광 패턴(LS3)에 인가되는 제2 바이어스 전압(V_2)은, 기준 전압(V_{ref})에 대응되는 전압으로서, 제1 트랜지스터(T1)의 영역(하부)에 위치하는 제1 차광 패턴(LS1)에 인가되는 제1 바이어스 전압(V_1)보다 상당히 낮다.
- [0189] 이와 같이, C 타입의 차광 패턴 연결 구조에 따른 제2 차광 패턴(LS2)과 제3 차광 패턴(LS3)에 인가되는 바이어스 전압(V_2)은, B 타입의 차광 패턴 연결 구조에 따른 제2 차광 패턴(LS2)과 제3 차광 패턴(LS3)에 인가되는 바이어스 전압(V_1) 보다 낮기 때문에, C 타입의 차광 패턴 연결 구조를 적용하면, 바이어스 전압과 그 증가에 따른 문턱전압 네거티브 쉬프트 현상 등에 의해 심해질 수 있는 바디 효과와 그에 따른 화면 이상 현상은, B 타입의 차광 패턴 연결 구조에 비해 많이 줄어들 수 있다.
- [0190] 하지만, 기준 전압 라인(RVL)에 연결된 전기적인 플레이트(Plate, LS2, LS3)가 많아져, 기준 전압 라인(RVL)의 기생 캐패시턴스(Parasitic Capacitance, C_p)가 증가할 수 있다.
- [0191] 기준 전압 라인(RVL)은, 도 3 내지 도 5를 참조하여 기술한 바와 같이, 센싱 라인으로 활용되기 때문에, 기준 전압 라인(RVL)의 기생 캐패시턴스(C_p)의 증가는, 기준 전압 라인(RVL)을 통한 센싱 전압(V_{sense})의 오류가 발생할 가능성이 높아진다.
- [0192] 즉, C 타입의 차광 패턴 연결 구조는 기준 전압 라인(RVL)의 기생 캐패시턴스(C_p)의 증가로 인한 센싱 정확도의

저하를 발생시킬 수 있다.

- [0193] 이에, 본 실시예들에 따른 유기발광표시장치(100)는, 바디 효과 및 그 영향을 줄이면서도, 센싱 정확도도 저하시키지 않는 D 타입의 차광 패턴 연결 구조를 가질 수 있다.
- [0194] 아래에서는, D 타입의 차광 패턴 연결 구조에 대하여 더욱 상세하게 설명한다.
- [0195] 도 14는 본 실시예들에 따른 유기발광표시장치(100)에서, D 타입의 차광 패턴 연결 구조를 나타낸 도면이다.
- [0196] 도 14를 참조하면, 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)의 영역에 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)이 각각 존재하되, 제1 차광 패턴(LS1), 제2 차광 패턴(LS2), 제3 차광 패턴(LS3)이 서로 다른 지점(PV1, PV2, PV3)에 나누어져 연결되는 D 타입의 차광 패턴 연결 구조를 가질 수 있다.
- [0197] 더욱 상세하게 설명하면, 제1 트랜지스터(T1)의 영역(예: 하부)에 제1 차광 패턴(LS1)이 위치하고, 제2 트랜지스터(T2)의 영역(예: 하부)에 제2 차광 패턴(LS2)이 위치하며, 제3 트랜지스터(T3)의 영역(예: 하부)에 제3 차광 패턴(LS3)이 위치할 수 있다.
- [0198] 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)은, 제1 바이어스 지점(PV1), 제2 바이어스 지점(PV2) 및 제3 바이어스 지점(PV3)에 각각 전기적으로 연결될 수 있다.
- [0199] 제1 바이어스 지점(PV1), 제2 바이어스 지점(PV2) 및 제3 바이어스 지점(PV3)은, 위치가 서로 다르고, 전기적으로 서로 단선된 지점들일 수 있다.
- [0200] 도 14에 예시된 D 타입의 차광 패턴 연결 구조에 따르면, 바디 효과 및 그 영향성을 크게 줄이면서도, 센싱 정확도 저하를 방지할 수 있는 효과가 있다.
- [0201] 다른 타입과 비교해 보면, D 타입의 차광 패턴 연결 구조는, A 타입 및 B 타입의 차광 패턴 연결 구조에 비해, 바디 효과 및 그 영향을 크게 줄이면서도, C 타입의 차광 패턴 연결 구조에 비해, 센싱 정확도의 저하를 방지할 수 있다.
- [0202] 전술한 바와 같이, 제1 바이어스 지점(PV1), 제2 바이어스 지점(PV2) 및 제3 바이어스 지점(PV3)은 위치가 서로 다르고 전기적으로 분리가 된 지점들이면 가능하다.
- [0203] 예를 들어, 제1 바이어스 지점(PV1)은 소스 노드(또는 드레인 노드)일 수 있는 제1 트랜지스터(T1)의 제2 노드(N2)일 수 있다. 제2 바이어스 지점(PV2)은 데이터 라인(DL)과 전기적으로 연결된 제2 트랜지스터(T2)의 드레인 노드 또는 소스 노드이거나, 데이터 라인(DL) 상의 지점일 수 있다. 그리고, 제3 바이어스 지점(PV3)은 기준 전압 라인(RVL)과 전기적으로 연결된 제3 트랜지스터(T3)의 드레인 노드 또는 소스 노드이거나, 기준 전압 라인(RVL) 상의 지점일 수 있다.
- [0204] 이와 같이, 제1 바이어스 지점(PV1), 제2 바이어스 지점(PV2) 및 제3 바이어스 지점(PV3)에 대한 위치를 정의하는 경우, 도 3과 같은 3T1C 서브픽셀 구조에 적합한 차광 패턴 연결 구조를 제공할 수 있다.
- [0205] 도 15는 본 실시예들에 따른 유기발광표시장치(100)에서, D 타입의 차광 패턴 연결 구조 하에서, 차광 패턴들(LS1, LS2, LS3)과 바이어스 지점들(PV1, PV2, PV3)의 레이어(Layer)를 설명하기 위한 도면이다.
- [0206] 도 15를 참조하면, 기판 상에 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)이 위치할 수 있는 LS(Light Shield) 레이어(1510)가 존재할 수 있다.
- [0207] 이러한 LS 레이어(150) 상에 게이트 절연막(1520)이 위치할 수 있다.
- [0208] 게이트 절연막(1520) 상에 게이트 물질층(1530)이 위치할 수 있으며, 게이트 물질층(1530) 상에 층간 절연막(1540)이 위치할 수 있고, 그 위에, 소스-드레인 물질층(1550)이 올 수 있다.
- [0209] 도 15에 도시된 레이어들(1510, 1520, 1530, 1540, 1540, 1550)의 적층은, 차광 패턴들(LS1, LS2, LS3)과 바이어스 지점들(PV1, PV2, PV3)의 레이어(Layer)를 설명하기 위하여 간략하게 도시한 것으로서, 두 레이어 사이에 다른 레이어가 적어도 하나 더 있을 수도 있다.
- [0210] 도 15를 참조하면, 제1 바이어스 지점(PV1), 제2 바이어스 지점(PV2) 및 제3 바이어스 지점(PV3)은, 소스-드레인 물질로 된 노드(N2, T2의 드레인 노드, T3의 드레인 노드)와 전압 배선들(DL, RVL)에 연결될 수 있기 때문에, 제1 바이어스 지점(PV1), 제2 바이어스 지점(PV2) 및 제3 바이어스 지점(PV3)은 소스-드레인 레이어

(1550)에 패터닝 되어 위치할 수 있다.

- [0211] 이러한 제1 바이어스 지점(PV1), 제2 바이어스 지점(PV2) 및 제3 바이어스 지점(PV3)과 연결되는 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)은, 소스-드레인 레이어(1550)와 다른 레이어(1510)에 위치할 수 있다.
- [0212] 제1 바이어스 지점(PV1), 제2 바이어스 지점(PV2) 및 제3 바이어스 지점(PV3)은, 해당 컨택홀을 통해 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)과 대응되어 전기적으로 연결될 수 있다.
- [0213] 전술한 바에 따르면, 기존의 레이어들의 스택 구조를 크게 변화시키지 않고 활용하여, 차광 패턴들(LS1, LS2, LS3)과 바이어스 지점들(PV1, PV2, PV3)의 레이어를 설계할 수 있다.
- [0214] 한편, 제1 트랜지스터(T1)의 하부에 위치할 수 있는 제1 차광 패턴(LS1)은 제1 바이어스 전압(V1)이 인가되는 제1 트랜지스터(T1)의 바디 노드이고, 제2 트랜지스터(T2)의 하부에 위치할 수 있는 제2 차광 패턴(LS2)은 제2 바이어스 전압(V2)이 인가되는 제2 트랜지스터(T2)의 바디 노드이고, 제3 트랜지스터(T3)의 하부에 위치할 수 있는 제3 차광 패턴(LS3)은 제3 바이어스 전압(V3)이 인가되는 제3 트랜지스터(T3)의 바디 노드일 수 있다.
- [0215] 전술한 바와 같이, 제1 차광 패턴(LS1)이 제1 트랜지스터(T1)의 바디 노드이고, 제2 차광 패턴(LS2)이 제2 트랜지스터(T2)의 바디 노드이고, 제3 차광 패턴(LS3)이 제3 트랜지스터(T3)의 바디 노드로 활용되기 때문에, 제1, 제2, 제3 바이어스 전압(V1, V2, V3)에 따라 제1, 제2, 제3 트랜지스터(T1, T2, T3) 각각에 대한 바디 효과(Body Effect)를 제어할 수 있다.
- [0216] 도 16 내지 도 17은 본 실시예들에 따른 유기발광표시장치(100)에서, D 타입의 차광 패턴 연결 구조의 바디 효과(Body Effect)의 영향 감소의 장점을 설명하기 위한 도면이다.
- [0217] 도 16을 참조하면, 구동 트랜지스터인 제1 트랜지스터(T1)의 게이트 노드인 제1 노드(N1)로 데이터 전압(Vdata)을 전달해주는 스위칭 트랜지스터 역할을 하는 제2 트랜지스터(T2)의 하부에 위치한 제2 차광 패턴(LS2)에 인가되는 제2 바이어스 전압(V2)은, 제1 트랜지스터(T1)의 하부에 위치한 제1 차광 패턴(LS1)에 인가되는 제1 바이어스 전압(V1)보다 낮을 수 있다.
- [0218] 따라서, 제2 트랜지스터(T2)의 게이트 노드에 턴-오프 게이트 전압(VGL)이 인가되었음에도 불구하고, 바디 효과로 인해 제2 트랜지스터(T2)가 턴 온 되는 상황을 막을 수 있다. 이로 인해, 제2 트랜지스터(T2)의 게이트 노드에 턴-오프 게이트 전압(VGL)이 인가된 경우, 데이터 라인(DL)에서의 데이터 전압(Vdata)이 제1 트랜지스터(T1)의 제1 노드(N1)에 불필요하게 전달되는 것을 방지할 수 있다.
- [0219] 또한, 도 17을 참조하면, 구동 트랜지스터인 제1 트랜지스터(T1)의 소스 노드(또는 드레인 노드)인 제2 노드(N2)로 기준 전압(Vref)을 전달해주는 스위칭 트랜지스터 역할을 하는 제3 트랜지스터(T3)의 하부에 위치한 제3 차광 패턴(LS3)에 인가되는 제3 바이어스 전압(V3)은, 제1 트랜지스터(T1)의 하부에 위치한 제1 차광 패턴(LS1)에 인가되는 제1 바이어스 전압(V1)보다 낮을 수 있다.
- [0220] 따라서, 제3 트랜지스터(T3)의 게이트 노드에 턴-오프 게이트 전압(VGL)이 인가되었음에도 불구하고, 바디 효과로 인해 제3 트랜지스터(T3)가 턴 온 되는 상황을 막을 수 있다. 이로 인해, 제3 트랜지스터(T3)의 게이트 노드에 턴-오프 게이트 전압(VGL)이 인가된 경우, 기준 전압 라인(RVL)에서의 기준 전압(Vref)이 제1 트랜지스터(T1)의 제2 노드(N2)에 불필요하게 전달되는 것을 방지할 수 있다.
- [0221] 다시 한번 정리하면, 도 16에 도시된 바와 같이, 제2 바이어스 전압(V2)은 제1 바이어스 전압(V1)보다 낮은 전압이기 때문에, 제2 트랜지스터(T2)가 오프 되어야 할 때 바디 효과로 인해 턴 온 되어 데이터 전압(Vdata)이 제1 트랜지스터(T1)의 제1 노드(N1)로 불필요하게 전달되는 상황을 방지해줄 수 있다.
- [0222] 또한, 도 17에 도시된 바와 같이, 제3 바이어스 전압(V3)은 제1 바이어스 전압(V1)보다 낮은 전압이기 때문에, 제3 트랜지스터(T3)가 오프 되어야 할 때 바디 효과로 인해 턴 온 되어 기준 전압(Vref)이 제1 트랜지스터(T1)의 제2 노드(N2)로 불필요하게 전달되는 상황을 방지해줄 수 있다.
- [0223] 결과적으로, D 타입의 차광 패턴 연결 구조에 따르면, 바디 효과의 영향을 줄여주어, 바디 효과에 따른 비정상적인 화상 구동과 비정상적인 화면 이상 현상을 방지해줄 수 있다.
- [0224] 도 18 내지 도 19는 본 실시예들에 따른 유기발광표시장치(100)에서, D 타입의 차광 패턴 연결 구조의 센싱 정확도 향상의 장점을 설명하기 위한 도면이다.

- [0225] 도 18을 참조하면, D 타입의 차광 패턴 연결 구조에 따르면, 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3) 중 하나(LS3)만이 기준 전압 라인(RVL)과 전기적으로 연결된다.
- [0226] 따라서, D 타입의 차광 패턴 연결 구조에 따르면, 기준 전압 라인(RVL)의 기생 캐패시턴스(Cp)는, C 타입의 차광 패턴 연결 구조에 비해, 작아질 수 있다.
- [0227] 이러한 기준 전압 라인(RVL)의 기생 캐패시턴스(Cp)의 감소는, 기준 전압 라인(RVL)을 센싱 라인으로 활용하는 센싱 시, 센싱 전압(Vsense)을 정확하게 측정할 수 있고, 이에 따라 정확한 보상이 이루어질 수도 있다.
- [0228] 도 19는 기생 캐패시턴스(Cp)가 상대적으로 큰 경우와 작은 경우에 대하여, 시간에 따라 센싱 전압(Vsense)이 원하는 센싱 전압(Desired Vsense)에 도달하는 센싱 전압 달성률(%)을 나타낸 그래프이다.
- [0229] 도 19를 참조하면, 특정 센싱 시점(Sensing Time)에서, 기준 전압 라인(RVL)이 큰 기생 캐패시턴스(Cp)를 갖는 경우, 대략 90%의 센싱 전압 달성률을 보이지만, 기준 전압 라인(RVL)이 큰 기생 캐패시턴스(Cp)를 갖는 경우, 대략 95%의 센싱 전압 달성률을 보인다.
- [0230] 따라서, 기준 전압 라인(RVL)의 기생 캐패시턴스(Cp)가 작을수록, 더욱 정확한 센싱 전압을 얻을 수 있다는 것을 확인할 수 있다.
- [0231] 아래에서는, 도 3 내지 도 5를 참조하여 설명한 센싱 구동과 관련한 유기발광표시장치(100)의 구동방법에 대하여 간략하게 설명한다. †
- [0232] 도 20은 본 실시예들에 따른 유기발광표시장치(100)의 구동방법에 대한 흐름도이다.
- [0233] 도 20을 참조하면, 본 실시예들에 따른 유기발광표시장치(100)의 구동방법은, 제1 트랜지스터(T1)의 제1 노드(N1)와 제2 노드(N2)로 데이터 전압(Vdata)과 기준 전압(Vref)을 인가하는 초기화 단계인 제1단계(S2010)와, 제1 트랜지스터(T1)의 제2 노드(N2)를 플로팅(Floating)하는 제2단계(S2020)와, 일정 시간 경과 후, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압을 기준 전압 라인(RVL)을 통해 측정하는 제3단계(S2030) 등을 포함한다.
- [0234] 전술한 제1, 제2, 제3 단계(S2010, S2020, S2030)가 진행되는 동안, 제1 트랜지스터(T1)의 하부에 위치한 제1 차광 패턴(LS1), 제2 트랜지스터(T2)의 하부에 위치한 제2 차광 패턴(LS2), 제3 트랜지스터(T3)의 하부에 위치한 제3 차광 패턴(LS3)은 서로 다른 지점(PV1, PV2, PV3)에 연결되어 있다.
- [0235] 전술한 바와 같이, 구동 방법을 적용하면, D 타입의 차광 패턴 연결 구조가 설계되어 있기 때문에, 기준 전압 라인(RVL)의 기생 캐패시턴스(Cp)가 감소할 수 있어, 제1 트랜지스터(T1)의 제2 노드(N2)의 전압을 측정하여 얻어지는 센싱 전압의 정확도를 향상시킬 수 있다.
- [0236] 도 21은 본 실시예들에 따른 유기발광표시패널(110)과 그 서브픽셀(SP) 구조를 간략하게 나타낸 도면이다.
- [0237] 도 21을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)에는 다수의 서브픽셀(SP)이 배치되는데, 각 서브픽셀(SP)은, 2개의 트랜지스터(T1, T2)와 1개의 캐패시터(C1)를 갖는 기본적인 2T1C 구조로 되어 있을 수도 있고, 3개의 트랜지스터(T1, T2, T3)와 1개의 캐패시터(C1)를 갖는 3T1C 구조로 되어 있을 수도 있으며, 기타 다른 구조로도 설계가 가능하다.
- [0238] 도 21을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)에서 각 서브픽셀(SP)은, 2T1C 구조이든 3T1C 구조이든 아니면 다른 구조(예: 3T2C, 4T1C, 4T2C, 5T1C, ...)이든, 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 제1 트랜지스터(T1)와, 제1 트랜지스터(T1)의 제1 노드(N1)와 데이터 라인(DL) 사이에 전기적으로 연결된 제2 트랜지스터(T2) 등을 포함하여 구성될 수 있다.
- [0239] 제1 트랜지스터(T1)의 하부에는 제1 차광 패턴(LS1)이 위치하고, 제2 트랜지스터(T2)의 하부에는 제2 차광 패턴(LS2)이 위치할 수 있다.
- [0240] 제1 차광 패턴(LS1) 및 제2 차광 패턴(LS2)에는 제1 바이어스 전압(V1) 및 제2 바이어스 전압(V2)이 인가될 수 있다.
- [0241] 여기서, 제1 바이어스 전압(V1) 및 제2 바이어스 전압(V2)은 서로 다른 전압 값을 가질 수 있다.
- [0242] 예를 들어, 제2 차광 패턴(LS2)에 인가되는 제2 바이어스 전압(V2)은 제1 차광 패턴(LS1)에 인가되는 제1 바이어스 전압(V1)보다 낮을 수 있다.
- [0243] 이에 따르면, 제2 바이어스 전압(V2)은 제1 바이어스 전압(V1)보다 낮은 전압이기 때문에, 제2 트랜지스터(T2)

가 오프 되어야 할 때, 제2 트랜지스터(T2)가 바디 효과로 인해 턴 온 되어 데이터 전압(Vdata)이 제1 트랜지스터(T1)의 제1 노드(N1)로 불필요하게 전달되는 상황을 크게 줄여줄 수 있다.

- [0244] 이에 따라, 비정상적이 화상 구동 및 센싱 구동이 발생할 가능성을 크게 줄여줄 수 있어, 화상 품질 개선에도 도움을 줄 수 있다.
- [0245] 한편, 도 21을 참조하면, 3T1C 등과 같이, 3개 이상의 트랜지스터(T1, T2, T3, ...)를 갖는 구조로 설계된 서브픽셀(SP)은, 제1 트랜지스터(T1)의 제2 노드(N2)와 기준 전압 라인(RVL) 사이에 전기적으로 연결된 제3 트랜지스터(T3)를 더 포함할 수 있다.
- [0246] 이 경우, 제3 트랜지스터(T3)의 하부에는 제3 차광 패턴(LS3)이 위치할 수 있다.
- [0247] 제3 차광 패턴(LS3)에는 제1 바이어스 전압(V1)과 다른 제3 바이어스 전압(V3)이 인가될 수 있다.
- [0248] 예를 들어, 제3 바이어스 전압(V3)은 제1 바이어스 전압(V1)보다 낮은 전압일 수 있다.
- [0249] 이에 따르면, 제3 바이어스 전압(V3)은 제1 바이어스 전압(V1)보다 낮은 전압이기 때문에, 제3 트랜지스터(T3)가 오프 되어야 할 때, 제3 트랜지스터(T3)가 바디 효과로 인해 턴 온 되어 기준 전압(Vref)이 제1 트랜지스터(T1)의 제2 노드(N2)로 불필요하게 전달되는 상황을 크게 줄여줄 수 있다.
- [0250] 이에 따라, 비정상적이 화상 구동 및 센싱 구동이 발생할 가능성을 크게 줄여줄 수 있어, 화상 품질 개선에도 도움을 줄 수 있다.
- [0251] 한편, 도 21을 참조하면, 본 실시예들에 따른 유기발광표시패널(110)은, 제1 트랜지스터(T1)의 영역에 제1 차광 패턴(LS1)이 위치하고, 제2 트랜지스터(T2)의 영역에 제2 차광 패턴(LS2)이 위치하며, 제3 트랜지스터(T3)의 영역에 제3 차광 패턴(LS3)이 위치한다.
- [0252] 이때, 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)이 각기 다른 지점(PV1, PV2, PV3)에 연결된다.
- [0253] 그리고, 제1 차광 패턴(LS1)은 제1 트랜지스터(T1)의 소스 노드 또는 드레인 노드와 전기적으로 연결되고, 제2 차광 패턴(LS2)은 제2 트랜지스터(T2)의 소스 노드 또는 드레인 노드와 전기적으로 연결되고, 제3 차광 패턴(LS3)은 제3 트랜지스터(T3)의 소스 노드 또는 드레인 노드와 전기적으로 연결될 수 있다.
- [0254] 따라서, 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)에 대응되는 제1 차광 패턴(LS1), 제2 차광 패턴(LS2) 및 제3 차광 패턴(LS3)이 서로 다른 지점(PV1, PV2, PV3)에 분산되어 연결됨으로써, 바디 효과 및 그 영향성을 크게 줄일 수 있고, 센싱 정확도 저하도 방지할 수 있다.
- [0255] 이상에서 설명한 바와 같은 본 실시예들에 의하면, 서브픽셀(SP) 내 회로 소자(예: 트랜지스터 등)에 대한 소자 특성 변화(예: 문턱전압 변화 등)를 줄여줄 수 있는 차광 패턴 구조를 갖는 유기발광표시패널(110), 유기발광표시장치(100) 및 그 구동방법을 제공할 수 있다.
- [0256] 또한, 본 실시예들에 의하면, 서브픽셀(SP) 내 각 트랜지스터(T1, T2, T3)의 하부에 차광 패턴을 위치시켜, 각 트랜지스터(T1, T2, T3)의 소자 특성 변화를 저감하면서도, 각 트랜지스터(T1, T2, T3)에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여줄 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널(110), 유기발광표시장치(100) 및 그 구동방법을 제공할 수 있다.
- [0257] 또한, 본 실시예들에 의하면, 서브픽셀(SP) 내 각 트랜지스터(T1, T2, T3)의 하부에 차광 패턴을 위치시켜, 각 트랜지스터(T1, T2, T3)의 소자 특성 변화를 저감하면서도, 각 트랜지스터(T1, T2, T3)에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여주고, 각 서브픽셀(SP) 내 회로 소자(예: 트랜지스터, 유기발광다이오드 등)에 대한 특성치(예: 문턱전압, 이동도 등)의 센싱 정확도 저하를 방지할 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널(110), 유기발광표시장치(100) 및 그 구동방법을 제공할 수 있다.
- [0258] 또한, 본 실시예들에 의하면, 서브픽셀(SP) 내 각 트랜지스터(T1, T2, T3)의 하부에 차광 패턴을 위치시키고, 각 차광 패턴을 서로 다른 지점에 연결시킴으로써, 트랜지스터에서 발생될 수 있는 바디 효과(Body Effect)의 영향을 줄여주고, 각 서브픽셀 내 회로 소자에 대한 특성치의 센싱 정확도 저하를 방지할 수 있는 차광 패턴 연결 구조를 갖는 유기발광표시패널(110), 유기발광표시장치(100) 및 그 구동방법을 제공할 수 있다.
- [0259] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의

결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0260]

100: 유기발광표시장치

110: 유기발광표시패널

120: 데이터 드라이버

130: 게이트 드라이버

140: 컨트롤러

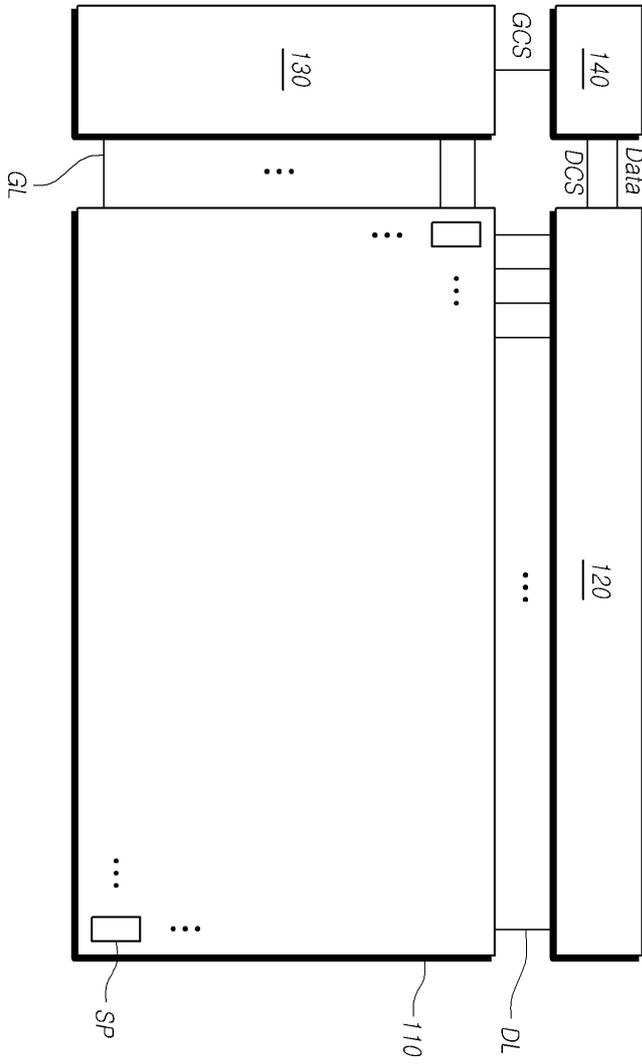
T1, T2, T3: 제1, 제2, 제3 트랜지스터

LS1, LS2, LS3: 제1, 제2, 제3 차광 패턴

PV1, PV2, PV3: 제1, 제2, 제3 바이어스 지점

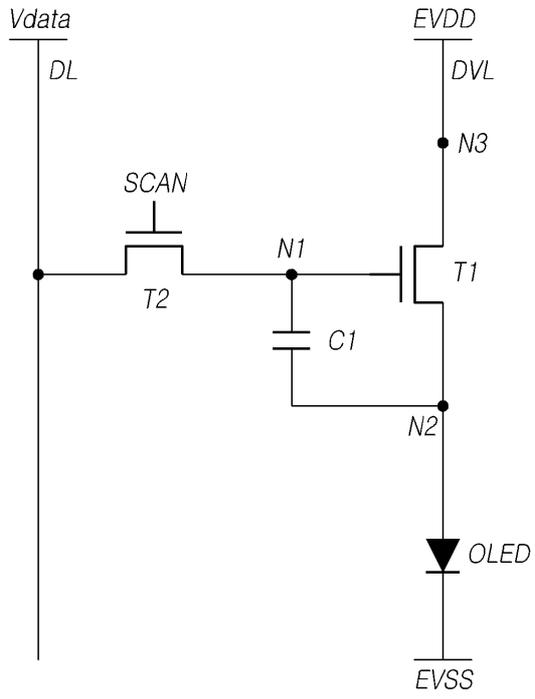
V1, V2, V3: 제1, 제2, 제3 바이어스 전압

도면
도면1



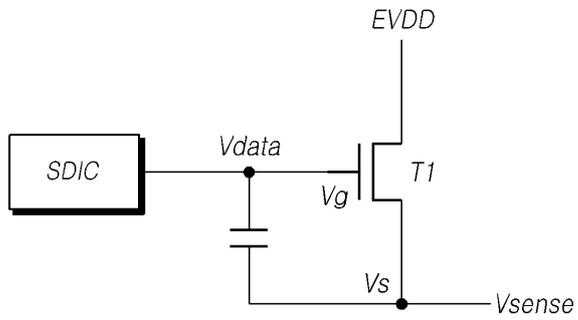
100

도면2

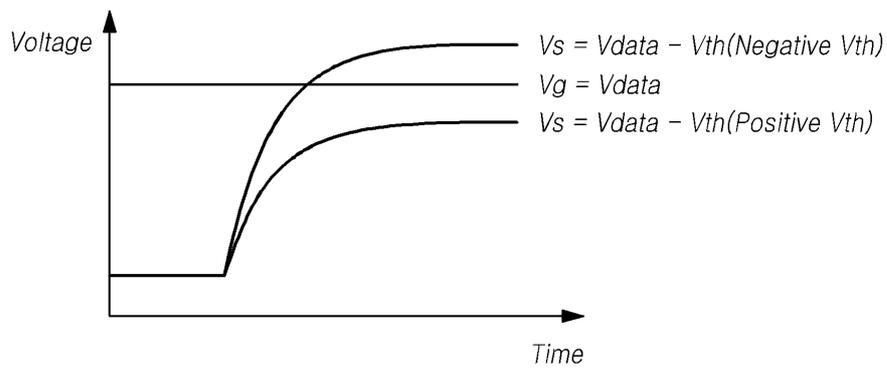


도면4

Vth Sensing

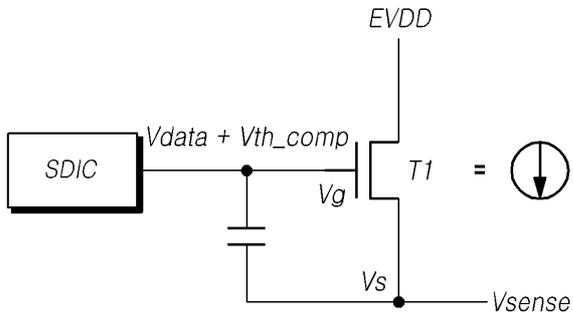


Vsense Wave

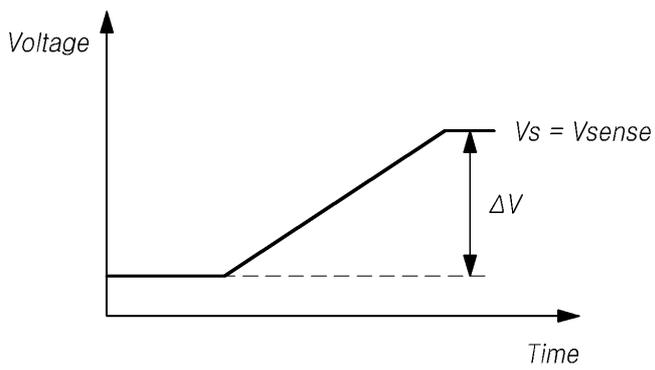


도면5

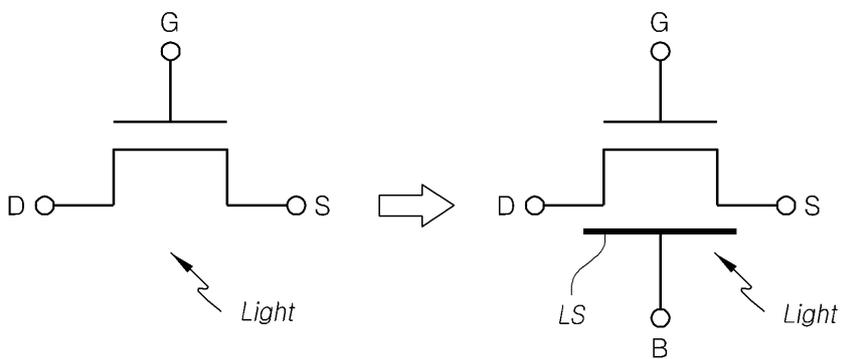
Mobility Sensing



Vsense Wave

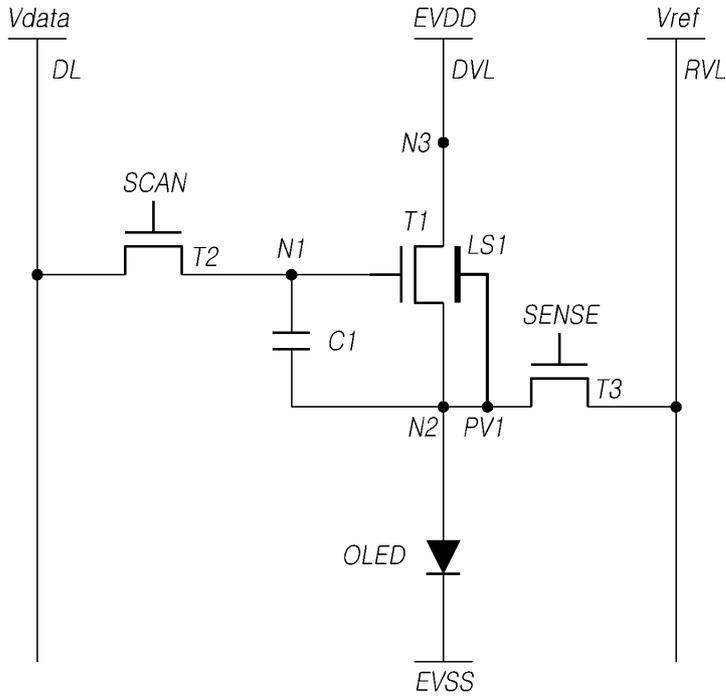


도면6



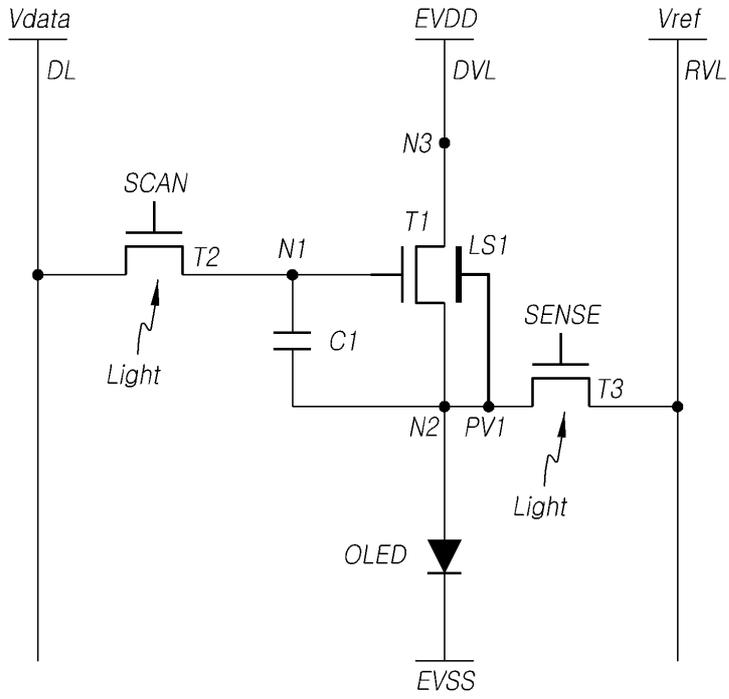
도면7

A Type



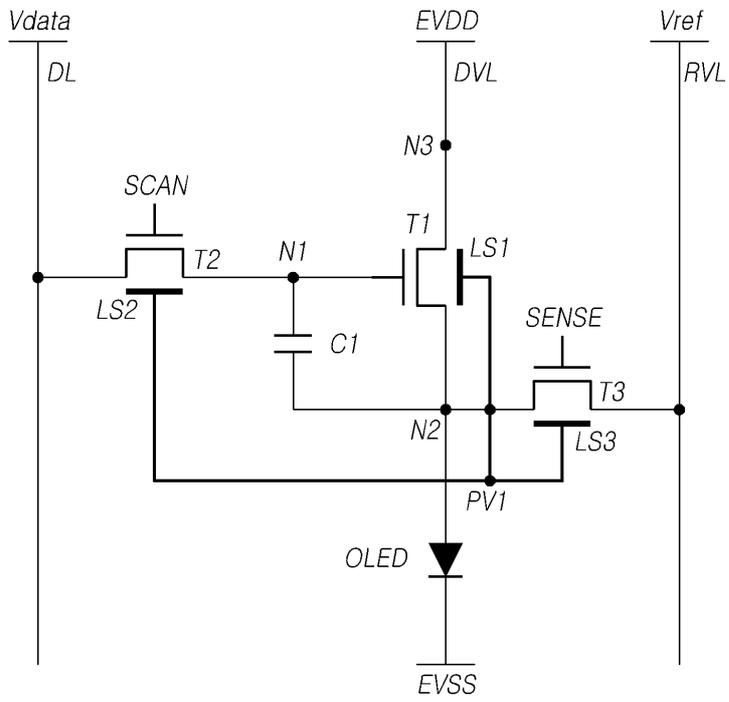
도면8

A Type



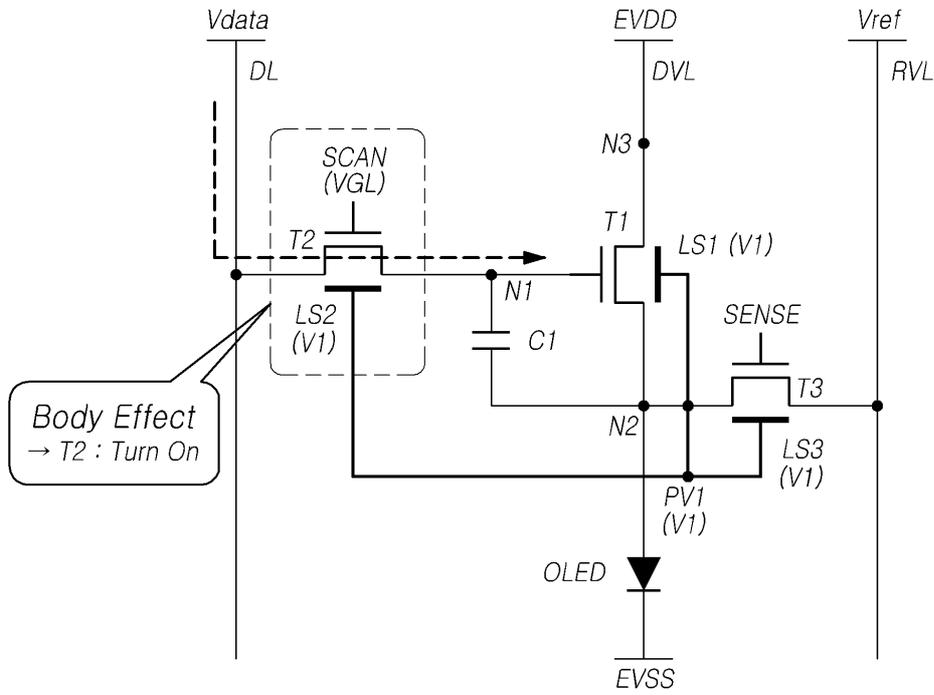
도면9

B Type

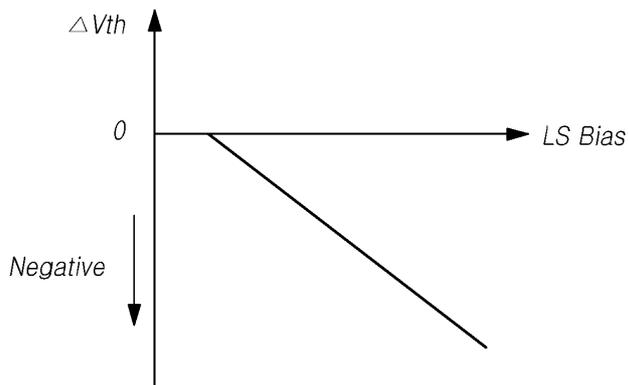


도면10

B Type

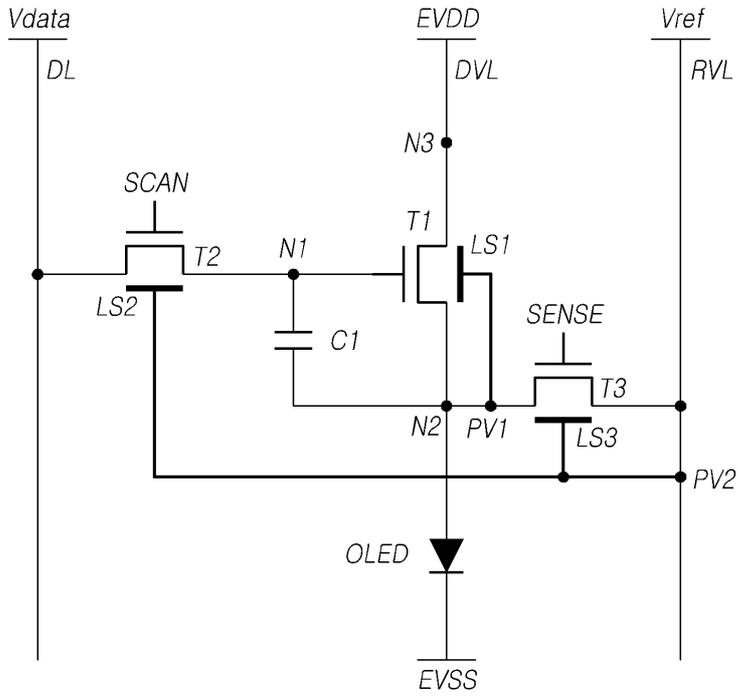


도면11



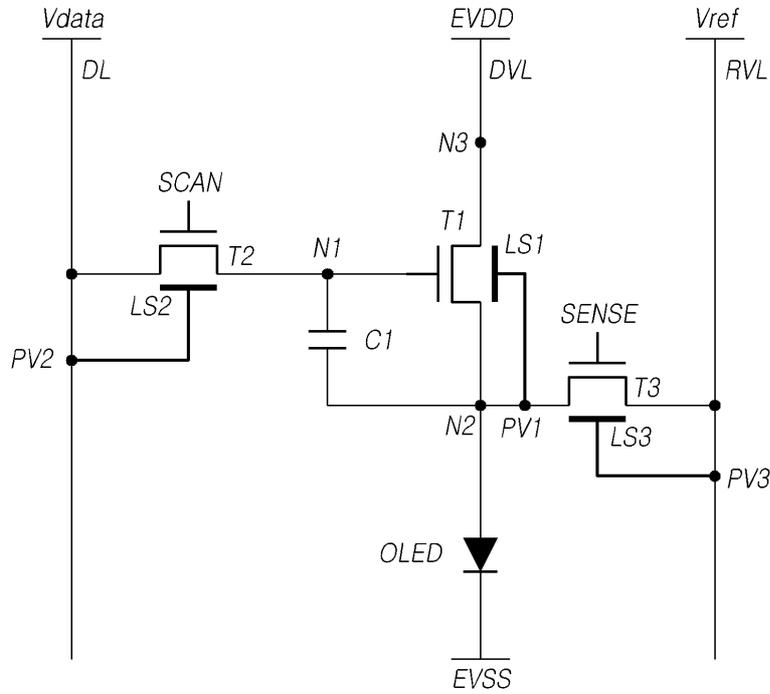
도면12

C Type

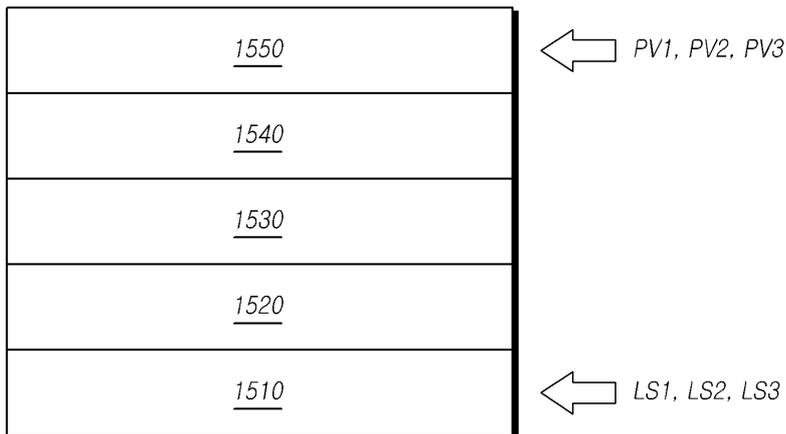


도면14

D Type

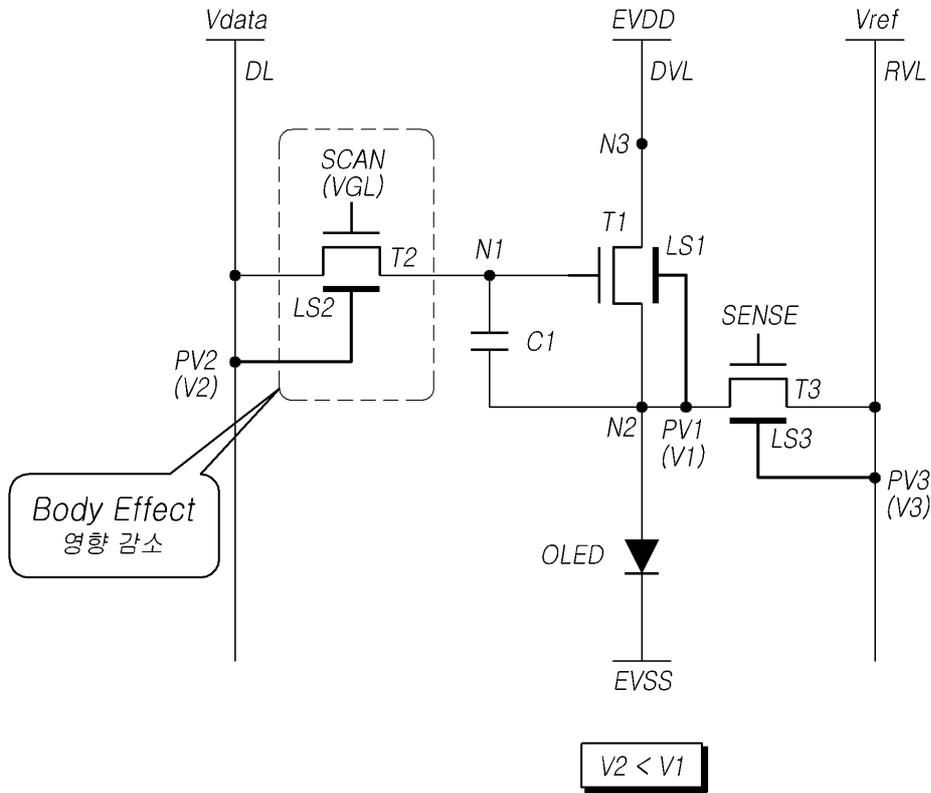


도면15



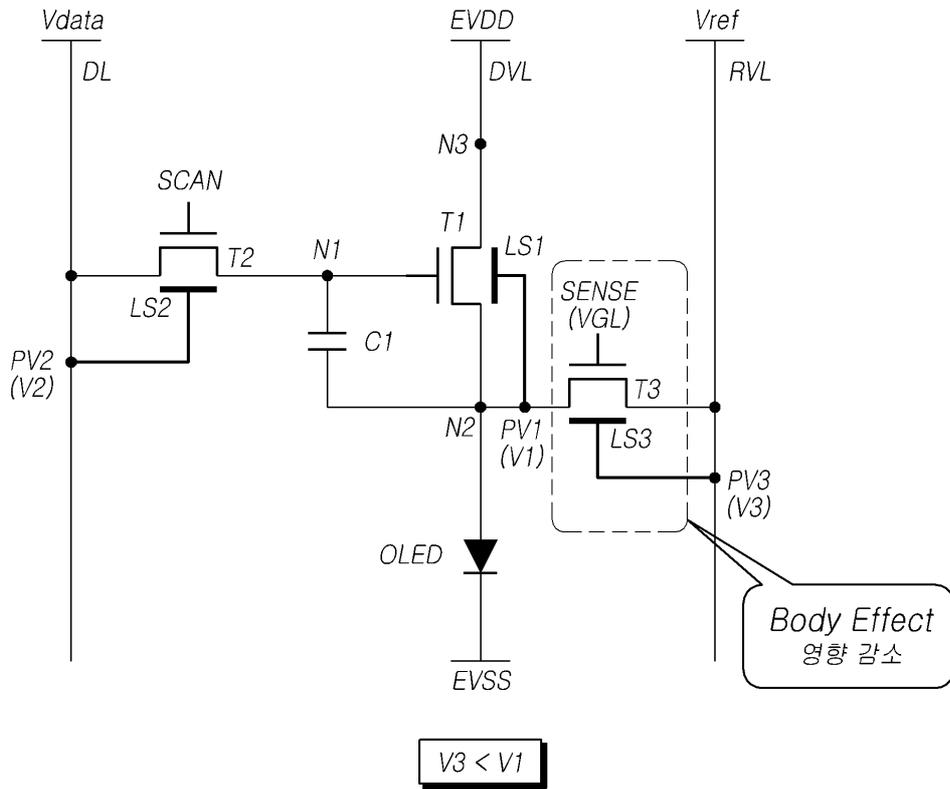
도면16

D Type



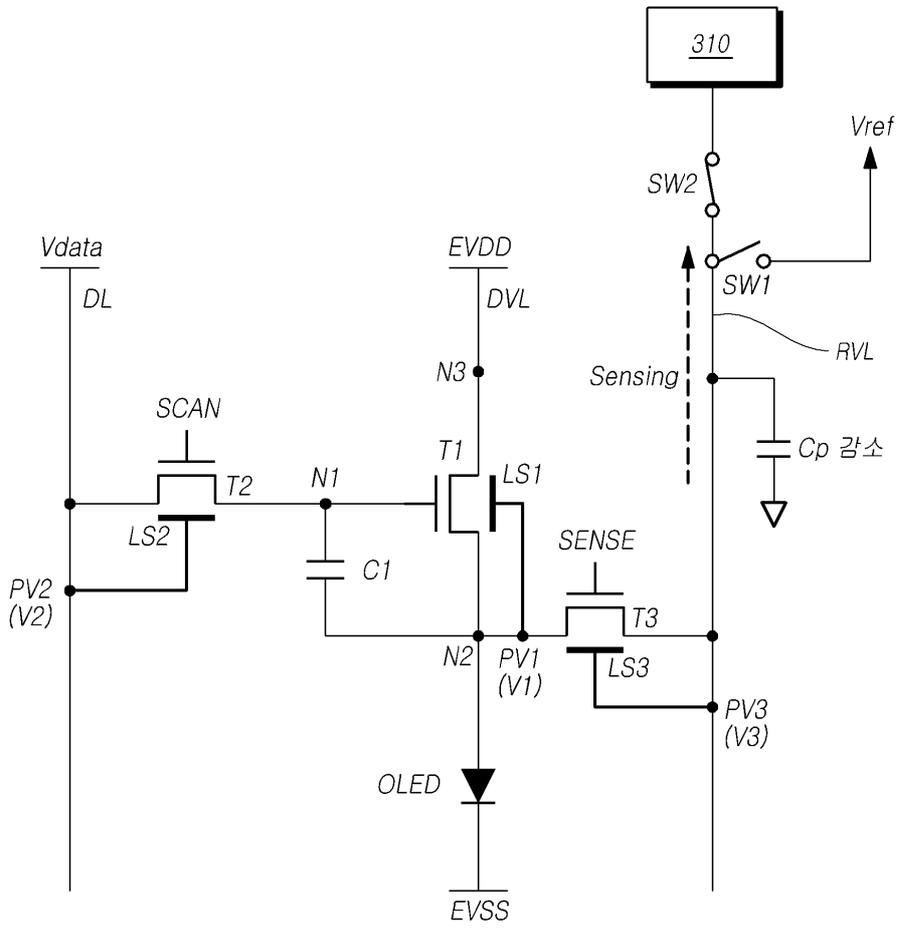
도면17

D Type

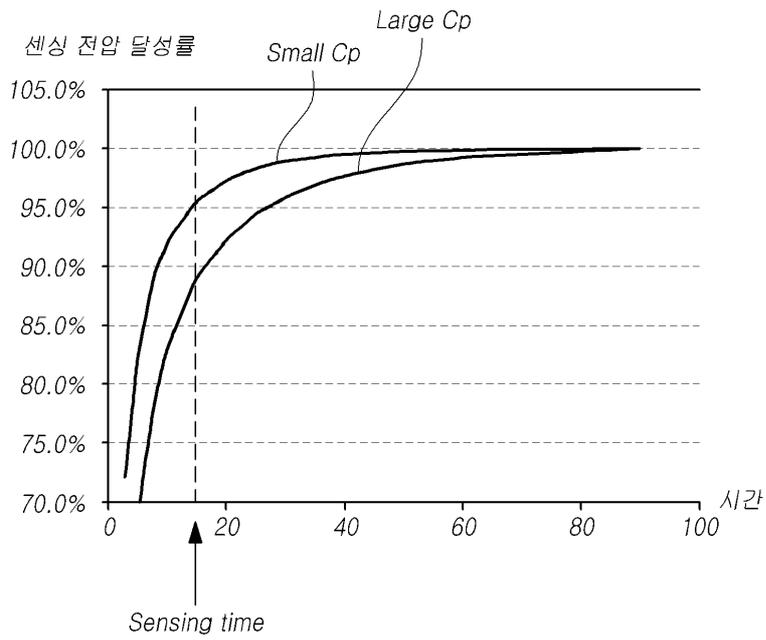


도면18

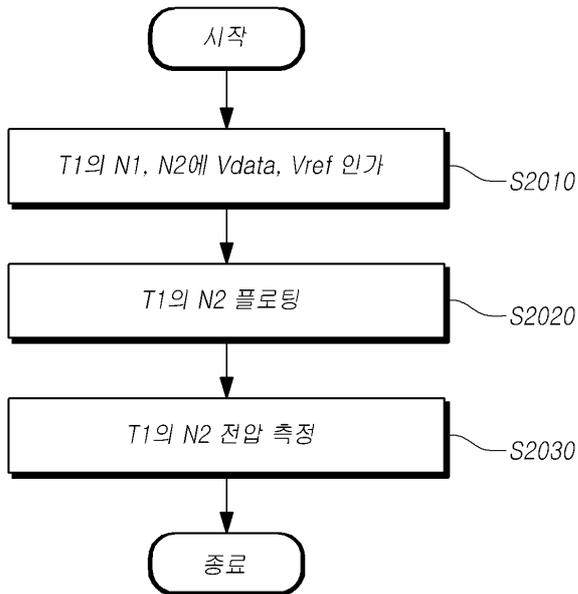
D Type



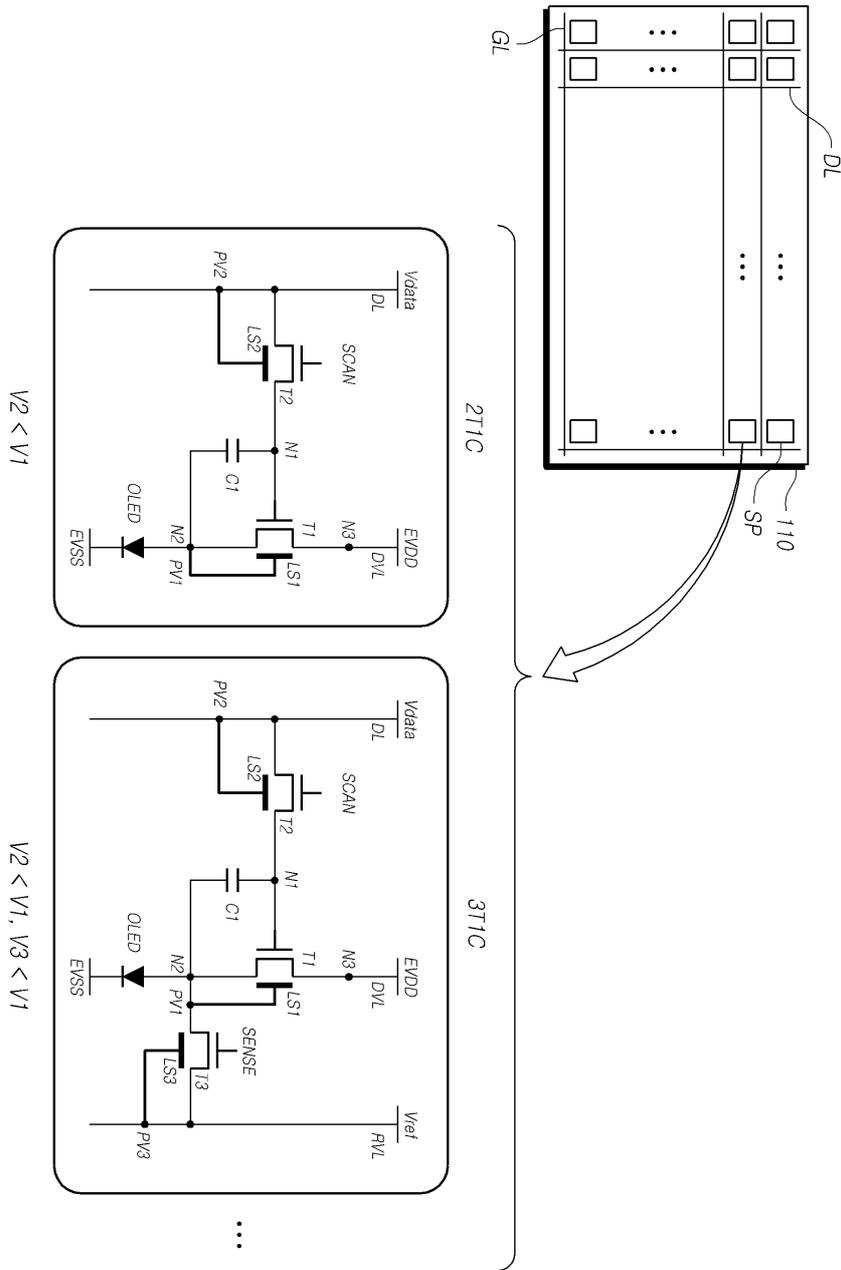
도면19



도면20



도면21



专利名称(译)	标题：有机发光显示面板，有机发光显示装置及其驱动方法		
公开(公告)号	KR1020170049712A	公开(公告)日	2017-05-11
申请号	KR1020150149712	申请日	2015-10-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박건도		
发明人	박건도		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 H01L27/3262 H01L27/3265 G09G2300/0842		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

作为涉及这些实施例的发明是有机发光显示面板，以及有机发光显示器及其驱动方法。更具体地说，它是关于有机发光显示板，其中它将遮光图案定位在子像素闭合角度晶体管的下部，并且它减小了晶体管的器件特性变化，并且减小了晶体管的影响。通过将对应于每个晶体管的遮光图案连接到不同的点并且同时关于每个子像素的特性值的感测精度，可以在每个晶体管中产生的体效应，我的电路器件具有遮光图案连接结构防止降解，以及有机发光显示器及其驱动方法。

