(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0092535
(43) 공개일자 2016년08월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2015-0012497
(22) 출원일자 2015년01월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박해진
경상북도 고령군 성산면 기산길 65 (기산리)
최영준
서울특별시 노원구 노원로 532 920동 1310호 (상계동,주공아파트)
신헌기
경기도 파주시 미래로 535 102동 1202호 (목동동,현대1차아파트)
(74) 대리인
특허법인천문

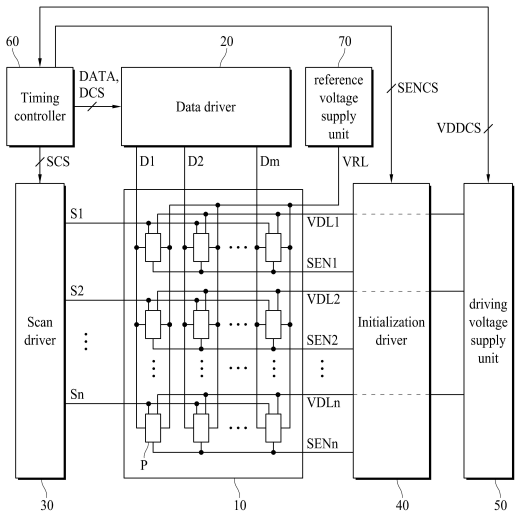
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **유기발광표시장치**

(57) 요 약

본 발명의 실시예는 구동 트랜지스터의 문턱전압을 보상함으로써 화소들의 휘도를 균일하게 할 수 있는 유기발광표시장치를 제공한다. 본 발명의 실시예에 따른 유기발광표시장치는 스캔라인들, 데이터라인들, 및 구동전압 라인들에 접속된 화소들을 갖는 표시패널, 상기 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부, 및 상기 구동전압 라인들에 제1 레벨 전압과 상기 제1 레벨 전압보다 낮은 제2 레벨 전압 사이에서 스윙하는 구동전압들을 공급하는 구동전압 공급부를 구비한다. 상기 표시패널은 q(q는 2 이상의 양의 정수) 개의 블록들로 분할되고, 상기 q 개의 블록들 각각은 제1 내지 제p(p는 2 이상의 양의 정수) 구동전압 라인들에 접속된 화소들을 포함한다. 상기 q 개의 블록들 각각에서 상기 제2 레벨 전압의 구동전압이 공급되는 기간의 길이는 상기 제1 내지 제p 구동전압 라인들마다 서로 다르다.

대 표 도 - 도1



(52) CPC특허분류
H01L 27/3297 (2013.01)

명 세 서

청구범위

청구항 1

스캔라인들, 데이터라인들, 및 구동전압 라인들에 접속된 화소들을 갖는 표시패널;

상기 스캔라인들에 스캔신호들을 공급하는 스캔 구동부;

상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부; 및

상기 구동전압 라인들에 제1 레벨 전압과 상기 제1 레벨 전압보다 낮은 제2 레벨 전압 사이에서 스윙하는 구동전압들을 공급하는 구동전압 공급부를 구비하고,

상기 표시패널은 q(q는 2 이상의 양의 정수) 개의 블록들로 분할되고, 상기 q 개의 블록들 각각은 제1 내지 제p(p는 2 이상의 양의 정수) 구동전압 라인들에 접속된 화소들을 포함하며,

상기 q 개의 블록들 각각에서 상기 제2 레벨 전압의 구동전압이 공급되는 기간의 길이는 상기 제1 내지 제p 구동전압 라인들마다 서로 다른 유기발광표시장치.

청구항 2

제 1 항에 있어서,

상기 q 개의 블록들 각각에서 상기 제2 레벨 전압의 구동전압이 공급되는 기간의 길이는 상기 제1 구동전압 라인으로부터 제p 구동전압 라인으로 갈수록 길어지는 유기발광표시장치.

청구항 3

제 1 항에 있어서,

상기 화소는,

유기발광다이오드;

상기 유기발광다이오드와 구동전압이 공급되는 상기 구동전압 라인에 접속된 구동 트랜지스터;

상기 데이터라인과 상기 구동 트랜지스터의 게이트 전극에 접속된 제1 트랜지스터;

상기 기준전압 라인과 상기 구동 트랜지스터의 소스 전극에 접속된 제2 트랜지스터; 및

상기 구동 트랜지스터의 게이트 전극과 소스 전극 사이에 접속된 커패시터를 포함하는 유기발광표시장치.

청구항 4

제 3 항에 있어서,

상기 구동전압 공급부는,

상기 구동 트랜지스터의 소스 전극을 초기화하는 제1 기간 및 상기 구동 트랜지스터의 문턱전압을 센싱하는 제2 기간 동안 상기 제1 레벨 전압의 구동전압을 상기 구동전압 라인에 공급하고, 상기 구동 트랜지스터를 턴-오프시키는 제3 기간 및 상기 구동 트랜지스터의 게이트-소스간 전압을 유지하는 제4 기간 동안 상기 제2 레벨 전압의 구동전압을 상기 구동전압 라인에 공급하며, 상기 구동 트랜지스터의 게이트 전극에 데이터전압을 공급하는 제5 기간 및 상기 구동 트랜지스터의 전류에 의해 상기 유기발광다이오드가 발광하는 제6 기간 동안 상기 제1 레벨 전압의 구동전압을 상기 구동전압 라인에 공급하는 유기발광표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 기간 동안 상기 제1 및 제2 트랜지스터들이 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기

데이터라인의 보상전압이 공급되고, 상기 구동 트랜지스터의 소스 전극에는 상기 기준전압 라인의 기준전압이 공급되고,

상기 제2 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 보상전압이 공급되며,

상기 제3 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 턴-오프전압이 공급되고,

상기 제4 및 제6 기간들 동안 상기 제1 및 제2 트랜지스터들은 턴-오프되며,

상기 제5 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 데이터라인의 데이터전압이 공급되는 유기발광표시장치.

청구항 6

제 4 항에 있어서,

상기 화소들에 접속된 초기화라인들을 더 구비하고,

상기 제1 트랜지스터는 상기 스캔라인에 게이트 온 전압의 스캔 신호가 공급되는 경우 턴-온되어 상기 데이터라인의 전압을 상기 구동 트랜지스터의 게이트 전극에 공급하고,

상기 제2 트랜지스터는 초기화라인에 게이트 온 전압의 초기화 신호가 공급되는 경우 턴-온되어 상기 기준전압 라인의 상기 기준전압을 상기 구동 트랜지스터의 소스 전극에 공급하는 유기발광표시장치.

청구항 7

제 6 항에 있어서,

상기 스캔라인들, 상기 초기화라인들, 및 상기 구동전압 라인들은 서로 나란한 유기발광표시장치.

청구항 8

제 6 항에 있어서,

상기 초기화라인들에 초기화신호들을 공급하는 초기화 구동부를 더 구비하고,

상기 데이터 구동부는 상기 데이터라인에 상기 제1 및 제2 기간들 동안 보상전압을 공급하고, 상기 제3 및 제4 기간들 동안 턴-오프전압을 공급하며, 상기 제5 기간 동안 상기 데이터전압을 공급하고,

상기 스캔 구동부는 상기 스캔라인에 상기 제1 내지 제3 기간들 및 상기 제5 기간 동안 게이트 온 전압을 갖는 스캔신호를 공급하고, 상기 제4 및 제6 기간들 동안 게이트 오프 전압을 갖는 스캔신호를 공급하며,

상기 초기화 구동부는 상기 초기화라인에 상기 제1 기간 동안 게이트 온 전압을 갖는 초기화신호를 공급하고, 상기 제2 내지 제6 기간들 동안 게이트 오프 전압을 갖는 초기화신호를 공급하는 유기발광표시장치.

청구항 9

스캔라인들, 데이터라인들, 전압 제어신호 라인들, 및 구동전압 라인들에 접속된 화소들을 갖는 표시패널;

상기 스캔라인들에 스캔신호들을 공급하는 스캔 구동부;

상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부;

상기 구동전압 라인들에 직류 구동전압을 공급하는 구동전압 공급부; 및

상기 전압 제어신호 라인들에 게이트 온 전압과 게이트 오프 전압 사이에서 스윙하는 전압 제어신호들을 공급하는 전압 제어신호 구동부를 구비하고,

상기 표시패널은 q(q는 2 이상의 양의 정수) 개의 블록들로 분할되고, 상기 q 개의 블록들 각각은 제1 내지 제 p(p는 2 이상의 양의 정수) 전압 제어신호 라인들에 접속된 화소들을 포함하며,

상기 q 개의 블록들 각각에서 상기 게이트 오프 전압의 전압 제어신호가 공급되는 기간의 길이는 상기 제1 내지

제p 전압 제어신호 라인들마다 서로 다른 유기발광표시장치.

청구항 10

제 9 항에 있어서,

상기 q 개의 블록들 각각에서 상기 게이트 오프 전압의 전압 제어신호가 공급되는 기간의 길이는 상기 제1 전압 제어신호 라인으로부터 제p 전압 제어신호 라인으로 갈수록 길어지는 유기발광표시장치.

청구항 11

제 9 항에 있어서,

상기 화소는,

유기발광다이오드;

상기 유기발광다이오드와 구동전압이 공급되는 상기 구동전압 라인에 접속된 구동 트랜지스터;

상기 데이터라인과 상기 구동 트랜지스터의 게이트 전극에 접속된 제1 트랜지스터;

상기 기준전압 라인과 상기 구동 트랜지스터의 소스 전극에 접속된 제2 트랜지스터;

상기 구동전압 라인과 상기 구동 트랜지스터의 드레인 전극에 접속된 제3 트랜지스터; 및

상기 구동 트랜지스터의 게이트 전극과 소스 전극 사이에 접속된 커패시터를 포함하는 유기발광표시장치.

청구항 12

제 11 항에 있어서,

상기 전압 제어신호 구동부는,

상기 구동 트랜지스터의 소스 전극을 초기화하는 제1 기간 및 상기 구동 트랜지스터의 문턱전압을 센싱하는 제2 기간 동안 상기 게이트 온 전압의 전압 제어신호를 상기 전압 제어신호 라인에 공급하고, 상기 구동 트랜지스터를 턴-오프시키는 제3 기간 및 상기 구동 트랜지스터의 게이트-소스간 전압을 유지하는 제4 기간 동안 상기 게이트 오프 전압의 전압 제어신호를 상기 전압 제어신호 라인에 공급하며, 상기 구동 트랜지스터의 게이트 전극에 데이터전압을 공급하는 제5 기간 및 상기 구동 트랜지스터의 전류에 의해 상기 유기발광다이오드가 발광하는 제6 기간 동안 상기 게이트 온 전압의 전압 제어신호를 상기 전압 제어신호 라인에 공급하는 유기발광표시장치.

청구항 13

제 12 항에 있어서,

상기 제1 기간 동안 상기 제1 내지 제3 트랜지스터들이 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 데이터라인의 보상전압이 공급되고, 상기 구동 트랜지스터의 소스 전극에는 상기 기준전압 라인의 기준전압이 공급되며, 상기 구동 트랜지스터의 드레인 전극에는 상기 구동전압이 공급되고,

상기 제2 기간 동안 상기 제1 및 제3 트랜지스터들이 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 보상전압이 공급되며, 상기 구동 트랜지스터의 드레인 전극에는 상기 구동전압이 공급되고,

상기 제3 기간 동안 상기 제1 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 턴-오프전압이 공급되고,

상기 제4 기간 동안 상기 제1 내지 제3 트랜지스터들은 턴-오프되며,

상기 제5 기간 동안 상기 제1 및 제3 트랜지스터들이 턴-온되어 상기 구동 트랜지스터의 게이트 전극에는 상기 데이터라인의 데이터전압이 공급되고, 상기 구동 트랜지스터의 드레인 전극에는 상기 구동전압이 공급되며,

상기 제6 기간 동안 상기 제3 트랜지스터가 턴-온되어 상기 구동 트랜지스터의 드레인 전극에는 상기 구동전압이 공급되는 유기발광표시장치.

청구항 14

제 12 항에 있어서,

상기 화소들에 접속된 초기화라인들을 더 구비하고,

상기 제1 트랜지스터는 상기 스캔라인에 게이트 온 전압의 스캔 신호가 공급되는 경우 턴-온되어 상기 데이터라인의 전압을 상기 구동 트랜지스터의 게이트 전극에 공급하고,

상기 제2 트랜지스터는 초기화라인에 게이트 온 전압의 초기화 신호가 공급되는 경우 턴-온되어 상기 기준전압라인의 상기 기준전압을 상기 구동 트랜지스터의 소스 전극에 공급하며,

상기 제3 트랜지스터는 상기 전압 제어신호 라인에 게이트 온 전압의 전압 제어신호가 공급되는 경우 턴-온되어 상기 구동전압 라인의 상기 구동전압을 상기 구동 트랜지스터의 드레인 전극에 공급하는 유기발광표시장치.

청구항 15

제 14 항에 있어서,

상기 초기화라인들에 초기화신호들을 공급하는 초기화 구동부를 더 구비하고,

상기 데이터 구동부는 상기 데이터라인에 상기 제1 및 제2 기간들 동안 보상전압을 공급하고, 상기 제3 및 제4 기간들 동안 상기 턴-오프전압을 공급하며, 상기 제5 기간 동안 상기 데이터전압을 공급하고,

상기 스캔 구동부는 상기 스캔라인에 상기 제1 내지 제3 기간들 및 상기 제5 기간 동안 게이트 온 전압을 갖는 스캔신호를 공급하고, 상기 제4 및 제6 기간들 동안 게이트 오프 전압을 갖는 스캔신호를 공급하며,

상기 초기화 구동부는 상기 초기화라인에 상기 제1 기간 동안 게이트 온 전압을 갖는 초기화신호를 공급하고, 상기 제2 내지 제6 기간들 동안 게이트 오프 전압을 갖는 초기화신호를 공급하는 유기발광표시장치.

청구항 16

제 5 항, 제 8 항, 제 13 항 또는 제 15 항에 있어서,

상기 보상전압은 상기 기준전압보다 높은 레벨의 전압이고, 상기 데이터전압은 상기 보상전압보다 높은 레벨의 전압이며, 상기 턴-오프전압은 상기 보상전압보다 낮은 레벨인 유기발광표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예는 유기발광표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003] 이들 중에서 유기발광표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광표시장치는 데이터라인들, 스캔라인들, 데이터라인들과 스캔라인들의 교차부에 형성된 다수의 화소들을 구비하는 표시패널, 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 및 데이터라인들에 데이터전압들을 공급하는 데이터 구동부를 포함한다. 화소들 각각은 유기발광다이오드(organic light emitting diode), 게이트 전극의 전압에 따라 유기발광다이오드에 공급되는 전류의 양을 조절하는 구동 트랜지스터(transistor), 스캔라인의 스캔신호에 응답하여 데이터라인의 데이터 전압을 구동 트랜지스터의 게이트 전극에 공급하는 공급하는 스캔 트랜지스터를 포함한다.

[0004] 하지만, 제조 공정의 불균일성으로 인해, 구동 트랜지스터의 문턱전압(threshold voltage)이 화소마다 달라지는 문제가 있다. 이 경우, 화소들 각각에 동일한 데이터 전압을 인가하더라도, 화소들 사이의 구동 트랜지스터의 문턱전압 차이로 인하여, 유기발광다이오드가 발광하는 휘도가 화소마다 달라진다. 이를 해결하기 위해, 구동

트랜지스터의 문턱전압을 보상하는 보상 방법이 제안되었다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 구동 트랜지스터의 문턱전압을 보상함으로써 화소들의 휘도를 균일하게 할 수 있는 유기발광표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 유기발광표시장치는 스캔라인들, 데이터라인들, 및 구동전압 라인들에 접속된 화소들을 갖는 표시패널, 상기 스캔라인들에 스캔신호들을 공급하는 스캔 구동부, 상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부, 및 상기 구동전압 라인들에 제1 레벨 전압과 상기 제1 레벨 전압보다 낮은 제2 레벨 전압 사이에서 스윙하는 구동전압들을 공급하는 구동전압 공급부를 구비한다. 상기 표시패널은 q(q는 2 이상의 양의 정수) 개의 블록들로 분할되고, 상기 q 개의 블록들 각각은 제1 내지 제p(p는 2 이상의 양의 정수) 구동전압 라인들에 접속된 화소들을 포함한다. 상기 q 개의 블록들 각각에서 상기 제2 레벨 전압의 구동전압이 공급되는 기간의 길이는 상기 제1 내지 제p 구동전압 라인들마다 서로 다르다.

발명의 효과

[0007] 본 발명의 실시예는 소정의 기간 동안 구동 트랜지스터의 소스 전극에 구동 트랜지스터의 문턱전압을 센싱한다. 그 결과, 본 발명의 실시예는 문턱전압이 보상된 구동 트랜지스터의 전류에 따라 유기발광다이오드를 발광할 수 있다.

[0008] 또한, 본 발명의 실시예는 표시패널을 복수의 블록들로 분할하고, 블록들을 순차적으로 구동함과 동시에 블록별로 구동한다. 그 결과, 본 발명의 실시예는 블록별로 구동 트랜지스터의 문턱전압 센싱을 동시에 실시하고, 화소들에 데이터전압들을 순차적으로 공급할 수 있다. 그러므로, 본 발명의 실시예는 120Hz 이상의 고속 구동을 하는 경우에도, 데이터전압 공급기간을 충분히 확보할 수 있는 장점이 있다.

[0009] 또한, 본 발명의 실시예는 구동 트랜지스터의 게이트 전극에 데이터전압을 공급하고, 소스 전극의 전압(Vs)을 "α"만큼 상승시킨다. 이때, 소스 전극의 전압(Vs)의 상승량인 "α"는 구동 트랜지스터의 전자이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 구동 트랜지스터의 전자이동도에 따라 게이트 전극과 소스 전극 간의 전압 차를 조정할 수 있으므로, 구동 트랜지스터의 전자이동도를 보상할 수 있다.

[0010] 또한, 본 발명의 실시예는 구동 트랜지스터를 턴-오프시키는 기간 동안 구동전압 라인에 제2 레벨 전압의 구동전압을 공급한다. 그 결과, 본 발명의 실시예는 구동 트랜지스터의 누설전류에 의한 구동 트랜지스터의 소스전압 상승을 최소화할 수 있다.

[0011] 나아가, 본 발명의 실시예는 구동 트랜지스터를 턴-오프시키는 기간 동안 게이트 오프 전압을 갖는 전압 제어신호를 공급한다. 그 결과, 본 발명의 실시예는 구동 트랜지스터를 턴-오프시키는 기간 동안 구동 트랜지스터의 드레인 전극과 구동전압 라인의 접속을 차단할 수 있으므로, 구동 트랜지스터의 누설전류에 의한 구동 트랜지스터의 소스전압 상승을 최소화할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도.

도 2는 도 1의 표시패널의 블록들을 보여주는 일 예시도면.

도 3은 도 1의 화소의 일 예를 보여주는 회로도.

도 4는 도 2의 표시패널에 공급되는 스캔신호들, 초기화신호들, 및 구동전압들의 일 예를 보여주는 파형도.

도 5는 제k 스캔신호, 제k 초기화신호, 제j 데이터전압, 제k 구동전압, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도.

도 6은 제1 내지 제6 기간들 동안 화소의 구동방법을 보여주는 흐름도.

도 7a 내지 도 7f는 제1 내지 제6 기간들 동안 도 3의 화소의 동작을 보여주는 회로도들.

도 8은 본 발명의 또 다른 실시예에 따른 유기발광표시장치를 보여주는 블록도.

도 9는 도 8의 표시패널의 블록들을 보여주는 일 예시도면.

도 10은 도 8의 화소의 또 다른 예를 보여주는 회로도.

도 11은 도 9의 표시패널에 공급되는 스캔신호들, 초기화신호들, 및 전압 제어신호들의 일 예를 보여주는 파형도.

도 12는 제k 스캔신호, 제k 초기화신호, 제j 데이터전압, 제k 전압 제어신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도.

발명을 실시하기 위한 구체적인 내용

[0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0014] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 초기화 구동부(40), 구동전압 공급부(50), 타이밍 제어부(60), 및 기준전압 공급부(70)를 포함한다.

[0015] 표시패널(10)에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 스캔라인들(S1~Sn, n은 2 이상의 양의 정수), 초기화라인들(SEN1~SENn), 및 구동전압 라인들(VDL1~VDLn)이 마련된다. 데이터라인들(D1~Dm)은 스캔라인들(S1~Sn), 초기화라인들(SEN1~SENn) 및 구동전압 라인들(VDL1~VDLn)과 교차되도록 형성될 수 있다. 스캔라인들(S1~Sn), 초기화라인들(SEN1~SENn) 및 구동전압 라인들(VDL1~VDLn)은 서로 나란하게 형성될 수 있다.

[0016] 표시패널(10)에는 데이터라인들(D1~Dm), 스캔라인들(S1~Sn), 초기화라인들(SEN1~SENn) 및 구동전압 라인들(VDL1~VDLn)에 접속된 화소(P)들이 마련된다. 화소(P)들 각각은 데이터라인들(D1~Dm) 중 어느 하나, 스캔라인들(S1~Sn) 중 어느 하나, 초기화라인들(SEN1~SENn) 중 어느 하나, 및 구동전압 라인들(VDL1~VDLn) 에 접속될 수 있다. 화소(P)들 각각은 구동 트랜지스터(transistor), 스캔라인의 스캔신호와 초기화 라인의 초기화신호에 의해 제어되는 제1 및 제2 트랜지스터들, 유기발광다이오드(organic light emitting diode), 및 커패시터(capacitor)를 포함할 수 있다. 화소(P)에 대한 자세한 설명은 도 3을 결부하여 후술한다.

[0017] 표시패널(10)은 도 2와 같이 복수의 블록들로 분할될 수 있다. 도 2에서는 설명의 편의를 위해 표시패널(10)의 스캔라인들(S1~S3p), 초기화라인들(SEN1~SEN3p), 구동전압 라인들(VDL1~VDL3p), 화소(P)들, 스캔 구동부(30), 초기화 구동부(40), 및 구동전압 공급부(50)만을 예시하였다. 또한, 도 2에서는 설명의 편의를 위해 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0018] 도 2를 참조하면, 블록들(BL1, BL2, BL3) 각각은 동일한 개수의 화소(P)들을 포함할 수 있다. 구체적으로, 표시패널(10)이 q(q는 2 이상의 양의 정수) 개의 블록들로 분할되는 경우, q 개의 블록들 각각은 p(p는 2 이상의 양의 정수) 개의 스캔라인들에 접속된 화소(P)들을 포함할 수 있다. 이때, "p"는 "n"(스캔라인들의 총 개수)을 "q"(블록들의 개수)로 나눈 값일 수 있다.

[0019] 예를 들어, 표시패널(10)이 도 2와 같이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 블록들(BL1, BL2, BL3) 각각은 p 개의 스캔라인들(초기화라인들 또는 구동전압 라인들)에 접속된 화소(P)들을 포함할 수 있다. 도 2와 같이 제1 블록(BL1)은 제1 내지 제p 스캔라인들(S1~Sp)에 접속된 화소(P)들을 포함하고, 제2 블록(BL2)

은 제p+1 내지 제2p 스캔라인들(Sp+1~S2p)에 접속된 화소(P)들을 포함하며, 제3 블록(BL3)은 제2p+1 내지 제3p 스캔라인들(S2p+1~S3p)에 접속된 화소(P)들을 포함할 수 있다. 한편, p 개의 스캔라인들에 접속된 화소(P)들은 p 개의 구동전압 라인들에 접속된 화소(P)들과 실질적으로 동일하고, p 개의 스캔라인들에 접속된 화소(P)들은 p 개의 초기화라인들에 접속된 화소(P)들과 실질적으로 동일하다.

[0020] 데이터 구동부(20)는 적어도 하나의 소스 드라이브 집적회로(integrated circuit 이하 "IC"라 칭함)를 포함한다. 소스 드라이브 IC는 데이터라인들(D1~Dm)에 접속되어 데이터 전압들을 공급한다. 구체적으로, 소스 드라이브 IC는 타이밍 제어부(60)로부터 디지털 비디오 데이터(DATA)와 소스 타이밍 제어신호(DCS)를 입력 받는다. 소스 드라이브 IC는 소스 타이밍 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 데이터전압들로 변환하여 데이터라인들(D1~Dm)에 공급한다. 또한, 소스 드라이브 IC는 데이터전압들 이외에 보상전압 및 턴-오프 전압을 데이터라인들(D1~Dm)에 공급할 수 있다. 소스 드라이브 IC의 보상전압, 턴-오프전압 및 데이터전압 공급에 대한 자세한 설명은 도 5를 결부하여 후술한다.

[0021] 스캔 구동부(30)는 스캔라인들(S1~Sn)에 접속되어 스캔신호들을 공급한다. 구체적으로, 스캔 구동부(30)는 타이밍 제어부(60)로부터 입력되는 스캔 타이밍 제어신호(SCS)에 따라 스캔라인들(S1~Sn)에 스캔신호들을 공급한다. 스캔신호들은 도 4 및 도 5와 같이 게이트 온 전압과 게이트 오프 전압 사이에서 스윙한다. 스캔 구동부(30)의 스캔신호 공급에 대한 자세한 설명은 도 4 및 도 5를 결부하여 후술한다.

[0022] 초기화 구동부(40)는 초기화라인들(SEN1~SENn)에 접속되어 초기화신호들을 공급한다. 구체적으로, 초기화 구동부(40)는 타이밍 제어부(60)로부터 입력되는 초기화 제어신호(SENCS)에 따라 초기화라인들(SEN1~SENn)에 초기화신호들을 공급한다. 초기화신호들은 도 4 및 도 5와 같이 게이트 온 전압과 게이트 오프 전압 사이에서 스윙한다. 초기화 구동부(40)의 초기화신호 공급에 대한 자세한 설명은 도 4 및 도 5를 결부하여 후술한다.

[0023] 구동전압 공급부(50)는 구동전압 라인들(VDL1~VDLn)에 접속되어 구동전압들을 공급한다. 구체적으로, 구동전압 공급부(50)는 타이밍 제어부(60)로 입력되는 전압 타이밍 제어신호(VDDCS)에 따라 구동전압 라인들(VDL1~VDLn)에 구동전압들을 공급한다. 구동전압들은 도 4 및 도 5와 같이 제1 레벨 전압과 제2 레벨 전압 사이에서 스윙한다. 구동전압 공급부(50)의 구동전압 공급에 대한 자세한 설명은 도 4 및 도 5를 결부하여 후술한다.

[0024] 타이밍 제어부(60)는 외부로부터 디지털 비디오 데이터(DATA)를 입력받는다. 타이밍 제어부(60)는 데이터 구동부(20), 스캔 구동부(30), 초기화 구동부(40) 및 구동전압 공급부(50)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS), 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 초기화 구동부(40)의 동작 타이밍을 제어하기 위한 초기화 타이밍 제어신호(SENCS), 및 구동전압 공급부(50)의 동작 타이밍을 제어하기 위한 전압 타이밍 제어신호(VDDCS)를 포함한다.

[0025] 타이밍 제어부(60)는 디지털 비디오 데이터(DATA)와 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다. 타이밍 제어부(60)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)로 출력한다. 타이밍 제어부(60)는 초기화 타이밍 제어신호(SENCS)를 초기화 구동부(40)로 출력한다. 타이밍 제어부(60)는 전압 타이밍 제어신호(VDDCS)를 구동전압 공급부(50)로 출력한다.

[0026] 기준전압 공급부(70)는 화소(P)들에 접속된 기준전압 라인(VRL)에 접속되어 직류 기준전압을 공급한다.

[0027] 도 3은 도 1의 화소의 일 예를 보여주는 회로도이다. 도 3에서는 설명의 편의를 위해 제k(k는 1≤k≤n을 만족하는 양의 정수) 스캔라인(Sk), 제k 초기화라인(SENk), 제k 구동전압 라인(VDLk), 제j(j는 1≤j≤m을 만족하는 양의 정수) 데이터라인(Dj), 및 기준전압라인(VRL)에 접속된 화소(P)를 예시하였다. 도 3을 참조하면, 화소(P)는 유기발광다이오드(OLED)와 유기발광다이오드(OLED)에 구동전류를 공급하기 위한 화소 구동부(PD)를 포함한다. 화소 구동부(PD)는 구동 트랜지스터(DT), 제1 및 제2 트랜지스터들(ST1, ST2), 및 커패시터(C)를 포함할 수 있다.

[0028] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)를 통해 공급되는 전류에 따라 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 제1 레벨 전압의 구동전압보다 낮은 저전위전압이 공급되는 저전위전압라인(EVSSL)에 접속될 수 있다.

[0029] 유기발광다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode

electrode)을 포함할 수 있다. 유기발광다이오드(OLED)는 애노드전극과 캐소드전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

[0030] 구동 트랜지스터(DT)는 제k 구동전압라인(VDLk)과 유기발광다이오드(OLED)에 접속된다. 구동 트랜지스터(DT)는 게이트 전극의 전압에 따라 제k 구동전압라인(VDLk)으로부터 유기발광다이오드(OLED)로 흐르는 전류를 제어한다. 구동 트랜지스터(DT)의 게이트 전극은 제1 트랜지스터(ST1)의 제1 전극에 접속되고, 소스 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 드레인 전극은 제k 구동전압이 공급되는 제k 구동전압라인(VDLk)에 접속될 수 있다.

[0031] 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)에 게이트 온 전압의 제k 스캔신호가 공급되는 경우 턴-온되어 제j 데이터라인(Dj)의 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 제1 트랜지스터(T1)의 게이트 전극은 제k 스캔라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터라인(Dj)에 접속될 수 있다.

[0032] 제2 트랜지스터(ST2)는 제k 초기화라인(SENk)에 게이트 온 전압의 제k 초기화신호가 공급되는 경우 턴-온되어 기준전압라인(VRL)의 기준전압을 구동 트랜지스터(DT)의 소스 전극에 공급한다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 초기화라인(SENk)에 접속되고, 제1 전극은 기준전압라인(VRL)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속될 수 있다.

[0033] 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 사이에 마련된다. 커패시터(C)의 일측 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되고, 타측 전극은 구동 트랜지스터(DT)의 소스 전극에 접속될 수 있다. 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차를 일정하게 유지한다.

[0034] 도 3에서 제1 및 제2 트랜지스터들(ST1, ST2)의 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.

[0035] 도 3에서는 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있으며, 이 경우 도 4 및 도 5의 파형도는 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.

[0036] 이상에서 살펴본 바와 같이, 본 발명의 일 실시예에 따른 화소(P)는 제j 데이터라인(Dj)과 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 트랜지스터(ST1)와, 기준전압라인(VRL)과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 트랜지스터(ST2)를 포함한다. 그 결과, 본 발명의 실시예는 제1 및 제2 트랜지스터들(ST1, ST2)의 턴-온과 제j 데이터라인(Dj)에 공급되는 전압을 조정함으로써, 구동 트랜지스터(DT)의 문턱전압을 센싱할 수 있다. 도 3에 도시된 화소(P)의 구동 트랜지스터(DT)의 문턱전압 보상에 대한 자세한 설명은 도 5, 도 6 및 도 7a 내지 도 7d를 결부하여 후술한다.

[0037] 도 4는 도 2의 표시패널에 공급되는 스캔신호들, 초기화신호들, 및 구동전압들의 일 예를 보여주는 파형도이다. 도 4에는 도 2의 제1 내지 제3p 스캔라인들(S1~S3p)에 공급되는 제1 내지 제3p 스캔신호들(SCAN1~SCAN3p), 제1 내지 제3p 구동전압 라인들(VDL1~VDL3p)에 공급되는 제1 내지 제3p 구동전압들(VDD1~VDD3p), 제1 내지 제3p 초기화라인들(S1~S3p)에 공급되는 제1 내지 제3p 초기화신호들(SENS1~SENS3p)이 나타나 있다.

[0038] 도 4를 참조하면, 1 프레임 기간은 q 개의 서브 프레임 기간들을 포함한다. 예를 들어, 도 2와 같이 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 1 프레임 기간은 3 개의 서브 프레임 기간들(SF1, SF2, SF3)을 포함할 수 있다.

[0039] q 개의 서브 프레임 기간들 각각은 도 4와 같이 문턱전압 센싱기간(ST)과 데이터전압 공급기간(DP)을 포함한다. 문턱전압 센싱기간(ST)은 블록 내 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 데이터전압 공급기간(DP)은 블록의 화소(P)들에 데이터전압들을 공급하는 기간이다. 문턱전압 센싱기간(ST)은 도 5의 제1 내지 제3 기간들(t1~t3)을 지시하고, 데이터전압 공급기간(DP)은 도 5의 제4 내지 제6 기간들(t4~t6)을 지시한다. 제1 내지 제6 기간들(t1~t6)에 대한 자세한 설명은 도 5를 결부하여 후술한다.

[0040] 스캔 구동부(30)와 초기화 구동부(40)는 제1 블록(BL1)의 화소(P)들에 접속된 스캔라인들(S1~Sp)과 초기화라인들(SEN1~SENp)에 제1 서브 프레임 기간(SF1)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(Von)의 스캔신호들

(SCAN1~SCANp)와 게이트 온 전압(Von)의 초기화신호들(SENS1~SENSp)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN1~SCANp)을 순차적으로 공급한다. 이로 인해, 제1 서브 프레임 기간(SF1)의 문턱전압 센싱기간(ST) 동안 제1 블록(BL1)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제1 블록(BL1)의 화소(P)들 각각에 데이터전압이 공급되므로 제1 블록(BL1)의 화소(P)들은 발광한다.

[0041] 스캔 구동부(30)와 초기화 구동부(40)는 제2 블록(BL2)의 화소(P)들에 접속된 스캔라인들(Sp+1~S2p)과 초기화라인들(SENp+1~SEN2p)에 제2 서브 프레임 기간(SF2)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(Von)의 스캔신호들(SCANp+1~SCAN2p)과 게이트 온 전압(Von)의 초기화신호들(SENSp+1~SENS2p)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCANp+1~SCAN2p)을 순차적으로 공급한다. 이로 인해, 제2 서브 프레임 기간(SF2)의 문턱전압 센싱기간(ST) 동안 제2 블록(BL2)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제2 블록(BL2)의 화소(P)들 각각에 데이터전압이 공급되므로 제2 블록(BL2)의 화소(P)들은 발광한다.

[0042] 스캔 구동부(30)와 초기화 구동부(40)는 제3 블록(BL3)의 화소(P)들에 접속된 스캔라인들(S2p+1~S3p)과 초기화라인들(SEN2p+1~SEN3p)에 제3 서브 프레임 기간(SF3)의 문턱전압 센싱기간(SP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN2p+1~SCAN3p)과 게이트 온 전압(Von)의 초기화신호들(SENS2p+1~SENS3p)을 동시에 공급하고, 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들(SCAN2p+1~SCAN3p)을 순차적으로 공급한다. 이로 인해, 제3 서브 프레임 기간(SF3)의 문턱전압 센싱기간(ST) 동안 제3 블록(BL3)의 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압이 센싱되고, 데이터전압 공급기간(DP) 동안 제3 블록(BL3)의 화소(P)들 각각에 데이터전압이 공급되므로 제3 블록(BL3)의 화소(P)들은 발광한다.

[0043] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 표시패널(10)을 복수의 블록들(BL1, BL2, BL3)로 분할하고, 블록들(BL1, BL2, BL3)을 순차적으로 구동함과 동시에 블록별로 구동한다. 그 결과, 본 발명의 실시예는 블록별로 구동 트랜지스터(DT)의 문턱전압 센싱을 동시에 실시하고, 화소(P)들에 데이터전압들을 순차적으로 공급할 수 있다. 그러므로, 본 발명의 실시예는 120Hz 이상의 고속 구동을 하는 경우에도, 데이터전압 공급기간(DP)을 충분히 확보할 수 있는 장점이 있다.

[0044] 한편, 서브 프레임 기간들(SF1, SF2, SF3) 각각에서 문턱전압 센싱기간(SP)과 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호가 공급되는 기간 사이의 기간은 구동 트랜지스터(DT)의 게이트-소스 간 전압을 유지하는 전압 유지기간(t4)으로 정의될 수 있다. 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들이 순차적으로 스캔라인들에 공급되기 때문에, 전압 유지기간(t4)의 길이는 제1 스캔라인(S1)으로부터 제p 스캔라인(Sp)으로 갈수록, 제p+1 스캔라인(Sp+1)으로부터 제2p 스캔라인(S2p)으로 갈수록, 제2p+1 스캔라인(S2p+1)으로부터 제3p 스캔라인(S3p)으로 갈수록 길어진다.

[0045] 또한, 본 발명의 실시예는 전압 유지기간(t4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압 상승을 최소화하기 위해, 구동전압들을 제2 레벨 전압(V2)으로 공급한다. 이로 인해, 제2 레벨 전압의 구동전압이 공급되는 기간의 길이는 구동전압 라인마다 서로 다르다. 즉, 제2 레벨 전압(V2)의 구동전압이 공급되는 기간의 길이는 제1 구동전압 라인(VDL1)으로부터 제p 구동전압 라인(VDLp)으로 갈수록, 제p+1 구동전압 라인(VDLp+1)으로부터 제2p 구동전압 라인(VDL2p)으로 갈수록, 제2p+1 구동전압 라인(VDLp+1)으로부터 제3p 구동전압 라인(VDL2p)으로 갈수록 길어진다.

[0046] 한편, 전압 유지기간(t4)은 스캔라인에 따라 달라지므로, 전압 유지기간(t4) 동안 구동전압들을 제2 레벨 전압(V2)으로 공급하기 위해서, 스캔라인들(S1~Sn), 초기화라인들(SEN1~SENn) 및 구동전압 라인들(VDL1~VDLn)은 서로 나란하게 형성되는 것이 바람직하다.

[0047] 도 5는 제k 스캔신호, 제k 초기화신호, 제j 데이터전압, 제k 구동전압, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다. 도 5에는 도 3의 화소(P)에 접속된 제k 구동전압 라인(VDLk)에 공급되는 제k 구동전압(VDDk), 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANk), 제k 초기화라인(SENk)에 공급되는 제k 초기화신호(SENSk), 제j 데이터라인(Dj)에 공급되는 전압(DVj), 구동 트랜지스터(DT)의 게이트전압(Vg)과 소스전압(Vs)이 나타나 있다.

[0048] 도 5를 참조하면, 서브 프레임 기간은 제1 내지 제6 기간들(t1~t6)로 구분될 수 있다. 제1 기간(t1)은 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화하고, 게이트 전극을 보상전압(Vcomp)으로 초기화하는

기간이다. 제2 기간(t2)은 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 제3 기간(t3)은 구동 트랜지스터(DT)의 게이트 전극에 턴-오프 전압(Vt)을 공급하는 기간이다. 제4 기간(t4)은 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)을 유지하는 기간이다. 제5 기간(t5)은 구동 트랜지스터(DT)의 게이트 전극에 데이터 전압(Vdata)을 공급하는 기간이다. 제6 기간(t6)은 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광하는 기간이다.

[0049] 제2 기간(t2)은 제1, 제3 및 제5 기간들(t1, t3, t5) 각각보다 길게 구현되는 것이 바람직하다. 도 4와 같이 서브 프레임 기간들(SF1, SF2, SF3) 각각의 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들은 스캔라인들에 순차적으로 공급되기 때문에, 제4 기간(t4)의 길이는 제1 스캔라인(S1)으로부터 제p 스캔라인(Sp)으로 갈수록, 제p+1 스캔라인(Sp+1)으로부터 제2p 스캔라인(S2p)으로 갈수록, 제2p+1 스캔라인(S2p+1)으로부터 제3p 스캔라인(S3p)으로 갈수록 길어진다.

[0050] 데이터 구동부(20)는 제1 및 제2 기간들(t1, t2) 동안 제j 데이터라인(Dj)에 보상전압(Vcomp)을 공급한다. 보상전압(Vcomp)은 구동 트랜지스터(DT)의 문턱전압을 보상하기 위한 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 보상전압(Vcomp)은 도 5와 같이 기준전압(Vref)보다 높은 전압일 수 있다.

[0051] 데이터 구동부(20)는 제3 및 제4 기간들(t3, t4) 동안 제j 데이터라인(Dj)에 턴-오프전압(Vt)을 공급한다. 턴-오프전압(Vt)은 구동 트랜지스터(DT)를 턴-오프시킬 수 있는 전압이다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 턴-오프전압(Vt)은 도 5와 같이 보상전압(Vcomp)보다 낮은 전압일 수 있으며, 턴-오프 전압(Vt)은 기준전압(Vref)과 동일한 전압으로 설정될 수 있다. 구체적으로, 제3 및 제4 기간들(t3, t4) 동안 구동 트랜지스터(DT)를 턴-오프시키기 위해서 턴-오프전압(Vt)과 제3 기간(t3) 동안 구동 트랜지스터(DT)의 소스 전압 간의 전압 차는 구동 트랜지스터(DT)의 문턱전압보다 낮게 설정되어야 한다.

[0052] 데이터 구동부(20)는 제5 기간(t5) 동안 제j 데이터라인(Dj)에 데이터전압(Vdata)을 공급한다. 데이터전압(Vdata)은 유기발광다이오드(OLED)를 소정의 휘도로 발광하기 위해 구동 트랜지스터(DT)의 게이트 전극에 공급되는 전압이다. 예를 들어, 데이터 구동부(20)에 공급되는 디지털 비디오 데이터(DATA)가 8 비트인 경우, 데이터전압(Vdata)은 256 개의 전압들 중 어느 하나로 공급될 수 있다. 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, 데이터전압(Vdata)은 도 5와 같이 보상전압(Vcomp)보다 높은 전압일 수 있다.

[0053] 스캔 구동부(30)는 도 5와 같이 제1 내지 제3 및 제5 기간들(t1~t3, t5) 동안 제k 스캔라인(Sk)에 게이트 온 전압(Von)의 제k 스캔신호(SCANk)를 공급한다. 스캔 구동부(30)는 제4 및 제6 기간들(t4, t6) 동안 제k 스캔라인(Sk)에 게이트 오프 전압(Voff)의 제k 스캔신호(SCANk)를 공급한다.

[0054] 초기화 구동부(40)는 도 5와 같이 제1 기간(t1) 동안 제k 초기화라인(SENk)에 게이트 온 전압(Von)의 제k 초기화신호(SENSk)를 공급한다. 초기화 구동부(40)는 제2 내지 제6 기간들(t2~t6) 동안 제k 초기화라인(SENk)에 게이트 오프 전압(Voff)의 제k 초기화신호(SENSk)를 공급한다.

[0055] 구동전압 공급부(50)는 도 5와 같이 제1, 제2, 제5 및 제6 기간들(t1, t2, t5, t6) 동안 제k 구동전압 라인(VDLk)에 제1 레벨 전압의 제k 구동전압(VDDk)를 공급한다. 구동전압 공급부(50)는 제3 및 제4 기간들(t3, t4) 동안 제k 구동전압 라인(VDLk)에 제1 레벨 전압의 제k 구동전압(VDDk)를 공급한다.

[0056] 도 6은 제1 내지 제6 기간들 동안 화소의 구동방법을 보여주는 흐름도이다. 도 7a 내지 도 7f는 제1 내지 제6 기간들 동안 도 3의 화소의 동작을 보여주는 회로도들이다.

[0057] 화소(P)의 구동 트랜지스터(DT)의 문턱전압을 보상하는 보상방법은 크게 내부 보상방법과 외부 보상방법으로 구분된다. 내부 보상방법은 화소(P)의 내부에서 구동 트랜지스터(DT)의 문턱전압을 센싱하여 보상하는 방법이다. 외부 보상방법은 화소(P)에 미리 설정된 전압을 공급하고, 상기 미리 설정된 전압에 따라 상기 화소(P)의 구동 트랜지스터(DT)의 소스 전극의 전압을 소정의 센싱라인을 통해 센싱하며, 센싱된 전압을 이용하여 상기 화소(P)에 공급될 디지털 비디오 데이터를 보상하는 방법이다. 본 발명의 실시예는 내부 보상방법에 의해 구동 트랜지스터(DT)의 문턱전압을 보상한다.

[0058] 이하에서는 도 5, 도 6 및 도 7a 내지 도 7f를 결부하여 본 발명의 일 실시예에 따른 화소(P)의 구동방법을 상세히 살펴본다. 도 7a 내지 도 7f에서 턴-오프되는 트랜지스터는 점선으로 도시하였다.

[0059] 첫 번째로, 제1 기간(t1) 동안 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화하고, 게이트 전

극을 보상전압(Vcomp)으로 초기화한다.

[0060] 제1 기간(t1) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제1 기간(t1) 동안 제k 초기화라인(SENk)에는 게이트 온 전압(Von)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제1 기간(t1) 동안 제j 데이터라인(Dj)에는 보상전압(Vcomp)이 공급된다. 제1 기간(t1) 동안 제k 구동전압 라인(VDLk)에는 제1 레벨 전압(V1)의 제k 구동전압(VDDk)이 공급된다.

[0061] 제1 기간(t1) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 5 및 도 7a와 같이 구동 트랜지스터(DT)의 게이트 전극에는 제j 데이터라인(Dj)의 보상전압(Vcomp)이 공급된다. 제1 기간(t1) 동안 제2 트랜지스터(ST2)는 게이트 온 전압(Von)을 갖는 제k 초기화신호(SENk)에 의해 턴-온된다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 도 5 및 도 7a와 같이 구동 트랜지스터(DT)의 소스 전극에는 기준전압 라인(VRL)의 기준전압(Vref)이 공급된다. (도 6의 S101)

[0062] 두 번째로, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 문턱전압을 센싱한다.

[0063] 제2 기간(t2) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제2 기간(t2) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제2 기간(t2) 동안 제j 데이터라인(Dj)에는 보상전압(Vcomp)이 공급된다. 제2 기간(t2) 동안 제k 구동전압 라인(VDLk)에는 제1 레벨 전압(V1)의 제k 구동전압(VDDk)이 공급된다.

[0064] 제2 기간(t2) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 5 및 도 7b와 같이 구동 트랜지스터(DT)의 게이트 전극에는 제j 데이터라인(Dj)의 보상전압(Vcomp)이 공급된다. 제2 기간(t2) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다.

[0065] 제2 기간(t2) 동안 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vgs=Vcomp-Vref)가 구동 트랜지스터(DT)의 문턱전압(threshold voltage, Vth)보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류를 흘리게 된다. 이로 인해, 구동 트랜지스터(DT)의 소스전압(Vs)은 도 5 및 도 7b와 같이 "Vcomp-Vth"까지 상승한다. 따라서, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압이 센싱된다. (도 6의 S102)

[0066] 세 번째로, 제3 기간(t3) 동안 구동 트랜지스터(DT)의 게이트 전극에 턴-오프전압(Vt)을 공급한다.

[0067] 제3 기간(t3) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제3 기간(t3) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제3 기간(t3) 동안 제j 데이터라인(Dj)에는 턴-오프전압(Vt)이 공급된다. 제3 기간(t3) 동안 제k 구동전압 라인(VDLk)에는 제2 레벨 전압(V2)의 제k 구동전압(VDDk)이 공급된다.

[0068] 제3 기간(t3) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 5 및 도 7c와 같이 구동 트랜지스터(DT)의 게이트 전극에는 턴-오프전압(Vt)이 공급된다. 제3 기간(t3) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다.

[0069] 한편, 제3 기간(t3) 동안 도 5 및 도 7c와 같이 구동 트랜지스터(DT)의 게이트전압(Vg)은 턴-오프전압(Vt)이고, 커패서터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극의 전압 변화량이 반영되므로 소스전압(Vs)은 "Vcomp-Vth-β"로 하강한다. 이때, β는 수학식 1과 같이 정의될 수 있다.

수학식 1

[0070]
$$\beta = (Vcomp - Vt) \times \frac{CCc}{CCc + CCcp}$$

[0071] 수학식 1에서, "Vcomp"는 보상전압, "Vt"는 턴-오프전압, "CCc"는 커패시터(C)의 용량, "CCcp"는 유기발광다이오드(OLED)의 애노드 전극에 형성되는 기생 커패시터의 용량을 의미한다. (도 6의 S103)

[0072] 네 번째로, 제4 기간(t4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압(Vs)을 유지한다.

[0073] 제4 기간(t4) 동안 제k 스캔라인(Sk)에는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제4 기간(t4) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제4 기간(t4) 동안 제j 데이터라인(Dj)에는 턴-오프전압(Vt)이 공급된다. 제4 기간(t4) 동안 제k 구동전압 라인(VDLk)에는 제2 레벨 전압(V2)의 제k 구동전압(VDDk)이 공급된다.

[0074] 제4 기간(t4) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANk)에 의해 턴-오프된다. 제4 기간(t4) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다.

[0075] 제4 기간(t4) 동안 구동 트랜지스터(DT)의 게이트 전극의 전압(Vg)은 도 5 및 도 7d와 같이 제3 기간(t3) 동안 공급된 턴-오프 전압(Vt)을 유지한다. 따라서, 제4 기간(t4) 동안 구동 트랜지스터(DT)는 제3 기간(t3)에 이어서 턴-오프된 상태를 유지한다.

[0076] 결국, 제3 및 제4 기간들(t3, t4) 동안 도 5와 같이 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)이 구동 트랜지스터(DT)의 문턱전압보다 작기 때문에, 구동 트랜지스터(DT)는 턴-오프된다. 하지만, 구동 트랜지스터(DT)가 턴-오프되더라도 미세하게 누설 전류가 흐를 수 있다. 이로 인해, 구동 트랜지스터(DT)의 소스전압(Vs)이 미세하게 상승할 수 있다. 특히, 도 4에서 살펴본 바와 같이 화소(P)가 어느 스캔라인에 접속되는지에 따라 제4 기간(t4)의 길이가 달라질 수 있으므로, 구동 트랜지스터(DT)의 소스전압(Vs)은 화소(P)가 어느 스캔라인에 접속되는지에 따라 달라질 수 있다.

[0077] 따라서, 본 발명의 실시예는 구동 트랜지스터(DT)를 턴-오프시키는 제3 및 제4 기간들(t3, t4) 동안 제k 구동전압 라인(VDLk)에 제2 레벨 전압(V2)의 제k 구동전압(VDDk)을 공급한다. 그 결과, 본 발명의 실시예는 구동 트랜지스터(DT)의 누설전류에 의한 구동 트랜지스터(DT)의 소스전압(Vs) 상승을 최소화할 수 있다. 한편, 제2 레벨 전압(V2)과 제3 및 제4 기간들(t3, t4) 동안 구동 트랜지스터(DT)의 소스전압(Vs) 간의 차이가 작을수록 구동 트랜지스터(DT)의 누설전류가 작아진다. 따라서, 제2 레벨 전압(V2)은 제3 및 제4 기간들(t3, t4) 동안 구동 트랜지스터(DT)의 소스전압(Vs)와의 차이가 최소화되도록 설정되는 것이 바람직하다. (도 6의 S104)

[0078] 다섯 번째로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압이 공급된다.

[0079] 제5 기간(t5) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제5 기간(t5) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제5 기간(t5) 동안 제j 데이터라인(Dj)에는 데이터전압(Vdata)이 공급된다. 제5 기간(t5) 동안 제k 구동전압 라인(VDLk)에는 제1 레벨 전압(V1)의 제k 구동전압(VDDk)이 공급된다.

[0080] 제5 기간(t5) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 구동 트랜지스터(DT)의 게이트 전극에는 데이터전압(Vdata)이 공급된다. 제5 기간(t5) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다.

[0081] 한편, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자 이동도(mobility, μ)를 보상할 수 있다. 제5 기간(t5) 동안 구동 트랜지스터(DT)는 게이트 전극과 소스 전극간의 전압 차(Vgs=Vdata-(Vcomp-Vth-β))가 문턱전압(Vth)보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 전압 차가 문턱전압에 도달할 때까지 전류를 흘리게 된다. 하지만, 제5 기간(t5)은 제2 기간(t2)보다 짧으며, 이로 인해 구동 트랜지스터(DT)의 소스전압(Vs)이 "Vdata-Vth"에 도달하기 전에 제5 기간(t5)이 끝나게 된다.

[0082] 구동 트랜지스터(DT)의 전류는 수학식 2와 같이 구동 트랜지스터(DT)의 전자이동도(K)에 비례하므로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스전압(Vs)의 상승량은 구동 트랜지스터(DT)의 전자이동도(K)에 비례한다. 즉, 구동 트랜지스터(DT)의 전자이동도가 클수록 제5 기간(t5) 동안 구동 트랜지스터(DT)의 소스전압(Vs)의 상승량은 더욱 커진다.

[0083] 결국, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도(K)에 따라 소스전압(Vs)의 상승량이 달라지며, 이로 인해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vgs)가 달라진다. 즉, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(Vgs)를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전자이동도(K)를 보상할 수 있다.

[0084] 한편, 제5 기간(t5) 동안 도 5 및 도 7e와 같이 구동 트랜지스터의 게이트전압(Vg)은 "Vdata"이고, 소스전압(Vs)은 "Vcomp-Vth-β+α"까지 상승한다. 이때, "α"는 제5 기간(t5) 동안 소스전압(Vs)의 상승량으로 정의될

수 있다. 그러므로, 제5 기간(t5) 동안 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vgs)인 "Vdata-(Vcomp-Vth-β+α)"를 저장한다. (도 6의 S105)

[0085] 여섯 번째로, 제6 기간(t6) 동안 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광한다.

[0086] 제6 기간(t6) 동안 제k 스캔라인(Sk)에는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제6 기간(t6) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제6 기간(t6) 동안 제k 구동전압 라인(VDLk)에는 제1 레벨 전압(V1)의 제k 구동전압(VDDk)이 공급된다.

[0087] 제6 기간(t6) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANk)에 의해 턴-오프된다. 제6 기간(t6) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다.

[0088] 제6 기간(t6) 동안 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vgs=Vdata-(Vcomp-Vth-β+α))는 일정하게 유지될 수 있다. 그 결과, 유기발광다이오드(OLED)로 흐르는 구동 트랜지스터(DT)의 전류(Ids)는 수학식 2와 같이 정의될 수 있다.

수학식 2

[0089]
$$Ids = \frac{K \times Cox \times W/L}{2} \times (Vdata - (Vcomp - Vth - \beta + \alpha) - Vth)^2$$

[0090] 수학식 2를 정리하면, 수학식 3이 도출된다.

수학식 3

[0091]
$$Ids = \frac{K \times Cox \times W/L}{2} \times (Vdata - Vcomp + \beta - \alpha)^2$$

[0092] 결국, 수학식 3과 같이 구동 트랜지스터(DT)의 전류(Ids)는 구동 트랜지스터(DT)의 문턱전압(Vth)에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(Vth)은 보상된다. 결국, 유기발광다이오드(OLED)는 도 7f와 같이 구동 트랜지스터(DT)의 문턱전압(Vth)이 보상된 구동 트랜지스터(DT)의 전류(Ids)에 따라 발광한다. (도 6의 S106)

[0093] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 기간(t1) 동안 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화하고, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압을 센싱한다. 그 결과, 본 발명의 실시예는 수학식 3과 같이 문턱전압이 보상된 구동 트랜지스터의 전류(Ids)에 따라 유기발광다이오드(OLED)를 발광할 수 있다.

[0094] 또한, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압을 공급하고, 소스 전극의 전압(Vs)을 "α"만큼 상승시킨다. 이때, 소스 전극의 전압(Vs)의 상승량인 "α"는 구동 트랜지스터(DT)의 전자이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(Vgs)를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전자이동도(K)를 보상할 수 있다.

[0095] 나아가, 본 발명의 실시예는 구동 트랜지스터(DT)를 턴-오프시키는 제3 및 제4 기간들(t3, t4) 동안 제k 구동전압 라인(VDLk)에 제2 레벨 전압(V2)의 제k 구동전압(VDDk)을 공급한다. 그 결과, 본 발명의 실시예는 구동 트랜지스터(DT)의 누설전류에 의한 구동 트랜지스터(DT)의 소스전압(Vs) 상승을 최소화할 수 있다.

[0096] 도 8은 본 발명의 또 다른 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 8을 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 초기화 구동부

(40), 타이밍 제어부(60), 전압 제어신호 구동부(80), 및 전압 공급부(90)를 포함한다.

[0097] 도 8의 데이터 구동부(20), 스캔 구동부(30), 초기화 구동부(40), 타이밍 제어부(60)는 도 1을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 8의 데이터 구동부(20), 스캔 구동부(30), 초기화 구동부(40), 타이밍 제어부(60)에 대한 자세한 설명은 생략한다.

[0098] 도 8을 참조하면, 표시패널(10)에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 스캔라인들(S1~Sn, n은 2 이상의 양의 정수), 초기화라인들(SEN1~SENn), 및 전압 제어신호 라인들(VCL1~VCLn)이 마련된다. 데이터라인들(D1~Dm)은 스캔라인들(S1~Sn), 초기화라인들(SEN1~SENn) 및 전압 제어신호 라인들(VCL1~VCLn)과 교차되도록 형성될 수 있다. 스캔라인들(S1~Sn), 초기화라인들(SEN1~SENn) 및 전압 제어신호 라인들(VCL1~VCLn)은 서로 나란하게 형성될 수 있다.

[0099] 표시패널(10)에는 데이터라인들(D1~Dm), 스캔라인들(S1~Sn), 초기화라인들(SEN1~SENn) 및 전압 제어신호 라인들(VCL1~VCLn)에 접속된 화소(P)들이 마련된다. 화소(P)들 각각은 데이터라인들(D1~Dm) 중 어느 하나, 스캔라인들(S1~Sn) 중 어느 하나, 초기화라인들(SEN1~SENn) 중 어느 하나, 및 전압 제어신호 라인들(VCL1~VCLn)에 접속될 수 있다. 화소(P)들 각각은 구동 트랜지스터(transistor), 스캔라인의 스캔신호, 초기화라인의 초기화신호, 및 전압 제어신호 라인의 전압 제어신호에 의해 제어되는 제1 내지 제3 트랜지스터들, 유기발광다이오드(organic light emitting diode), 및 커패시터(capacitor)를 포함할 수 있다. 화소(P)에 대한 자세한 설명은 도 10을 결부하여 후술한다.

[0100] 표시패널(10)은 도 9와 같이 복수의 블록들로 분할될 수 있다. 도 9에서는 설명의 편의를 위해 표시패널(10)의 스캔라인들(S1~S3p), 초기화라인들(SEN1~SEN3p), 구동 제어신호 라인들(VDL1~VDL3p), 구동전압 라인(VDL), 화소(P)들, 스캔 구동부(30), 초기화 구동부(40), 구동 제어신호 구동부(80), 및 전압 공급부(90)만을 예시하였다. 또한, 도 9에서는 설명의 편의를 위해 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0101] 도 9를 참조하면, 블록들(BL1, BL2, BL3) 각각은 동일한 개수의 화소(P)들을 포함할 수 있다. 구체적으로, 표시패널(10)이 q 개의 블록들로 분할되는 경우, q 개의 블록들 각각은 p 개의 스캔라인들에 접속된 화소(P)들을 포함할 수 있다. 이때, "p"는 "n"(스캔라인들의 총 개수)을 "q"(블록들의 개수)로 나눈 값일 수 있다.

[0102] 예를 들어, 표시패널(10)이 도 9와 같이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 블록들(BL1, BL2, BL3) 각각은 p 개의 스캔라인들(초기화라인들 또는 구동전압 라인들)에 접속된 화소(P)들을 포함할 수 있다. 도 9와 같이 제1 블록(BL1)은 제1 내지 제p 스캔라인들(S1~Sp)에 접속된 화소(P)들을 포함하고, 제2 블록(BL2)은 제p+1 내지 제2p 스캔라인들(Sp+1~S2p)에 접속된 화소(P)들을 포함하며, 제3 블록(BL3)은 제2p+1 내지 제3p 스캔라인들(S2p+1~S3p)에 접속된 화소(P)들을 포함할 수 있다. 한편, p 개의 스캔라인들에 접속된 화소(P)들은 p 개의 구동전압 라인들에 접속된 화소(P)들과 실질적으로 동일하다. 또한, p 개의 스캔라인들에 접속된 화소(P)들은 p 개의 초기화라인들에 접속된 화소(P)들과 실질적으로 동일하다.

[0103] 전압 제어신호 구동부(80)는 전압 제어신호 라인들(VCL1~VCLn)에 접속되어 전압 제어신호들을 공급한다. 구체적으로, 전압 제어신호 구동부(80)는 타이밍 제어부(60)로 입력되는 전압 타이밍 제어신호(VDDCS)에 따라 전압 제어신호 라인들(VCL1~VCLn)에 전압 제어신호들을 공급한다. 전압 제어신호들은 도 11 및 도 12와 같이 게이트 온 전압과 게이트 오프 전압 사이에서 스윙한다. 전압 제어신호 구동부(80)의 전압 제어신호 공급에 대한 자세한 설명은 도 11 및 도 12를 결부하여 후술한다.

[0104] 전압 공급부(90)는 화소(P)들에 접속된 구동전압 라인(VDL)에 접속되어 직류 구동전압을 공급한다. 구동전압 라인(VDL)은 도 9와 같이 스캔라인들(S1~Sn), 초기화라인들(SEN1~SENn), 및 전압 제어신호 라인들(VCL1~VCLn)과 교차될 수 있다. 전압 공급부(90)는 화소(P)들에 접속된 기준전압 라인(VRL)에 접속되어 직류 기준전압을 공급한다.

[0105] 도 10은 도 8의 화소의 또 다른 예를 보여주는 회로도이다. 도 10에서는 설명의 편의를 위해 제k 스캔라인(Sk), 제k 초기화라인(SENk), 제k 전압 제어신호 라인(VCLk), 제j 데이터라인(Dj), 및 기준전압라인(VRL)에 접속된 화소(P)를 예시하였다. 도 10을 참조하면, 화소(P)는 유기발광다이오드(OLED)와 유기발광다이오드(OLED)에 구동전류를 공급하기 위한 화소 구동부(PD)를 포함한다. 화소 구동부(PD)는 구동 트랜지스터(DT), 제1 내지 제3 트랜지스터들(ST1, ST2, ST3), 및 커패시터(C)를 포함할 수 있다.

[0106] 도 10의 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 및 제2 트랜지스터들(ST1, ST2), 및 커패시터(C)는 도 3을 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 10의 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 및 제2 트랜지스터들(ST1, ST2), 및 커패시터(C)에 대한 자세한 설명은 생략한다.

[0107] 제3 트랜지스터(ST3)는 제k 전압 제어신호 라인(VCLk)에 게이트 온 전압의 제k 전압 제어신호가 공급되는 경우 턴-온되어 구동전압라인(VDL)의 구동전압을 구동 트랜지스터(DT)의 드레인 전극에 공급한다. 제3 트랜지스터(ST3)의 게이트 전극은 제k 전압 제어신호 라인(VCLk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 드레인 전극에 접속되며, 제2 전극은 구동전압라인(VDL)에 접속될 수 있다.

[0108] 도 10에서 제3 트랜지스터(ST3)의 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.

[0109] 도 10에서는 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(ST1, ST2, ST3)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(ST1, ST2, ST3)은 P 타입 MOSFET으로 형성될 수도 있으며, 이 경우 도 11 및 도 12의 파형도는 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.

[0110] 이상에서 살펴본 바와 같이, 본 발명의 일 실시예에 따른 화소(P)는 제j 데이터라인(Dj)과 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 트랜지스터(ST1), 기준전압라인(VRL)과 구동 트랜지스터(DT)의 소스 전극에 접속된 제2 트랜지스터(ST2), 및 구동전압라인(VDL)과 구동 트랜지스터(DT)의 드레인 전극에 접속된 제3 트랜지스터(ST3)를 포함한다. 그 결과, 본 발명의 실시예는 제1 내지 제3 트랜지스터들(ST1, ST2, ST3)의 턴-온과 제j 데이터라인(Dj)에 공급되는 전압을 조정함으로써, 구동 트랜지스터(DT)의 문턱전압을 센싱할 수 있다. 도 10에 도시된 화소(P)의 구동 트랜지스터(DT)의 문턱전압 보상에 대한 자세한 설명은 도 6 및도 12를 결부하여 후술한다.

[0111] 도 11은 도 9의 표시패널에 공급되는 스캔신호들, 초기화신호들, 및 전압 제어신호들의 일 예를 보여주는 파형도이다. 도 11에는 도 9의 제1 내지 제3p 스캔라인들(S1~S3p)에 공급되는 제1 내지 제3p 스캔신호들(SCAN1~SCAN3p), 제1 내지 제3p 전압 제어신호 라인들(VCL1~VCL3p)에 공급되는 제1 내지 제3p 전압 제어신호들(VCS1~VCS3p), 제1 내지 제3p 초기화라인들(S1~S3p)에 공급되는 제1 내지 제3p 초기화신호들(SENS1~SENS3p)이 나타나 있다.

[0112] 도 11을 참조하면, 1 프레임 기간은 q 개의 서브 프레임 기간들을 포함한다. 예를 들어, 도 9와 같이 표시패널(10)이 3 개의 블록들(BL1, BL2, BL3)로 분할되는 경우, 1 프레임 기간은 3 개의 서브 프레임 기간들(SF1, SF2, SF3)을 포함할 수 있다.

[0113] q 개의 서브 프레임 기간들 각각은 도 11과 같이 문턱전압 센싱기간(ST)과 데이터전압 공급기간(DP)을 포함한다. 문턱전압 센싱기간(ST)은 블록 내 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이다. 데이터전압 공급기간(DP)은 블록의 화소(P)들에 데이터전압들을 공급하는 기간이다.

[0114] 도 11의 스캔 구동부(30)의 제1 내지 제3p 스캔신호들(SCAN1~SCAN3p) 공급과 초기화 구동부(40)의 제1 내지 제3p 초기화신호들(SENS1~SENS3p) 공급은 도 4를 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 11의 스캔 구동부(30)의 제1 내지 제3p 스캔신호들(SCAN1~SCAN3p) 공급과 초기화 구동부(40)의 제1 내지 제3p 초기화신호들(SENS1~SENS3p) 공급에 대한 자세한 설명은 생략한다.

[0115] 본 발명의 실시예는 표시패널(10)을 복수의 블록들(BL1, BL2, BL3)로 분할하고, 블록들(BL1, BL2, BL3)을 순차적으로 구동함과 동시에 블록별로 구동한다. 그 결과, 본 발명의 실시예는 블록별로 구동 트랜지스터(DT)의 문턱전압 센싱을 동시에 실시하고, 화소(P)들에 데이터전압들을 순차적으로 공급할 수 있다. 그러므로, 본 발명의 실시예는 120Hz 이상의 고속 구동을 하는 경우에도, 데이터전압 공급기간(DP)을 충분히 확보할 수 있는 장점이 있다.

[0116] 한편, 서브 프레임 기간들(SF1, SF2, SF3) 각각에서 문턱전압 센싱기간(SP)과 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호가 공급되는 기간 사이의 기간은 구동 트랜지스터(DT)의 게이트-소스 간 전압을 유지하는 전압 유지기간(t4)으로 정의될 수 있다. 데이터전압 공급기간(DP) 동안 게이트 온 전압(Von)의 스캔신호들이 순차적으로 스캔라인들에 공급되기 때문에, 전압 유지기간(t4)의 길이는 제1 스캔라인(S1)으로부터 제p 스캔라인(Sp)으로 갈수록, 제p+1 스캔라인(Sp+1)으로부터 제2p 스캔라인(S2p)으로 갈수록, 제2p+1 스캔라인

(S2p+1)으로부터 제3p 스캔라인(S3p)으로 갈수록 길어진다.

[0117] 또한, 본 발명의 실시예는 전압 유지기간(t4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압 상승을 최소화하기 위해, 전압 제어신호들(VCS1~VCS3p)을 게이트 오프 전압(Voff)의 공급하여 구동전압 라인(VDDL)의 구동전압이 화소에 공급되는 것을 방지한다. 이로 인해, 게이트 오프 전압(Voff)의 전압 제어신호가 공급되는 기간의 길이는 구동전압 라인마다 서로 다르다. 즉, 게이트 오프 전압(Voff)의 전압 제어신호가 공급되는 기간의 길이는 제1 전압 제어신호 라인(VCL1)으로부터 제p 전압 제어신호 라인(VCLp)로 갈수록, 제p+1 전압 제어신호 라인(VCLp+1)으로부터 제2p 전압 제어신호 라인(VCL2p)로 갈수록, 제2p+1 전압 제어신호 라인(VCLp+1)으로부터 제3p 전압 제어신호 라인(VCL2p)로 갈수록 길어진다.

[0118] 한편, 문턱전압 센싱기간(ST)은 도 12의 제1 내지 제3 기간들(t1~t3)을 지시하고, 데이터전압 공급기간(DP)은 도 12의 제4 내지 제6 기간들(t4~t6)을 지시한다. 제1 내지 제6 기간들(t1~t6)에 대한 자세한 설명은 도 12를 결부하여 후술한다.

[0119] 도 12는 제k 스캔신호, 제k 초기화신호, 제j 데이터전압, 제k 전압 제어신호, 및 구동 트랜지스터의 게이트 전압과 소스 전압을 보여주는 파형도이다. 도 12에는 도 10의 화소(P)에 접속된 제k 전압 제어신호 라인(VCLk)에 공급되는 제k 전압 제어신호(VCSk), 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANk), 제k 초기화라인(SENk)에 공급되는 제k 초기화신호(SENSk), 제j 데이터라인(Dj)에 공급되는 전압(DVj), 구동 트랜지스터(DT)의 게이트 전압(Vg)과 소스전압(Vs)이 나타나 있다.

[0120] 도 12의 제1 내지 제6 기간들(t1~t6), 제1 내지 제6 기간들(t1~t6) 동안 데이터 구동부(20)의 전압 공급, 스캔 구동부(30)의 스캔신호 공급, 및 초기화 구동부(40)의 초기화신호 공급은 도 5를 결부하여 설명한 바와 실질적으로 동일하다. 따라서, 도 12의 제1 내지 제6 기간들(t1~t6), 제1 내지 제6 기간들(t1~t6) 동안 데이터 구동부(20)의 전압 공급, 스캔 구동부(30)의 스캔신호 공급, 및 초기화 구동부(40)의 초기화신호 공급에 대한 자세한 설명은 생략한다.

[0121] 전압 제어신호 구동부(80)는 도 12와 같이 제1, 제2, 제5 및 제6 기간들(t1, t2, t5, t6) 동안 제k 전압 제어신호 라인(VCLk)에 게이트 온 전압(Von)의 제k 전압 제어신호(VCSk)를 공급한다. 전압 제어신호 구동부(80)는 제3 및 제4 기간들(t3, t4) 동안 제k 전압 제어신호 라인(VCLk)에 게이트 오프 전압(Voff)의 제k 전압 제어신호(VCSk)를 공급한다.

[0122] 이하에서는, 도 6, 도 10, 및 도 12를 결부하여 본 발명의 또 다른 실시예에 따른 화소(P)의 구동방법을 상세히 살펴본다.

[0123] 첫 번째로, 제1 기간(t1) 동안 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화한다. 제1 기간(t1) 동안 제k 전압 제어신호 라인(VCLk)에는 게이트 온 전압(Von)의 제k 전압 제어신호(VCSk)가 공급되며, 이로 인해 제3 트랜지스터(ST3)가 턴-온된다. 그 결과, 제1 기간(t1) 동안 도 10의 화소(P)의 동작은 도 5, 도 6 및 도 7a를 결부하여 설명한 바와 실질적으로 동일하므로 생략한다. (도 6의 S101)

[0124] 두 번째로, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 문턱전압을 센싱한다. 제2 기간(t2) 동안 제k 전압 제어신호 라인(VCLk)에는 게이트 온 전압(Von)의 제k 전압 제어신호(VCSk)가 공급되며, 이로 인해 제3 트랜지스터(ST3)가 턴-온된다. 그 결과, 제2 기간(t2) 동안 도 10의 화소(P)의 동작은 도 5, 도 6 및 도 7b를 결부하여 설명한 바와 실질적으로 동일하므로 생략한다. (도 6의 S102)

[0125] 세 번째로, 제3 기간(t3) 동안 구동 트랜지스터(DT)의 게이트 전극에 턴-오프전압(Vt)을 공급한다.

[0126] 제3 기간(t3) 동안 제k 스캔라인(Sk)에는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제3 기간(t3) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제3 기간(t3) 동안 제j 데이터라인(Dj)에는 턴-오프전압(Vt)이 공급된다. 제3 기간(t3) 동안 제k 전압 제어신호 라인(VCLk)에는 게이트 오프 전압(Voff)의 제k 전압 제어신호(VCSk)가 공급된다.

[0127] 제3 기간(t3) 동안 제1 트랜지스터(ST1)는 게이트 온 전압(Von)을 갖는 제k 스캔신호(SCANk)에 의해 턴-온된다. 제1 트랜지스터(ST1)의 턴-온으로 인해, 도 5 및 도 7c와 같이 구동 트랜지스터(DT)의 게이트 전극에는 턴-오프 전압(Vt)이 공급된다. 제3 기간(t3) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다. 제3 기간(t3) 동안 제3 트랜지스터(ST3)는 게이트 오프 전압(Voff)을 갖는 제k

전압 제어신호(VCSk)에 의해 턴-오프된다.

[0128] 한편, 제3 기간(t3) 동안 도 12와 같이 구동 트랜지스터(DT)의 게이트전압(Vg)은 턴-오프전압(Vt)이고, 커패서터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극의 전압 변화량이 반영되므로 소스전압(Vs)은 "Vcomp-Vth-β"로 하강한다. 이때, β는 수학식 1과 같이 정의될 수 있다. (도 6의 S103)

[0129] 네 번째로, 제4 기간(t4) 동안 구동 트랜지스터(DT)의 소스 전극의 전압(Vs)을 유지한다.

[0130] 제4 기간(t4) 동안 제k 스캔라인(Sk)에는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANk)가 공급된다. 제4 기간(t4) 동안 제k 초기화라인(SENk)에는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENSk)가 공급된다. 제4 기간(t4) 동안 제j 데이터라인(Dj)에는 턴-오프전압(Vt)이 공급된다. 제3 기간(t3) 동안 제k 전압 제어신호 라인(VCLk)에는 게이트 오프 전압(Voff)의 제k 전압 제어신호(VCSk)가 공급된다.

[0131] 제4 기간(t4) 동안 제1 트랜지스터(ST1)는 게이트 오프 전압(Voff)을 갖는 제k 스캔신호(SCANk)에 의해 턴-오프된다. 제4 기간(t4) 동안 제2 트랜지스터(ST2)는 게이트 오프 전압(Voff)을 갖는 제k 초기화신호(SENk)에 의해 턴-오프된다. 제4 기간(t4) 동안 제3 트랜지스터(ST3)는 게이트 오프 전압(Voff)을 갖는 제k 전압 제어신호(VCSk)에 의해 턴-오프된다.

[0132] 제4 기간(t4) 동안 구동 트랜지스터(DT)의 게이트 전극의 전압(Vg)은 도 12와 같이 제3 기간(t3) 동안 공급된 턴-오프 전압(Vt)을 유지한다. 따라서, 제4 기간(t4) 동안 구동 트랜지스터(DT)는 제3 기간(t3)에 이어서 턴-오프된 상태를 유지한다.

[0133] 결국, 제3 및 제4 기간들(t3, t4) 동안 도 12와 같이 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)이 구동 트랜지스터(DT)의 문턱전압보다 작기 때문에, 구동 트랜지스터(DT)는 턴-오프된다. 하지만, 구동 트랜지스터(DT)가 턴-오프되더라도 미세하게 누설 전류가 흐를 수 있다. 이로 인해, 구동 트랜지스터(DT)의 소스전압(Vs)이 미세하게 상승할 수 있다. 특히, 도 4에서 살펴본 바와 같이 화소(P)가 어느 스캔라인에 접속되는지에 따라 제4 기간(t4)의 길이가 달라질 수 있으므로, 구동 트랜지스터(DT)의 소스전압(Vs)은 화소(P)가 어느 스캔라인에 접속되는지에 따라 달라질 수 있다.

[0134] 따라서, 본 발명의 실시예는 구동 트랜지스터(DT)를 턴-오프시키는 제3 및 제4 기간들(t3, t4) 동안 게이트 오프 전압(Voff)을 갖는 제k 전압 제어신호(VCSk)를 공급한다. 그 결과, 본 발명의 실시예는 제3 및 제4 기간들(t3, t4) 동안 구동 트랜지스터(DT)의 드레인 전극과 구동전압 라인(VDL)의 접속을 차단할 수 있으므로, 구동 트랜지스터(DT)의 누설전류에 의한 구동 트랜지스터(DT)의 소스전압(Vs) 상승을 최소화할 수 있다. (도 6의 S104)

[0135] 다섯 번째로, 제5 기간(t5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압이 공급된다. 제5 기간(t5) 동안 제k 전압 제어신호 라인(VCLk)에는 게이트 온 전압(Von)의 제k 전압 제어신호(VCSk)가 공급되며, 이로 인해 제3 트랜지스터(ST3)가 턴-온된다. 그 결과, 제5 기간(t5) 동안 도 10의 화소(P)의 동작은 도 5, 도 6 및 도 7e를 결부하여 설명한 바와 실질적으로 동일하므로 생략한다. (도 6의 S105)

[0136] 여섯 번째로, 제6 기간(t6) 동안 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)가 발광한다. 제6 기간(t6) 동안 제k 전압 제어신호 라인(VCLk)에는 게이트 온 전압(Von)의 제k 전압 제어신호(VCSk)가 공급되며, 이로 인해 제3 트랜지스터(ST3)가 턴-온된다. 그 결과, 제6 기간(t6) 동안 도 10의 화소(P)의 동작은 도 5, 도 6 및 도 7f를 결부하여 설명한 바와 실질적으로 동일하므로 생략한다. (도 6의 S106)

[0137] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 기간(t1) 동안 구동 트랜지스터(DT)의 소스 전극을 기준전압(Vref)으로 초기화하고, 제2 기간(t2) 동안 구동 트랜지스터(DT)의 소스 전극에 구동 트랜지스터(DT)의 문턱전압을 센싱한다. 그 결과, 본 발명의 실시예는 수학식 3과 같이 문턱전압이 보상된 구동 트랜지스터의 전류(Ids)에 따라 유기발광다이오드(OLED)를 발광할 수 있다.

[0138] 또한, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 게이트 전극에 데이터전압을 공급하고, 소스 전극의 전압(Vs)을 "α"만큼 상승시킨다. 이때, 소스 전극의 전압(Vs)의 상승량인 "α"는 구동 트랜지스터(DT)의 전자이동도에 따라 달라진다. 그 결과, 본 발명의 실시예는 제5 기간(t5) 동안 구동 트랜지스터(DT)의 전자이동도(K)에 따라 게이트 전극과 소스 전극 간의 전압 차(Vgs)를 조정할 수 있으므로, 구동 트랜지스터(DT)의 전자이동도(K)를 보상할 수 있다.

[0139] 나아가, 본 발명의 실시예는 구동 트랜지스터(DT)를 턴-오프시키는 제3 및 제4 기간들(t3, t4) 동안 게이트 오프 전압(Voff)을 갖는 제k 전압 제어신호(VCSk)를 공급한다. 그 결과, 본 발명의 실시예는 제3 및 제4 기간들

(t3, t4) 동안 구동 트랜지스터(DT)의 드레인 전극과 구동전압 라인(VDL)의 접속을 차단할 수 있으므로, 구동 트랜지스터(DT)의 누설전류에 의한 구동 트랜지스터(DT)의 소스전압(Vs) 상승을 최소화할 수 있다.

[0140] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0141] 10: 표시패널 20: 데이터 구동부

30: 스캔 구동부 40: 초기화 구동부

50: 구동전압 공급부 60: 타이밍 제어부

70: 기준전압 공급부 80: 전압 제어신호 구동부

90: 전압 공급부 P: 화소

DT: 구동 트랜지스터 ST1: 제1 트랜지스터

ST2: 제2 트랜지스터 ST3: 제3 트랜지스터

OLED: 유기발광다이오드 C: 커패시터

VRL: 기준전압 라인 VDL: 구동전압 라인

Sk: 제k 스캔라인 VCLk: 제k 전압 제어신호 라인

SENk: 제k 초기화라인 Dj: 제j 데이터라인

SCANk: 제k 스캔신호 SENSk: 제k 초기화신호

VCSk: 제k 전압 제어신호 Vg: 게이트전압

Vs: 소스전압 Vref: 기준전압

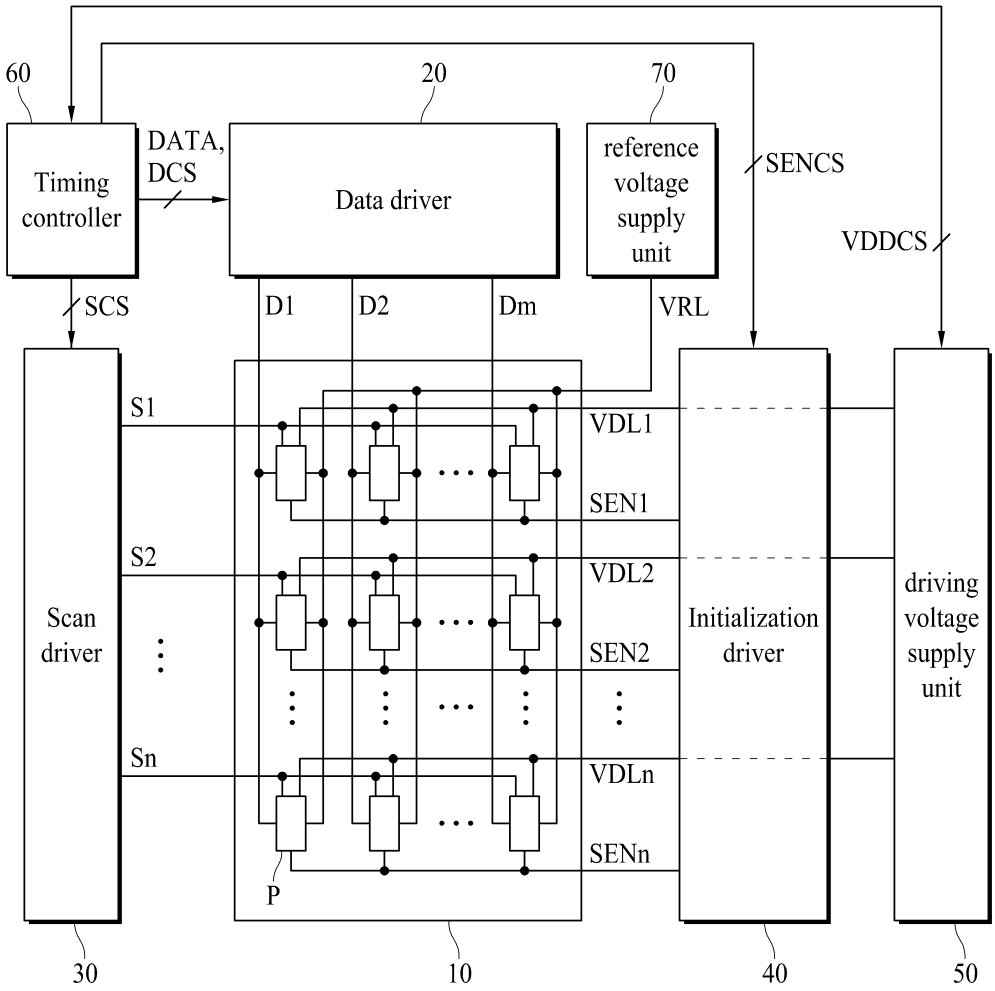
Vcomp: 보상전압 Vt: 턴-오프전압

Vdata: 데이터전압 Von: 게이트 온 전압

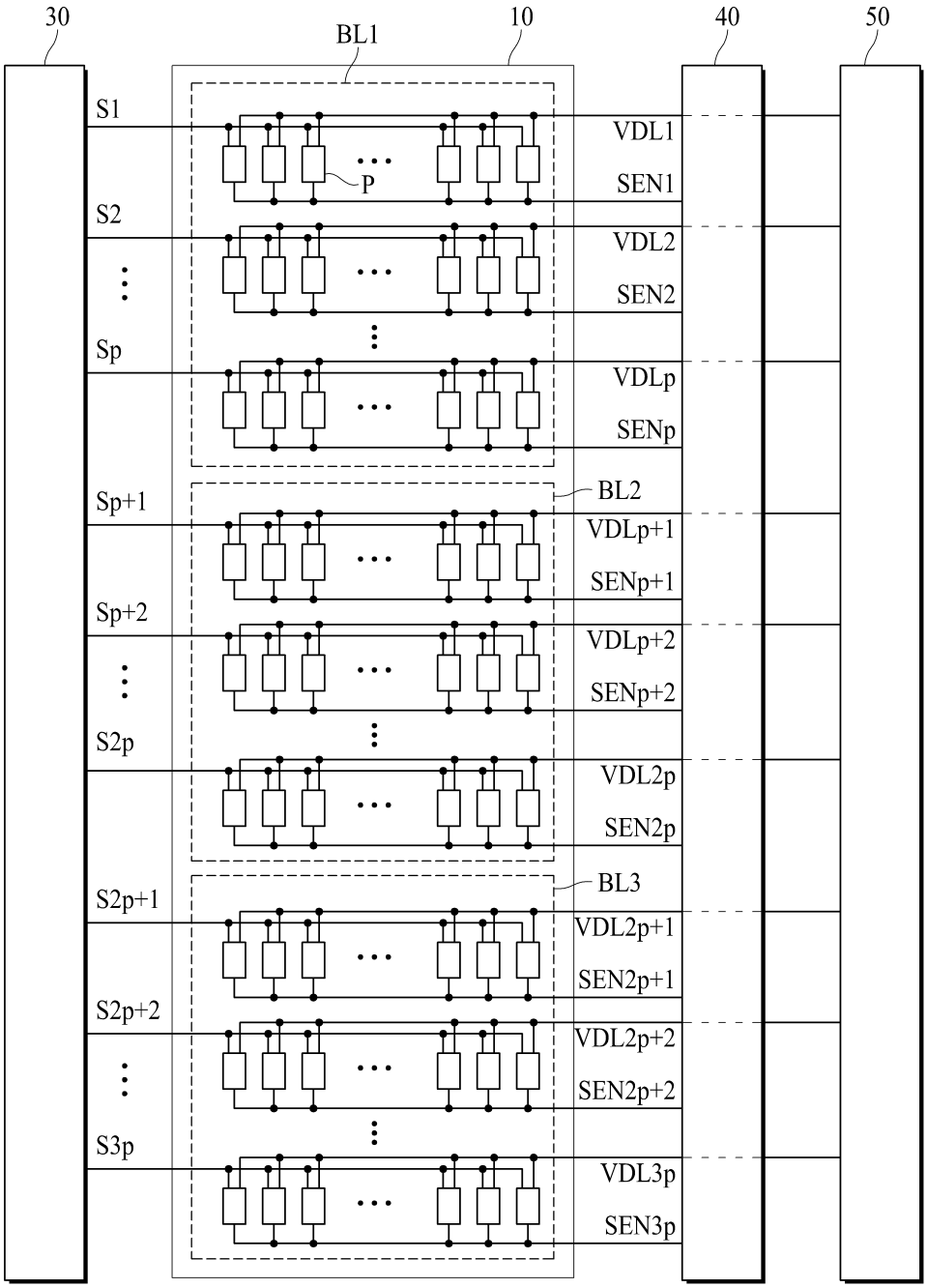
Voff: 게이트 오프 전압

도면

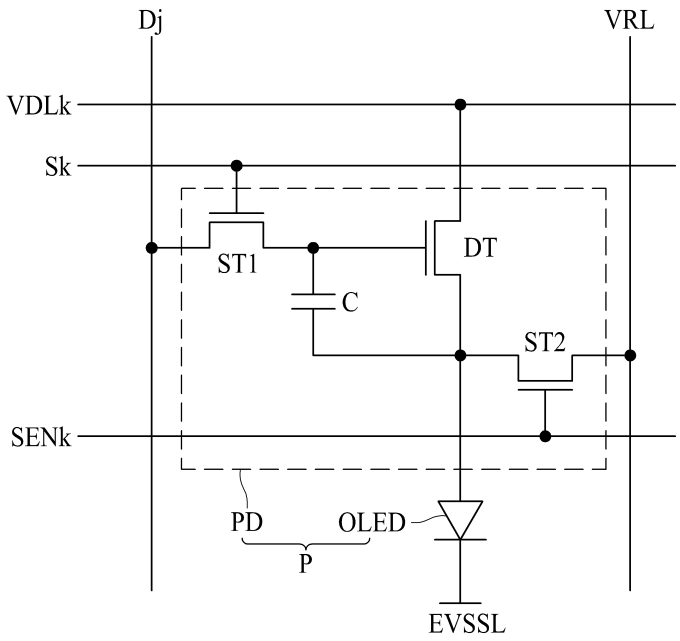
도면1


60
20
70
Timing controller
DATA, DCS
Data driver
reference voltage supply unit
SENCS
VDDCS
SCS
D1
D2
Dm
VRL
S1
S2
Sn
VDL1
SEN1
VDL2
SEN2
VDLn
SENn
Scan driver
Initialization driver
driving voltage supply unit
P
30
10
40
50

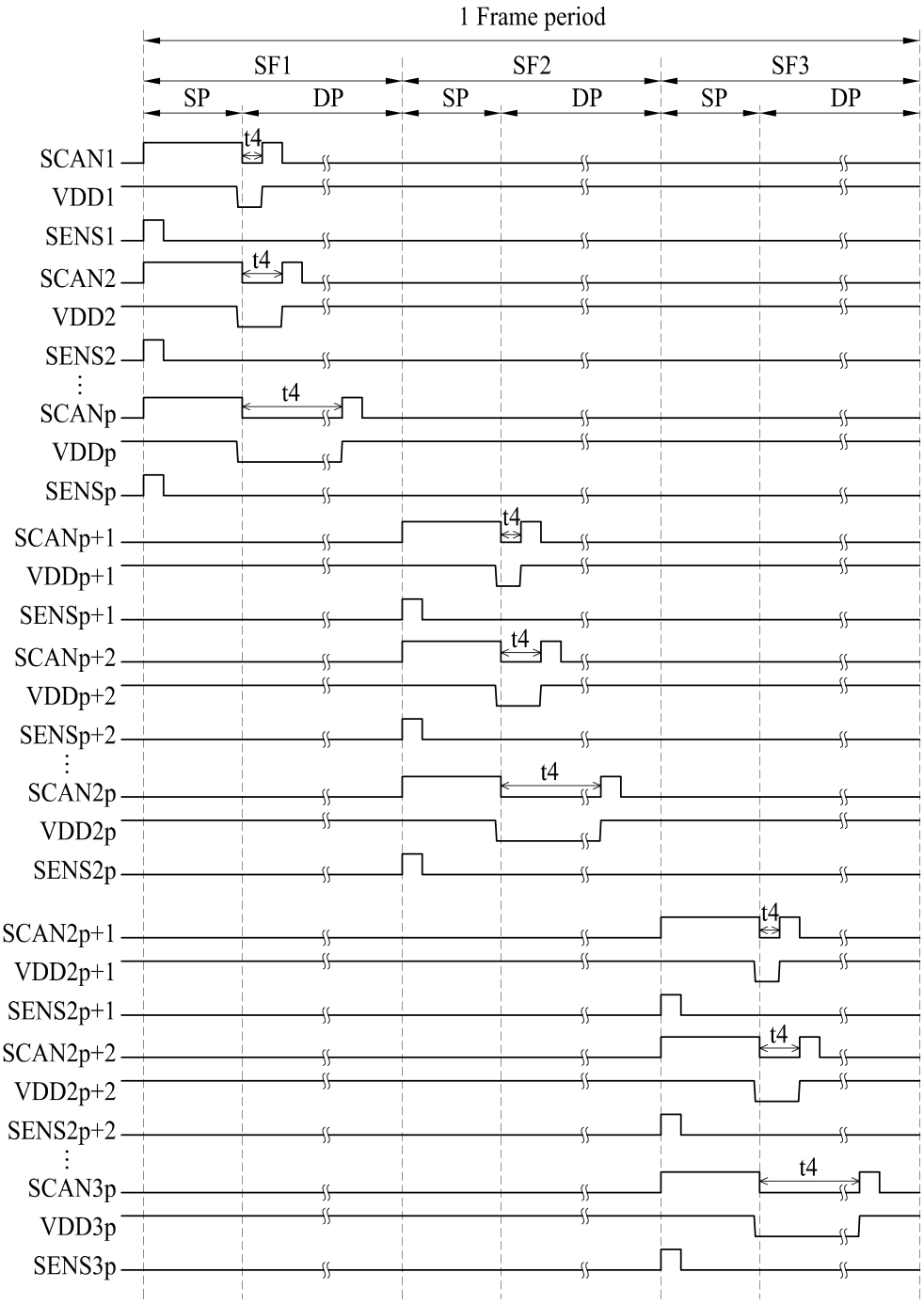
도면2


30
BL1
10
40
50
S1
VDL1
P
SEN1
S2
VDL2
SEN2
Sp
VDLp
SENp
BL2
Sp+1
VDLp+1
SENp+1
Sp+2
VDLp+2
SENp+2
S2p
VDL2p
SEN2p
BL3
S2p+1
VDL2p+1
SEN2p+1
S2p+2
VDL2p+2
SEN2p+2
S3p
VDL3p
SEN3p

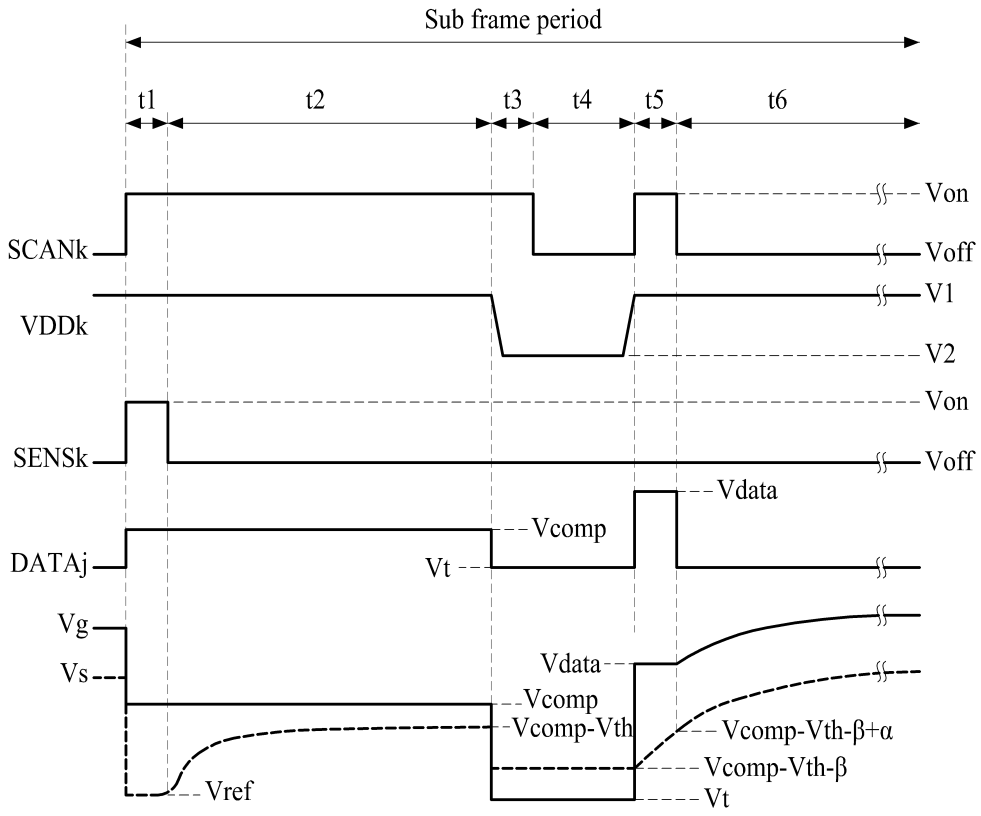
도면3



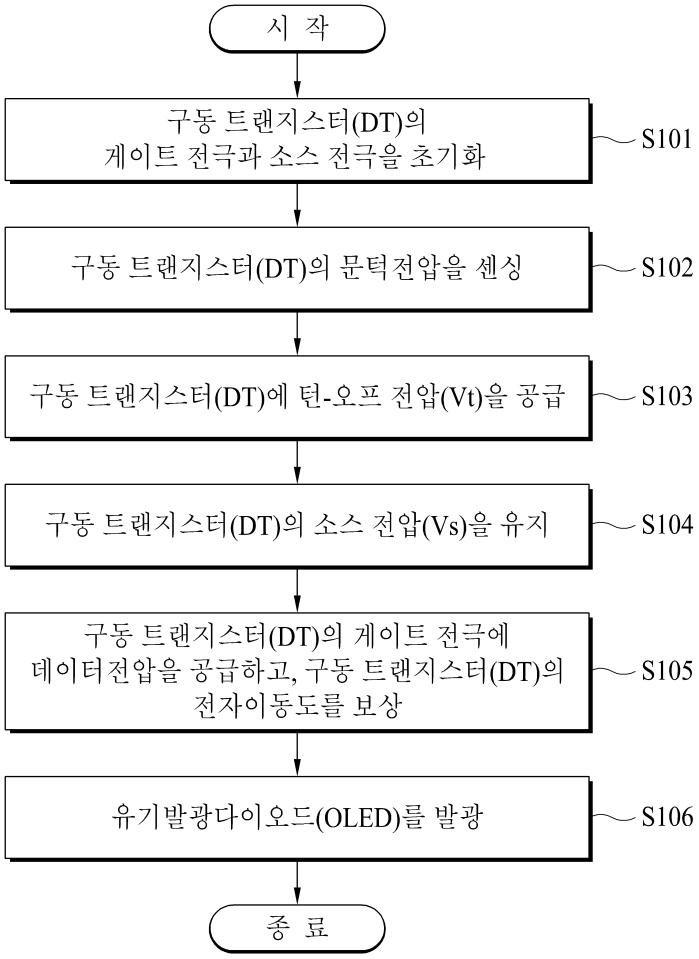
도면4


1 Frame period
SF1
SF2
SF3
SP
DP
SP
DP
SP
DP
t4
SCAN1
VDD1
SENS1
SCAN2
VDD2
SENS2
SCANp
VDDp
SENSp
SCANp+1
VDDp+1
SENSp+1
SCANp+2
VDDp+2
SENSp+2
SCAN2p
VDD2p
SENS2p
SCAN2p+1
VDD2p+1
SENS2p+1
SCAN2p+2
VDD2p+2
SENS2p+2
SCAN3p
VDD3p
SENS3p

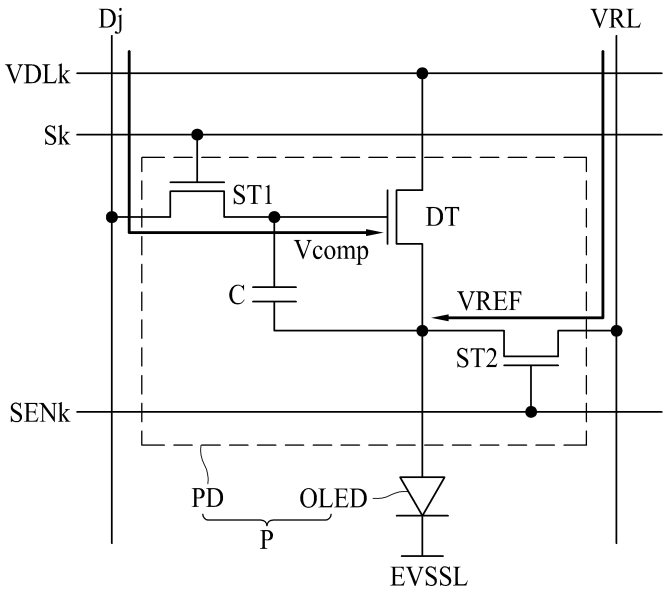
도면5


Sub frame period
t1
t2
t3
t4
t5
t6
SCANk
Von
Voff
VDDk
V1
V2
SENSk
Von
Voff
Vdata
Vcomp
DATAj
Vt
Vg
Vs
Vdata
Vcomp
Vcomp-Vth
Vcomp-Vth-β+α
Vcomp-Vth-β
Vref
Vt

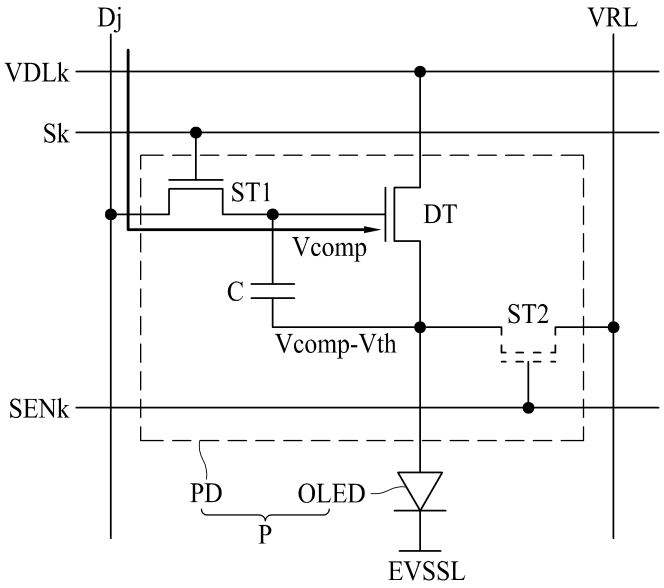
도면6


시 작
구동 트랜지스터(DT)의
게이트 전극과 소스 전극을 초기화
S101
구동 트랜지스터(DT)의 문턱전압을 센싱
S102
구동 트랜지스터(DT)에 턴-오프 전압(Vt)을 공급
S103
구동 트랜지스터(DT)의 소스 전압(Vs)을 유지
S104
구동 트랜지스터(DT)의 게이트 전극에
데이터전압을 공급하고, 구동 트랜지스터(DT)의
전자이동도를 보상
S105
유기발광다이오드(OLED)를 발광
S106
종 료

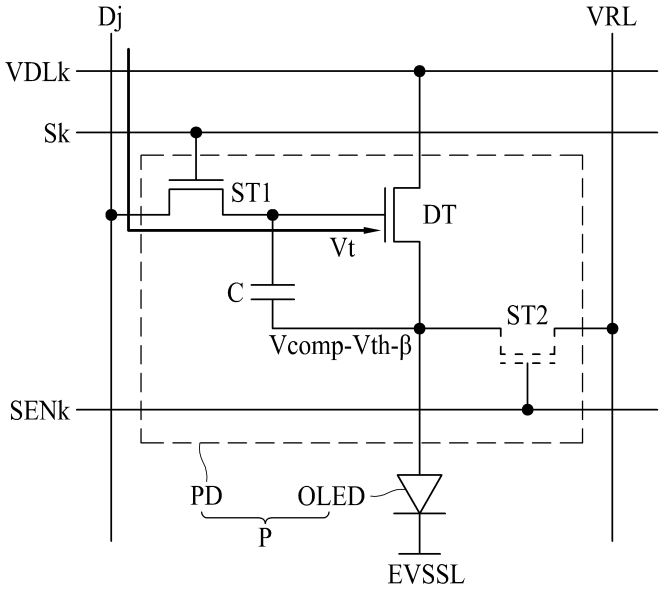
도면7a


Dj
VRL
VDLk
Sk
ST1
DT
Vcomp
C
VREF
ST2
SENk
PD
OLED
P
EVSSL

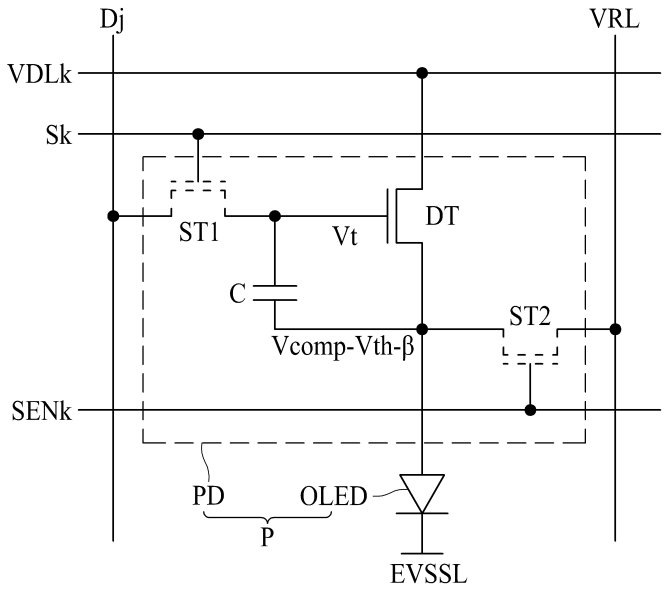
도면7b


Dj
VRL
VDLk
Sk
ST1
DT
Vcomp
C
ST2
Vcomp-Vth
SENk
PD
OLED
P
EVSSL

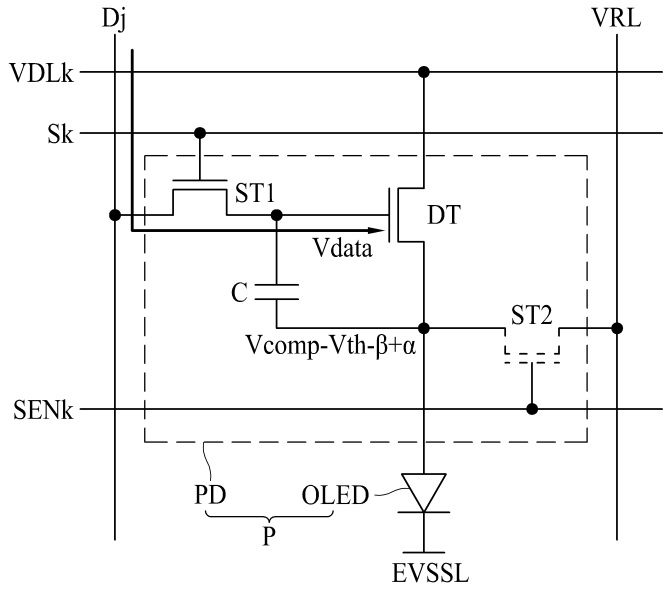
도면7c


Dj
VRL
VDLk
Sk
ST1
DT
Vt
C
ST2
Vcomp-Vth-β
SENk
PD
OLED
P
EVSSL

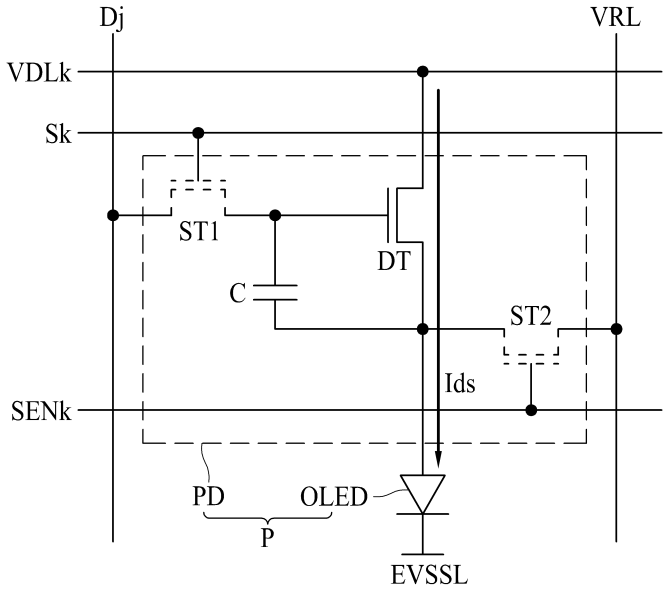
도면7d


Dj
VRL
VDLk
Sk
ST1
Vt
DT
C
ST2
Vcomp-Vth-β
SENk
PD
OLED
P
EVSSL

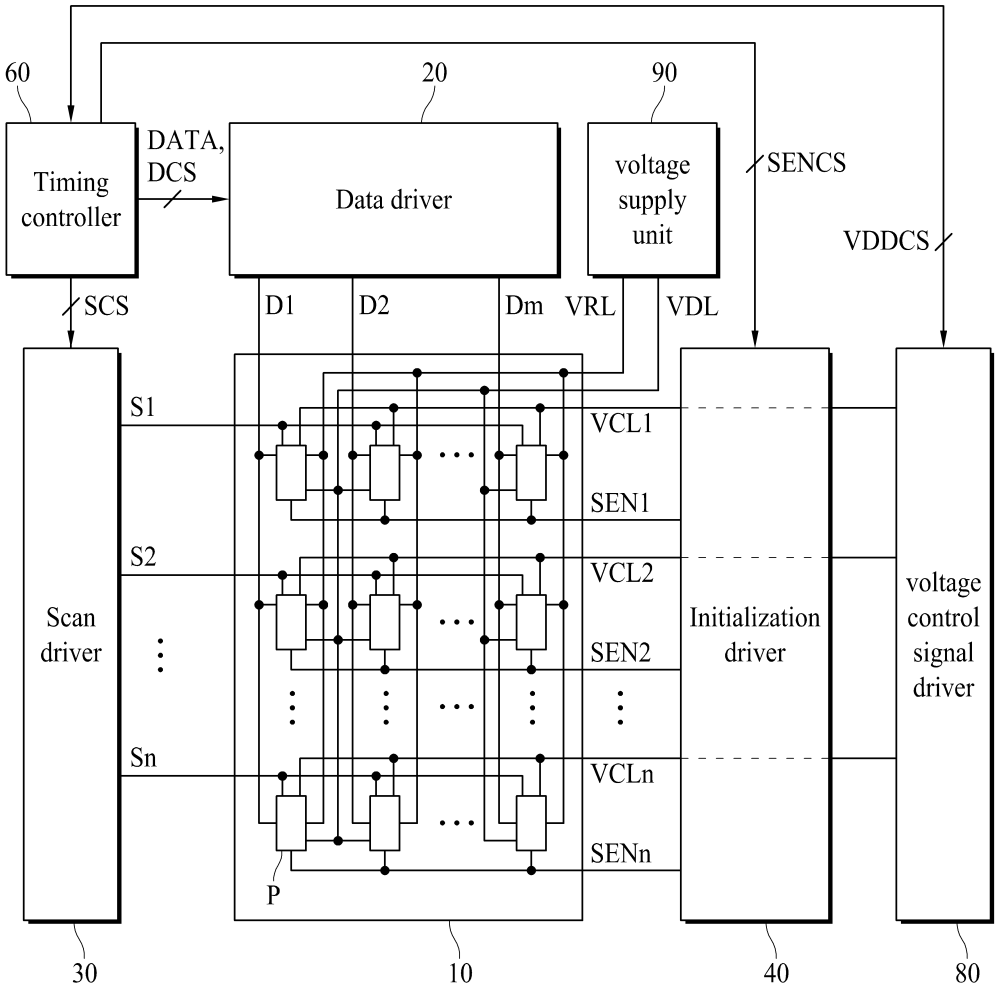
도면7e


Dj
VRL
VDLk
Sk
ST1
DT
Vdata
C
ST2
Vcomp-Vth-β+α
SENk
PD
OLED
P
EVSSL

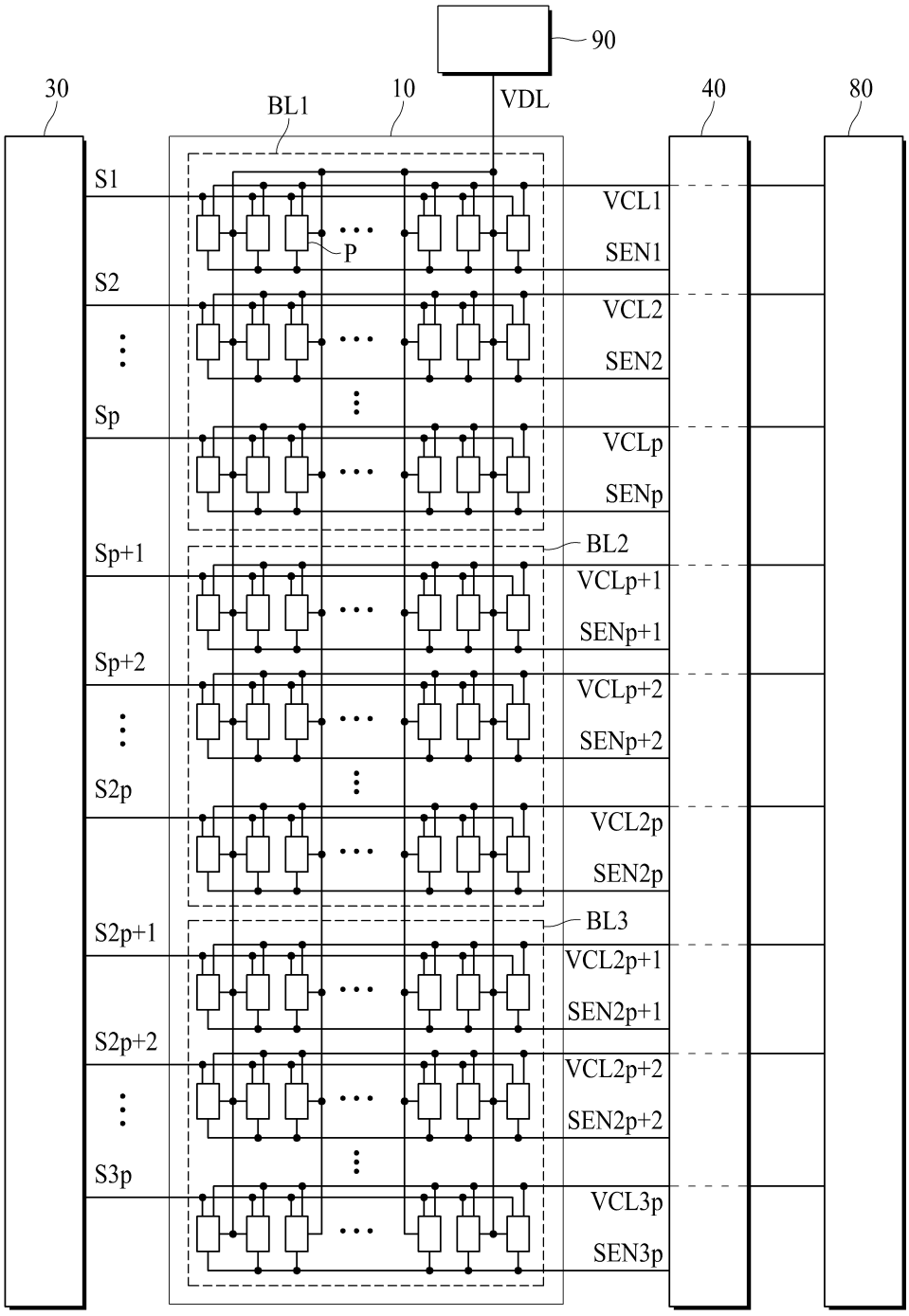
도면7f


Dj
VRL
VDLk
Sk
ST1
DT
C
ST2
Ids
SENk
PD
OLED
P
EVSSL

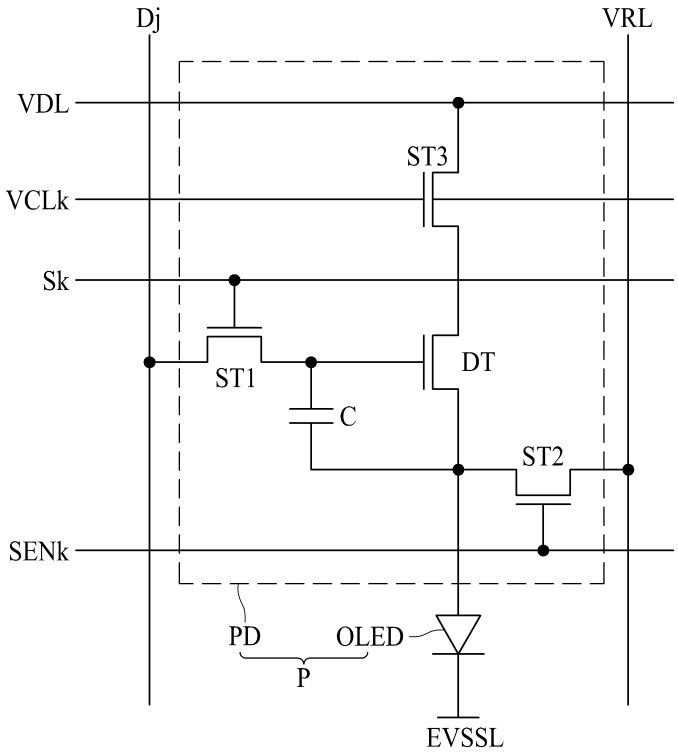
도면8


60
20
90
Timing controller
DATA, DCS
Data driver
voltage supply unit
SENCS
VDDCS
SCS
D1
D2
Dm
VRL
VDL
S1
S2
Sn
VCL1
SEN1
VCL2
SEN2
VCLn
SENn
Scan driver
Initialization driver
voltage control signal driver
P
30
10
40
80

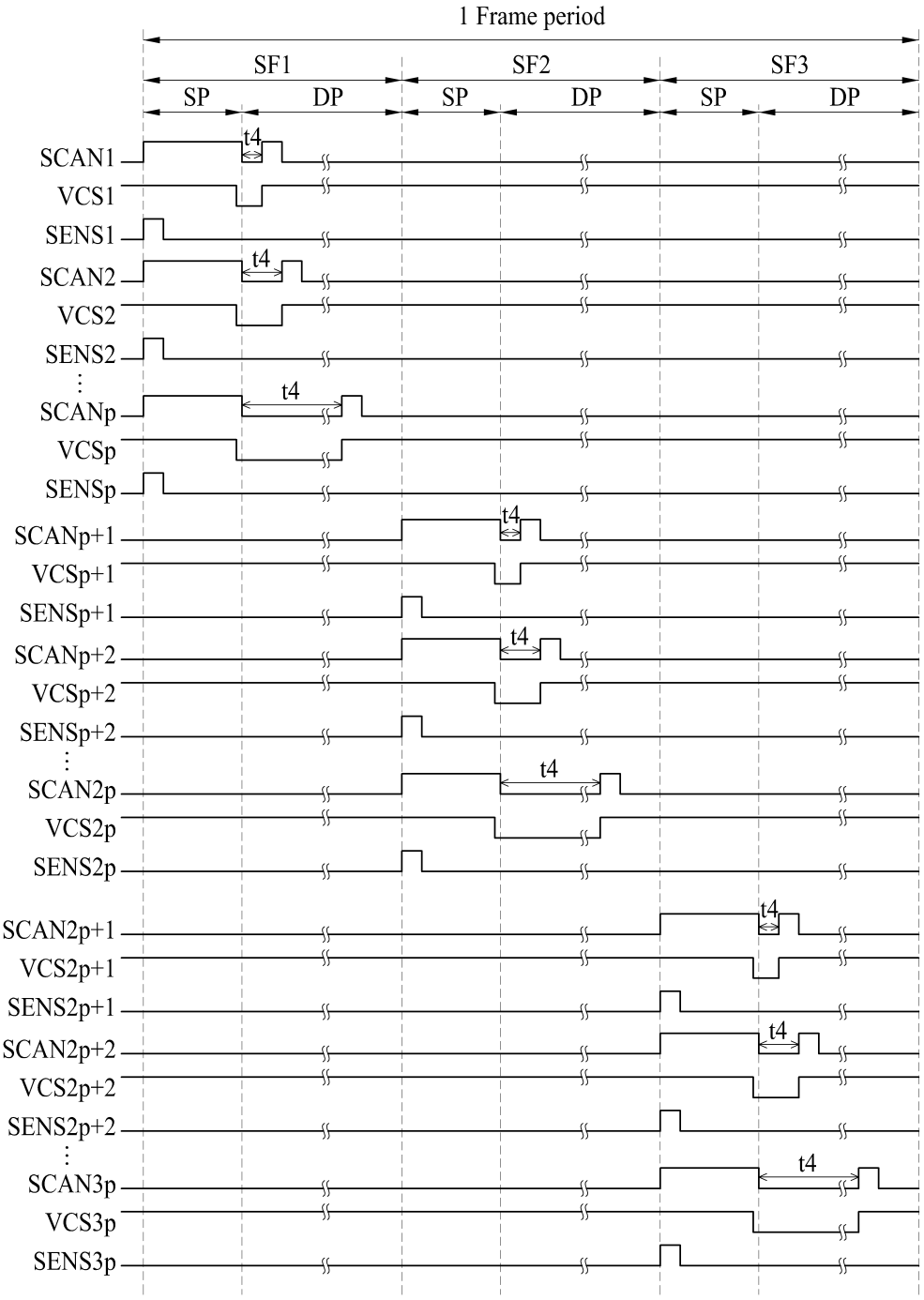
도면9


90
30
BL1
10
VDL
40
80
S1
S2
Sp
Sp+1
Sp+2
S2p
S2p+1
S2p+2
S3p
P
VCL1
SEN1
VCL2
SEN2
VCLp
SENp
BL2
VCLp+1
SENp+1
VCLp+2
SENp+2
VCL2p
SEN2p
BL3
VCL2p+1
SEN2p+1
VCL2p+2
SEN2p+2
VCL3p
SEN3p

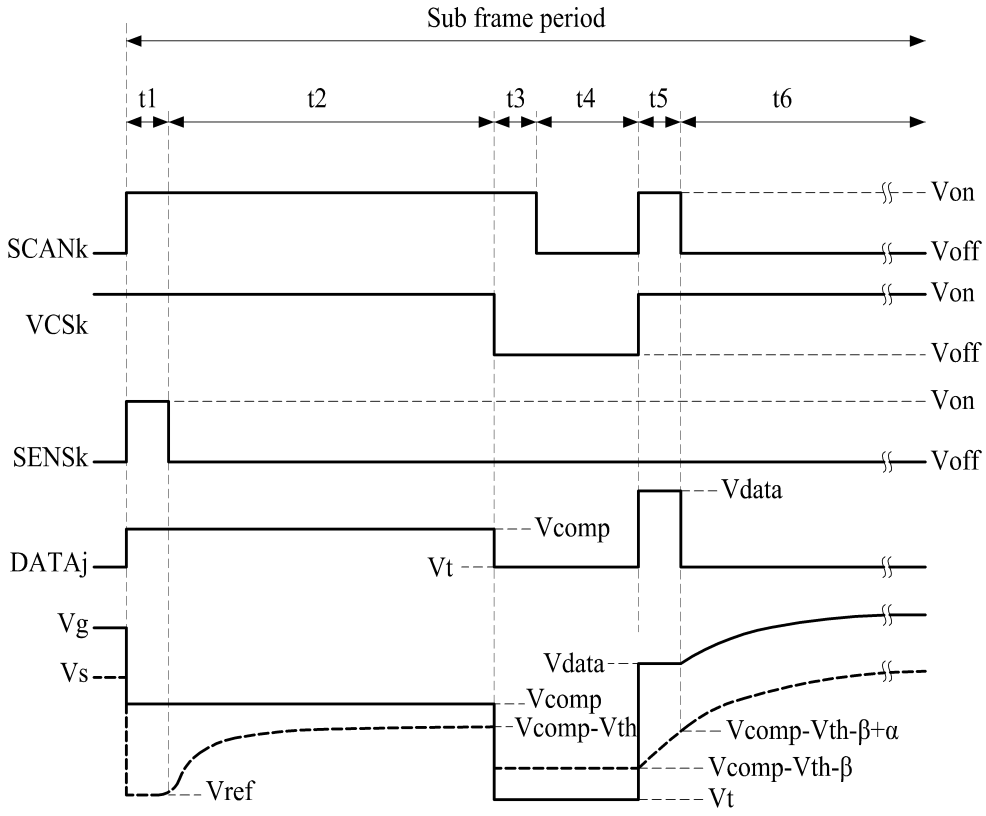
도면10



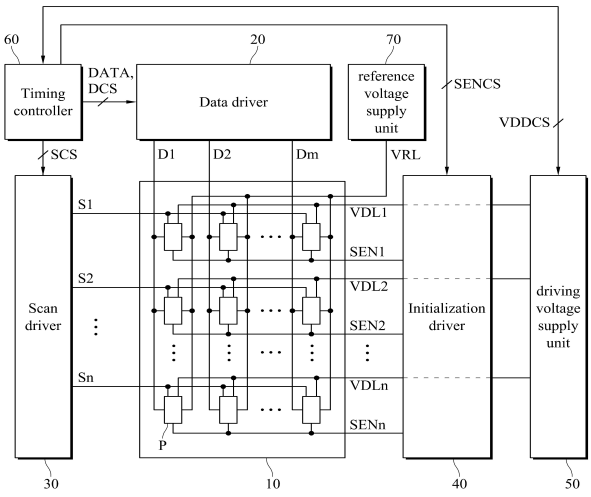
도면11


1 Frame period
SF1
SF2
SF3
SP
DP
SP
DP
SP
DP
t4
SCAN1
VCS1
SENS1
SCAN2
VCS2
SENS2
SCANp
VCSp
SENSp
SCANp+1
VCSp+1
SENSp+1
SCANp+2
VCSp+2
SENSp+2
SCAN2p
VCS2p
SENS2p
SCAN2p+1
VCS2p+1
SENS2p+1
SCAN2p+2
VCS2p+2
SENS2p+2
SCAN3p
VCS3p
SENS3p

도면12


Sub frame period
t1
t2
t3
t4
t5
t6
SCANk
VCSk
SENSk
DATAj
Vg
Vs
Von
Voff
Von
Voff
Von
Voff
Vdata
Vcomp
Vt
Vdata
Vcomp
Vcomp-Vth
Vcomp-Vth-β+α
Vcomp-Vth-β
Vt
Vref

专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160092535A	公开(公告)日	2016-08-05
申请号	KR1020150012497	申请日	2015-01-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAEJIN PARK 박해진 YOUNGJUN CHOI 최영준 HUNKI SHIN 신헌기		
发明人	박해진 최영준 신헌기		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3297 H01L27/3262		
外部链接	Espacenet		

摘要(译)

本发明的实施例提供了一种有机发光显示器，其中通过补偿驱动晶体管的阈值电压可以使像素的亮度均匀。根据本发明实施例的有机发光显示器包括：显示面板，具有连接到扫描线，数据线和驱动电压线的像素;扫描驱动器，用于向扫描线提供扫描信号，以及驱动电压供应单元，用于将在第一电平电压和低于第一电平电压的第二电平电压之间摆动的驱动电压线提供给驱动电压线。显示面板被分成q（q是等于或大于2的正整数）块，并且每个q块被分成多个像素，每个像素连接到第一个到p它包括。对于每个第一至第二驱动电压线，第二电平电压的驱动电压被提供给每个q块的时段的长度彼此不同。