



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0055374
 (43) 공개일자 2016년05월18일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/56* (2006.01)
 (21) 출원번호 10-2014-0154756
 (22) 출원일자 2014년11월07일
 심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
김빈
 서울 양천구 목동서로 100, 302동 905호 (목동, 목동신시가지아파트3단지)
장용호
 경기 고양시 일산서구 대산로 164, 201동 801호 (주엽동, 문촌마을2단지아파트)
 (74) 대리인
특허법인천문

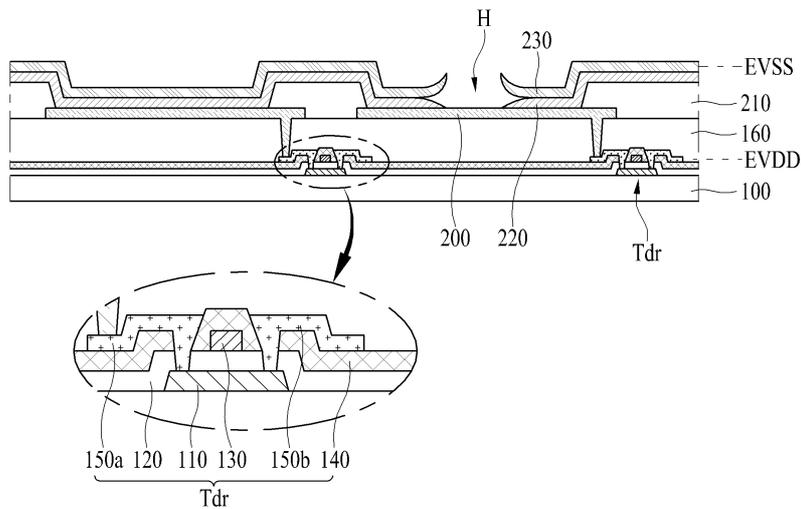
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **유기 발광 표시 장치의 제조방법**

(57) 요약

본 발명은 기판 상에 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터와 연결된 구동 박막 트랜지스터, 및 상기 구동 박막 트랜지스터와 연결된 제1 전극과 제2 전극을 구비한 유기 발광 다이오드를 포함하는 화소를 형성하는 공정; 및 상기 제1 전극과 상기 제2 전극 중 어느 하나의 전극에 전압을 인가하여 상기 제1 전극과 상기 제2 전극 사이의 쇼트 불량을 리페어하는 공정을 포함하는 유기 발광 표시 장치의 제조방법에 관한 것이다.

대표도 - 도2b



명세서

청구범위

청구항 1

기관 상에 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터와 연결된 구동 박막 트랜지스터, 및 상기 구동 박막 트랜지스터와 연결된 제1 전극과 제2 전극을 구비한 유기 발광 다이오드를 포함하는 화소를 형성하는 공정; 및

상기 제1 전극과 상기 제2 전극 중 어느 하나의 전극에 전압을 인가하여 상기 제1 전극과 상기 제2 전극 사이의 쇼트 불량을 리페어하는 공정을 포함하는 유기 발광 표시 장치의 제조방법.

청구항 2

제1항에 있어서,

상기 제1 전극과 상기 제2 전극 중 어느 하나의 전극에 전압을 인가하는 공정은,

상기 스위칭 박막 트랜지스터를 턴온 시키는 공정;

상기 제1 전극과 상기 제2 전극 중 어느 하나의 전극에 제1 전압과 제 2 전압 사이에서 스윙되는 전압을 인가하는 공정; 및

상기 1 전극과 상기 제2 전극 중 다른 하나의 전극에 제1 전압을 인가하는 공정을 포함하여 이루어진 유기 발광 표시 장치의 제조방법.

청구항 3

제2항에 있어서,

상기 스위칭 박막 트랜지스터를 턴온 시키는 공정, 상기 제1 전극과 상기 제2 전극 중 어느 하나의 전극에 제1 전압과 제 2 전압 사이에서 스윙되는 전압을 인가하는 공정, 및 상기 1 전극과 상기 제2 전극 중 다른 하나의 전극에 제1 전압을 인가하는 공정은 상기 리페어 공정 기간 동안 지속적으로 수행하는 유기 발광 표시 장치의 제조방법.

청구항 4

제2항에 있어서,

상기 리페어 공정은 제1 리페어 공정 기간 및 제2 리페어 공정 기간을 포함하고,

상기 스위칭 박막 트랜지스터를 턴온 시키는 공정은 상기 제1 리페어 공정 기간에 수행하고,

상기 제1 전극과 상기 제2 전극 중 어느 하나의 전극에 제1 전압과 제 2 전압 사이에서 스윙되는 전압을 인가하는 공정은 상기 제2 리페어 공정 기간에 수행하고,

상기 1 전극과 상기 제2 전극 중 다른 하나의 전극에 제1 전압을 인가하는 공정은 상기 제1 리페어 공정 기간 및 상기 제2 리페어 공정 기간에 수행하는 유기 발광 표시 장치의 제조방법.

청구항 5

제4항에 있어서,

상기 제2 리페어 공정 기간에는 상기 스위칭 박막 트랜지스터가 턴오프되는 유기 발광 표시 장치의 제조방법.

청구항 6

제5항에 있어서,

상기 제1 리페어 공정 기간에는 상기 스위칭 박막 트랜지스터에서 공급된 데이터 전압이 커패시터에 저장되고,

상기 커패시터에 저장된 데이터 전압은 상기 제2 리페어 공정 기간 동안 상기 구동 박막 트랜지스터에 공급되는 유기 발광 표시 장치의 제조방법.

청구항 7

제4항에 있어서,

상기 제1 리페어 공정 기간에는 상기 제1 전극과 상기 제2 전극 모두에 상기 제1 전압이 인가되는 유기 발광 표시 장치의 제조방법.

청구항 8

제1항에 있어서,

상기 제1 전극과 상기 제2 전극 사이의 쇼트 불량을 리페어하는 공정은 상기 화소 내에서 상기 제1 전극과 접촉하는 상기 제2 전극 영역에 홀을 형성하는 공정을 포함하는 유기 발광 표시 장치의 제조방법.

청구항 9

제1항에 있어서,

상기 화소는 복수 개가 형성되고, 상기 복수 개의 화소는 게이트 내장 회로에 연결되어 있는 유기 발광 표시 장치의 제조방법.

청구항 10

제9항에 있어서,

상기 제1 전극과 상기 제2 전극 중 어느 하나의 전극에 전압을 인가하는 공정은 상기 게이트 내장 회로에서 상기 복수 개의 화소 각각에 순차적으로 게이트 신호를 공급하는 공정을 포함하는 유기 발광 표시 장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치의 제조방법에 관한 것으로서, 보다 구체적으로는, 쇼트 불량된 유기 발광 표시 장치를 리페어하는 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 자체 발광형 표시 장치로서, 액정 표시 장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조 가능하다. 또한, 유기 발광 표시 장치는 저전압 구동에 의해 소비 전력 측면에서 유리할 뿐만 아니라, 색상 구현, 응답 속도, 시야각, 명암 대비비(contrast ratio; CR)도 우수하여, 차세대 디스플레이로서 연구되고 있다.

[0003] 이하, 도 1을 참조하여 유기 발광 표시 장치의 제조 과정에서 이물질이 유입될 경우에 대해서 설명하기로 한다. 도 1은 유기 발광 표시 장치의 제조 과정에서 이물질이 유입될 경우의 공정 단면도이다.

[0004] 도 1을 참조하면, 유기 발광 표시 장치는 애노드 전극(42), 유기층(43) 및 캐소드 전극(44)으로 구성된 유기 발광 다이오드(40)를 포함한다. 유기 발광 다이오드(40)는 유기 발광 표시 장치의 화소(pixel)로 기능한다. 그런데 이러한 유기 발광 표시 장치의 제조 과정에서 이물질(60)이 유입될 수 있다. 특히, 유기 발광 다이오드(40)를 제조하는 과정에서 유입되는 이물질(60)은 종종 화소의 불량을 유발한다. 일반적으로, 유기층(43)은 증착 공정에 의해 애노드 전극(42) 상에 형성되는데, 애노드 전극(42) 상에 이물질이 존재하는 경우, 유기층(43)은 이물질 때문에 애노드 전극(42) 상에 증착되지 못할 수 있다. 즉, 유기층(43)에는 애노드 전극(42)의 상면의 일부를 노출시키는 홀(hole)이 형성될 수 있다. 이후, 캐소드 전극(44)이 증착되는데, 상술한 홀의 경계부에서 캐소드 전극(44)은 애노드 전극(42)이 직접 접촉될 수 있다. 이에 따라, 유기 발광 다이오드(40)의 캐소드 전극(44)과 애노드 전극(42)이 쇼트(short)되고, 유기 발광 다이오드(40)에 공급되는 전류는 애노드 전극(42)과 캐소드 전극(44)의 접촉부분(S)을 통해 누설된다. 따라서, 해당 화소는 암점화되어, 유기 발광 다이오드는 화소로서의 기능을 상실하게 된다. 암점화된 화소가 증가함에 따라 유기 발광 표시 장치의 생산 수율 또

한 낮아질 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전술한 문제점을 해결하고자 안출된 것으로, 쇼트(short)로 암점화된 화소를 포함하는 유기 발광 표시 장치를 리페어하는 공정을 이용한 유기 발광 표시 장치의 제조 방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0006] 전술한 기술적 과제를 달성하기 위해서, 본 발명은 기관 상에 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터와 연결된 구동 박막 트랜지스터, 및 상기 구동 박막 트랜지스터와 연결된 제1 전극과 제2 전극을 구비한 유기 발광 다이오드를 포함하는 화소를 형성하는 공정; 및 상기 제1 전극과 상기 제2 전극 중 어느 하나의 전극에 전압을 인가하여 상기 제1 전극과 상기 제2 전극 사이의 쇼트 불량을 리페어하는 공정을 포함하는 유기 발광 표시 장치의 제조방법을 제공한다.

발명의 효과

[0007] 상기 과제의 해결 수단에 의하면, 본 발명은 다음과 같은 효과가 있다.

[0008] 첫째, 쇼트로 암점화된 화소를 용이하게 리페어하여, 제조 과정에서 발생될 수 있는 유기 발광 표시 장치의 암점 개수를 감소시킬 수 있다.

[0009] 둘째, 암점화된 화소를 정상 화소로 리페어 함으로써, 유기 발광 표시 장치의 생산 수율을 향상시킬 수 있다.

[0010] 셋째, 리페어 처리시 발생 가능한 유기 발광 표시 장치 내부 소자 열화 문제를 방지할 수 있으며, GIP(gate-driver in panel) 타입에서도 신뢰성 문제를 유발하지 않고 적용이 가능하다.

[0011] 위에서 언급된 본 발명의 효과 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0012] 도 1은 유기 발광 표시 장치의 제조 과정에서 이물질이 유입될 경우의 공정 단면도이다.

도 2a 및 도 2b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 도시한 공정 단면도이다.

도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 쇼트 불량을 제거하기 위한 리페어 장치의 개략도이다.

도 4는 본 발명의 일 실시예에 따른 하나의 화소의 회로 구동을 보여주는 회로도이다.

도 5는 본 발명의 일 실시예에 따른 하나의 화소에서의 신호 파형도이다.

도 6a 및 도 6b는 본 발명의 다른 실시예에 따른 하나의 화소의 회로 구동을 보여주는 회로도이다.

도 7은 본 발명의 다른 실시예에 따른 하나의 화소에서의 신호 파형도이다.

도 8은 본 발명의 또 다른 실시예에 따른 하나의 화소에서의 신호 파형도이다.

도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 쇼트 불량을 제거하기 위한 리페어 장치의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0014] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리 범위가 한정되어서는 아니 된다. "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는

것으로 이해되어야 한다. "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다. "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우 뿐만 아니라 이들 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.

- [0015] 이하에서는 본 발명에 따른 유기 발광 표시 장치의 에이징 장치의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0016] 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 도시한 공정 단면도이다.
- [0017] 우선, 도 2a에서 알 수 있듯이, 기판(100) 상에 구동 박막 트랜지스터(Tdr)를 형성하고, 상기 구동 박막 트랜지스터(Tdr) 상에 평탄화층(160)을 형성하고, 상기 평탄화층(160) 상에 제1 전극(200)을 형성하고, 상기 제1 전극(200) 상에 बैं크층(210)을 형성하고, 상기 제1 전극(200) 상에 유기층(220)을 형성하고, 상기 유기층(220) 상에 제2 전극(230)을 형성한다.
- [0018] 상기 구동 박막 트랜지스터(Tdr)는 상기 기판(100) 상에 액티브층(110)을 형성하고, 상기 액티브층(110) 상에 게이트 절연막(120)을 형성하고, 상기 게이트 절연막(120) 상에 게이트 전극(130)을 형성하고, 상기 게이트 전극(130) 상에 층간 절연막(140)을 형성하고, 상기 층간 절연막(140) 상에 소스 전극(150a)과 드레인 전극(150b)을 형성하는 공정을 통해 제조될 수 있다. 상기 소스 전극(150a)과 상기 드레인 전극(150b)은 상기 게이트 절연막(120)과 상기 층간 절연막(140)에 구비된 콘택홀을 통해서 상기 액티브층(110)과 각각 연결된다. 도면에는 게이트 전극(130)이 액티브층(110) 위에 형성된 탑 게이트(Top Gate) 구조에 대해서 설명하였지만, 본 발명이 반드시 그에 한정되는 것은 아니고, 게이트 전극(130)이 액티브층(110) 아래에 형성된 보텀 게이트(Bottom Gate) 구조로 형성될 수도 있다.
- [0019] 상기 평탄화층(160)에는 상기 구동 박막 트랜지스터(Tdr)의 소스 전극(150a)이 노출되도록 콘택홀이 형성되고, 상기 평탄화층(160)에 형성된 콘택홀을 통해서 상기 제1 전극(200)이 상기 소스 전극(150a)과 연결된다. 이는 상기 구동 박막 트랜지스터(Tdr)가 N-type인 경우에 해당하는 것이고, 만약 상기 구동 박막 트랜지스터(Tdr)가 P-type인 경우에는 상기 평탄화층(160)에 상기 구동 박막 트랜지스터(Tdr)의 드레인 전극(150b)이 노출되도록 콘택홀이 형성되고, 상기 평탄화층(160)에 형성된 콘택홀을 통해서 상기 제1 전극(200)이 상기 드레인 전극(150b)과 연결된다.
- [0020] 도시된 바와 같이, 제조 과정에서 상기 제1 전극(200) 상에 이물질(300)이 형성될 수 있고, 이 경우 상기 이물질(300)이 형성된 영역에서 상기 제1 전극(200)과 상기 제2 전극(230) 사이에 쇼트(short) 불량 발생할 수 있다. 즉, 상기 이물질(300)이 상기 제1 전극(200)의 상면을 가리기 때문에, 상기 이물질(300)이 형성된 영역에서는 상기 이물질(300)의 상면에 유기층(220)과 제2 전극(230)이 차례로 형성되고, 그에 따라, 상기 제1 전극(200)의 상면에 접하는 유기층(220) 및 그 위에 형성되는 제2 전극(230)이 끊어지게 된다.
- [0021] 이때, 상기 제2 전극(230)이 상기 유기층(220)의 끝단보다 연장되면서 상기 제1 전극(200)과 접촉하게 되어 양자 사이에 쇼트가 발생하게 된다. 이와 같은 상기 제1 전극(200)과 상기 제2 전극(230) 사이의 쇼트(short) 불량량은 후술하는 도 2b 공정을 통해서 해소될 수 있다.
- [0022] 다음, 도 2b에서 알 수 있듯이, 상기 제1 전극(200)과 상기 제2 전극(230) 사이에 전압을 인가하여 상기 이물질(300)이 형성된 영역에서 상기 제1 전극(200)과 상기 제2 전극(230)을 서로 분리시킨다.
- [0023] 구체적으로 설명하면, 상기 제1 전극(200)과 상기 제2 전극(230) 사이에 전압을 인가하면 상기 제1 전극(200)과 상기 제2 전극(230) 사이의 접촉 영역, 즉, 쇼트된 영역에서 큰 열이 발생한다. 이는 전위차를 갖는 두 개의 전선이 서로 쇼트될 때 스파크가 발생하는 원리와 같다. 이와 같이 쇼트된 영역에서 열이 발생하면 상기 제2 전극(230)이 열에 의해서 팽창되었다가 냉각되면서 수축하게 되고, 그에 따라 도시된 바와 같이 제2 전극(230)과 상기 제1 전극(200)이 서로 분리되면서 상기 제2 전극(230)이 상기 제1 전극(200)에서 멀어지는 방향으로 말려 올라가게 된다. 상기 이물질(300)은 상기 제2 전극(230)이 상기 제1 전극(200)에서 멀어지는 방향으로 말려 올라가는 과정에서 제거될 수 있다. 이에 따라, 화소 내에서 상기 제1 전극(200)과 접촉하는 제2 전극(230) 영역에

홀(H)이 형성된다.

- [0024] 상기 제1 전극(200)과 상기 제2 전극(230)을 서로 분리시키기 위해서, 상기 제1 전극(200)과 상기 제2 전극(230) 사이에 다양한 방법으로 전압을 인가할 수 있다. 이하에서 상기 제1 전극(200)과 상기 제2 전극(230) 사이에 전압을 인가하는 방법에 대해서 보다 구체적으로 설명하기로 한다.
- [0025] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 쇼트 불량을 제거하기 위한 리페어 장치의 개략도이다.
- [0026] 도 3에서 알 수 있듯이, 유기 발광 표시 장치용 기판(100) 상에는 복수의 게이트 라인(GL)과 복수의 데이터 라인(DL)이 서로 교차하여 복수의 화소(P)가 마련된다. 상기 복수의 화소(P) 각각은 구동 전원 라인(PL)과 캐소드 전극(CE)에 접속된다. 상기 구동 전원 라인(PL)은 전술한 도 2의 구동 박막 트랜지스터(Tdr)의 소스 전극(150a)에 연결되는 것이고, 상기 캐소드 전극(CE)은 전술한 도 2의 제2 전극(230)에 해당한다.
- [0027] 또한, 상기 복수의 화소(P)가 마련된 화소 영역의 외곽에는 리페어용 패드 영역이 마련되어 있다. 상기 리페어용 패드 영역에는 리페어용 게이트 패드부(410), 리페어용 데이터 패드부(420), 리페어용 구동 전원 패드부(430), 및 리페어용 캐소드 전원 패드부(440)가 형성되어 있다.
- [0028] 상기 리페어용 게이트 패드부(410)는 게이트 쇼팅바(SB_G)를 통해 상기 복수의 게이트 라인(GL)에 접속되어 있다. 상기 리페어용 게이트 패드부(410)는 리페어용 신호 공급부(500)로부터 게이트 전압을 공급받아 상기 복수의 게이트 라인(GL)에 공급할 수 있다. 상기 리페어용 게이트 패드부(410)와 상기 게이트 쇼팅바(SB_G)는 추후 제거됨으로써 상기 복수의 게이트 라인(GL)은 서로 분리된다.
- [0029] 상기 리페어용 데이터 패드부(420)는 데이터 쇼팅바(SB_D)를 통해 상기 복수의 데이터 라인(DL)에 접속되어 있다. 상기 리페어용 데이터 패드부(420)는 상기 리페어용 신호 공급부(500)로부터 데이터 전압을 공급받아 상기 복수의 데이터 라인(DL)에 공급할 수 있다. 상기 리페어용 데이터 패드부(420)와 상기 데이터 쇼팅바(SB_D)는 추후 제거됨으로써 상기 복수의 데이터 라인(DL)은 서로 분리된다.
- [0030] 상기 리페어용 구동 전원 패드부(430)는 상기 구동 전원 라인(PL)에 접속되어 있다. 상기 구동 전원 라인(PL)은 공통 전압이 인가되므로 별도의 쇼팅바를 통해서 상기 리페어용 구동 전원 패드부(430)와 상기 구동 전원 라인(PL)을 연결할 필요는 없다. 상기 리페어용 구동 전원 패드부(430)는 상기 리페어용 신호 공급부(500)로부터 화소 구동 전원(EVDD)을 공급받아 상기 구동 전원 라인(PL)에 공급할 수 있다.
- [0031] 상기 리페어용 캐소드 전원 패드부(440)는 상기 캐소드 전극(CE)에 접속되어 있다. 상기 캐소드 전극(CE)은 공통 전압이 인가되므로 별도의 쇼팅바를 통해서 상기 리페어용 캐소드 전원 패드부(440)와 상기 캐소드 전극(CE)을 연결할 필요는 없다. 상기 리페어용 캐소드 전원 패드부(440)는 상기 리페어용 신호 공급부(500)로부터 캐소드 전원(EVSS)을 공급받아 상기 캐소드 전극(CE)에 공급할 수 있다.
- [0032] 상기 리페어용 신호 공급부(500)는 상기 리페어용 게이트 패드부(410), 리페어용 데이터 패드부(420), 리페어용 구동 전원 패드부(430), 및 리페어용 캐소드 전원 패드부(440) 각각에 신호를 공급하여 상기 복수의 화소(P) 각각에서 전술한 이물질(300)로 인한 제1 전극(200)과 제2 전극(230) 사이의 쇼트(short) 불량을 리페어할 수 있도록 한다. 즉, 상기 리페어용 신호 공급부(500)는 상기 리페어용 게이트 패드부(410)에 공급하는 게이트 전압, 상기 리페어용 데이터 패드부(420)에 공급하는 데이터 전압, 상기 리페어용 구동 전원 패드부(430)에 공급하는 화소 구동 전원(EVDD) 및 상기 리페어용 캐소드 전원 패드부(440)에 공급하는 캐소드 전원(EVSS)을 조절함으로써 제1 전극(200)과 제2 전극(230) 사이의 쇼트(short) 불량을 리페어할 수 있는데, 이에 대해서는 개별 화소의 구동 방법을 통해서 설명하기로 한다. 상기 리페어용 신호 공급부(500)는 도시된 바와 같이 상기 기판(100) 외부의 장치로 구성되는 것이며, 최종 유기 발광 표시 장치의 구성에 포함되지는 않는다.
- [0033] 도 4는 본 발명의 일 실시예에 따른 하나의 화소의 회로 구동을 보여주는 회로도로서, 이는 제1 전극과 제2 전극 사이의 쇼트 불량을 리페어하기 위한 하나의 화소의 회로 구동에 관한 것이다.
- [0034] 도 4에서 알 수 있듯이, 본 발명의 일 실시예에 따른 화소(P)는 스위칭 박막 트랜지스터(Tsw), 구동 박막 트랜지스터(Tdr), 커패시터(Cst), 및 유기 발광 다이오드(OLED)를 포함하여 이루어진다.
- [0035] 상기 스위칭 박막 트랜지스터(Tsw)는 게이트 라인(GL)과 데이터 라인(DL)에 각각 접속되어 있다. 이러한 스위칭 박막 트랜지스터(Tsw)는 상기 게이트 라인(GL)에 공급되는 게이트 신호(GS)에 따라 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)를 구동 박막 트랜지스터(Tdr)의 게이트 전극에 공급한다.

- [0036] 상기 구동 박막 트랜지스터(Tdr)는 상기 스위칭 박막 트랜지스터(Tsw), 구동 전원 라인(PL), 및 유기 발광 다이오드(OLED)에 각각 접속되어 있다. 이러한 구동 박막 트랜지스터(Tdr)는 상기 스위칭 박막 트랜지스터(Tsw)에서 공급되는 데이터 전압(Vdata)에 따라 상기 구동 전원 라인(PL)으로부터 유기 발광 다이오드(OLED)로 흐르는 전류량을 제어한다.
- [0037] 상기 커패시터(Cst)는 상기 구동 트랜지스터(Tdr)의 게이트 전극과 소스 전극 간에 접속된다.
- [0038] 상기 유기 발광 다이오드(OLED)는 상기 구동 박막 트랜지스터(Tdr)와 연결되는 애노드 전극(AE) 및 캐소드 전원(EVSS)과 연결되는 캐소드 전극(CE)을 포함한다.
- [0039] 이와 같은 본 발명의 일 실시예에 따른 하나의 화소의 경우, 상기 게이트 신호(GS) 및 상기 데이터 전압(Vdata)이 리페어 기간 동안 지속적으로 공급된다. 따라서, 리페어 기간 동안 상기 스위칭 박막 트랜지스터(Tsw)가 항상 온(on) 상태를 유지하게 되고, 따라서 상기 구동 박막 트랜지스터(Tdr)의 게이트 단자에 상기 데이터 전압(Vdata)이 항상 인가된다. 이 상황에서, 상기 유기 발광 다이오드(OLED)의 애노드 전극(AE)과 캐소드 전극(CE) 사이에 전압차를 발생시키면, 전술한 도 2b에서와 같은 방식으로 쇼트 불량 리페어될 수 있다. 상기 애노드 전극(AE)은 전술한 도 2b의 제1 전극(200)에 해당하고, 상기 캐소드 전극(CE)은 전술한 도 2b의 제2 전극(230)에 해당한다.
- [0040] 도 5는 본 발명의 일 실시예에 따른 하나의 화소에서의 신호 파형도로서, 이는 전술한 도 4에 따른 회로 구동에 관한 것이다.
- [0041] 도 5에서 알 수 있듯이, 리페어 기간(T) 동안 게이트 신호(GS) 및 데이터 전압(Vdata)이 지속적으로 공급된다. 또한, 리페어 기간(T) 동안 화소 구동 전원(EVDD)은 제 1 전압(V1)과 상기 제 1 전압(V1)보다 낮은 제 2 전압(V2) 사이에서 스위칭되고, 캐소드 전원(EVSS)은 상기 제 1 전압(V1)을 유지하여, 상기 화소 구동 전원(EVDD)과 상기 캐소드 전원(EVSS) 사이에 전압차가 발생한다.
- [0042] 도 4 및 도 5의 경우, 예를 들어 게이트 신호(GS)에 동기되는 데이터 전압(Vdata)을 5V로 공급하고, 구동 전원 라인(PL)에 공급되는 전압이 0V에서 -25V 사이에서 스위칭되고, 캐소드 전극(CE)에 공급되는 캐소드 전원(EVSS)이 0V로 유지되면, 결과적으로 리페어 공정시 구동 트랜지스터(Tdr)에 공급되는 게이트-소스간 전압(Vgs) 값은 30V가 된다. 따라서 리페어 공정시 구동 트랜지스터(Tdr)의 소자 열화 문제가 발생할 가능성이 있다.
- [0043] 즉, 이상 설명한 도 4 및 도 5에 따른 리페어 방법은 리페어 기간(T) 동안 게이트 신호(GS) 및 데이터 전압(Vdata)이 지속적으로 공급되기 때문에, 구동 박막 트랜지스터(Tdr)의 게이트 소스간 전압(Vgs)이 커져서 소자 열화의 가능성이 있다. 따라서, 구동 박막 트랜지스터(Tdr)의 열화 가능성을 줄이기 위해서 리페어 기간(T) 동안 게이트 신호(GS) 및 데이터 전압(Vdata)을 지속적으로 공급하지 않는 방안이 바람직할 수 있는데, 그에 대해서 설명하면 다음과 같다.
- [0044] 도 6a 및 도 6b는 본 발명의 다른 실시예에 따른 하나의 화소의 회로 구동을 보여주는 회로도이다.
- [0045] 도 6a 및 도 6b에 따른 회로의 구성은 전술한 도 4의 회로의 구성과 동일하며, 다만 회로의 구동에 있어서 차이가 있다.
- [0046] 도 6a는 리페어 기간(T) 중에서 초기 기간에 해당하는 것으로서, 초기 기간 동안에는 게이트 신호(GS) 및 상기 게이트 신호(GS)에 동기되는 데이터 전압(Vdata)이 공급되지만 화소 구동 전원(EVDD)과 상기 캐소드 전원(EVSS) 사이에는 전압차가 발생하지 않는다. 따라서, 상기 공급된 데이터 전압(Vdata)은 커패시터(Cst)에 저장된다.
- [0047] 도 6b는 리페어 기간(T) 중에서 후기 기간에 해당하는 것으로서, 후기 기간 동안에는 게이트 신호(GS)와 데이터 전압(Vdata)은 공급되지 않고 화소 구동 전원(EVDD)과 상기 캐소드 전원(EVSS) 사이에 전압차가 발생한다. 이와 같이, 유기 발광 다이오드(OLED)의 애노드 전극(AE)과 캐소드 전극(CE) 사이에 전압차가 발생하여 전술한 도 2b에서와 같은 방식으로 쇼트 불량 리페어될 수 있다.
- [0048] 도 7은 본 발명의 다른 실시예에 따른 하나의 화소에서의 신호 파형도로서, 이는 전술한 도 6a 및 도 6b에 따른 회로 구동에 관한 것이다.
- [0049] 도 7에서 알 수 있듯이, 초기 기간에 해당하는 제1 리페어 기간(T1) 동안에는 게이트 신호(GS) 및 상기 게이트 신호(GS)에 동기되는 데이터 전압(Vdata)이 공급되고, 화소 구동 전원(EVDD)과 캐소드 전원(EVSS)은 제1 전압(V1)을 유지함으로써 화소 구동 전원(EVDD)과 캐소드 전원(EVSS) 사이에 서로 전압차가 발생하지 않는다. 그 후, 후기 기간에 해당하는 제2 리페어 기간(T2) 동안에는 게이트 신호(GS) 및 데이터 전압(Vdata)이 공급되지

않고, 화소 구동 전원(EVDD)은 제 1 전압(V1)과 상기 제 1 전압(V1)보다 낮은 제 2 전압(V2) 사이에서 스윙되지만 캐소드 전원(EVSS)은 제1 전압(V1)을 유지하여 화소 구동 전원(EVDD)과 캐소드 전원(EVSS) 사이에 전압차가 발생한다.

[0050] 도 7의 경우, 예를 들어 게이트 신호(GS)에 동기되는 데이터 전압(Vdata)을 5V로 공급하여 커패시터(Cst)에 5V 전압이 저장되고, 구동 전원 라인(PL)에 공급되는 전압이 0V에서 -25V 사이에서 스윙되고, 캐소드 전극(CE)에 공급되는 캐소드 전원(EVSS)이 0V로 유지된다고 가정하면, 구동 박막 트랜지스터의 게이트 단자에 걸리는 전압이 상기 구동 전원 라인(PL)에 공급되는 전압의 영향을 받아 5V와 -20V 사이에서 스윙된다. 결과적으로 리페어 공정시 구동 트랜지스터(Tdr)에 공급되는 게이트-소스간 전압(Vgs) 값은 5V로 낮게 할 수 있다. 보다 구체적으로 설명하면, 상기 구동 전원 라인(PL)에 공급되는 전압이 0V인 경우에는 구동 박막 트랜지스터의 게이트 단자에 걸리는 전압이 5V가 되고 그에 따라 구동 트랜지스터(Tdr)에 공급되는 게이트-소스간 전압(Vgs) 값이 5V가 된다. 또한, 상기 구동 전원 라인(PL)에 공급되는 전압이 -25V인 경우에는 구동 박막 트랜지스터의 게이트 단자에 걸리는 전압이 -20V가 되고 그에 따라 구동 트랜지스터(Tdr)에 공급되는 게이트-소스간 전압(Vgs) 값이 5V가 된다. 결국, 구동 트랜지스터(Tdr)의 소자 열화 문제를 피하는 효과가 있다.

[0051] 도 8은 본 발명의 또 다른 실시예에 따른 하나의 화소에서의 신호 파형도로서, 이는 전술한 도 6a 및 도 6b에 따른 회로 구동에 관한 것이다.

[0052] 도 8에서 알 수 있듯이, 초기 기간에 해당하는 제1 리페어 기간(T1) 동안에는 게이트 신호(GS) 및 데이터 전압(Vdata)이 공급되고, 화소 구동 전원(EVDD)과 캐소드 전원(EVSS)은 제4 전압(V4)을 유지함으로써 화소 구동 전원(EVDD)과 캐소드 전원(EVSS) 사이에 서로 전압차가 발생하지 않는다. 그 후, 후기 기간에 해당하는 제2 리페어 기간(T2) 동안에는 게이트 신호(GS) 및 데이터 전압(Vdata)이 공급되지 않고, 화소 구동 전원(EVDD)은 제4 전압(V4)을 유지하지만 캐소드 전원(EVSS)은 제 4 전압(V4)과 상기 제 4 전압(V4)보다 높은 제 3 전압(V3) 사이에서 스윙되어 화소 구동 전원(EVDD)과 캐소드 전원(EVSS) 사이에 전압차가 발생한다.

[0053] 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 쇼트 불량률 제거하기 위한 리페어 장치의 개략도로서, 이는 게이트 쇼팅바(SB_G) 대신에 게이트 내장 회로(GIP)가 추가된 것을 제외하고 전술한 도 3에 따른 리페어 장치와 동일하다. 따라서, 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.

[0054] 도 9에서 알 수 있듯이, 본 발명의 다른 실시예에 따르면 게이트 내장 회로(GIP)(415)가 추가되었기 때문에, 리페어용 신호 공급부(500)로부터 리페어용 게이트 패드부(410)로 게이트 신호(GS)가 공급된 후, 공급된 게이트 신호(GS)가 상기 게이트 내장 회로(GIP)(415)를 거쳐서 복수의 화소(P)에 공급된다. 따라서, 복수의 화소(P) 각각에 대응하는 복수의 게이트 라인(GL)에 순차적으로 게이트 신호(GS)가 공급될 수 있다. 즉, 전술한 도 3에 따른 리페어 장치에서는 복수의 게이트 라인(GL)에 동시에 게이트 신호(GS)가 공급되지만, 도 9에 따른 리페어 장치에서는 복수의 게이트 라인(GL)에 순차적으로 게이트 신호(GS)가 공급될 수 있다.

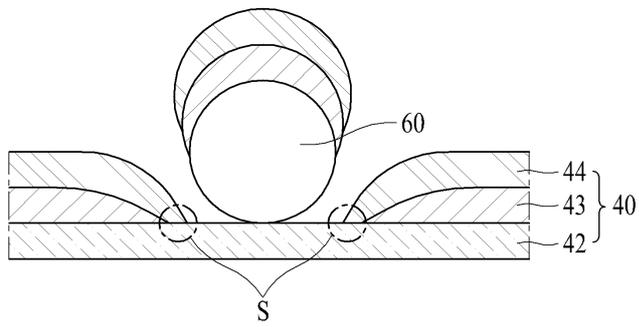
[0055] 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 발명의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

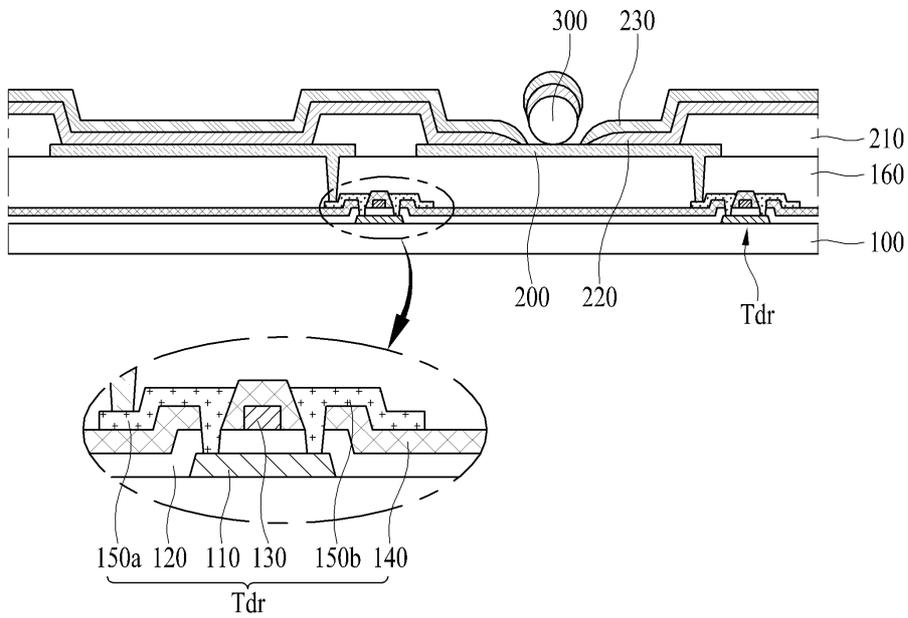
- [0056]
- | | |
|----------------------|---------------------|
| 100: 기관 | 200: 제1 전극 |
| 230: 제2 전극 | 300: 이물질 |
| 410: 리페어용 게이트 패드부 | 415: 게이트 내장 회로 |
| 420: 리페어용 데이터 패드부 | 430: 리페어용 구동 전원 패드부 |
| 440: 리페어용 캐소드 전원 패드부 | 500: 리페어용 신호 공급부 |

도면

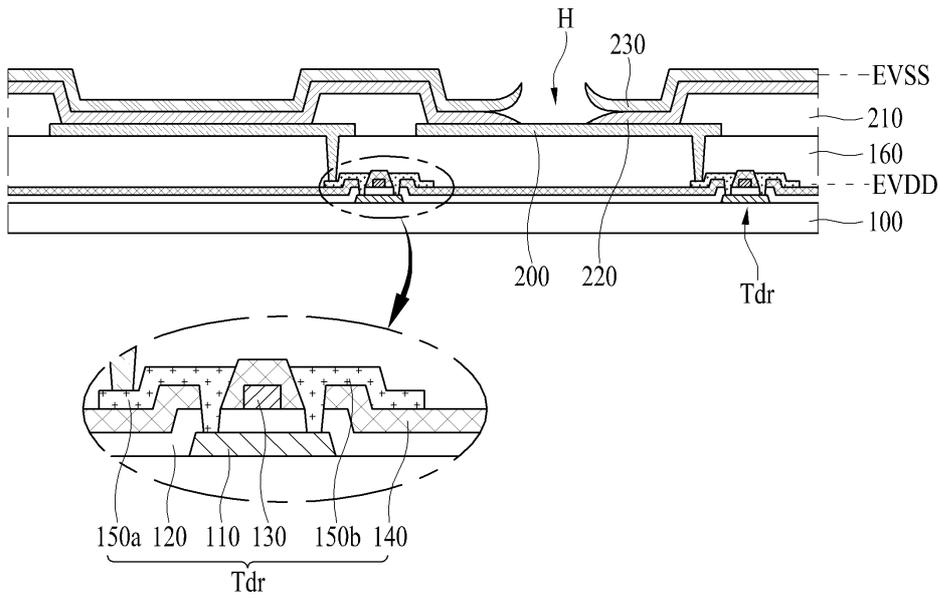
도면1



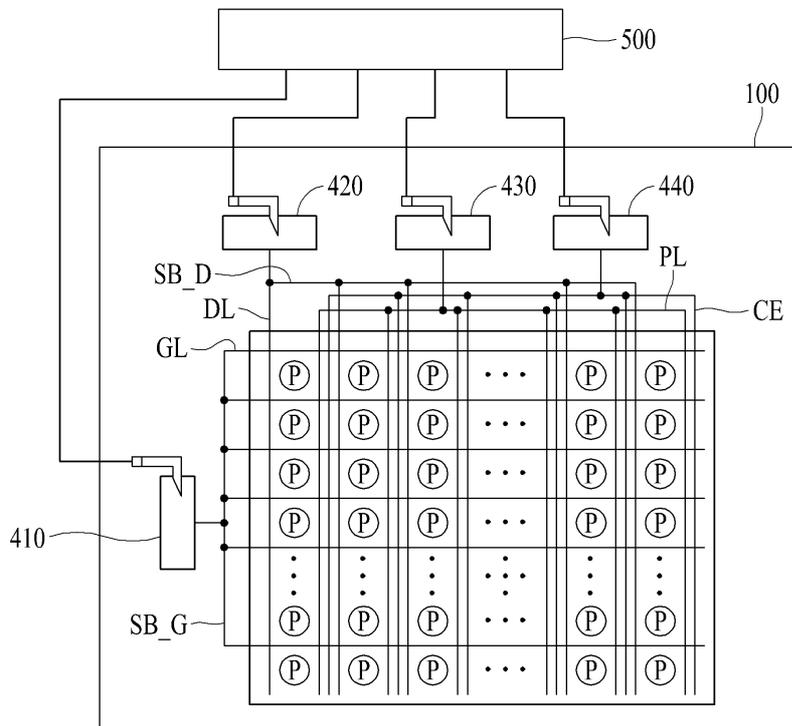
도면2a



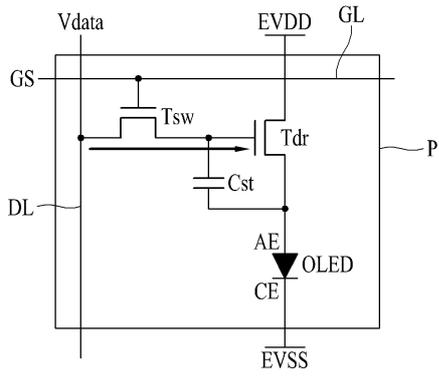
도면2b



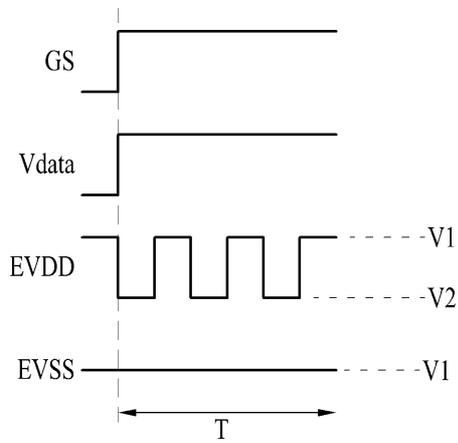
도면3



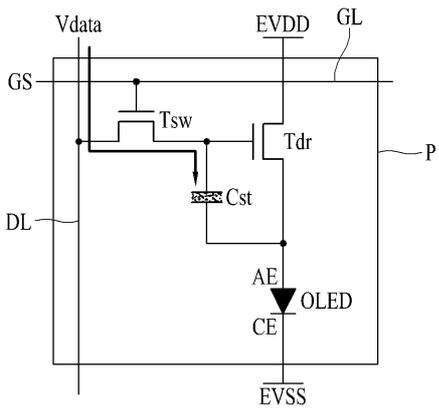
도면4



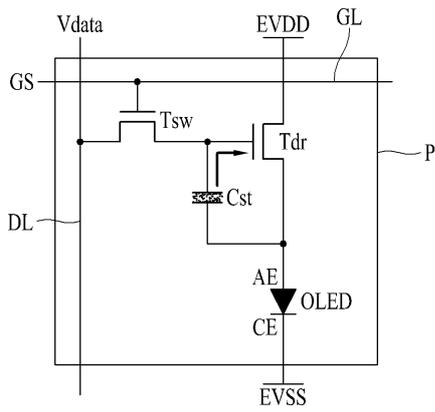
도면5



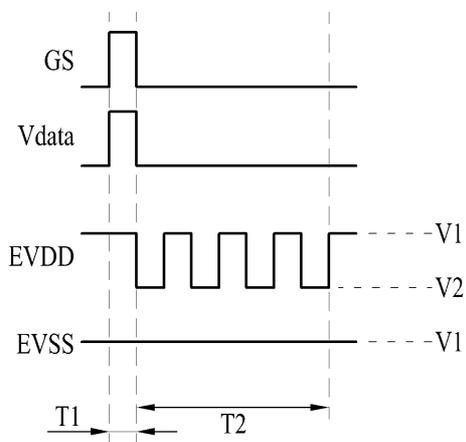
도면6a



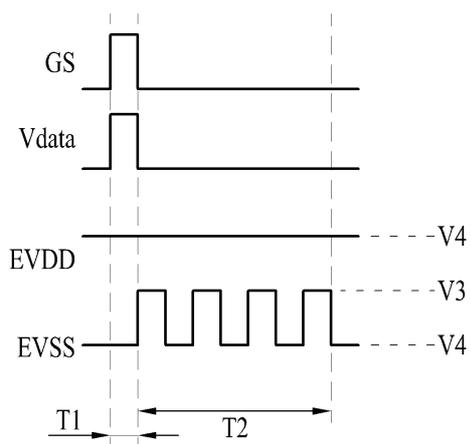
도면6b



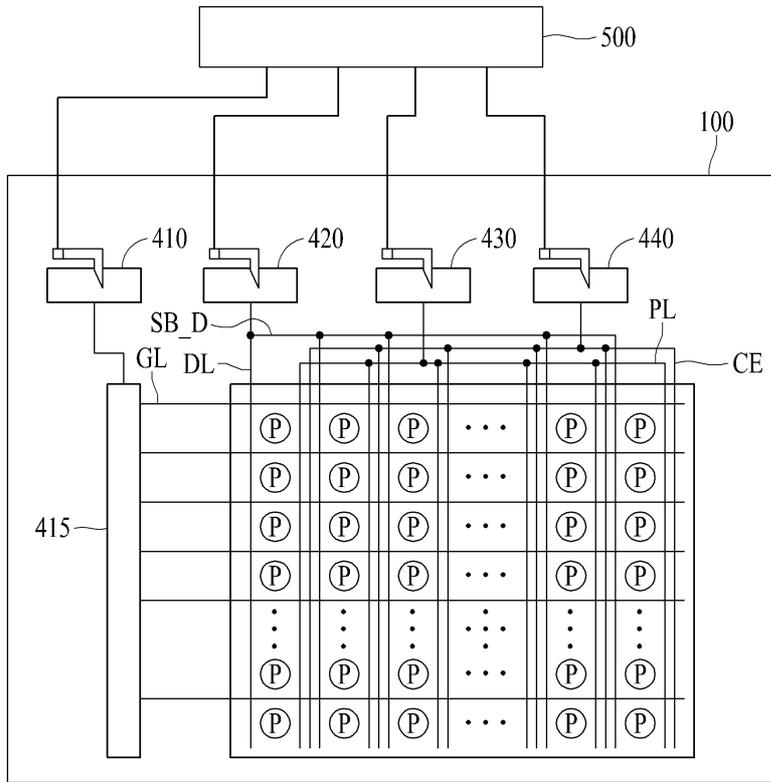
도면7



도면8



도면9



专利名称(译)	标题：制造OLED显示装置的方法		
公开(公告)号	KR1020160055374A	公开(公告)日	2016-05-18
申请号	KR1020140154756	申请日	2014-11-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BINN KIM 김빈 YONGHO JANG 장용호		
发明人	김빈 장용호		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L51/56 H01L51/5206 H01L51/5221 H01L2251/568		
外部链接	Espacenet		

摘要(译)

在基板上形成包括开关薄膜晶体管的像素，连接到开关薄膜晶体管的驱动薄膜晶体管，以及具有连接到驱动薄膜晶体管的第一电极和第二电极的有机发光二极管；以及通过向第一电极和第二电极之一施加电压来修复第一电极和第二电极之间的短缺陷的步骤。

