



로 형성하고, 이물에 의해 제 1 전극과 제 2 전극이 서로 접촉되어 통전되면, 산소 분위기 내에서 제 1 및 제 2 전극으로 역바이어스 전압을 인가하여 에이징 처리를 진행함으로써, 이물에 의해 제 1 및 제 2 전극의 접촉이 발생하더라도, 제 1 및 제 2 전극이 서로 통전되어 단락이 발생하는 것을 방지할 수 있다.

이를 통해, 화소 전체가 암점(dark pixel)으로 나타나는 화소불량이 발생되어, 소비전력이 높아지거나, 휘도나 화상 특성의 불균일이 발생하는 것을 방지할 수 있다. 또한, 제 2 전극의 투과율이 높아져, 발광물질막의 의해 가시광선의 형태로 방출된 빛이 보다 많이 투과될 수 있다. 따라서, OLED의 발광효율을 향상시키게 되는 효과를 가져오게 된다.

(72) 발명자

**배효대**

경기도 과천시 번영로 55, 113동 303호(금촌동, 새  
꽃마을아파트)

**여중훈**

인천 남동구 폴무로 17, 로젠하임 1004호 (간석동)

## 명세서

### 청구범위

#### 청구항 1

- a) 기판 상에 구동 박막트랜지스터를 형성하는 단계와;
  - b) 상기 구동 박막트랜지스터가 형성된 상기 기판 상에, 상기 구동박막트랜지스터의 드레인전극과 접촉되는 제 1 전극을 형성하는 단계와;
  - c) 상기 제 1 전극 상부로 이물에 의해 상기 제 1 전극을 노출하는 बैं크를 형성하는 단계와;
  - d) 상기 제 1 전극 상부로 유기발광층을 형성하는 단계와;
  - e) 상기 बैं크와 상기 유기발광층 상부로 은(Ag)박막으로 이루어지는 제 2 전극을 형성하는 단계와;
  - f) 상기 제 1 및 제 2 전극으로 역바이어스(reverse bias)를 인가하여, 상기 제 1 전극과 접촉되는 상기 제 2 전극의 일부를 산화층으로 변화시키는 에이징 처리를 진행하는 단계와;
  - g) 상기 기판을 인캡슐레이션하는 단계
- 를 포함하는 유기발광표시장치의 제조방법.

#### 청구항 2

제 1 항에 있어서,

상기 e) 단계에서, 상기 제 2 전극은 1.0Å/s 내지 2.0 Å/s의 속도로 증착되어 형성되는 유기발광표시장치의 제조방법.

#### 청구항 3

제 2 항에 있어서,

상기 제 2 전극은 판 결정형태를 갖는 유기발광표시장치의 제조방법.

#### 청구항 4

제 1 항에 있어서,

상기 제 2 전극은 150 ~ 250Å의 두께를 갖는 유기발광표시장치의 제조방법.

#### 청구항 5

제 1 항에 있어서,

상기 f) 단계는 산소 분위기에서 진행하는 유기발광표시장치의 제조방법.

#### 청구항 6

제 1 항에 있어서,

상기 f) 단계에서, 상기 제 1 및 제 2 전극으로는 -15V ~ -9V의 역바이어스를 인가하는 유기발광표시장치의 제

조방법.

**청구항 7**

제 1 항에 있어서,

상기 f) 단계에서, 상기 역바이어스는 30초 내지 60초 동안 인가하는 유기발광표시장치의 제조방법.

**청구항 8**

제 1 항에 있어서,

상기 g) 단계 전에, 상기 제 2 전극 상부로 캡핑층을 더욱 형성하는 유기발광표시장치의 제조방법.

**청구항 9**

제 1 항에 있어서,

상기 g) 단계는 상기 기판 상부로 인캡기판을 위치시키고, 상기 기판과 상기 인캡기판 사이로 접착층을 개재하여 진행하는 유기발광표시장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 OLED의 제조방법에 관한 것으로, 특히 OLED의 투과율을 높이고 소비전력이 향상되거나 화소 불량 발생을 방지할 수 있는 OLED의 제조방법에 관한 것이다.

**배경 기술**

[0002] 유기발광소자(organic light emitting diode : OLED)는 정공주입전극과 유기발광층 및 전자주입전극으로 구성되며, 유기발광층 내부에 전자와 정공이 결합하여 생성된 여기자(exciton)가 여기 상태에서부터 기저 상태로 떨어질 때 발생하는 에너지에 의해 발광이 이루어진다.

[0003] 이러한 원리로 OLED는 자발광 특성을 가지며, 액정표시장치와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, OLED는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 휴대용 전자 기기의 차세대 표시장치로 여겨지고 있다.

[0004] 또한, 이러한 OLED는 발광된 빛의 투과방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉘게 되는데, 하부 발광방식은 안정성 및 공정이 자유도가 높은 반면 개구율의 제한이 있어 고해상도 제품에 적용하기 어려운 문제점이 있다.

[0005] 이에, 최근에는 고개구율 및 고해상도를 갖는 상부 발광방식에 대한 연구가 활발하게 진행되고 있다.

[0006] 한편, 상부 발광방식 OLED는 발광층에서 생성된 빛이 투명한 음극(cathode)을 투과하여 외부로 나가, OLED는 임의의 화상을 구현하게 된다.

[0007] 이때, 음극은 알루미늄(Al)을 포함하는 물질로 형성되는 것이 일반적인데, 이러한 음극은 10Ω/□이하의 면저항을 가지면서도 빛이 투과될 수 있도록 얇은 두께를 가져야 한다.

[0008] 그러나, 음극이 10Ω/□이하의 면저항을 갖기 위해서는 적어도 300Å 이상의 두께를 가져야 한다. 여기서 첨부한 도 1의 그래프를 살펴보면, 300Å 이상의 두께를 갖는 음극은 550nm의 파장대에서 15%의 투과율을 가져, 투과율이 매우 낮은 것을 확인할 수 있는데, 이는 결국 OLED의 발광효율이 저하되는 문제점을 야기하게 된다.

[0009] 한편, 양극(anode)은 주로 ITO로 이루어진 단일막으로서 스퍼터링(sputtering) 방법에 의한 단일증착으로 형성

하는데, 이때, 스퍼터링 방법에 의한 단일증착으로 양극 형성 시 발생하는 이물들이 양극 상에 단단히 부착되는 문제점이 발생한다.

[0010] 이러한 이물들은 발광층 형성 전의 세정공정에 의해서도 제거되지 않아, 음극 형성 시 양극과 음극이 서로 접촉되어 통전되는 단락(short)을 발생시키게 된다.

[0011] 이로 인하여, 양극에 전압이 인가되어 흐르는 구동 박막트랜지스터의 전류가 발광층으로 흘러 소정의 색상을 발광하는 것이 아니라, 단락된 음극으로 누설전류가 발생되어 소정의 색상을 발광하지 않게 되어 화소전체가 암점(dark pixel)으로 나타나는 화소불량을 발생시키게 된다.

[0012] 이는, 결국 소비전력을 높이게 되며, 또한 휘도나 화상 특성의 불균일을 발생시키게 된다

### 발명의 내용

#### 해결하려는 과제

[0013] 본 발명은 상기한 문제점을 해결하기 위한 것으로, 투과율이 향상된 OLED를 제공하고자 하는 것을 제 1 목적으로 한다.

[0014] 또한, 이물에 의해 OLED의 단락이 발생하는 것을 방지하고자 하는 것을 제 2 목적으로 한다.

[0015] 이를 통해, 휘도 및 화상 특성을 향상시키고자 하는 것을 제 3 목적으로 한다.

#### 과제의 해결 수단

[0016] 전술한 바와 같이 목적을 달성하기 위해, 본 발명은 a) 기판 상에 구동 박막트랜지스터를 형성하는 단계와; b) 상기 구동 박막트랜지스터가 형성된 상기 기판 상에, 상기 구동박막트랜지스터의 드레인전극과 접촉되는 제 1 전극을 형성하는 단계와; c) 상기 제 1 전극 상부로 이물에 의해 상기 제 1 전극을 노출하는 बैं크를 형성하는 단계와; d) 상기 제 1 전극 상부로 유기발광층을 형성하는 단계와; e) 상기 बैं크와 상기 유기발광층 상부로 은(Ag)박막으로 이루어지는 제 2 전극을 형성하는 단계와; f) 상기 제 1 및 제 2 전극으로 역바이어스(reverse bias)를 인가하여, 상기 제 1 전극과 접촉되는 상기 제 2 전극의 일부를 산화층으로 변화시키는 에이징 처리를 진행하는 단계와; g) 상기 기판을 인캡슐레이션하는 단계를 포함하는 유기발광표시장치의 제조방법을 제공한다.

[0017] 이때, 상기 e) 단계에서, 상기 제 2 전극은 1.0Å/s 내지 2.0 Å/s의 속도로 증착되어 형성되며, 상기 제 2 전극은 판 결정형태를 갖는다.

[0018] 그리고, 상기 제 2 전극은 150 ~ 250Å의 두께를 가지며, 상기 f) 단계는 산소 분위기에서 진행한다.

[0019] 여기서, 상기 f) 단계에서, 상기 제 1 및 제 2 전극으로는 -15V ~ -9V의 역바이어스를 인가하며, 상기 f) 단계에서, 상기 역바이어스는 30초 내지 60초 동안 인가한다.

[0020] 또한, 상기 g) 단계 전에, 상기 제 2 전극 상부로 캡핑층을 더욱 형성하며, 상기 g) 단계는 상기 기판 상부로 인캡기판을 위치시키고, 상기 기판과 상기 인캡기판 사이로 접착층을 개재하여 진행한다.

#### 발명의 효과

[0021] 위에 상술한 바와 같이, 본 발명에 따라 상부발광방식 OLED의 제 2 전극을 낮은 면저항을 가지면서도 높은 투과율을 갖는 은(Ag)박막으로 형성하고, 이물에 의해 제 1 전극과 제 2 전극이 서로 접촉되어 통전되면, 산소 분위기 내에서 제 1 및 제 2 전극으로 역바이어스(reverse bias) 전압을 인가하여 에이징 처리를 진행함으로써, 이물에 의해 제 1 및 제 2 전극의 접촉이 발생하더라도, 제 1 및 제 2 전극이 서로 통전되어 단락이 발생하는 것을 방지할 수 있는 효과가 있다.

[0022] 이를 통해, 화소 전체가 암점(dark pixel)으로 나타나는 화소불량이 발생되어, 소비전력이 높아지거나, 휘도나 화상 특성의 불균일이 발생하는 것을 방지할 수 있는 효과가 있다.

[0023] 또한, 제 2 전극의 투과율이 높아져, 발광물질막의 의해 가시광선의 형태로 방출된 빛이 보다 많이 투과될 수 있어, OLED의 발광효율을 향상시키게 되는 효과가 있다.

**도면의 간단한 설명**

[0024] 도 1은 음극(cathode)의 두께에 따른 투과율을 나타낸 실험결과 그래프.  
 도 2a는 발광다이오드를 포함하는 OLED의 단면을 개략적으로 도시한 도면.  
 도 2b는 도 2a의 OLED의 유기발광현상에 의한 발광원리를 갖는 밴드다이아그램.  
 도 3은 이물이 잔존하는 OLED의 단면을 개략적으로 도시한 도면.  
 도 4는 은의 두께에 따른 투과율을 나타낸 실험결과 그래프.  
 도 5는 은(Ag)의 증착속도에 따른 투과율을 나타낸 실험결과 그래프.  
 도 6a ~ 6f는 본 발명의 실시예에 따른 OLED의 제조방법을 공정흐름에 따라 도시한 공정 단면도.

**발명을 실시하기 위한 구체적인 내용**

[0025] 이하, 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

[0026] 도 2a는 발광다이오드를 포함하는 OLED의 단면을 개략적으로 도시한 도면이며, 도 2b는 도 2a의 OLED의 유기발광현상에 의한 발광원리를 나타내는 밴드다이아그램이다.

[0027] 한편, OLED(100)는 발광된 빛의 투과방향에 따라 상부 발광방식(top emission type)과 하부 발광방식(bottom emission type)으로 나뉘게 되는데, 이하 본 발명에서는 상부 발광방식에 대해 설명하도록 하겠다.

[0028] 도시한 바와 같이, 본 발명에 따른 OLED(100)는 구동 박막트랜지스터(DTr)와 발광다이오드(E)가 형성된 어레이 기판(101)이 인캡기판(102)에 의해 인캡슐레이션(encapsulation)된다.

[0029] 즉, 어레이기판(101) 상의 화소영역(P)에는 반도체층(103)이 형성되는데, 반도체층(103)은 실리콘으로 이루어지며 그 중앙부는 채널을 이루는 액티브영역(103a) 그리고 액티브영역(103a) 양측면으로 고농도의 불순물이 도핑된 소스 및 드레인영역(103b, 103c)으로 구성된다.

[0030] 이러한 반도체층(103) 상부로는 게이트절연막(105)이 형성되어 있다.

[0031] 게이트절연막(105) 상부로는 반도체층(103)의 액티브영역(103a)에 대응하여 게이트전극(107)과 도면에 나타내지 않았지만 일방향으로 연장하는 게이트배선이 형성되어 있다.

[0032] 또한, 게이트전극(107)과 게이트배선(미도시) 상부 전면에 제 1 층간절연막(109a)이 형성되어 있으며, 이때 제 1 층간절연막(109a)과 그 하부의 게이트절연막(105)은 액티브영역(103a) 양측면에 위치한 소스 및 드레인영역(103b, 103c)을 각각 노출시키는 제 1, 2 반도체층 콘택홀(111a, 111b)을 구비한다.

[0033] 다음으로, 제 1, 2 반도체층 콘택홀(111a, 111b)을 포함하는 제 1 층간절연막(109a) 상부로는 서로 이격하며 제 1, 2 반도체층 콘택홀(111a, 111b)을 통해 노출된 소스 및 드레인영역(103b, 103c)과 각각 접촉하는 소스 및 드레인전극(113, 115)이 형성되어 있다.

[0034] 그리고, 소스 및 드레인전극(113, 115)과 두 전극(113, 115) 사이로 노출된 제 1 층간절연막(109a) 상부로 드레인전극(115)을 노출시키는 드레인콘택홀(117)을 갖는 제 2 층간절연막(109b)이 형성되어 있다.

[0035] 이때, 소스 및 드레인전극(113, 115)과 이들 전극(113, 115)과 접촉하는 소스 및 드레인영역(103b, 103c)을 포함하는 반도체층(103)과 반도체층(103) 상부에 형성된 게이트절연막(105) 및 게이트전극(107)은 구동 박막트랜지스터(DTr)를 이루게 된다.

[0036] 한편, 도면에 나타내지 않았지만, 게이트배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터배선(미도시)이 형성되어 있다. 그리고, 스위칭 박막트랜지스터(미도시)는 구동 박막트랜지스터(DTr)와 동일한 구조로, 구동 박막트랜지스터(DTr)와 연결된다.

[0037] 그리고, 스위칭 박막트랜지스터(미도시) 및 구동 박막트랜지스터(DTr)는 도면에서는 반도체층(103)이 폴리실리

콘 반도체층으로 이루어진 코플라나(co-planar) 타입을 예로서 보이고 있으며, 이의 변형예로서 순수 및 불순물의 비정질실리컨으로 이루어진 보텀 게이트(bottom gate) 타입으로 형성될 수도 있다.

- [0038] 또한, 제 2 층간절연막(109b) 상부의 실질적으로 화상을 표시하는 영역에는 발광다이오드(E)를 구성하는 제 1 전극(211)과 유기발광층(213) 그리고 제 2 전극(215)이 순차적으로 형성되어 있다.
- [0039] 제 1, 2 전극(211, 215)과 그 사이에 형성된 유기발광층(213)은 발광다이오드(E)를 이루게 된다.
- [0040] 제 1 전극(211)은 제 2 층간절연막(109b)의 드레인콘택홀(117)을 통해 구동 박막트랜지스터(DTr)의 드레인전극(115)과 연결된다.
- [0041] 이와 같은 경우에, 제 1 전극(211)은 애노드(anode) 전극의 역할을 하도록 일함수 값이 비교적 높은 물질인 인듐-틴-옥사이드(ITO)로 형성하며, 제 2 전극(215)은 캐소드(cathode)의 역할을 하기 위해 비교적 일함수 값이 낮은 금속물질로 이루어진다.
- [0042] 이러한 OLED(100)는 발광다이오드(E)에 의해 빛이 가시광선의 형태로 방출된다. 이때, 방광된 빛은 제 2 전극(215)을 통과하여 외부로 나가게 되므로, OLED(100)는 임의의 화상을 구현하게 된다.
- [0043] 한편, 제 1 전극(211)은 각 화소영역(P)별로 형성되는데, 각 화소영역(P) 별로 형성된 제 1 전극(211) 사이에는 뱅크(bank : 119)가 위치한다.
- [0044] 그리고, 발광다이오드(E) 상부에는 캐핑층(capping layer : 217)이 위치하며, 캐핑층(217) 상부로 인캡기판(102)이 구비되어, 어레이기판(101)과 인캡기판(102)은 접촉특성을 갖는 접착층(130)을 통해 서로 이격되어 합착된다.
- [0045] 이를 통해, OLED(100)는 인캡슐레이션(encapsulation)된다.
- [0046] 여기서, 캐핑층(217)은 발광다이오드(E)를 덮어, 발광다이오드(E)의 유기발광층(213)으로 수분이 투입되는 것을 억제하는 동시에, 제 2 전극(215)에 의한 외광반사를 최소화할 수 있다.
- [0047] 그리고 접착층(130)은 외부 습기가 발광다이오드(E) 내부로 침투되는 것을 방지하여 어레이기판(101) 상에 형성된 구동 박막트랜지스터(DTr)와 발광다이오드(E)를 보호하는 막으로, 발광다이오드(E)를 에워싸며 어레이기판(101) 상에 형성된다.
- [0048] 한편, 어레이기판(101)은 유리, 플라스틱 재질, 스테인리스 스틸(stainless steel), 금속호일(metal foil) 등을 재료로 하여 형성할 수 있으며, 인캡기판(102)은 유리로 이루어질 수 있다.
- [0049] 한편, 도 2b를 참조하여 본 발명의 실시예에 따른 유기발광층(213)에 대해 좀더 자세히 살펴보면, 발광다이오드(E)는 애노드전극인 제 1 전극(211)과 유기발광층(213) 그리고 캐소드전극인 제 2 전극(215)으로 이루어지며, 이때 유기발광층(213)은 정공수송막(213b), 발광물질막(213a), 전자주입막(213c)의 유기박막층들로 이루어진다.
- [0050] 그리고, 전자와 정공을 발광물질막(213a)으로 보다 효과적으로 전달되도록 함으로써 발광효율을 높이기 위해 제 1 전극(211)과 정공수송막(213b) 사이로 정공주입막(213d)을 더욱 형성하며, 제 2 전극(215)과 전자수송막(213c)사이로 전자주입막(213e)을 더욱 형성하는 것이 바람직하다.
- [0051] 이렇게, 정공수송막(213b)과 제 1 전극(211) 사이에 정공주입막(213d)을 더욱 형성하며, 제 2 전극(215)과 전자수송막(213c) 사이에 전자주입막(213e)을 더욱 형성하게 되면, 정공주입막(213d)과 전자주입막(213e)이 정공 주입에너지 및 전자 주입에너지의 장벽을 낮추는 역할을 하여, 발광효율을 증가시키고 구동 전압을 낮추게 된다.
- [0052] 따라서, 발광다이오드(E)는 제 1 전극(211)과 제 2 전극(215)에 각각 양(+)과 음(-)의 전압이 인가되면 정공수송막(213b)의 정공과 전자수송막(213c)의 전자가 발광물질막(213a)으로 수송되어 엑시톤을 이루고, 이러한 엑시톤이 여기상태에서 기저상태로 천이될 때 빛이 발생되어 발광물질막(213a)에 의해 가시광선의 형태로 방출하게 된다.
- [0053] 발광물질막(213a)에 의해 가시광선의 형태로 방출되는 빛은 제 2 전극(215)을 통과하여 외부로 나가 화상을 구현하게 되는데, 이때 본 발명의 실시예에 따른 OLED(100)의 제 2 전극(215)은 낮은 면저항을 가지면서도 투과율이 높은 은(Ag)박막으로 이루어지는 것을 특징으로 한다.
- [0054] 특히, 본 발명의 실시예에 따른 OLED(100)는 제 1 전극(211) 상에 이물(300, 도 3 참조)이 잔존하여, 이물(300, 도 3 참조)에 의해 제 1 및 제 2 전극(211, 215)의 접촉이 발생하더라도, 제 1 및 제 2 전극(211, 215)이 서로

통전되어 단락이 발생하는 것을 방지할 수 있다.

- [0055] 이를 통해, 화소영역(P) 전체가 암점(dark pixel)으로 나타나는 화소불량이 발생되어, 소비전력이 높아지거나, 휘도나 화상 특성의 불균일이 발생하는 것을 방지할 수 있다.
- [0056] 또한, 제 2 전극(215)의 투과율이 높아져, 발광물질막(213a)의 의해 가시광선의 형태로 방출된 빛이 보다 많이 투과될 수 있다. 따라서, OLED(100)의 발광효율을 향상시키게 되는 효과를 가져오게 된다.
- [0057] 도 3은 이물이 잔존하는 OLED의 단면을 개략적으로 도시한 도면이다.
- [0058] 도시한 바와 같이, 기판(101) 상에는 구동 박막트랜지스터(DTr)와 발광다이오드(E)가 형성되어 있으며, 이러한 기판(101)은 인캡기판(도 2a의 102)에 의해 인캡슐레이션(encapsulation)된다.
- [0059] 여기서, 구동 박막트랜지스터(DTr)는 소스 및 드레인전극(113, 115)과 이들 전극(113, 115)과 접촉하는 소스 및 드레인영역(103b, 103c)을 포함하는 반도체층(103)과 반도체층(103) 상부에 형성된 게이트절연막(105) 및 게이트전극(107)으로 이루어진다.
- [0060] 그리고, 발광다이오드(E)는 구동 박막트랜지스터(DTr)의 드레인전극(115)과 연결되며 제 2 층간절연막(109b) 상부로는 위치하여 양극(anode)을 이루는 제 1 전극(211)과, 제 1 전극(211)의 상부의 유기발광층(213) 그리고 유기발광층(213)의 상부로 음극(cathode)을 이루는 제 2 전극(215)을 포함한다.
- [0061] 이때, 제 1 전극(211)은 각 화소영역(P) 별로 형성되는데, 각 화소영역(P) 별로 형성된 제 1 전극(211) 사이에는 뱅크(bank : 119)가 위치한다.
- [0062] 이러한 유기발광층(213)은 적(R), 녹(G), 청(B)의 색을 표현하게 되는데, 일반적인 방법으로는 각 화소영역(P)마다 적(R), 녹(G), 청(B)색을 발광하는 별도의 유기물질을 패터닝하여 사용한다.
- [0063] 여기서, 미설명부호 103a는 반도체층(103)의 액티브영역을 나타내며, 109a는 제 1 층간절연막을 나타낸다.
- [0064] 한편, 본 발명의 실시예에 따른 OLED(도 2a의 100)는 제 1 전극(211)을 스퍼터링 방법에 의해 증착하는 과정에서, 제 1 전극(211) 형성 시 발생하는 이물(300)들이 제 1 전극(211) 상에 단단히 부착되는 문제점이 발생한다.
- [0065] 이러한 이물(300)들은 유기발광층(213) 형성 전의 세정공정에 의해서도 제거되지 않아, 제 1 전극(211) 상부로 뱅크(119)와 유기발광층(213)을 형성하면 제 1 전극(211)의 일부는 이물(300)에 의해 외부로 노출되게 된다.
- [0066] 이와 같이, 이물(300)에 의해 제 1 전극(211)의 일부가 외부로 노출된 상태로 기판(101) 상에 제 2 전극(215)을 형성할 경우, 이물(300)에 의해 노출된 제 1 전극(211)과 제 2 전극(215)이 서로 통전되어 단락되는 문제점이 발생하게 된다.
- [0067] 이때, 본 발명의 실시예에 따른 OLED(도 2a의 100)는 제 2 전극(215)을 은(Ag)박막으로 형성하고, 에이징처리를 통해 은(Ag)박막으로 이루어지는 제 2 전극(215)의 일부 즉, 제 2 전극(215)과 제 1 전극(211)이 접촉되는 영역(A)이 산화처리 되도록 하는 것을 특징으로 한다.
- [0068] 따라서, 제 1 전극(211)과 제 2 전극(215)이 접촉되는 영역(A)의 제 1 전극(211)과 제 2 전극(215) 사이에 산화은층(200)이 형성되는데, 산화은층(200)에 의해 제 1 전극(211)과 제 2 전극(215)은 서로 접촉되는 영역(A)에서 단절되게 된다.
- [0069] 따라서, 이물(300)에 의해 제 1 및 제 2 전극(211, 215)의 접촉이 발생하더라도, 제 1 및 제 2 전극(211, 215)이 서로 통전되어 단락이 발생하는 것을 방지할 수 있다. 이를 통해, 화소영역(P) 전체가 암점(dark pixel)으로 나타나는 화소불량이 발생되어, 소비전력이 높아지거나 휘도나 화상 특성의 불균일이 발생하는 것을 방지할 수 있다.
- [0070] 여기서, 에이징처리에 의한 산화은층(200)은 제 1 전극(211)과 제 2 전극(215)으로 역바이어스(reverse bias) 전압을 걸어줌으로써, 역바이어스 전압에 의해 발생하는 열에 의해 제 2 전극(215)의 일부를 산화시켜 형성하게 된다.
- [0071] 즉, 아래 [표 1]과 도 4의 그래프를 참조하면, 은(Ag)은 150Å ~ 200Å의 얇은 박막의 두께를 가지면서도 10Ω/□이하의 낮은 면저항을 가지며, 또한 380 ~ 650nm 파장대의 평균 투과율이 50%로 매우 높다.

표 1

Ag 두께	150 Å	200 Å	500 Å
면저항( $\Omega/\square$ )	7.0	3.4	1.5

[0072]

따라서, 은(Ag)은 상부 발광방식 OLED(도 2a의 100)의 제 2 전극(215)으로 매우 적합한 물질이다.

[0073]

[0074]

이때, 제 2 전극(215)은 150 ~ 250 Å의 두께를 갖도록 형성하는 것이 바람직한데, 제 2 전극(215)의 두께가 150 Å미만 일 때는 제 2 전극(215)을 형성하는데 많은 어려움이 따르며, 또한 제 2 전극(215)이 얇은 박막의 두께를 가지면서도 면저항이 낮은 은(Ag)박막으로 이루어질 지라도, 150 Å미만일 경우에는 제 2 전극(215)이 갖춰야 할 10  $\Omega/\square$  이하의 낮은 면저항을 갖지 못하게 되기 때문이다.

[0075]

또한, 제 2 전극(215)의 두께가 250 Å 이상일 경우에는 제 2 전극(215)의 투과율이 현저하게 떨어지므로 바람직하지 못하다.

[0076]

특히, 은(Ag)은 대기중에 장시간 노출되어도 쉽게 산화가 되지 않으나, 높은 순도의 산소와 열을 가할 경우 표면에 산화되는 특성을 가지고 있다.

[0077]

따라서, 본 발명의 실시예에 따른 OLED(도 2a의 100)는 은(Ag)으로 제 2 전극(215)을 형성하고, 제 1 전극(211)과 제 2 전극(215)이 이물(300)에 의해 통전될 경우, 챔버 내부로 고순도의 산소를 주입하고 제 1 전극(211)과 제 2 전극(215)으로 역바이어스 전압을 걸어줌으로써, 제 1 전극(211)과 접촉되는 제 2 전극(215)의 일부를 산화처리하여 산화은층(200)을 형성하게 되는 것이다.

[0078]

따라서, 산화은층(200)에 의해 제 1 전극(211)과 제 2 전극(215)이 서로 접촉되는 영역(A)이 단전되어, 이물(300)에 의해 제 1 및 제 2 전극(211, 215)의 접촉이 발생하더라도, 제 1 및 제 2 전극(211, 215)이 서로 통전되어 단락이 발생하는 것을 방지할 수 있다.

[0079]

이를 통해, 화소영역(P) 전체가 암점(dark pixel)으로 나타나는 화소불량이 발생되어, 소비전력이 높아지거나 휘도나 화상 특성의 불균일이 발생하는 것을 방지할 수 있다.

[0080]

아래 [표 2]은 은(Ag)박막으로 이루어지는 제 2 전극(215)의 면저항을 에이징 여부에 따라 측정된 실험결과이다.

표 2

	에이징 전 면저항(??)	전압(V)	시간(s)	에이징 후 면저항( $\Omega/\square$ )
1	30	-9	30	0.2K
			45	940K
			60	40M
2	30	-12	30	0.3K
			45	550K
			60	10M
3	30	-15	30	700
			45	800K
			60	1M

[0081]

[0082]

[표 2]를 참조하면, 은(Ag)박막으로 이루어지는 제 2 전극(215)의 면저항은 30  $\Omega/\square$ 이나, 에이징 처리를 진행하고 난 후에는 최소 700  $\Omega/\square$  ~ 40M까지 면저항이 증가하는 것을 확인할 수 있다.

[0083]

즉, 은(Ag)박막에 에이징처리를 할 경우 은(Ag)박막은 산화은으로 변화되어 전기가 잘 통하지 않는 절연특성을 갖게 됨을 확인할 수 있다.

[0084]

따라서, 본 발명의 실시예와 같이 이물(300)에 의해 제 1 전극(211)과 제 2 전극(215)이 서로 접촉되어도, 제 1 전극(211)과 제 2 전극(215)이 서로 접촉된 영역(A)에서 제 2 전극(215)의 일부를 에이징처리를 함으로써, 제 1 전극(211)과 제 2 전극(215) 사이에 산화은층(200)을 형성하여, 제 1 및 제 2 전극(211, 215)이 서로 단전되도록 할 수 있는 것이다.

[0085]

또한, 고순도의 산소 분위기 내에서 에이징처리를 진행함으로써, 에이징처리를 진행하는 과정에서 유기발광층

(213)이 외부 대기성분에 노출되어 불량이 발생하는 것을 방지할 수 있다.

- [0086] 여기서, 에이징처리는 -20V ~ -5V의 역바이어스 전압을 제 1 및 제 2 전극(211, 215)으로 인가하는 것이 바람직 한데, 유기발광층(213)의 손상을 방지하기 위하여 -15V ~ -9V의 역바이어스를 인가하는 것이 바람직하다.
- [0087] 그리고 30초 내지 90초 동안 역바이어스를 인가하는 것이 바람직한데, 30초 내지 60초 이내에 이루어지는 것이 보다 효율적인 에이징 효과를 얻을 수 있다.
- [0088] 이를 통해, 제 1 및 제 2 전극(211, 215)이 서로 접촉되는 영역(A)에서 열이 발생하여, 제 1 전극(211)과 접촉 되는 제 2 전극(215)의 일부가 산화처리되게 된다.
- [0089] 따라서, 제 1 전극(211)과 제 2 전극(215) 사이에는 절연특성을 갖는 산화층(200)이 형성되어, 제 1 및 제 2 전극(211, 215)은 서로 단전되게 된다.
- [0090] 또한, 은(Ag)박막으로 이루어지는 제 2 전극(215)은 은(Ag)의 결정구조에 따라 에이징의 효과가 달라질 수 있는 데, 에이징 공정 중 산소가 은(Ag)의 결정 사이를 파고 들어 유기발광층(213)에 도달하여 유기발광층(213)을 산 화시킬 수 있기 때문에, 제 2 전극(215)으로 형성되는 은(Ag)의 결정구조는 산소가 은(Ag)의 결정사이로 파고들 지 못하도록 그래인 결정형태가 아닌 판 결정형태를 갖는 것이 바람직하다.
- [0091] 이를 위해, 제 2 전극(215)을 형성하는 과정에서, 은(Ag)의 증착속도가 1.0Å/s 내지 2.0 Å/s의 빠른 형태로 증착되도록 하여, 판 결정형태의 은(Ag)박막으로 이루어지는 제 2 전극(215)을 형성할 수 있다.
- [0092] 판 결정형태의 제 2 전극(215)은 그래인 결정형태에 비해 투과율이 더욱 높게 형성되는데, 이는 첨부한 도 5의 그래프를 참조하여 확인할 수 있다.
- [0093] 즉, 첨부한 도 5의 그래프는 은의 증착속도에 따른 투과율을 나타낸 실험결과로, 증착속도가 빠른 은(Ag)박막이 증착속도가 낮은 은(Ag)박막에 비해 투과율이 더욱 높은 것을 확인할 수 있다.
- [0094] 이는 판 결정형태의 은(Ag)박막이 그래인 결정형태의 은(Ag)박막에 비해 결정구조가 결합력과 치밀화가 보다 높 기 때문이다.
- [0095] 또한, 이와 같이 결정형태의 결합력과 치밀화가 높을 경우에는 면저항도 더욱 낮아지게 되므로, 판 결정형태의 은(Ag)박막은 보다 효율적인 제 2 전극(215)을 이룰 수 있게 된다.
- [0096] 또한, 본 발명의 실시예에 따른 OLED(도 2a의 100)는 제 1 및 제 2 전극(211, 215)으로 에이징처리를 진행하는 과정에서, 유기발광층(213)이 손상되는 것을 방지할 수 있다.
- [0097] 즉, 제 2 전극을 알루미늄(Al)으로 형성할 경우, 이물에 의해 제 1 전극과 제 2 전극의 접촉이 발생하면 클린에 어 분위기에서 제 1 및 제 2 전극으로 역바이어스 전압을 걸어주어야 하므로, 유기발광층이 클린에어에 존재하 는 대기성분에 노출되어 불량이 발생할 수도 있다.
- [0098] 이에 반해, 본 발명의 실시예에 따른 OLED(도 2a의 100)는 제 2 전극(215)을 은(Ag)박막으로 형성하고, 이물 (300)에 의해 제 1 및 제 2 전극(211, 215)이 접촉되더라도 산소분위기 내에서 제 2 전극(215)의 일부를 에이징 처리함으로써, 유기발광층(213)이 대기성분에 노출되는 것을 방지할 수 있다.
- [0099] 이를 통해, 에이징 처리 공정 중에 유기발광층(213)이 손상되는 것을 방지할 수 있는 것이다.
- [0100] 도 6a ~ 6f는 본 발명의 실시예에 따른 OLED의 제조방법을 공정흐름에 따라 도시한 공정 단면도이다.
- [0101] 도 6a에 도시한 바와 같이, 기판(101) 상에 서로 교차하여 화소영역(P)을 정의하는 게이트배선(미도시) 및 데이 터배선(208)을 형성하고, 게이트 및 데이터배선(미도시, 208)이 교차하는 부근에 이들 두 배선(미도시, 208)과 연결되는 구동 박막트랜지스터(DTr)를 형성한다.
- [0102] 이때, 구동 박막트랜지스터(DTr)는 반도체층(103)과, 게이트절연막(105), 게이트전극(107), 소스 및 드레인전극 (113, 115)으로 이루어지는데, 반도체층(103)은 실리콘으로 이루어지며 그 중앙부는 채널을 이루는 액티브영역 (103a) 그리고 액티브영역(103a) 양측면으로 고농도의 불순물이 도핑된 소스 및 드레인영역(103b, 103c)으로 구 성된다.
- [0103] 이러한 반도체층(103) 상부로는 게이트절연막(105)이 형성되어 있으며, 게이트절연막(105) 상부로는 반도체층 (103)의 액티브영역(103a)에 대응하여 게이트전극(107)과 도면에 나타내지 않았지만 일방향으로 연장하는 게이

트베선이 형성되어 있다.

- [0104] 그리고, 게이트전극(107)과 게이트배선(미도시)의 상부 전면에 제 1 층간절연막(109a)이 형성되어 있으며, 제 1 층간절연막(109a) 상부로는 서로 이격하며 소스 및 드레인영역(103b, 103c)과 각각 접촉하는 소스 및 드레인전극(113, 115)이 형성되어 있다.
- [0105] 그리고, 소스 및 드레인전극(113, 115)과 두 전극(113, 115) 사이로 노출된 제 1 층간절연막(109a) 상부로 드레인전극(115)을 노출시키는 드레인콘택홀(117)을 갖는 제 2 층간절연막(109b)이 형성되어 있다.
- [0106] 이때, 게이트절연막(105)과 제 1 및 제 2 층간절연막(109a, 109b)은 빛을 투과시킬 수 있는 투명한 재질로 이루어진다.
- [0107] 이때 도면에 나타나지 않았지만, 스위칭 박막트랜지스터(미도시)는 구동 박막트랜지스터(DTr)와 동일한 구조로, 구동 박막트랜지스터(DTr)와 연결된다.
- [0108] 여기서, 구동 박막트랜지스터(DTr)를 형성하는 과정에 대해 좀더 자세히 살펴보면, 기판(101) 상에 비정질실리콘을 증착하여 비정질실리콘층(미도시)을 형성하고, 이에 대해 레이저빔을 조사하거나 또는 열처리를 실시하여 비정질실리콘층을 폴리실리콘층(미도시)으로 결정화시킨다.
- [0109] 이후, 마스크 공정을 실시하여 폴리실리콘층(미도시)을 패터닝하여 순수 폴리실리콘 상태의 반도체층(103)을 형성한다. 이때 비정질실리콘층(미도시)을 형성하기 전에 무기절연물질 예를들면 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(Si<sub>3</sub>N<sub>4</sub>)을 기판(101)의 전면에 증착함으로써 버퍼층(미도시)을 형성할 수도 있다.
- [0110] 다음으로, 순수 폴리실리콘의 반도체층(103) 위로 산화실리콘(SiO<sub>2</sub>)을 증착하여 게이트절연막(105)을 형성한다.
- [0111] 이후, 게이트절연막(105) 위로 저저항 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금 중 하나를 증착하여 제 1 금속층(미도시)을 형성하고, 이를 마스크 공정을 진행하여 반도체층(103)의 중앙부에 대응하여 게이트전극(107)을 형성한다.
- [0112] 다음, 게이트전극(107)을 블로킹 마스크로 이용하여 기판(101)의 전면에 불순물 즉, 3가 원소 또는 5가 원소를 도핑함으로써 반도체층(103) 중 게이트전극(107) 외측에 위치한 부분에 불순물이 도핑된 소스 및 드레인영역(103b, 103c)을 이루도록 하고, 도핑이 방지된 게이트전극(107)에 대응하는 부분은 순수 폴리실리콘의 액티브영역(103a)을 이루도록 한다.
- [0113] 다음으로 반도체층(103)이 형성된 기판(101)의 전면에 질화실리콘(Si<sub>3</sub>N<sub>4</sub>) 또는 산화실리콘(SiO<sub>2</sub>)과 같은 무기절연물질을 증착하여 전면에 제 1 층간절연막(109a)을 형성하고, 마스크 공정을 진행하여 제 1 층간절연막(109a)과 하부의 게이트절연막(105)을 동시 또는 일괄 패터닝함으로써 반도체층(103)의 소스 및 드레인영역(103b, 103c)을 각각 노출시키는 제 1 및 제 2 반도체층콘택홀(111a, 111b)을 형성한다.
- [0114] 이후, 제 1 층간절연막(109a) 위로 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr) 및 몰리브덴(Mo) 중 하나를 증착하여 제 2 금속층(미도시)을 형성하고, 마스크 공정을 진행하여 패터닝함으로써 제 1 및 제 2 반도체층콘택홀(111a, 111b)을 통해 소스 및 드레인영역(103b, 103c)과 접촉하는 소스 및 드레인전극(113, 115)을 형성한다.
- [0115] 다음으로 소스 및 드레인전극(113, 115)이 형성된 기판(101) 상에 포토아크릴(photo acryl) 또는 벤조사이클로부텐(BCB) 등의 유기절연물질을 도포하고 마스크공정을 통해 패터닝함으로써, 제 2 층간절연막(109b)을 형성한다.
- [0116] 이때, 제 2 층간절연막(109b)은 드레인전극(115)을 노출하는 드레인전극 콘택홀(117)을 가진다.
- [0117] 이러한 제 2 층간절연막(109a) 상부에는 발광다이오드(도 3의 E)를 구성하는 제 1 전극(211)이 화소영역(P) 별로 형성되어 있다.
- [0118] 제 1 전극(211)은 구동 박막트랜지스터(DTr)의 드레인전극(115)과 연결된다.
- [0119] 여기서, 제 1 전극(211)은 스퍼터링 방법에 의해 단일증착으로 형성하는데, 이때 스퍼터링 방법에 의해 제 1 전극(211)을 단일증착으로 형성할 시 발생하는 이물(300)들이 제 1 전극(211) 상에 단단히 부착되게 된다.
- [0120] 다음으로, 도 6b에 도시한 바와 같이, 화소영역(P) 별로 형성된 제 1 전극(211)의 상부로 बैं크(119)가 형성되는데, बैं크(119)는 각 화소영역(P) 별로 형성된 제 1 전극(211) 사이에 위치하게 된다.

- [0121] 이때, 제 1 전극(211) 상에 이물(300)이 부착되어 있으므로, बैं크(119)는 이물(300)에 의해 제 1 전극(211)의 일부를 노출하도록 형성되게 된다.
- [0122] 다음으로 도 6c에 도시한 바와 같이, 제 1 전극(211) 상부로 बैं크(119)에 의해 정의된 화소영역(P)에 대응하여 유기발광물질을 도포 또는 증착하여 유기발광층(213)을 형성한다.
- [0123] 다음으로, 도 6d에 도시한 바와 같이 유기발광층(213) 상부에 일함수가 낮은 금속 물질인 은(Ag)을 얇게 증착한 반투명 금속막으로 이루어지는 제 2 전극(215)을 형성함으로써, 발광다이오드(E)를 완성하게 된다.
- [0124] 이때, 제 2 전극(215)을 형성하는 과정에서, 은(Ag)이 증착되지 않아야 하는 영역에도 증착되게 되는데, 즉, 제 1 전극(211) 상부에 부착된 이물(300) 상부와, 이물(300)에 의해 बैं크(119) 외부로 노출되는 제 1 전극(211) 상에도 은(Ag)이 증착하게 된다.
- [0125] 따라서, 제 1 전극(211)과 제 2 전극(215)이 일부 영역(A)에서 서로 접촉되어 통전되게 된다.
- [0126] 제 1 전극(211)과 제 2 전극(215)이 서로 통전되면, 단락(short)이 발생하게 되고, 이로 인하여 제 1 전극(211)에 전압이 인가되어 흐르는 구동 박막트랜지스터(DTr)의 전류가 유기발광층(213)으로 흘러 소정의 색상을 발광하는 것이 아니라, 단락된 제 2 전극(215)으로 누설전류가 발생되어 소정의 색상을 발광하지 않게 되어 화소영역(P) 전체가 암점(dark pixel)으로 나타나는 화소불량을 발생시키게 된다.
- [0127] 이는, 결국 소비전력을 높이게 되며, 또한 휘도나 화상 특성의 불균일을 발생시키게 된다.
- [0128] 따라서, 이를 해결하기 위하여 도 6e에 도시한 바와 같이, 챔버 내부로 고순도의 산소를 주입한 후, 제 1 및 제 2 전극(211, 215)으로 역바이어스 전압을 인가하는 에이징 처리를 진행한다.
- [0129] 역바이어스 전압은 -20V ~ -5V를 인가하는 것이 바람직한데, 유기발광층(213)의 손상을 방지하기 위하여 -15V ~ -9V의 역바이어스를 인가하는 것이 바람직하다.
- [0130] 그리고 30초 내지 90초 동안 역바이어스를 인가하는 것이 바람직한데, 30초 내지 60초 이내에 이루어지는 것이 보다 효율적인 에이징 효과를 얻을 수 있다.
- [0131] 이와 같이, 에이징 처리를 진행함으로써, 역바이어스 전압에 의해 제 1 및 제 2 전극(211, 215)의 서로 접촉된 영역(A)에서 열이 발생하게 되는데, 이와 같이 발생된 열에 의해 제 1 전극(211)과 접촉되는 제 2 전극(215)의 일부가 산화처리되게 된다.
- [0132] 따라서, 제 1 전극(211)과 제 2 전극(215) 사이에는 절연특성을 갖는 산화층(200)이 형성되게 되어, 제 1 및 제 2 전극(211, 215)은 서로 단락되게 된다.
- [0133] 다음으로 도 6f에 도시한 바와 같이, 제 2 전극(215)이 형성된 기관(101)의 전면에 캡핑층(217)과 접착층(130)을 순차적으로 형성한 후, 인캡기관(102)을 가합착하여 인캡슐레이션한다.
- [0134] 접착층(130)은 무기막 또는 유기막 중 선택된 하나로 이루어지거나, 무기막과 유기막이 서로 교대로 적층되어 이루어질 수도 있다.
- [0135] 전술한 바와 같이, 본 발명의 실시예에 따른 OLED(100)는 제 2 전극(215)을 낮은 면저항을 가지면서도 높은 투과율을 갖는 은(Ag)막막으로 형성하고, 이물(300)에 의해 제 1 전극(211)과 제 2 전극(215)이 서로 접촉되어 통전되면, 산소 분위기 내에서 제 1 및 제 2 전극(211, 215)으로 역바이어스 전압을 인가하여 에이징 처리를 진행함으로써, 이물(300)에 의해 제 1 및 제 2 전극(211, 215)의 접촉이 발생하더라도, 제 1 및 제 2 전극(211, 215)이 서로 통전되어 단락이 발생하는 것을 방지할 수 있다.
- [0136] 이를 통해, 화소영역(P) 전체가 암점(dark pixel)으로 나타나는 화소불량이 발생되어, 소비전력이 높아지거나, 휘도나 화상 특성의 불균일이 발생하는 것을 방지할 수 있다.
- [0137] 또한, 제 2 전극(215)의 투과율이 높아져, 유기발광층(213)에 의해 가시광선의 형태로 방출된 빛이 보다 많이 투과될 수 있다. 따라서, OLED(100)의 발광효율을 향상시키게 되는 효과를 가져오게 된다.
- [0138] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

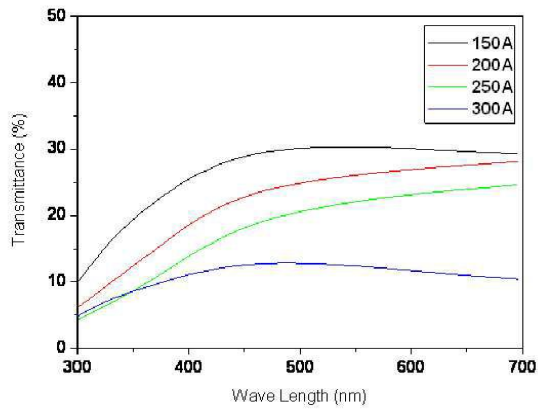
**부호의 설명**

[0139]

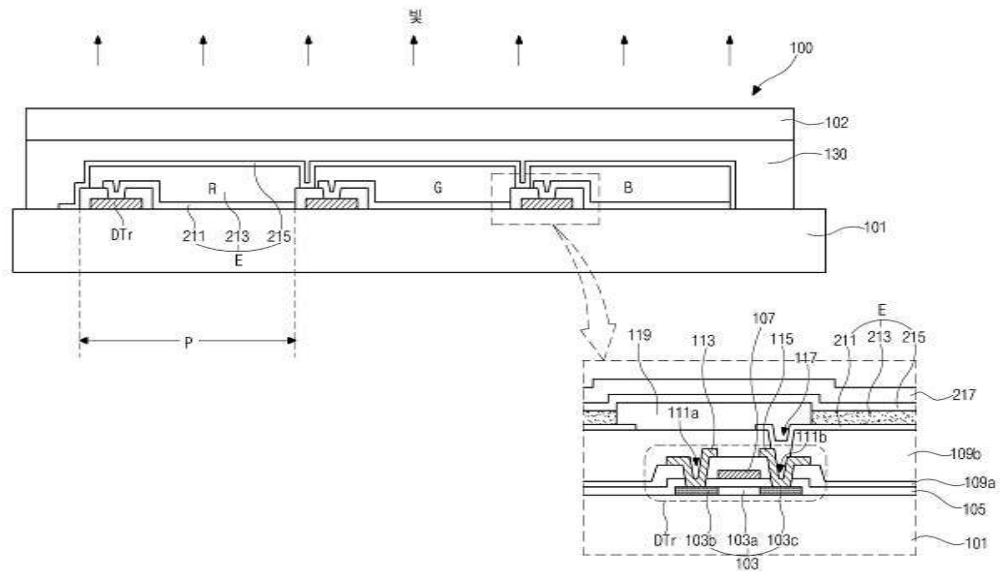
- 101 : 기판
- 103 : 반도체층(103a : 액티브영역, 103b, 103c : 소스 및 드레인영역)
- 105 : 게이트절연막
- 107 : 게이트전극
- 109a, 109b : 제 1 및 제 2 층간절연막
- 113 : 소스전극, 115 : 드레인전극
- 119 : बैं크
- 211 : 제 1 전극, 213 : 유기발광층, 215 : 제 2 전극
- 200 : 산화은층
- 300 : 이물

**도면**

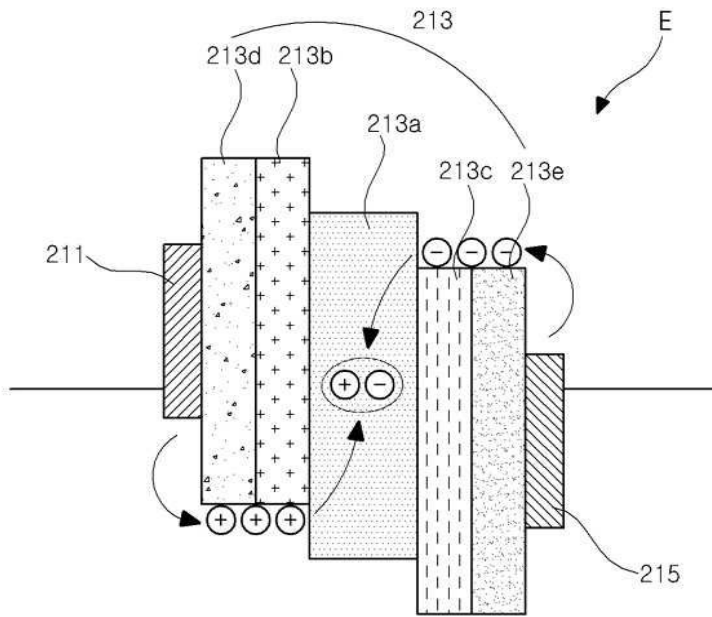
**도면1**



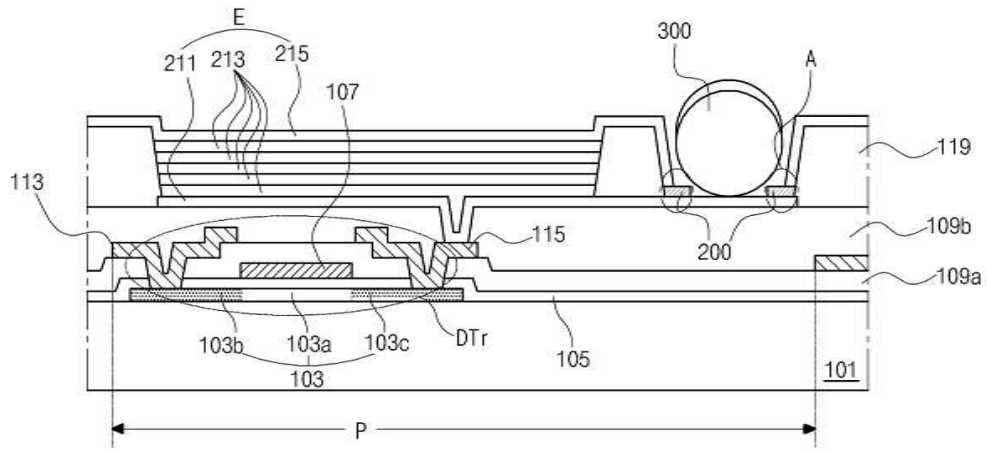
도면2a



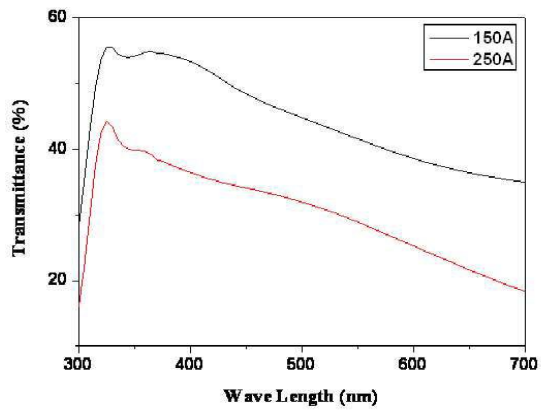
도면2b



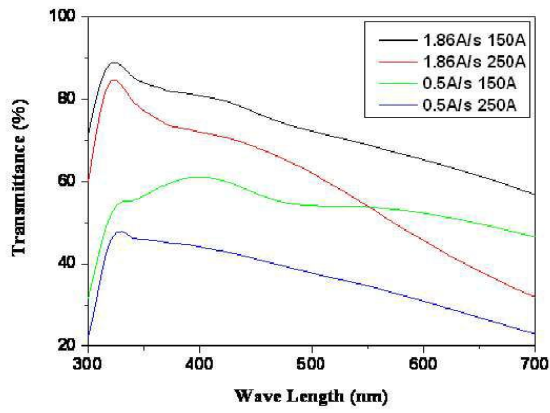
도면3



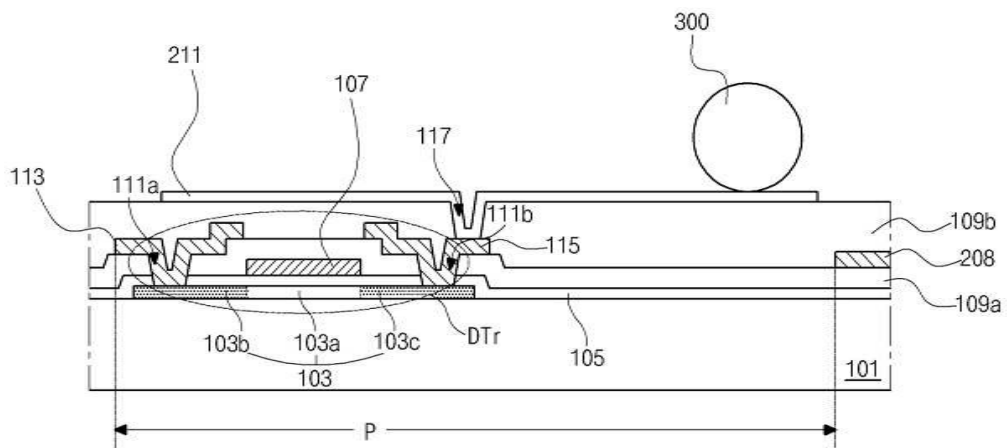
도면4



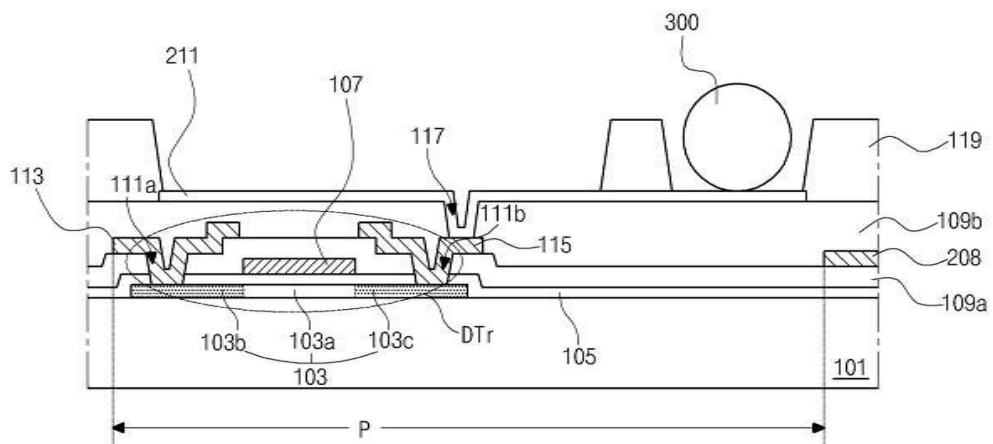
도면5



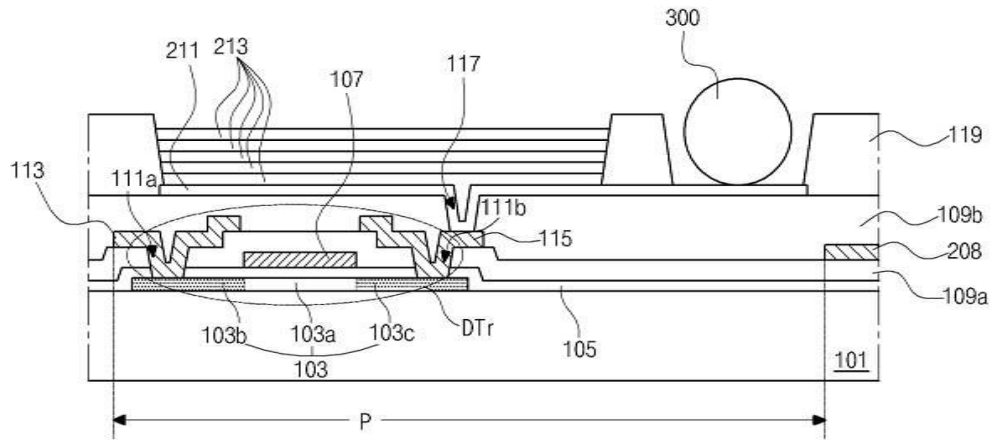
도면6a



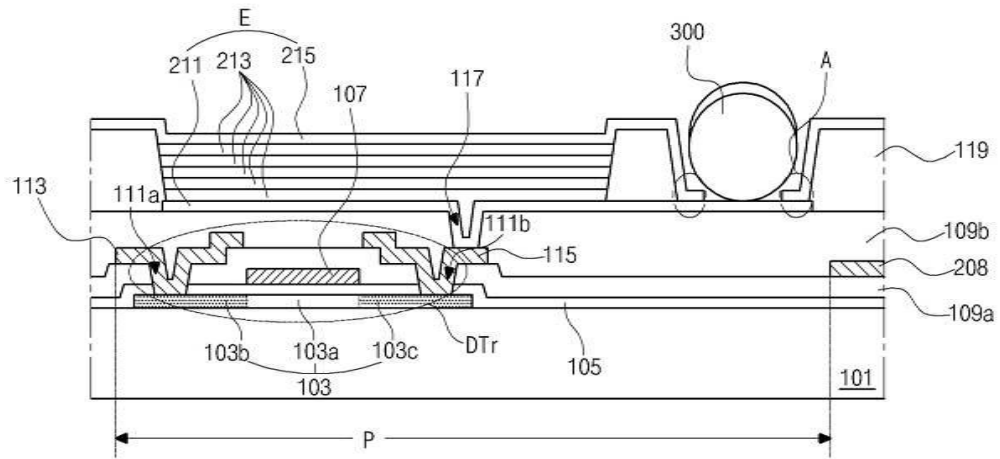
도면6b



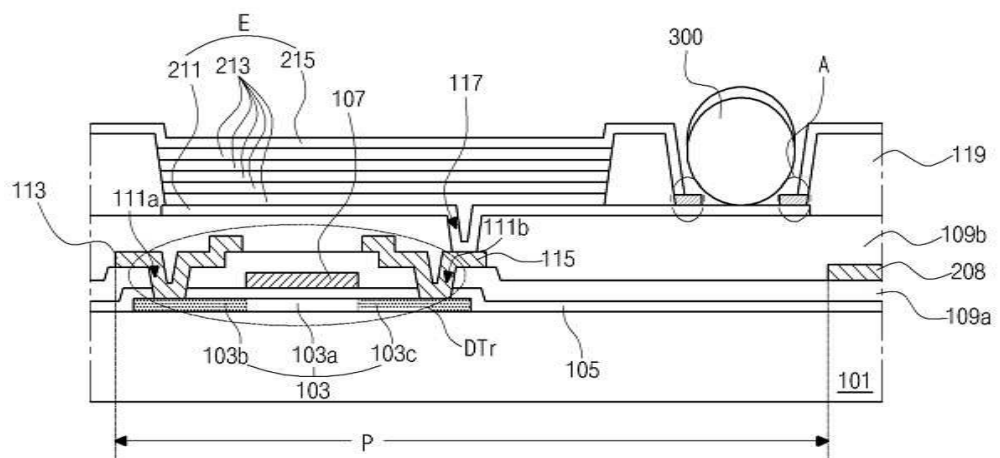
도면6c



도면6d



도면6e



도면6f

