



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0021389
(43) 공개일자 2016년02월25일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0106203

(22) 출원일자 2014년08월14일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

최보경

경기도 성남시 수정구 성남대로1271번길 4-8, 1층
(태평동)

손용덕

경기 성남시 분당구 동판교로 226, 409동 601호
(삼평동, 봇들마을4단지아파트)

(74) 대리인

팬코리아특허법인

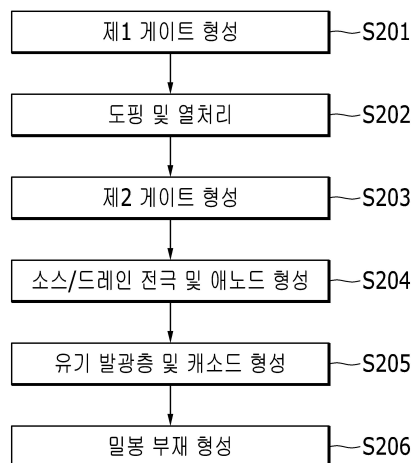
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법은, 박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판 상부의 각 영역에 제1 게이트 전극을 형성하는 제1 게이트 형성 단계와, 상기 박막트랜지스터 영역에 형성된 반도체층에 도펀트를 도핑하고 열처리하는 도핑 및 열처리 단계와, 상기 배선 영역에 형성되는 상기 제1 게이트 전극 상에 상기 제1 게이트를 덮도록 제2 게이트 전극을 형성하는 제2 게이트 형성 단계와, 상기 박막트랜지스터 영역에 소스/드레인 전극을 형성하고, 상기 소스/드레인 전극 중 어느 하나의 전극과 연결되도록 애노드 전극을 형성하는 소스/드레인 전극 및 애노드 형성 단계와, 상기 애노드 전극 상에 유기 발광층을 형성하고, 상기 유기 발광층 상에 캐소드를 형성하는 유기 발광층 및 캐소드 형성 단계, 및 상기 캐소드 상에 밀봉 부재를 형성하는 밀봉 부재 형성 단계를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판 상부의 각 영역에 제1 게이트 전극을 형성하는 제1 게이트 형성 단계;

상기 박막트랜지스터 영역에 형성된 반도체층에 도펀트를 도핑하고 열처리하는 도핑 및 열처리 단계;

상기 배선 영역에 형성되는 상기 제1 게이트 전극 상에 상기 제1 게이트를 덮도록 제2 게이트 전극을 형성하는 제2 게이트 형성 단계;

상기 박막트랜지스터 영역에 소스/드레인 전극을 형성하고, 상기 소스/드레인 전극 중 어느 하나의 전극과 연결되도록 애노드 전극을 형성하는 소스/드레인 전극 및 애노드 형성 단계;

상기 애노드 전극 상에 유기 발광층을 형성하고, 상기 유기 발광층 상에 캐소드를 형성하는 유기 발광층 및 캐소드 형성 단계; 및

상기 캐소드 상에 밀봉 부재를 형성하는 밀봉 부재 형성 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 2

제 1 항에서,

상기 제1 게이트 형성 단계는,

상기 제1 게이트 전극을 습식 식각 또는 건식 식각에 의해 형성하는 유기 발광 표시 장치 제조 방법.

청구항 3

제 1 항에서,

상기 도핑 및 열처리 단계는,

상기 반도체층을 붕소(B), 인(P), 비소(As), 니켈(Ni) 중 어느 하나의 재료로 도핑하는 유기 발광 표시 장치 제조 방법.

청구항 4

제 1 항에서,

상기 도핑 및 열처리 단계는,

상기 반도체층을 450℃ 내지 630℃ 의 온도로 열처리하는 유기 발광 표시 장치 제조 방법.

청구항 5

제 1 항에서,

상기 제1 게이트 형성 단계 이후에,

상기 제1 게이트 전극 상에 캐핑층(capping layer)을 증착하는 캐핑층 증착 단계를 더 포함하고,

상기 도핑 및 열처리 단계 이후에,

에천트(etchant)로 상기 캐핑층을 제거하는 캐핑층 제거 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 6

제 1 항에서,

상기 도핑 및 열처리 단계 이후에,

상기 제1 게이트 전극에 형성된 메탈산화막을 제거하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 7

제 1 항에서,

상기 도핑 및 열처리 단계는,

질소 또는 진공 분위기에서 열처리가 이루어지는 유기 발광 표시 장치 제조 방법.

청구항 8

제 1 항에서,

상기 제2 게이트 형성 단계는,

상기 제2 게이트 전극을 습식 식각 또는 건식 식각에 의해 형성하는 유기 발광 표시 장치 제조 방법.

청구항 9

제 1 항에서,

상기 소스/드레인 전극 및 애노드 형성 단계는,

상기 박막트랜지스터 영역 및 상기 패드 영역에 형성되는 제1 게이트 전극과 상기 배선 영역에 형성되는 제2 게이트 전극 상에 층간 절연막을 형성하는 단계;

상기 박막트랜지스터 영역에 형성된 상기 게이트 절연막과 연결되도록 소스/드레인 전극을 형성하는 단계; 및

상기 층간 절연막 상에 평탄화층을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 10

박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판;

상기 기판 상부에 형성되는 버퍼층;

상기 버퍼층 상부의 박막트랜지스터 영역에 형성되는 반도체층;

상기 버퍼층 상에 형성되는 게이트 절연막;

상기 게이트 절연막 상의 상기 각 영역들에 형성되는 제1 게이트 전극;

상기 제1 게이트 전극 상부의 배선 영역에 형성되는 제2 게이트 전극;

상기 박막트랜지스터 영역 및 상기 패드 영역에 형성되는 제1 게이트 전극과 상기 배선 영역에 형성되는 제2 게이트 전극 상에 형성된 층간 절연막;

상기 층간 절연막 상의 박막트랜지스터 영역에 형성되는 소스/드레인 전극;

상기 소스/드레인 전극 상에 형성되는 평탄화층;

상기 소스/드레인 전극 중 어느 하나의 전극과 연결되도록 형성되는 애노드;

상기 애노드 전극 상에 형성되는 유기 발광층;

상기 유기 발광층 상에 형성되는 캐소드; 및

상기 캐소드 상에 형성되는 밀봉 부재를 포함하는 유기 발광 표시 장치.

청구항 11

제 10 항에서,

상기 제1 게이트 전극은 단일 메탈로 형성되는 유기 발광 표시 장치.

청구항 12

제 10 항에서,

상기 제1 게이트 전극은, 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W) 중 어느 하나의 재료로 형성되는 유기 발광 표시 장치.

청구항 13

제 10 항에서,

상기 제1 게이트 전극은, 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 적층 구조로 형성되는 유기 발광 표시 장치.

청구항 14

제 10 항에서,

상기 제1 게이트 전극은, 2000Å 이상 5000Å 이하의 두께로 형성되는 유기 발광 표시 장치.

청구항 15

제 10 항에서,

상기 제2 게이트 전극은, 알루미늄(Al)/몰리브덴(Mo), 몰리브덴(Mo)/알루미늄(Al)/몰리브덴(Mo), 알루미늄(Al)/티타늄(Ti) 및 티타늄(Ti)/알루미늄(Al)/티타늄(Ti) 중 어느 하나의 적층 구조로 형성되는 유기 발광 표시 장치.

청구항 16

제 10 항에서,

상기 제2 게이트 전극은, 6000Å 이상 20000Å 이하의 두께로 형성되는 유기 발광 표시 장치.

청구항 17

제 10 항에서,

상기 평탄화층은, 상기 패드 영역의 제1 게이트 전극이 노출되도록 형성되는 유기 발광 표시 장치.

발명의 설명

기술 분야

본 기재는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

유기 발광 표시 장치는 정공 주입 전극과 유기 발광층 및 전자 주입 전극으로 구성되는 유기 발광 소자들을 포함한다. 각각의 유기 발광 소자는 유기 발광층 내부에서 전자와 정공이 결합하여 생성된 여기자(exciton)가 여기 상태에서 기저 상태로 떨어질 때 발생하는 에너지에 의해 발광하고, 이러한 발광을 이용하여 유기 발광 표시 장치가 소정의 영상을 표시한다.

유기 발광 표시 장치는 자발광(self-luminance) 특성을 가지며, 액정 표시 장치와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 빠른 응답 속도 등의 고품위 특성을 나타내므로 차세대 표시 장치로 주목을 받고 있다.

최근, AMOLED의 고해상도, 대형화 패널의 연구가 활발히 진행되고 있다. 그러나, 이러한 개발 방향은 메탈(metal) 배선의 길이 증가와 배선평 감소로 인해 콘덴서 충전 지연(RC delay)을 유발한다. 이러한 문제를 극복하기 위해 종래의 기술은 두꺼운 게이트 메탈(gate metal)을 증착하여 스캔(scan) 배선부 및 박막트랜지스터(TFT) 소자의 메탈부를 형성하여 저항을 낮춘다.

종래의 기술은 도 3에 도시된 바와 같이, 기판(1), 버퍼층(2), 게이트 절연막(3)이 차례로 적층된 구조 상에 두

꺼운 게이트 메탈(G)을 증착하여 스캔 배선부 및 박막트랜지스터 소자의 게이트 메탈부를 형성한다. 그러나, 습식 식각(wet etch)을 적용하는 게이트 메탈(주로, Mo/Al/Mo)의 경우, 두꺼운 성막 두께에 비하여, 상대적으로 낮은 폭의 메탈 형성시, 불안정한 게이트 메탈 및 층간 절연막(4, ILD; inter layer dielectric)을 형성하게 된다. 이를 방지하기 위해서는 특정 폭 이상의 소자를 디자인하여야 하며, 이 경우에는 개구율이 감소하는 단점이 있다.

[0006] 또한, 게이트 배선 저항을 낮추기 위하여 두꺼운 두께를 갖는 알루미늄(Al) 배선을 사용하는데, 고온에 의한 알루미늄의 특성으로 인해 게이트 형성 이후 450℃ 이상으로 열처리가 불가능하여, 고온 열처리(activation)를 통한 소자 특성 향상을 기대하기 어렵다.

발명의 내용

해결하려는 과제

[0007] 상기와 같은 문제점을 해결하기 위해, 본 발명의 실시예들에서 반도체층의 제1 게이트 전극은 박막트랜지스터 영역 및 패드(pad) 영역에 형성하고, 제1 게이트 전극과 제2 게이트 전극을 적층하여 두꺼운 스캔(scan) 영역 게이트 전극을 형성하는 것을 특징으로 하는 유기 발광 표시 장치 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법은, 박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판 상부의 각 영역에 제1 게이트 전극을 형성하는 제1 게이트 형성 단계와, 상기 박막트랜지스터 영역에 형성된 반도체층에 도펀트를 도핑하고 열처리하는 도핑 및 열처리 단계와, 상기 배선 영역에 형성되는 상기 제1 게이트 전극 상에 상기 제1 게이트를 덮도록 제2 게이트 전극을 형성하는 제2 게이트 형성 단계와, 상기 박막트랜지스터 영역에 소스/드레인 전극을 형성하고, 상기 소스/드레인 전극 중 어느 하나의 전극과 연결되도록 애노드 전극을 형성하는 소스/드레인 전극 및 애노드 형성 단계와, 상기 애노드 전극 상에 유기 발광층을 형성하고, 상기 유기 발광층 상에 캐소드를 형성하는 유기 발광층 및 캐소드 형성 단계, 및 상기 캐소드 상에 밀봉 부재를 형성하는 밀봉 부재 형성 단계를 포함한다.

[0009] 상기 제1 게이트 형성 단계는, 상기 제1 게이트 전극을 습식 식각 또는 건식 식각에 의해 형성할 수 있다.

[0010] 상기 도핑 및 열처리 단계는, 상기 반도체층을 붕소(B), 인(P), 비소(As), 니켈(Ni) 중 어느 하나의 재료로 도핑하는 것일 수 있다.

[0011] 상기 도핑 및 열처리 단계는, 상기 반도체층을 450℃ 내지 630℃ 의 온도로 열처리하는 것일 수 있다.

[0012] 상기 제1 게이트 형성 단계 이후에, 상기 제1 게이트 전극 상에 캐핑층(capping layer)을 증착하는 캐핑층 증착 단계를 더 포함하고, 상기 도핑 및 열처리 단계 이후에, 에천트(etchant)로 상기 캐핑층을 제거하는 캐핑층 제거 단계를 더 포함할 수 있다.

[0013] 상기 도핑 및 열처리 단계 이후에, 상기 제1 게이트 전극에 형성된 메탈산화막을 제거하는 단계를 더 포함할 수 있다.

[0014] 상기 도핑 및 열처리 단계는, 질소 또는 진공 분위기에서 열처리가 이루어지는 것일 수 있다.

[0015] 상기 제2 게이트 형성 단계는, 상기 제2 게이트 전극을 습식 식각 또는 건식 식각에 의해 형성하는 것일 수 있다.

[0016] 상기 소스/드레인 전극 및 애노드 형성 단계는, 상기 박막트랜지스터 영역 및 상기 패드 영역에 형성되는 제1 게이트 전극과 상기 배선 영역에 형성되는 제2 게이트 전극 상에 층간 절연막을 형성하는 단계와, 상기 박막트랜지스터 영역에 형성된 상기 게이트 절연막과 연결되도록 소스/드레인 전극을 형성하는 단계, 및 상기 층간 절연막 상에 유기 절연막을 형성하는 단계를 더 포함할 수 있다.

[0017] 본 발명의 실시예에 따른 유기 발광 표시 장치는, 박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판과, 상기 기판 상부에 형성되는 버퍼층과, 상기 버퍼층 상부의 박막트랜지스터 영역에 형성되는 반도체층과, 상기 버퍼층 상에 형성되는 게이트 절연막과, 상기 게이트 절연막 상의 상기 각 영역들에 형성되는 제1 게이트 전극과, 상기 제1 게이트 전극 상부의 배선 영역에 형성되는 제2 게이트 전극과, 상기 박막트랜지스터 영역 및 상기 패드 영역에 형성되는 제1 게이트 전극과 상기 배선 영역에 형성되는 제2 게이트 전극 상에 형

성된 층간 절연막과, 상기 층간 절연막 상의 박막트랜지스터 영역에 형성되는 소스/드레인 전극과, 상기 소스/드레인 전극 상에 형성되는 평탄화층과, 상기 소스/드레인 전극 중 어느 하나의 전극과 연결되도록 형성되는 애노드와, 상기 애노드 전극 상에 형성되는 유기 발광층과, 상기 유기 발광층 상에 형성되는 캐소드, 및 상기 캐소드 상에 형성되는 밀봉 부재를 포함한다.

- [0018] 상기 제1 게이트 전극은 단일 메탈로 형성될 수 있다.
- [0019] 상기 제1 게이트 전극은, 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W) 중 어느 하나의 재료로 형성될 수 있다.
- [0020] 상기 제1 게이트 전극은, 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 적층 구조로 형성될 수 있다.
- [0021] 상기 제1 게이트 전극은, 2000Å 이상 5000Å 이하의 두께로 형성될 수 있다.
- [0022] 상기 제2 게이트 전극은, 알루미늄(Al)/몰리브덴(Mo), 몰리브덴(Mo)/알루미늄(Al)/몰리브덴(Mo), 알루미늄(Al)/티타늄(Ti) 및 티타늄(Ti)/알루미늄(Al)/티타늄(Ti) 중 어느 하나의 적층 구조로 형성될 수 있다.
- [0023] 상기 제2 게이트 전극은, 6000Å 이상 20000Å 이하의 두께로 형성될 수 있다.
- [0024] 상기 유기 절연막은, 상기 패드 영역의 제1 게이트 전극이 노출되도록 형성될 수 있다.

발명의 효과

- [0025] 본 발명의 실시예들에 따르면, 표시 장치의 배선 영역에 게이트 구조를 2중으로 형성하여 두꺼운 스캔 게이트 배선을 형성함으로써 게이트 배선 저항을 낮추어, 콘덴서 충전 지연(RC delay) 현상을 방지할 수 있다.
- [0026] 또한, 제1 게이트 형성시 고온 열처리를 통해서 소자의 이동도 및 온 커런트(on current) 향상이 가능하다.
- [0027] 또한, 컨택홀을 형성하는 포토공정을 생략할 수 있으므로, 공정 단순화에 기여할 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법을 나타내는 순서도이다.
- 도 2a 내지 도 2e는 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법을 나타내는 공정 단면도이다.
- 도 3은 종래의 유기 발광 표시 장치의 구조를 개략적으로 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0030] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 일 실시예에서 설명하고, 그 외의 실시예들에서는 일 실시예와 다른 구성에 대해서만 설명하기로 한다.
- [0031] 도면들은 개략적이고 축적에 맞게 도시되지 않았다는 것을 일러둔다. 도면에 있는 부분들의 상대적인 치수 및 비율은 도면에서의 명확성 및 편의를 위해 그 크기에 있어 과장되거나 감소되어 도시되었으며, 임의의 치수는 단지 예시적인 것이지 한정적인 것은 아니다. 그리고, 둘 이상의 도면에 나타나는 동일한 구조물, 요소 또는 부품에는 동일한 참조 부호가 유사한 특징을 나타내기 위해 사용된다. 어느 부분이 다른 부분의 “위에” 또는 “상에” 있다고 언급하는 경우, 이는 바로 다른 부분의 위에 있을 수 있거나 그 사이에 다른 부분이 수반될 수도 있다.
- [0032] 본 발명의 실시예는 본 발명의 한 실시예를 구체적으로 나타낸다. 그 결과, 도해의 다양한 변형이 예상된다. 따라서 실시예는 도시한 영역의 특정 형태에 국한되지 않으며, 예를 들면 제조에 의한 형태의 변형도 포함한다.
- [0033] 이하, 도 1 및 도 2a 내지 도 2e를 참조하여, 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법을 설명한다.
- [0034] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법을 나타내는 순서도이고, 도 2a 내지 도 2e는 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법을 나타내는 공정 단면도이다.
- [0035] 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법은, 제1 게이트 형성 단계(S201), 도핑 및 열처리 단계

(S202), 제2 게이트 형성 단계(S203), 소스/드레인 전극 및 애노드 형성 단계(S204), 유기 발광층 및 캐소드 형성 단계(S205), 및 밀봉 부재 형성 단계(S206)를 포함한다.

- [0036] 우선, 박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판(110)을 준비하고, 기판(110) 상에 버퍼층(120)을 형성한다. 기판(110) 상의 박막트랜지스터 영역 상에는 반도체층(40)을 형성한다.
- [0037] 반도체층(130) 위에는 질화 규소(SiN_x) 또는 산화 규소(SiO_2) 등의 세라믹(ceramic) 계열의 소재로 형성된 게이트 절연막(130)이 형성된다.
- [0038] 게이트 절연막(130) 위에는 박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판(110)의 각 영역에 제1 게이트 전극(G1)을 형성한다(S201, 도 2a). 제1 게이트 형성 단계(S201)는 제1 게이트 전극(G1)을 습식 식각 또는 건식 식각에 의해 형성하는 것일 수 있다.
- [0039] 그 후, 박막트랜지스터 영역에 형성된 반도체층(40)에 도펀트를 도핑하고 열처리한다(S202, 도 2b). 반도체층(40)은 불순물이 도핑되지 않는 채널 영역(10)과, 채널 영역(10)의 양 옆으로 p+ 도핑되어 형성된 소스 영역(20) 및 드레인 영역(30)을 포함한다. 이 때, 도핑되는 이온 물질은 붕소(B)와 같은 P형 불순물이며, 주로 B_2H_6 이 사용될 수 있다. 여기서, 이러한 불순물은 박막트랜지스터의 종류에 따라 달라질 수 있다. 즉, 반도체층(40)을 붕소(B), 인(P), 비소(As), 니켈(Ni) 중 어느 하나의 재료로 도핑할 수 있다.
- [0040] 본 발명의 실시예에서는 구동 박막트랜지스터로 P형 불순물을 사용한 PMOS 구조의 박막트랜지스터가 사용되었으나, 이에 한정되는 것은 아니다. 따라서, 구동 박막트랜지스터로 NMOS 구조 또는 CMOS 구조의 박막트랜지스터도 모두 사용될 수 있다.
- [0041] 도핑 및 열처리 단계(S202)는, 반도체층(40)을 약 450°C 내지 약 630°C 의 고온으로 열처리하는 것일 수 있다. 고온의 열처리를 통해 도펀트의 활성화 및 소자 특성 향상을 기대할 수 있다.
- [0042] 한편, 제1 게이트 형성 단계(S201) 이후에, 상기 제1 게이트 전극(G1) 상에 캐핑층(capping layer)(미도시)을 증착하는 캐핑층 증착 단계를 더 포함하고, 도핑 및 열처리 단계(S202) 이후에, 에천트(etchant)로 캐핑층을 제거하는 캐핑층 제거 단계를 더 포함할 수 있다.
- [0043] 제1 게이트 메탈(G1)의 형성 이후에 캐핑층을 전면 증착한 채로 열처리를 진행하여 소자 활성화를 한 뒤, 완충불산(buffered oxide etchant; BOE)과 같은 용액으로 다시 캐핑층을 제거함으로써, 제1 게이트 메탈(G1) 상의 메탈산화막의 형성 및 컨택 저항의 상승을 막을 수 있다.
- [0044] 또는, 캐핑층 증착 과정없이, 도핑 및 열처리 단계(S202) 이후에, 에천트를 이용하여 메탈산화막을 제거하는 단계를 더 포함할 수 있다.
- [0045] 도핑 및 열처리 단계(S202)는, 질소 또는 진공 분위기에서 열처리가 이루어질 수 있다.
- [0046] 그 후, 배선 영역에 형성되는 제1 게이트 전극(G1) 상에 제1 게이트 전극(G1)을 덮도록 제2 게이트 전극(G2)을 형성한다(S203, 도 2c). 제2 게이트 전극(G2)은 습식 식각 또는 건식 식각에 의해 형성할 수 있다. 제2 게이트 전극(G2)은 배선 영역에만 형성되며, 제1 게이트 전극(G1)보다 더 큰 폭을 가지도록 하며, 제1 게이트 전극(G1)의 상면에 접촉하며 덮도록 형성할 수 있다.
- [0047] 그 후, 박막트랜지스터 영역 및 패드 영역에 형성되는 제1 게이트 전극(G1)과 배선 영역에 형성되는 제2 게이트 전극(G2) 상에 층간 절연막(140)이 형성된다.
- [0048] 그 후, 층간 절연막(140) 위에는 소스 전극(60) 및 드레인 전극(50)을 포함하는 데이터 배선이 형성된다(S204, 도 2d). 소스 전극(60) 및 드레인 전극(50)은 각각 층간 절연막(140) 및 게이트 절연막(130)에 형성된 관통공들을 통해 반도체층(40)의 소스 영역(20) 및 드레인 영역(30)과 연결된다.
- [0049] 층간 절연막(140) 상에는 소스 전극(60) 및 드레인 전극(50)을 덮는 평탄화층(150)이 형성된다. 평탄화층(150)은 그 위에 형성될 유기 발광 소자(200)의 발광 효율을 높이기 위해 단차를 없애고 평탄화시키는 역할을 한다.
- [0050] 평탄화층(150) 위에는 유기 발광 소자(200)의 애노드(210)가 형성된다(S204, 도 2d). 즉, 유기 발광 표시 장치는 복수의 화소들마다 각각 배치된 복수의 애노드(210)를 포함한다. 이때, 복수의 애노드들(210)은 서로 이격 배치된다. 애노드(210)는 평탄화층(150)의 전극 콘택홀을 통해 드레인 전극(50)과 연결된다.
- [0051] 또한, 평탄화층(150) 위에는 애노드(210)를 드러내는 개구부를 갖는 화소 정의막(160)이 형성된다. 즉, 화소 정의막(160)은 각 화소마다 형성된 복수의 개구부를 갖는다. 그리고, 애노드(210)는 화소 정의막(160)의 개구부에

대응하도록 배치된다.

- [0052] 애노드(210) 위에는 유기 발광층(220)이 형성되고, 유기 발광층(220) 상에는 캐소드(230)가 형성된다(S205, 도 2e). 이와 같이, 애노드(210), 유기 발광층(220), 및 캐소드(230)를 포함하는 유기 발광 소자(200)가 형성된다.
- [0053] 캐소드(230) 상에는 밀봉 부재(300)를 형성한다(S206, 도 2e). 밀봉 부재(300)는 기판(110)에 대해 대향 배치된다. 밀봉 부재(300)는 유리 및 플라스틱 등과 같은 투명한 물질로 만들어질 수 있다. 밀봉 부재(300)는 가장자리를 따라 형성된 실런트를 통해 기판(110)과 서로 합착 밀봉될 수 있다.
- [0054] 본 발명의 실시예에 따른 유기 발광 표시 장치는, 도 2e에 도시된 바와 같이, 박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판(110)과, 기판(110) 상부에 형성되는 버퍼층(120)과, 버퍼층(120) 상부의 박막트랜지스터 영역에 형성되는 반도체층(40)과, 버퍼층(120) 상에 형성되는 게이트 절연막(130)과, 게이트 절연막(130) 상의 각 영역들에 형성되는 제1 게이트 전극(G1)과, 제1 게이트 전극(G1) 상부의 배선 영역에 형성되는 제2 게이트 전극(G2)과, 박막트랜지스터 영역 및 패드 영역에 형성되는 제1 게이트 전극(G1)과 배선 영역에 형성되는 제2 게이트 전극(G2) 상에 형성된 층간 절연막(140)과, 층간 절연막(140) 상의 박막트랜지스터 영역에 형성되는 소스/드레인 전극(50, 60)과, 소스/드레인 전극(50, 60) 상에 형성되는 평탄화층(150)과, 소스/드레인 전극(50, 60) 중 어느 하나의 전극과 연결되도록 형성되는 애노드(210)와, 애노드(210) 상에 형성되는 유기 발광층(220)과, 유기 발광층(220) 상에 형성되는 캐소드(230), 및 캐소드(230) 상에 형성되는 밀봉 부재(300)를 포함한다.
- [0055] 기판(110)은, 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 기판(110)은 스테인리스 강 등으로 이루어진 금속성 기판으로 형성될 수도 있다.
- [0056] 버퍼층(120)은 기판(110) 상부에 형성되며, 버퍼층(120)은 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 일례로, 버퍼층(120)은 질화 규소(SiN_x)막, 산화 규소(SiO_2)막, 산질화 규소(SiO_xN_y)막 중 어느 하나가 사용될 수 있다. 그러나 버퍼층(120)은 반드시 필요한 구성은 아니며, 기판(110)의 종류 및 공정 조건에 따라 생략될 수도 있다.
- [0057] 버퍼층(120) 위에는 반도체층(40)이 구비된다. 반도체층(40)은 다결정 규소막으로 형성된다. 반도체층(40)은 불순물이 도핑되지 않는 채널 영역(10)과, 채널 영역(10)의 양 옆으로 p+ 도핑되어 형성된 소스 영역(20) 및 드레인 영역(30)을 포함한다. 이 때, 도핑되는 이온 물질은 붕소(B)와 같은 P형 불순물이며, 주로 B_2H_6 이 사용될 수 있다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라질 수 있다. 즉, 반도체층(40)을 붕소(B), 인(P), 비소(As), 니켈(Ni) 중 어느 하나의 재료로 도핑할 수 있다.
- [0058] 반도체층(40) 위에는 질화 규소(SiN_x) 또는 산화 규소(SiO_2) 등의 세라믹(ceramic) 계열의 소재로 형성된 게이트 절연막(130)이 구비된다.
- [0059] 게이트 절연막(130) 위에는 박막트랜지스터(TFT) 영역, 배선 영역, 및 패드 영역으로 구분되는 기판(110)의 각 영역에 제1 게이트 전극(G1)이 구비된다.
- [0060] 제1 게이트 전극(G1)은 단일 메탈로 형성될 수 있다. 제1 게이트 전극(G1)은, 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W) 중 어느 하나의 재료로 형성될 수 있다.
- [0061] 또한, 제1 게이트 전극(G1)은, 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 적층 구조로 형성될 수 있다.
- [0062] 또한, 제1 게이트 전극(G1)은, 2000Å 이상 5000Å 이하의 두께로 형성될 수 있다.
- [0063] 제1 게이트 전극(G1) 상부의 배선 영역에는 제2 게이트 전극(G2)이 구비된다. 제2 게이트 전극(G2)은 제1 게이트 전극(G1)보다 더 큰 폭을 가지도록 하며, 제1 게이트 전극(G1)의 상면에 접촉하며 덮도록 형성된다.
- [0064] 제2 게이트 전극(G2)은 알루미늄(Al)/몰리브덴(Mo), 몰리브덴(Mo)/알루미늄(Al)/몰리브덴(Mo), 알루미늄(Al)/티타늄(Ti) 및 티타늄(Ti)/알루미늄(Al)/티타늄(Ti) 중 어느 하나의 적층 구조로 구비될 수 있다.
- [0065] 또한, 제2 게이트 전극(G2)은, 6000Å 이상 20000Å 이하의 두께로 구비될 수 있다.
- [0066] 박막트랜지스터 영역 및 패드 영역에 형성되는 제1 게이트 전극(G1)과 배선 영역에 형성되는 제2 게이트 전극(G2) 상에는 층간 절연막(140)이 구비된다. 층간 절연막(140)은 반도체층(40)의 소스 영역(20) 및 드레인 영역

(30)을 드러내는 관통공들을 갖는다. 층간 절연막(140)은 게이트 절연막(130)과 마찬가지로, 질화 규소(SiN_x) 또는 산화 규소(SiO_2) 등의 세라믹(ceramic) 계열의 소재를 사용하여 만들어질 수 있다

[0067] 층간 절연막(140) 상의 박막트랜지스터 영역에는 소스 전극(60) 및 드레인 전극(50)이 구비된다. 소스 전극(20) 및 드레인 전극(30)은 각각 층간 절연막(140)과 게이트 절연막(130)에 형성된 관통공들을 통해 반도체층(40)의 소스 영역(20) 및 드레인 영역(30)과 연결된다.

[0068] 이와 같이, 반도체층(40), 제1 게이트 전극(G1), 소스 전극(60) 및 드레인 전극(50)을 포함한 박막 트랜지스터(70)가 형성된다. 박막 트랜지스터(70)의 구성은 전술한 예에 한정되지 않고, 당해 기술 분야의 전문가가 용이하게 실시할 수 있는 공지된 구성으로 다양하게 변형 가능하다.

[0069] 층간 절연막(140) 상에는 소스 전극(60) 및 드레인 전극(50)을 덮는 평탄화층(150)이 형성된다. 평탄화층(150)은 그 위에 형성될 유기 발광 소자(200)의 발광 효율을 높이기 위해 단차를 없애고 평탄화시키는 역할을 한다.

[0070] 평탄화층(150)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly phenylenethers resin), 폴리페닐렌설파이드계 수지(poly phenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene, BCB) 중 하나 이상의 물질 등으로 만들 수 있다.

[0071] 또한, 본 발명에 따른 실시예는 전술한 구조에 한정되는 것은 아니며, 경우에 따라 평탄화층(150)과 층간 절연막(140) 중 어느 하나는 생략될 수도 있다.

[0072] 평탄화층(150) 위에는 유기 발광 소자(200)의 애노드(210)가 형성된다. 즉, 유기 발광 표시 장치는 복수의 화소들마다 각각 배치된 복수의 애노드(210)를 포함한다. 이때, 복수의 애노드들(210)은 서로 이격 배치된다. 애노드(210)는 평탄화층(150)의 전극 콘택홀을 통해 드레인 전극(50)과 연결된다.

[0073] 평탄화층(150)은 패드 영역의 제1 게이트 전극(G1)이 노출되도록 형성된다.

[0074] 또한, 평탄화층(150) 위에는 애노드(210)를 드러내는 개구부를 갖는 화소 정의막(160)이 형성된다. 즉, 화소 정의막(160)은 각 화소마다 형성된 복수의 개구부를 갖는다. 그리고, 애노드(210)는 화소 정의막(160)의 개구부에 대응하도록 배치된다. 그러나, 애노드(210)가 반드시 화소 정의막(160)의 개구부에만 배치되는 것은 아니며, 애노드(210)의 일부가 화소 정의막(160)과 중첩되도록 화소 정의막(310) 아래에 배치될 수 있다. 화소 정의막(160)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리카 계열의 무기물 등으로 만들어질 수 있다.

[0075] 애노드(210) 위에는 유기 발광층(220)이 형성되고, 유기 발광층(220) 상에는 캐소드(230)가 형성된다. 이와 같이, 애노드(210), 유기 발광층(220), 및 캐소드(230)를 포함하는 유기 발광 소자(200)가 형성된다.

[0076] 유기 발광층(220)은 저분자 유기물 또는 고분자 유기물로 이루어진다. 또한, 유기 발광층(220)은 발광층과, 정공 주입층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL), 및 전자 주입층(electron-injection layer, EIL)을 중 하나 이상을 포함하는 다층막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층(HIL)이 양극인 애노드(210) 상에 배치되고, 그 위로 정공 수송층(HTL), 발광층, 전자 수송층(ETL), 전자 주입층(EIL)이 차례로 적층된다.

[0077] 유기 발광층(220)은 화소 정의막(160)의 개구부 내에만 배치되었으나, 본 발명에 따른 실시예가 이에 한정되는 것은 아니다. 따라서, 유기 발광층(220)은 화소 정의막(160)의 개구부 내에서 애노드(210) 위에 형성될 뿐만 아니라, 화소 정의막(160)과 캐소드(230) 사이에도 배치될 수 있다. 구체적으로, 유기 발광층(220)은 발광층과 함께 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 및 전자 주입층(EIL) 등과 같은 여러 막을 더 포함할 수 있다. 이 때, 발광층을 제외한 나머지 정공 주입층(HIL), 정공 수송층(HTL), 전자 수송층(ETL), 및 전자 주입층(EIL)들은 제조 과정에서 오픈 마스크(open mask)를 사용하여 캐소드(230)과 마찬가지로 애노드(210) 위에 뿐만 아니라 화소 정의막(160) 위에도 형성될 수 있다. 즉, 유기 발광층(220)에 속한 여러 막 중 하나 이상의 막이 화소 정의막(160)과 캐소드(230) 사이에 배치될 수 있다.

[0078] 애노드(210)과 캐소드(230)는 각각 투명한 도전성 물질로 형성되거나 반투과형 또는 반사형 도전성 물질로 형성될 수 있다. 애노드(210) 및 캐소드(230)를 형성하는 물질의 종류에 따라, 유기 발광 표시 장치는 전면 발광형, 배면 발광형 또는 양면 발광형이 될 수 있다.

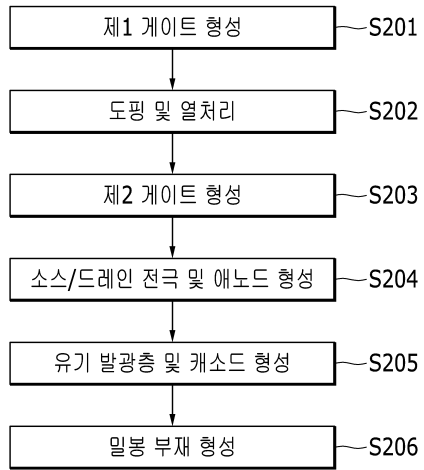
- [0079] 투명한 도전성 물질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide) 또는 In_2O_3 (Indium Oxide) 등의 물질을 사용할 수 있다. 반사형 물질 및 반투과형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.
- [0080] 캐소드(210) 상에는 밀봉 부재(300)가 구비된다. 밀봉 부재(300)는 기판(110)에 대해 대향 배치된다. 밀봉 부재(300)는 유리 및 플라스틱 등과 같은 투명한 물질로 만들어질 수 있다. 밀봉 부재(300)는 가장자리를 따라 형성된 실런트를 통해 기판(110)과 서로 합착 밀봉될 수 있다.
- [0081] 또한, 밀봉 부재(300)는 박막 봉지층 형태로 적층될 수 있다. 박막 봉지층으로서, 하나 이상의 유기층과 하나 이상의 무기층이 상호 교번하여 적층 형성될 수 있다. 무기층 또는 상기 유기층은 각각 복수 개일 수 있다. 유기층은 고분자로 형성되며, 바람직하게는 폴리에틸렌테레프탈레이트, 폴리이미드, 폴라카보네이트, 에폭시, 폴리에틸렌 및 폴리아크릴레이트 중 어느 하나로 형성되는 단일막 또는 적층막일 수 있다. 더욱 바람직하게는, 유기층은 폴리아크릴레이트로 형성될 수 있으며, 구체적으로는 디아크릴레이트계 모노머와 트리아크릴레이트계 모노머를 포함하는 모노머 조성물이 고분자화된 것을 포함한다. 모노머 조성물에 모노아크릴레이트계 모노머가 더 포함될 수 있다. 또한, 모노머 조성물에 TPO(2,4,6-trimethylbenzoyl diphenyl phosphine)와 같은 공지의 광개시제(photoinitiator)가 더욱 포함될 수 있으나 이에 한정되는 것은 아니다.
- [0082] 무기층은 금속 산화물 또는 금속 질화물을 포함하는 단일막 또는 적층막일 수 있다. 구체적으로, 무기층은 SiN_x , Al_2O_3 , SiO_2 , TiO_2 중 어느 하나를 포함할 수 있다.
- [0083] 박막 봉지층을 이루는 층들 중 외부로 노출된 최상층은 유기 발광 소자에 대한 투습을 방지하기 위하여 무기층으로 형성될 수 있다.
- [0084] 이와 같이, 본 발명의 실시예들에 따른 유기 발광 표시 장치 및 제조 방법에 의해서, 표시 장치의 배선 영역에 게이트 구조를 2중으로 형성하여 두꺼운 스캔 게이트 배선을 형성함으로써 게이트 배선 저항을 낮추어, 콘덴서 충전 전 지연(RC delay) 현상을 방지할 수 있다.
- [0085] 또한, 제1 게이트 형성시 고온 열처리를 통해서 소자의 이동도 및 온 커런트(on current) 향상이 가능하다.
- [0086] 또한, 컨택홀을 형성하는 포토공정을 생략할 수 있으므로, 공정 단순화에 기여할 수 있다.
- [0087] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

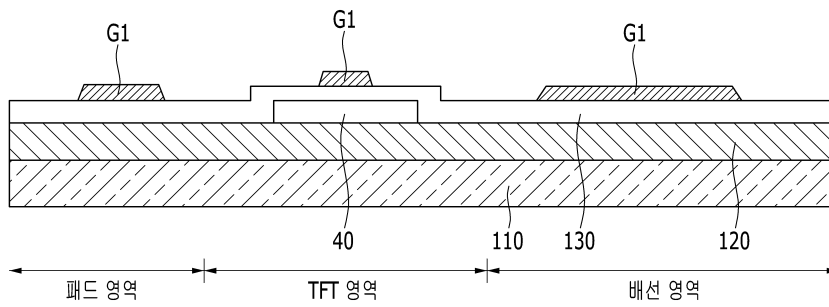
- [0088] 10: 채널 영역 20: 소스 영역
- 30: 드레인 영역 40: 반도체층
- 50: 드레인 전극 60: 소스 전극
- 70: 박막트랜지스터 110: 기판
- 120: 버퍼층 130: 게이트 절연막
- 140: 층간 절연막 150: 평탄화층
- 160: 화소정의막 200: 유기 발광 소자
- 210: 애노드 220: 유기 발광층
- 230: 캐소드 300: 밀봉 부재
- G1: 제1 게이트 전극 G2: 제2 게이트 전극

도면

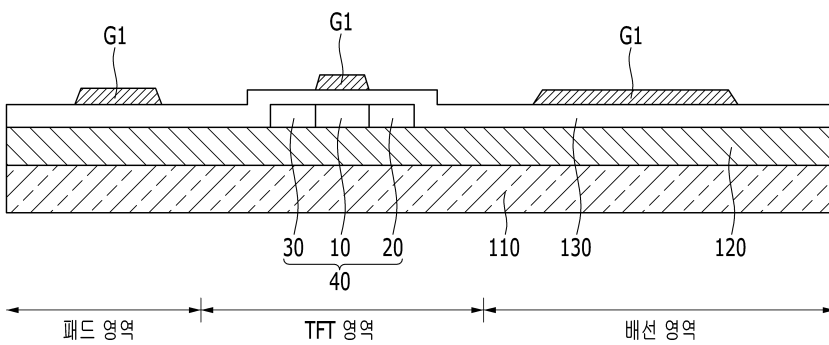
도면1



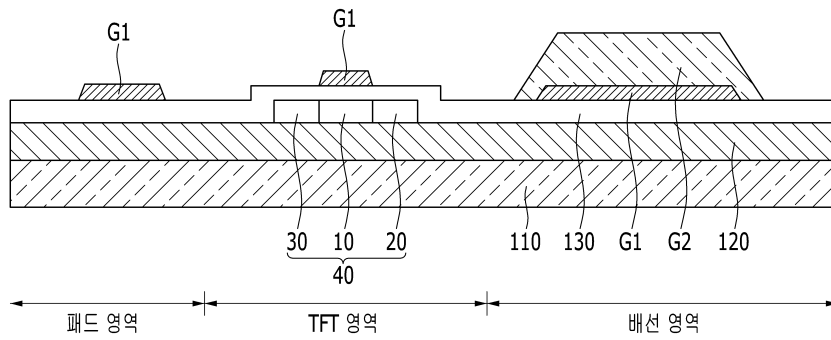
도면2a



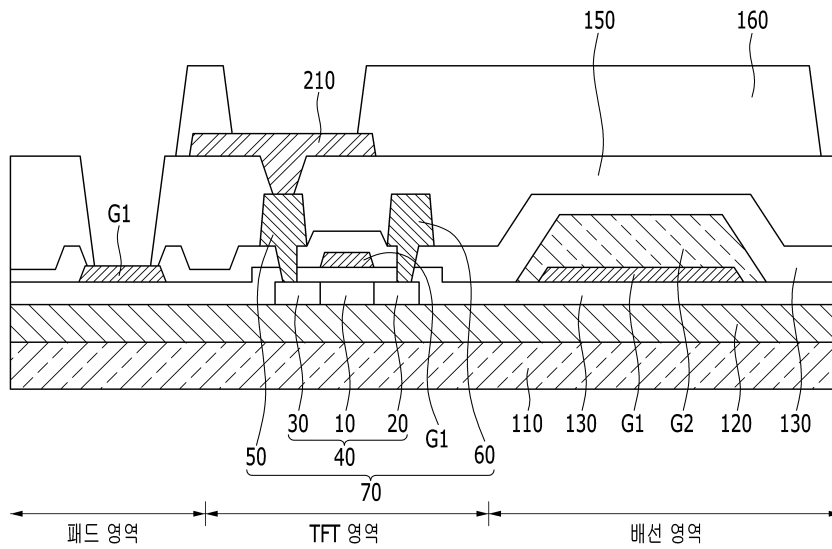
도면2b



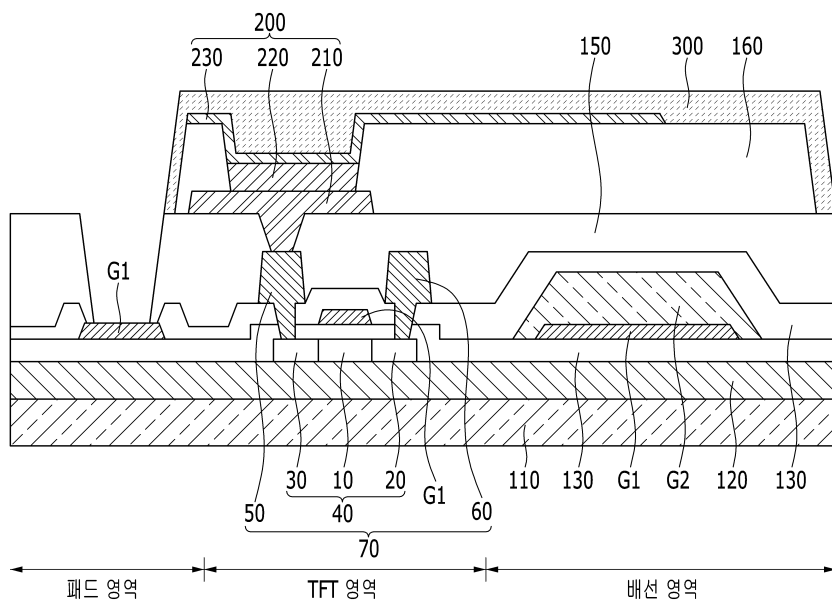
도면2c



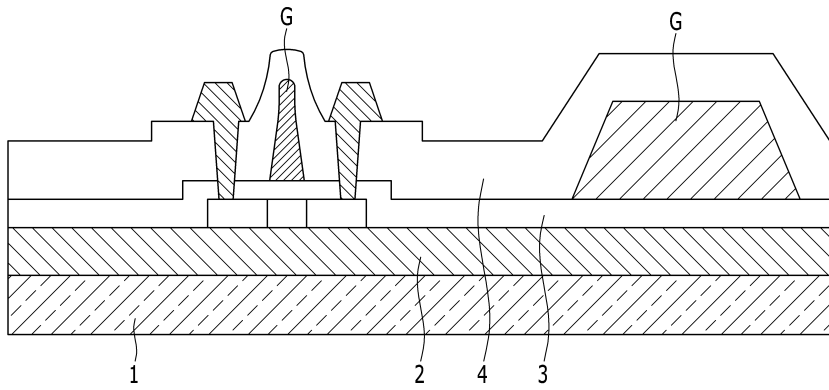
도면2d



도면2e



도면3



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020160021389A	公开(公告)日	2016-02-25
申请号	KR1020140106203	申请日	2014-08-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI BO KYUNG 최보경 SON YONG DUCK 손용덕		
发明人	최보경 손용덕		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3279 H01L27/124		
外部链接	Espacenet		

摘要(译)

根据本发明，薄膜晶体管（TFT）的区域，布线区域，以及第一栅极形成在衬底中形成的每个区域的第一栅电极的步骤的实施例，通过一个垫区分开的示例性有机发光显示装置的制造方法对在薄膜晶体管区域中形成的半导体层进行掺杂和退火的掺杂和热处理步骤，以及在形成在布线区域中的第一栅电极上形成第二栅电极的步骤，在薄膜晶体管区域中形成源/漏电极并形成连接到源/漏电极之一的阳极；以及形成源/的阳极形成步骤有机发光层和阴极形成步骤，在有机发光层上形成有机发光层并在有机发光层上形成阴极，并且密封构件形成在阴极上形成密封构件的步骤。

