

명세서

청구범위

청구항 1

유기 발광 다이오드(Organic Light Emitting Diode; OLED);

제1 노드에 연결되는 제1 게이트 전극, 제2 노드에 연결되는 제2 게이트 전극, 제1 전원 전압에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극을 구비하는 더블(double) 게이트 구조의 구동 트랜지스터;

주사 신호가 인가되는 게이트 전극, 데이터 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 구비하는 스위칭 트랜지스터;

상기 제1 노드에 연결되는 제1 전극 및 상기 제1 전원 전압에 연결되는 제2 전극을 구비하는 저장 커패시터; 및
상기 제2 노드에 연결되는 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극에 연결되는 제2 전극을 구비하는 보상 커패시터를 포함하는 화소 회로.

청구항 2

제 1 항에 있어서,

초기화 신호가 인가되는 게이트 전극, 기준 전압이 인가되는 제1 전극 및 상기 제2 노드에 연결되는 제2 전극을 구비하는 제1 초기화 트랜지스터; 및

상기 제1 전원 전압과 상기 구동 트랜지스터의 상기 제1 전극 사이에 연결되고, 발광 제어 신호가 인가되는 게이트 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극에 연결되는 제2 전극을 구비하는 발광 제어 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 3

제 2 항에 있어서,

상기 제1 초기화 트랜지스터는, 문턱 전압 보상 구간 동안, 상기 초기화 신호에 응답하여 상기 제2 노드에 상기 기준 전압을 제공하고,

상기 스위칭 트랜지스터는, 상기 문턱 전압 보상 구간 동안, 상기 주사 신호에 응답하여 상기 제1 노드에 상기 기준 전압에 상응하는 전압을 제공하고,

상기 발광 제어 트랜지스터는, 상기 문턱 전압 보상 구간 동안, 상기 구동 트랜지스터의 상기 제1 전극 및 상기 보상 커패시터의 상기 제2 전극이 상기 제1 전원 전압으로부터 전기적으로 차단되도록 턴 오프(turn off)되는 것을 특징으로 하는 화소 회로.

청구항 4

제 3 항에 있어서, 상기 문턱 전압 보상 구간 동안, 상기 구동 트랜지스터의 상기 제1 전극의 전압은, 상기 구동 트랜지스터의 상기 제1 전극이 상기 제1 전원 전압으로부터 전기적으로 차단됨으로 인해, 상기 제2 노드에 인가된 상기 기준 전압과 상기 구동 트랜지스터의 문턱 전압의 합에 상응하는 전압으로 방전되고, 상기 보상 커패시터에는 상기 구동 트랜지스터의 상기 문턱 전압이 저장되는 것을 특징으로 하는 화소 회로.

청구항 5

제 2 항에 있어서, 상기 기준 전압의 크기는 상기 제1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차보다 작은 것을 특징으로 하는 화소 회로.

청구항 6

제 2 항에 있어서,

상기 초기화 신호가 인가되는 게이트 전극, 초기화 전압이 인가되는 제1 전극 및 상기 유기 발광 다이오드의 상기 애노드 전극에 연결되는 제2 전극을 구비하는 제2 초기화 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 7

제 6 항에 있어서,

상기 제1 초기화 트랜지스터는, 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 제2 노드에 상기 기준 전압을 인가하고,

상기 제2 초기화 트랜지스터는, 상기 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 유기 발광 다이오드의 상기 애노드 전극에 상기 초기화 전압을 인가하는 것을 특징으로 하는 화소 회로.

청구항 8

제 6 항에 있어서,

상기 스위칭 트랜지스터는, 초기화 구간 동안, 상기 주사 신호에 응답하여 상기 제1 노드에 상기 기준 전압을 인가하는 것을 특징으로 하는 화소 회로.

청구항 9

제 6 항에 있어서,

상기 초기화 신호가 인가되는 게이트 전극, 상기 기준 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결되는 제2 전극을 구비하고, 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 제1 노드에 상기 기준 전압을 인가하는 제3 초기화 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 10

제 2 항에 있어서,

상기 스위칭 트랜지스터는, 데이터 기입 구간 동안, 상기 주사 신호에 응답하여 상기 제1 노드에 상기 데이터 전압을 인가하는 것을 특징으로 하는 화소 회로.

청구항 11

제 2 항에 있어서,

상기 발광 제어 트랜지스터는, 발광 구간 동안, 상기 발광 제어 신호에 응답하여 턴 온되고,

상기 제2 노드는, 상기 발광 구간 동안, 상기 보상 커패시터의 커플링에 의해 상기 제1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차에 상응하는 전압을 가지는 것을 특징으로 하는 화소 회로.

청구항 12

제 1 항에 있어서,

상기 구동 트랜지스터의 상기 제2 전극과 상기 유기 발광 다이오드의 상기 애노드 전극 사이에 연결되고, 발광 제어 신호가 인가되는 게이트 전극, 상기 구동 트랜지스터의 상기 제2 전극에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 상기 애노드 전극에 연결되는 제2 전극을 구비하는 발광 제어 트랜지스터;

초기화 신호가 인가되는 게이트 전극, 기준 전압이 인가되는 제1 전극 및 상기 제2 노드에 연결되는 제2 전극을 구비하는 제1 초기화 트랜지스터;

상기 초기화 신호가 인가되는 게이트 전극, 상기 기준 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결되는 제2 전극을 구비하는 제2 초기화 트랜지스터; 및

상기 구동 트랜지스터의 상기 제2 전극과 상기 제2 노드 사이에 연결되는 보상 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 13

제 12 항에 있어서,

상기 보상 트랜지스터는, 데이터 기입 구간 동안, 주사 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결하고,

상기 보상 커패시터에는, 상기 데이터 기입 구간 동안, 상기 구동 트랜지스터의 문턱 전압이 저장되는 것을 특징으로 하는 화소 회로.

청구항 14

제 12 항에 있어서,

상기 초기화 신호가 인가되는 게이트 전극, 초기화 전압이 인가되는 제1 전극 및 상기 유기 발광 다이오드의 상기 애노드 전극에 연결된 제2 전극을 구비하는 제3 초기화 트랜지스터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 15

복수의 화소 회로들을 포함하는 표시 패널;

복수의 주사 라인들 및 복수의 초기화 라인들을 통해 상기 화소 회로들에 주사 신호들 및 초기화 신호들을 각각 제공하는 주사 구동부;

복수의 데이터 라인들을 통해 상기 화소 회로들에 데이터 전압을 제공하는 데이터 구동부; 및

복수의 발광 제어 라인들을 통해 상기 화소 회로들에 발광 제어 신호를 제공하는 발광 제어 구동부를 포함하고,

상기 화소 회로들 각각은

유기 발광 다이오드(Organic Light Emitting Diode; OLED);

제1 노드에 연결되는 제1 게이트 전극, 제2 노드에 연결되는 제2 게이트 전극, 제1 전원 전압에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극을 구비하는 더블(double) 게이트 구조의 구동 트랜지스터;

상기 주사 신호가 인가되는 게이트 전극, 상기 데이터 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 구비하는 스위칭 트랜지스터;

상기 제1 노드에 연결되는 제1 전극 및 상기 제1 전원 전압에 연결되는 제2 전극을 구비하는 저장 커패시터; 및

상기 제2 노드에 연결되는 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극에 연결되는 제2 전극을 구비하는 보상 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서, 상기 화소 회로들 각각은

상기 초기화 신호가 인가되는 게이트 전극, 기준 전압이 인가되는 제1 전극 및 상기 제2 노드에 연결되는 제2 전극을 구비하는 제1 초기화 트랜지스터; 및

상기 제1 전원 전압과 상기 구동 트랜지스터의 상기 제1 전극 사이에 연결되고, 발광 제어 신호가 인가되는 게이트 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극에 연결되는 제2 전극을 구비하는 발광 제어 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 16 항에 있어서, 상기 화소 회로들 각각은

상기 초기화 신호가 인가되는 게이트 전극, 초기화 전압이 인가되는 제1 전극 및 상기 유기 발광 다이오드의 상기 애노드 전극에 연결된 제2 전극을 구비하는 제2 초기화 트랜지스터; 및

상기 초기화 신호가 인가되는 게이트 전극, 상기 기준 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결되는

제2 전극을 구비하는 제3 초기화 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 17 항에 있어서,

상기 제1 초기화 트랜지스터는, 문턱 전압 보상 구간 동안, 상기 초기화 신호에 응답하여 상기 제2 노드에 상기 기준 전압을 제공하고,

상기 발광 제어 트랜지스터는, 상기 문턱 전압 보상 구간 동안, 상기 구동 트랜지스터의 상기 제1 전극 및 상기 보상 커패시터의 상기 제2 전극이 상기 제1 전원 전압으로부터 전기적으로 차단되도록 턴-오프되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서, 상기 문턱 전압 보상 구간 동안, 상기 구동 트랜지스터의 상기 제1 전극의 전압은, 상기 구동 트랜지스터의 상기 제1 전극이 상기 제1 전원 전압으로부터 전기적으로 차단됨으로 인해, 상기 제2 노드에 인가된 상기 기준 전압과 상기 구동 트랜지스터의 문턱 전압의 합에 상응하는 전압으로 방전되고, 상기 보상 커패시터에는 상기 구동 트랜지스터의 상기 문턱 전압이 저장되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 17 항에 있어서,

상기 제1 초기화 트랜지스터는, 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 제2 노드에 상기 기준 전압을 인가하고,

상기 제2 초기화 트랜지스터는, 상기 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 유기 발광 다이오드의 상기 애노드 전극에 상기 초기화 전압을 인가하며,

상기 제3 초기화 트랜지스터는, 상기 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 제1 노드에 상기 기준 전압을 인가하는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 평판 표시 장치 중 유기 발광 표시 장치(OLED)는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 이와 같은 유기 발광 표시 장치는 소비 전력이 적은 이점이 있지만, 유기 발광 소자를 구동하는 구동 트랜지스터의 게이트 전극과 소스 전극 간의 전압, 즉 구동 트랜지스터의 문턱 전압(threshold voltage) 편차에 따라 유기 발광 소자를 통해 흐르는 전류 세기가 변하여 표시 불균일(얼룩)을 초래하는 문제점이 있다.

[0004] 특히, 저장 커패시터와 보상 커패시터를 포함하는 종래의 화소 회로는 저장 커패시터와 보상 커패시터의 커패시턴스 비율에 의해 구동 트랜지스터의 전압이 결정된다. 따라서, 저장 커패시터와 보상 커패시터의 커패시턴스 비율에 따라 구동 트랜지스터의 게이트 전압(또는 문턱 전압) 편차가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 더블(double) 게이트 구조의 구동 트랜지스터를 포함하는 화소 회로를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 화소 회로를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0007] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 화소 회로는 유기 발광 다이오드(Organic Light Emitting Diode; OLED), 제1 노드에 연결되는 제1 게이트 전극, 제2 노드에 연결되는 제2 게이트 전극, 제1 전원 전압에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극을 구비하는 더블(double) 게이트 구조의 구동 트랜지스터, 주사 신호가 인가되는 게이트 전극, 데이터 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 구비하는 스위칭 트랜지스터, 상기 제1 노드에 연결되는 제1 전극 및 상기 제1 전원 전압에 연결되는 제2 전극을 구비하는 저장 커패시터 및 상기 제2 노드에 연결되는 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극에 연결되는 제2 전극을 구비하는 보상 커패시터를 포함할 수 있다.

[0009] 일 실시예에 의하면, 상기 화소 회로는 초기화 신호가 인가되는 게이트 전극, 기준 전압이 인가되는 제1 전극 및 상기 제2 노드에 연결되는 제2 전극을 구비하는 제1 초기화 트랜지스터 및 상기 제1 전원 전압과 상기 구동 트랜지스터의 상기 제1 전극 사이에 연결되고, 발광 제어 신호가 인가되는 게이트 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극에 연결되는 제2 전극을 구비하는 발광 제어 트랜지스터를 더 포함할 수 있다.

[0010] 일 실시예에 의하면, 상기 제1 초기화 트랜지스터는, 문턱 전압 보상 구간 동안, 상기 초기화 신호에 응답하여 상기 제2 노드에 상기 기준 전압을 제공하고,

[0011] 상기 스위칭 트랜지스터는, 상기 문턱 전압 보상 구간 동안, 상기 주사 신호에 응답하여 상기 제1 노드에 상기 기준 전압에 상응하는 전압을 제공하고,

[0012] 상기 발광 제어 트랜지스터는, 상기 문턱 전압 보상 구간 동안, 상기 구동 트랜지스터의 상기 제1 전극 및 상기 보상 커패시터의 상기 제2 전극이 상기 제1 전원 전압으로부터 전기적으로 차단되도록 턴 오프(turn off)될 수 있다.

[0013] 일 실시예에 의하면, 상기 문턱 전압 보상 구간 동안, 상기 구동 트랜지스터의 상기 제1 전극의 전압은, 상기 구동 트랜지스터의 상기 제1 전극이 상기 제1 전원 전압으로부터 전기적으로 차단됨으로 인해, 상기 제2 노드에 인가된 상기 기준 전압과 상기 구동 트랜지스터의 문턱 전압의 합에 상응하는 전압으로 방전되고, 상기 보상 커패시터에는 상기 구동 트랜지스터의 상기 문턱 전압이 저장될 수 있다.

[0014] 일 실시예에 의하면, 상기 기준 전압의 크기는 상기 제1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차보다 작을 수 있다.

[0015] 일 실시예에 의하면, 상기 화소 회로는 상기 초기화 신호가 인가되는 게이트 전극, 초기화 전압이 인가되는 제1 전극 및 상기 유기 발광 다이오드의 상기 애노드 전극에 연결되는 제2 전극을 구비하는 제2 초기화 트랜지스터를 더 포함할 수 있다.

[0016] 일 실시예에 의하면, 상기 제1 초기화 트랜지스터는, 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 제2 노드에 상기 기준 전압을 인가하고, 상기 제2 초기화 트랜지스터는, 상기 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 유기 발광 다이오드의 상기 애노드 전극에 상기 초기화 전압을 인가할 수 있다.

[0017] 일 실시예에 의하면, 상기 스위칭 트랜지스터는, 초기화 구간 동안, 상기 주사 신호에 응답하여 상기 제1 노드에 상기 기준 전압을 인가할 수 있다.

[0018] 일 실시예에 의하면, 상기 화소 회로는 상기 초기화 신호가 인가되는 게이트 전극, 상기 기준 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결되는 제2 전극을 구비하고, 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 제1 노드에 상기 기준 전압을 인가하는 제3 초기화 트랜지스터를 더 포함할 수 있다.

[0019] 일 실시예에 의하면, 상기 스위칭 트랜지스터는, 데이터 기입 구간 동안, 상기 주사 신호에 응답하여 상기 제1 노드에 상기 데이터 전압을 인가할 수 있다.

[0020] 일 실시예에 의하면, 상기 발광 제어 트랜지스터는, 발광 구간 동안, 상기 발광 제어 신호에 응답하여 턴 온되고, 상기 제2 노드는, 상기 발광 구간 동안, 상기 보상 커패시터의 커플링에 의해 상기 제1 전원 전압과 상기

구동 트랜지스터의 문턱 전압의 차에 상응하는 전압을 가질 수 있다.

- [0021] 일 실시예에 의하면, 상기 화소 회로는 상기 구동 트랜지스터의 상기 제2 전극과 상기 유기 발광 다이오드의 상기 애노드 전극 사이에 연결되고, 발광 제어 신호가 인가되는 게이트 전극, 상기 구동 트랜지스터의 상기 제2 전극에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 상기 애노드 전극에 연결되는 제2 전극을 구비하는 발광 제어 트랜지스터, 초기화 신호가 인가되는 게이트 전극, 기준 전압이 인가되는 제1 전극 및 상기 제2 노드에 연결되는 제2 전극을 구비하는 제1 초기화 트랜지스터, 상기 초기화 신호가 인가되는 게이트 전극, 상기 기준 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결되는 제2 전극을 구비하는 제2 초기화 트랜지스터, 상기 구동 트랜지스터의 상기 제2 전극과 상기 제2 노드 사이에 연결되는 보상 트랜지스터를 더 포함할 수 있다.
- [0022] 일 실시예에 의하면, 상기 보상 트랜지스터는, 데이터 기입 구간 동안, 주사 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결하고, 상기 보상 커패시터에는, 상기 데이터 기입 구간 동안, 상기 구동 트랜지스터의 문턱 전압이 저장될 수 있다.
- [0023] 일 실시예에 의하면, 상기 화소 회로는 상기 초기화 신호가 인가되는 게이트 전극, 초기화 전압이 인가되는 제1 전극 및 상기 유기 발광 다이오드의 상기 애노드 전극에 연결된 제2 전극을 구비하는 제3 초기화 트랜지스터를 더 포함할 수 있다.
- [0024] 본 발명의 일 목적을 달성하기 위하여 본 발명의 실시예들에 따른 유기 발광 표시 장치는 복수의 화소 회로들을 포함하는 표시 패널, 복수의 주사 라인들 및 복수의 초기화 라인들을 통해 상기 화소 회로들에 주사 신호들 및 초기화 신호들을 각각 제공하는 주사 구동부, 복수의 데이터 라인들을 통해 상기 화소 회로들에 데이터 전압을 제공하는 데이터 구동부 및 복수의 발광 제어 라인들을 통해 상기 화소 회로들에 발광 제어 신호를 제공하는 발광 제어 구동부를 포함할 수 있다. 상기 화소 회로들 각각은 유기 발광 다이오드(Organic Light Emitting Diode; OLED), 제1 노드에 연결되는 제1 게이트 전극, 제2 노드에 연결되는 제2 게이트 전극, 제1 전원 전압에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극을 구비하는 더블(double) 게이트 구조의 구동 트랜지스터, 주사 신호가 인가되는 게이트 전극, 데이터 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 구비하는 스위칭 트랜지스터, 상기 제1 노드에 연결되는 제1 전극 및 상기 제1 전원 전압에 연결되는 제2 전극을 구비하는 저장 커패시터 및 상기 제2 노드에 연결되는 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극에 연결되는 제2 전극을 구비하는 보상 커패시터를 포함할 수 있다.
- [0025] 일 실시예에 의하면, 상기 화소 회로들 각각은 상기 초기화 신호가 인가되는 게이트 전극, 기준 전압이 인가되는 제1 전극 및 상기 제2 노드에 연결되는 제2 전극을 구비하는 제1 초기화 트랜지스터 및 상기 제1 전원 전압과 상기 구동 트랜지스터의 상기 제1 전극 사이에 연결되고, 발광 제어 신호가 인가되는 게이트 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 상기 구동 트랜지스터의 상기 제1 전극에 연결되는 제2 전극을 구비하는 발광 제어 트랜지스터를 더 포함할 수 있다.
- [0026] 일 실시예에 의하면, 상기 화소 회로들 각각은 상기 초기화 신호가 인가되는 게이트 전극, 초기화 전압이 인가되는 제1 전극 및 상기 유기 발광 다이오드의 상기 애노드 전극에 연결된 제2 전극을 구비하는 제2 초기화 트랜지스터 및 상기 초기화 신호가 인가되는 게이트 전극, 상기 기준 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결되는 제2 전극을 구비하는 제3 초기화 트랜지스터를 더 포함할 수 있다.
- [0027] 일 실시예에 의하면, 상기 제1 초기화 트랜지스터는, 문턱 전압 보상 구간 동안, 상기 초기화 신호에 응답하여 상기 제2 노드에 상기 기준 전압을 제공하고, 상기 발광 제어 트랜지스터는, 상기 문턱 전압 보상 구간 동안, 상기 구동 트랜지스터의 상기 제1 전극 및 상기 보상 커패시터의 상기 제2 전극이 상기 제1 전원 전압으로부터 전기적으로 차단되도록 턴-오프될 수 있다.
- [0028] 일 실시예에 의하면, 상기 문턱 전압 보상 구간 동안, 상기 구동 트랜지스터의 상기 제1 전극의 전압은, 상기 구동 트랜지스터의 상기 제1 전극이 상기 제1 전원 전압으로부터 전기적으로 차단됨으로 인해, 상기 제2 노드에 인가된 상기 기준 전압과 상기 구동 트랜지스터의 문턱 전압의 합에 상응하는 전압으로 방전되고, 상기 보상 커패시터에는 상기 구동 트랜지스터의 상기 문턱 전압이 저장될 수 있다.
- [0029] 일 실시예에 의하면, 상기 제1 초기화 트랜지스터는, 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 제2 노드에 상기 기준 전압을 인가하고, 상기 제2 초기화 트랜지스터는, 상기 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 유기 발광 다이오드의 상기 애노드 전극에 상기 초기화 전압을 인가하며, 상기 제3 초기화 트랜지스터는, 상기 초기화 구간 동안, 상기 초기화 신호에 응답하여 상기 제1 노드에 상기 기준 전압을 인가할 수 있다.

발명의 효과

- [0030] 본 발명의 실시예들에 따른 화소 회로 및 이를 포함하는 유기 발광 표시 장치는 더블 게이트 구조의 구동 트랜지스터를 포함할 수 있다. 따라서, 저장 커패시터와 보상 커패시터의 특성 비율(즉, 커패시턴스 비율)에 의해 발생하는 구동 트랜지스터의 게이트 전압 편차(즉, 문턱 전압 편차)가 제거될 수 있다. 또한, 구동 트랜지스터의 게이트 전압 편차에 의한 표시 얼룩이 감소되고, 화질의 균일성이 향상될 수 있다.
- [0031] 다만, 본 발명의 효과는 상술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 실시예들에 따른 화소 회로를 나타내는 회로도이다.
- 도 2는 도 1의 화소 회로 동작의 일 예를 나타내는 타이밍도이다.
- 도 3은 도 1의 화소 회로에 포함되는 구동 트랜지스터의 일 예를 나타내는 단면도이다.
- 도 4는 도 1의 화소 회로의 일 예를 나타내는 회로도이다.
- 도 5는 본 발명의 실시예들에 따른 화소 회로를 나타내는 회로도이다.
- 도 6은 도 5의 화소 회로 동작의 일 예를 나타내는 타이밍도이다.
- 도 7은 본 발명의 실시예들에 따른 화소 회로를 나타내는 회로도이다.
- 도 8은 도 7의 화소 회로 동작의 일 예를 나타내는 타이밍도이다.
- 도 9는 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0034] 도 1은 본 발명의 실시예들에 따른 화소 회로를 나타내는 회로도이다.
- [0035] 본 발명의 실시예에서, 상기 화소 회로는 PMOS(P-type Metal Oxide Semiconductor) 트랜지스터로 구현된다. 다만, 상기 화소 회로에 적용되는 트랜지스터가 PMOS 트랜지스터에 한정되는 것은 아니다.
- [0036] 도 1을 참조하면, 화소 회로(10)는 유기 발광 다이오드(EL), 구동 트랜지스터(TD), 스위칭 트랜지스터(TS), 저장 커패시터(Cst) 및 보상 커패시터(Cth)를 포함할 수 있다. 일 실시예에서, 화소 회로(10)는 발광 제어 트랜지스터(TE) 및 제1 초기화 트랜지스터(T1)를 더 포함할 수 있다.
- [0037] 화소 회로(10)는 유기 발광 표시 장치에 포함되는 전원 공급부로부터 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 초기화 전압(VINIT) 및 기준 전압(VREF)을 공급받을 수 있다.
- [0038] 화소 회로(10)는 주사 신호(GW), 초기화 신호(GI) 및 데이터 전압(DATA)을 각각 주사 라인(GWn), 초기화 라인(GIn) 및 데이터 라인(Dm)을 통해 인가받고, 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)을 수신하여 데이터 전압(DATA)에 상응하는 계조(gray scale)로 상기 유기 발광 다이오드(EL)를 발광시켜 화상을 표시할 수 있다.
- [0039] 유기 발광 다이오드(EL)는 제2 전원 전압(ELVSS)에 연결되는 캐소드(cathode) 전극 및 구동 트랜지스터(TD)의 제2 전극에 연결되는 애노드(anode) 전극을 포함할 수 있다. 유기 발광 다이오드(EL)는 상기 애노드 전극 및 상기 캐소드 전극에 의해 생성되는 기생 커패시터를 더 포함할 수 있다.
- [0040] 구동 트랜지스터(TD)는 제1 노드(N1)에 연결되는 제1 게이트 전극, 제2 노드(N2)에 연결되는 제2 게이트 전극, 제1 전원 전압(ELVDD)에 연결되는 제1 전극 및 유기 발광 다이오드(EL)의 애노드 전극에 연결되는 제2 전극을 포함할 수 있다. 구동 트랜지스터(TD)는 두 개의 게이트 전극을 포함하는 더블(double) 게이트 구조이다. 구동 트랜지스터(TD)의 제1 게이트 전극이 탑 게이트(top gate) 전극에 상응하고, 제2 게이트 전극은 바텀 게이트(bottom gate) 전극에 상응할 수 있다. 반대로, 구동 트랜지스터(TD)의 제1 게이트 전극이 바텀 게이트 전극에 상응하고, 제2 게이트 전극은 탑 게이트 전극에 상응할 수 있다. 구동 트랜지스터(TD)의 문턱 전압 보상 전압과 데이터 전압(DATA)은 각각 구동 트랜지스터(TD)의 상기 제1 게이트 전극과 상기 제2 게이트 전극에 인가

될 수 있다.

- [0041] 스위칭 트랜지스터(TS)는 주사 신호(GW)를 인가받는 게이트 전극, 데이터 전압(DATA)을 인가받는 제1 전극 및 제1 노드(N1)에 연결되는 제2 전극을 포함할 수 있다. 스위칭 트랜지스터(TS)는 주사 신호(GW)에 응답하여 데이터 전압(DATA)을 제1 노드(N1)에 제공할 수 있다. 또한, 일 실시예에서, 스위칭 트랜지스터(TS)는 주사 신호(GW)에 응답하여 기준 전압(VREF)에 상응하는 전압을 제1 노드(N1)에 제공할 수 있다. 즉, 데이터 라인(DLm)으로 제공되는 전압은 데이터 전압(Vdata) 또는 기준 전압(VREF)일 수 있다.
- [0042] 저장 커패시터(Cst)는 제1 노드(N1)에 연결되는 제1 전극 및 제1 전원 전압(ELVDD)에 연결되는 제2 전극을 포함할 수 있다. 일 실시예에서, 저장 커패시터(Cst)는 데이터 전압(DATA)을 저장할 수 있다.
- [0043] 보상 커패시터(Cth)는 제2 노드(N2)에 연결되는 제1 전극 및 구동 트랜지스터(TD)의 상기 제1 전극 (즉, 제3 노드(N3))에 연결되는 제2 전극을 포함할 수 있다. 일 실시예에서, 보상 커패시터(Cth)는 구동 트랜지스터(TD)의 문턱 전압에 상응하는 전압을 저장할 수 있다.
- [0044] 제1 초기화 트랜지스터(T1)는 초기화 신호(GI)를 인가받는 게이트 전극, 기준 전압(VREF)을 인가받는 제1 전극 및 제2 노드(N2)에 연결되는 제2 전극을 포함할 수 있다. 제1 초기화 트랜지스터(T1)는 초기화 신호(GI)에 응답하여 기준 전압(VREF)을 제2 노드(N2)에 제공할 수 있다. 일 실시예에서, 기준 전압(VREF)의 크기는 제1 전원 전압(ELVDD)과 구동 트랜지스터(TD)의 문턱 전압의 차보다 작을 수 있다.
- [0045] 발광 제어 트랜지스터(TE)는 제1 전원 전압(ELVDD)과 구동 트랜지스터(TD)의 상기 제1 전극 사이에 연결될 수 있다. 발광 제어 트랜지스터(TE)는 발광 제어 신호(EM)을 인가받는 게이트 전극, 제1 전원 전압(ELVDD)을 인가받는 제1 전극 및 구동 트랜지스터(TD)의 상기 제1 전극(즉, 제3 노드(N3))에 연결되는 제2 전극을 포함할 수 있다. 발광 제어 트랜지스터(TE)는 발광 제어 신호(EM)에 응답하여 턴 온(turn on)될 수 있다.
- [0046] 후술하는 바와 같이, 본 발명의 실시예들에 따른 화소 회로(10)는 구동 트랜지스터(TD)의 제1 게이트 전극에서 데이터 기입 동작을 하고, 구동 트랜지스터(TD) 제2 게이트 전극에서 문턱 전압 보상 동작을 할 수 있다.
- [0047] 도 2는 도 1의 화소 회로 동작의 일 예를 나타내는 타이밍도이다.
- [0048] 도 1 및 도 2를 참조하면, 한 프레임 주기는 초기화 구간(a), 문턱 전압 보상 구간(b), 데이터 기입 구간(c) 및 발광 구간(d)으로 구분될 수 있다.
- [0049] 초기화 구간(a)에서 구동 트랜지스터(TD)의 제2 게이트 전극(GATE2, 즉, N2로 표시)의 전압이 초기화될 수 있다. 제1 초기화 트랜지스터(T1)는, 초기화 구간(a) 동안, 초기화 신호(GI)에 응답하여 제2 노드(N2)에 기준 전압(VREF)을 인가할 수 있다. 스위칭 트랜지스터(TS)는 초기화 구간 동안, 주사 신호(GW)에 응답하여 제1 노드(N1)에 기준 전압(VREF)을 인가할 수 있다. 즉, 초기화 구간 동안 데이터 라인(Dm)으로 제공되는 데이터 전압의 크기는 기준 전압(VREF)에 상응할 수 있다.
- [0050] 구동 트랜지스터(TD)의 제1 게이트 전극은 제1 노드(N1)에 상응하고, 구동 트랜지스터(TD)의 제2 게이트 전극은 제2 노드(N2)에 상응한다.
- [0051] 일 실시예에서, 초기화 구간(a) 동안, 화소 회로(10)는 로우 레벨의 발광 제어 신호(EM) 및 초기화 신호(GI)를 인가받고, 하이 레벨의 주사 신호(GW)를 인가받을 수 있다.
- [0052] 즉, 제1 초기화 트랜지스터(T1)가 턴 온(turn on)되어 제2 노드(N2)가 기준 전압(VREF)으로 초기화될 수 있다. 일 실시예에서, 기준 전압(VREF)의 크기는 제1 전원 전압(ELVDD)과 구동 트랜지스터(TD)의 문턱 전압(Vth)의 차 (즉, $ELVDD - Vth$)보다 작게 설정될 수 있다.
- [0053] 문턱 전압 보상 구간(b) 동안, 제1 초기화 트랜지스터(T1)는 초기화 신호(GI)에 응답하여 제2 노드(N2)에 기준 전압(VREF)을 제공하고, 발광 제어 트랜지스터(TE)는 구동 트랜지스터(TD)의 상기 제1 전극 및 보상 커패시터(Cth)의 상기 제2 전극이 제1 전원 전압(ELVDD)으로부터 전기적으로 차단되도록 턴-오프(turn off)될 수 있다.
- [0054] 일 실시예에서, 문턱 전압 보상 구간(b)동안, 화소 회로(10)는 하이 레벨의 발광 제어 신호(EM), 로우 레벨의 주사 신호(GW) 및 로우 레벨의 초기화 신호(GI)를 인가받을 수 있다.
- [0055] 즉, 문턱 전압 보상 구간(b) 동안 발광 제어 트랜지스터(TE)가 턴 오프되고, 스위칭 트랜지스터(TS) 및 제1 초기화 트랜지스터(T1)는 턴 온될 수 있다. 따라서, 구동 트랜지스터(TD)의 제1 전극(SOURCE) (즉, 제3 노드(N3))에 상응함.)은 플로팅(floating) 상태가 된다. 그러므로, 문턱 전압 보상 구간(b) 동안 구동 트랜지스터(TD)의

제1 전극(N3)의 전압이 방전된다. 구동 트랜지스터(TD)의 제1 전극(N3)의 전압은, 제2 노드(N2)(즉, 구동 트랜지스터(TD)의 제2 게이트 전극)과 구동 트랜지스터(TD)의 제1 전극(N3) 사이의 전압차가 구동 트랜지스터(TD)의 문턱 전압(V_{th})에 도달할 때까지 방전된다. 따라서, 구동 트랜지스터(TD)의 제1 전극(N3)의 전압은 제2 노드(N2)에 인가된 기준 전압(V_{REF})과 구동 트랜지스터(TD)의 문턱 전압(V_{th})의 합(즉, $V_{REF} + V_{th}$)에 상응하는 전압으로 방전될 수 있다. 그러면, 구동 트랜지스터(TD)의 채널 영역이 닫히게 되고, 문턱 전압 보상 구간(b) 동안, 제1 노드(N1), 제2 노드(N2) 및 구동 트랜지스터(TD)의 제1 전극(N3)의 전압이 일정하게 유지될 수 있다.

[0056] 보상 트랜지스터(Cth)의 양 단의 전압차는 구동 트랜지스터(TD)의 문턱 전압(V_{th})에 상응할 수 있다. 즉, 보상 트랜지스터(Cth)에는 구동 트랜지스터(TD)의 문턱 전압(V_{th})이 저장될 수 있다.

[0057] 이후, 데이터 기입 구간(c) 동안, 스위칭 트랜지스터(TS)는 주사 신호(GW)에 응답하여 제1 노드(N1)에 데이터 전압(V_{data})을 인가할 수 있다.

[0058] 일 실시예에서, 데이터 기입 구간(c) 동안, 화소 회로(10)는 하이 레벨의 발광 제어 신호(EM), 하이 레벨의 초기화 신호(GI) 및 로우 레벨의 주사 신호(GW)를 인가받을 수 있다. 일 실시예에서, 데이터 라인(Dm)으로 제공되는 전압은, 초기화 구간(a) 및 문턱 전압 보상 구간(b) 동안에는 기준 전압(V_{REF})에 상응하고, 데이터 기입 구간(c) 동안에는 데이터 전압(V_{data})에 상응할 수 있다.

[0059] 즉, 데이터 기입 구간(c) 동안 스위칭 트랜지스터(TS)가 턴 온되어 제1 노드(N1)에 데이터 전압(V_{data})이 인가될 수 있다. 데이터 전압(V_{data})은 유기 발광 다이오드(EL)를 발광하는 계조에 상응하는 값을 갖는다. 따라서, 저장 커패시터(Cst)에 데이터 전압(V_{data})이 저장될 수 있다.

[0060] 구동 트랜지스터(TD)의 제1 전극(N3)이 플로팅 상태이므로, 제2 노드(N2)의 전압은 기준 전압(V_{REF})이 유지되고, 구동 트랜지스터(TD)의 제1 전극(N3)의 전압은 기준 전압(V_{REF})과 구동 트랜지스터(TD)의 문턱 전압(V_{th})의 합에 상응하는 전압($V_{REF} + V_{th}$)이 유지될 수 있다.

[0061] 즉, 구동 트랜지스터(TD)의 제1 게이트 전극(N1)에 연결되는 보상 커패시터(Cth)에는 구동 트랜지스터(TD)의 문턱 전압(V_{th}) 보상 전압이 저장되고, 구동 트랜지스터(TD)의 제2 게이트 전극(N2)에 연결되는 저장 커패시터(Cst)에는 제1 전원 전압($ELVDD$)과 데이터 전압(V_{data})의 차($ELVDD - V_{data}$)에 상응하는 전압이 저장될 수 있다.

[0062] 발광 구간(d) 동안, 발광 트랜지스터(TE)는 발광 제어 신호(EM)에 응답하여 턴 온될 수 있다. 따라서, 제1 전원 전압($ELVDD$)이 구동 트랜지스터(TD)의 제1 전극(즉, 제3 노드(N3))에 인가될 수 있다. 이 때, 보상 커패시터(Cth)의 커플링(coupling)에 의해 제2 노드(N2)의 전압도 제3 노드(N3)의 전압 변화량(ΔV)만큼 변하게 된다. 따라서, 발광 구간(d) 동안, 제2 노드(N2)는 보상 커패시터(Cth)의 커플링에 의해 제1 전원 전압($ELVDD$)과 구동 트랜지스터(TD)의 문턱 전압(V_{th})의 차($ELVDD - V_{th}$)에 상응하는 전압을 가질 수 있다.

[0063] 일 실시예에서, 화소 회로(10)는 로우 레벨의 발광 제어 신호(EM), 하이 레벨의 초기화 신호(GI) 및 하이 레벨의 주사 신호(GW)를 인가받을 수 있다.

[0064] 구체적으로, 발광 구간(d) 동안 제2 노드(N2) 및 제3 노드(N3)의 전압 변화는 아래의 [수식1] 내지 [수식3]과 같다.

[0065] [수식1]

[0066] $V_{N3} = V_{REF} + V_{th} \rightarrow ELVDD$

[0067] (V_{N3} 는 제3 노드의 전압)

[0068] [수식2]

[0069] $\Delta V = ELVDD - (V_{REF} + V_{th})$

[0070] [수식3]

[0071] $V_{N2} = V_{REF} + \Delta V$

[0072] $= ELVDD - V_{th}$

[0073] (V_{N2} 는 제2 노드(N2)의 전압)

[0074] 발광 구간(d) 동안 구동 트랜지스터(TD)를 통해 유기 발광 다이오드(EL)로 흐르는 전류는 아래의 [수식4]와 같

다.

- [0075] [수식4]
- [0076] $I_{oled} = k/2(V_{gs} - V_{th})^2$
- [0077] $= k/2(ELVDD - V_{th} + V_{data} - ELVDD - V_{th})^2$
- [0078] $= k/2(V_{data})^2$
- [0079] 여기서, I_{oled} 는 유기 발광 다이오드(EL)에 흐르는 전류를 나타내고, k 는 구동 트랜지스터(TD)의 특성에 따라 결정되는 상수를 나타내며, V_{gs} 는 구동 트랜지스터(TD)의 게이트와 소스 사이의 전압차(즉, 구동 트랜지스터(TD)의 제1 및 제2 게이트 전극들과 제1 전극 사이의 전압차)를 나타낸다.
- [0080] 즉, 유기 발광 다이오드(EL)에 흐르는 전류(I_{oled})는 구동 트랜지스터(TD)의 문턱 전압에는 무관하고 데이터 전압(V_{data})의 크기에 의해서만 결정될 수 있다.
- [0081] 저장 커패시터와 보상 커패시터를 포함하는 종래의 화소 회로는 저장 커패시터와 보상 커패시터의 커패시턴스 비율에 의해 구동 트랜지스터의 게이트 전압이 결정된다.
- [0082] 구체적으로 데이터 기입 구간(c) 동안 종래의 구동 트랜지스터의 게이트 전극의 전압은 아래의 [수식5]과 같다.
- [0083] [수식5]
- [0084] $V_g = (ELVDD - V_{th}) - (V_{data}) * (C_{th} / (C_{st} + C_{th}))$
- [0085] 여기서, V_g 는 종래의 구동 트랜지스터의 게이트 전극의 전압을 나타내고, V_{data} 는 데이터 전압을 나타내며, V_{th} 는 종래의 구동 트랜지스터의 문턱 전압을 나타낸다. C_{th} 는 보상 커패시터의 커패시턴스를 나타내고, C_{st} 는 저장 커패시터의 커패시턴스를 나타낸다. 따라서, 저장 커패시터와 보상 커패시터의 커패시턴스 비율에 따라 구동 트랜지스터의 게이트 전압에 편차가 발생한다.
- [0086] 그러나 상술한 바와 같이, 본 발명의 일 실시예에 따른 화소 회로는 제1 게이트 전극 및 제2 게이트 전극을 포함하는 더블 게이트 구조의 구동 트랜지스터(TD)를 포함한다. 또한, 저장 커패시터(C_{st})의 일단이 구동 트랜지스터(TD)의 제1 게이트 전극에 연결되고, 보상 커패시터(C_{th})의 일단이 구동 트랜지스터(TD)의 제2 게이트 전극에 연결되므로, 문턱 전압(V_{th})의 보상 전압과 데이터 전압(V_{data})을 각각 제1 게이트 전극과 제2 게이트 전극에 분리하여 충전할 수 있다. 따라서, 저장커패시터(C_{st})와 보상 커패시터(C_{th})의 특성 비율(즉, 커패시턴스 비율)에 의해 발생하는 구동 트랜지스터(TD)의 게이트 전압 편차가 제거될 수 있다. 또한, 저장 커패시터(C_{st})와 보상 커패시터(C_{th})의 공정 편차에 의한 표시 얼룩이 감소되고, 화질의 균일성이 향상될 수 있다.
- [0087] 도 3은 도 1의 화소 회로에 포함되는 구동 트랜지스터의 일 예를 나타내는 단면도이다.
- [0088] 도 3을 참조하면, 구동 트랜지스터(TD)는 바텀 게이트(bottom gate) 전극(21), 액티브층(22), 제1 및 제2 전극(23, 24) 및 탑 게이트(top gate) 전극(25)을 포함할 수 있다. 구동 트랜지스터(TD)는 더블 게이트(double gate)형 트랜지스터이다.
- [0089] 일 실시예에서, 바텀 게이트 전극(21)은 제1 게이트 전극에 상응하고, 탑 게이트 전극(25)은 제2 게이트 전극에 상응할 수 있다. 다른 실시예에서, 바텀 게이트 전극(21)은 제2 게이트 전극에 상응하고, 탑 게이트 전극(25)은 제1 게이트 전극에 상응할 수 있다.
- [0090] 구체적으로, 기판(11) 상에 바텀 게이트 전극(21)이 배치되고, 기판(11) 및 바텀 게이트 전극(21)을 덮도록 게이트 절연막(13)이 배치될 수 있다. 기판(11)은 유리 기판, 석영 기판, 투명 플라스틱 기판 등과 같은 투명 기판을 포함할 수 있다. 바텀 게이트 전극(21)은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층으로 구성될 수 있다. 게이트 절연막(13)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층일 수 있다.
- [0091] 액티브층(22)이 게이트 절연막(13) 상에 제1 게이트 전극(21)에 중첩되도록 이 배치될 수 있다. 액티브층(22)은 투명한 산화물 반도체, 단결정 실리콘 또는 다결정 실리콘을 포함할 수 있다.
- [0092] 액티브층(22) 및 게이트 절연막(13) 상에는 층간 절연막(15)이 배치될 수 있다. 층간 절연막(15)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xNy), 실리콘 산탄화물(SiO_xCy), 실리콘 탄질화물($SiCxNy$), 알루미늄(Al), 마그네슘(Mg), 아연(Zn), 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti), 탄탈륨(Ta), 알루미늄

미늄 산화물(AlO_x), 티타늄 산화물(TiO_x), 탄탈륨 산화물(TaO_x), 마그네슘 산화물(MgO_x), 아연 산화물(ZnO_x), 하프늄 산화물(HfO_x), 지르코늄 산화물(ZrO_x), 티타늄 산화물(TiO_x) 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.

[0093] 층간 절연막(15) 상에는 제1 전극(23) 및 제2 전극(24)이 콘택홀을 통해 액티브층(22)에 연결되도록 배치될 수 있다. 일 실시예에서, 제1 전극(23) 및 제2 전극(24)은 각각 소스 전극 및 드레인 전극에 상응할 수 있다. 제1 전극(23) 및 제2 전극(24)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중 어느 하나로 형성될 수 있다.

[0094] 평탄화막(17)이 제1 전극(23), 제2 전극(24) 및 층간 절연막(15) 상에 평탄화막(17)이 배치될 수 있다. 평탄화막(17)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 이중층일 수 있다.

[0095] 탑 게이트 전극(27)이 액티브층(22)에 중첩되도록 평탄화막(17) 상에 배치될 수 있다. 탑 게이트 전극(27)은 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층이나, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층으로 구성될 수 있다.

[0096] 도 4는 도 1의 화소 회로의 일 예를 나타내는 회로도이다.

[0097] 본 실시예에 따른 화소 회로(30)는 제2 초기화 트랜지스터($T2$)의 구성을 제외하면 도 1에 따른 화소 회로(10)와 동일하므로, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조 번호를 이용하고, 중복되는 설명은 생략한다.

[0098] 도 1, 도 2 및 도 4를 참조하면, 화소 회로(30)는 유기 발광 다이오드(EL), 구동 트랜지스터(TD), 스위칭 트랜지스터(TS), 저장 커패시터(Cst), 보상 커패시터(Cth), 발광 제어 트랜지스터(TE), 제1 초기화 트랜지스터(T1)를 포함할 수 있다. 화소 회로(30)는 제2 초기화 트랜지스터($T2$)를 더 포함할 수 있다.

[0099] 유기 발광 다이오드(EL)는 제2 전원 전압(ELVSS)에 연결되는 캐소드(cathode) 전극 및 구동 트랜지스터(TD)의 제2 전극에 연결되는 애노드(anode) 전극을 포함할 수 있다. 유기 발광 다이오드(EL)는 상기 애노드 전극 및 상기 캐소드 전극에 의해 생성되는 기생 커패시터(Coled)를 더 포함할 수 있다.

[0100] 제2 초기화 트랜지스터($T2$)는 초기화 신호(GI)가 인가되는 게이트 전극, 초기화 전압(VINIT)이 인가되는 제1 전극 및 유기 발광 다이오드(EL)의 상기 애노드 전극에 연결되는 제2 전극을 포함할 수 있다.

[0101] 제2 초기화 트랜지스터($T2$)는 초기화 구간(a) 동안, 초기화 신호(GI)에 응답하여 유기 발광 다이오드(EL)의 상기 애노드 전극에 초기화 전압(VINIT)을 인가할 수 있다. 따라서, 초기화 구간(a) 동안 유기 발광 다이오드(EL)의 상기 애노드 전극(즉, 기생 커패시터(Coled))이 초기화 전압(VINIT)으로 초기화될 수 있다.

[0102] 도 5는 본 발명의 실시예들에 따른 화소 회로를 나타내는 회로도이다.

[0103] 본 실시예에 따른 화소 회로(70)는 발광 제어 트랜지스터(TE2) 및 보상 트랜지스터(T5)의 구성을 제외하면 도 1에 따른 화소 회로(10)와 동일하므로, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조 번호를 이용하고, 중복되는 설명은 생략한다.

[0104] 도 1, 도 4 및 도 5를 참조하면, 화소 회로(50)는 유기 발광 다이오드(EL), 구동 트랜지스터(TD), 스위칭 트랜지스터(TS), 저장 커패시터(Cst), 보상 커패시터(Cth), 발광 제어 트랜지스터(TE), 제1 초기화 트랜지스터(T1) 및 제2 초기화 트랜지스터($T2$)를 포함할 수 있다. 화소 회로(50)는 제3 초기화 트랜지스터($T3$)를 더 포함할 수 있다.

[0105] 구동 트랜지스터(TD)는 제1 노드($N1$)에 연결되는 제1 게이트 전극, 제2 노드($N2$)에 연결되는 제2 게이트 전극, 제1 전원 전압(ELVDD)에 연결되는 제1 전극 및 유기 발광 다이오드(EL)의 애노드 전극에 연결되는 제2 전극을 포함할 수 있다. 구동 트랜지스터(TD)는 두 개의 게이트 전극을 포함하는 더블(double) 게이트 구조이다.

[0106] 스위칭 트랜지스터(TS)는 주사 신호(GW)에 응답하여 데이터 전압(DATA)을 제1 노드($N1$)에 제공할 수 있다. 발광 제어 트랜지스터(TE)는 발광 제어 신호(EM)에 응답하여 턴 온(turn on)될 수 있다.

[0107] 저장 커패시터(Cst)는 데이터 전압(DATA)을 저장할 수 있다. 보상 커패시터(Cth)는 구동 트랜지스터(TD)의 문턱 전압에 상응하는 전압을 저장할 수 있다.

[0108] 제1 초기화 트랜지스터(T1)는 초기화 신호(GI)에 응답하여 기준 전압(VREF)을 제2 노드($N2$)에 제공할 수 있다.

제2 초기화 트랜지스터(T2)는 초기화 신호(GI)에 응답하여 유기 발광 다이오드(EL)의 애노드 전극을 초기화할 수 있다.

[0109] 제3 초기화 트랜지스터(T3)는 초기화 신호(GI)에 응답하여 제1 노드(N1)에 기준 전압(VREF)을 인가할 수 있다. 제3 초기화 트랜지스터(T3)는 초기화 신호(GI)가 인가되는 게이트 전극, 기준 전압(VREF)이 인가되는 제1 전극 및 제1 노드(N1)에 연결되는 제2 전극을 포함할 수 있다. 일 실시예에서, 제1 초기화 트랜지스터(T1)의 상기 게이트 전극과 제3 초기화 트랜지스터(T3)의 상기 게이트 전극은 초기화 신호(GI)를 제공하는 초기화 라인(GIn)에 공통으로 연결될 수 있다. 따라서, 제1 노드(N1)와 제2 노드(N2)는 기준 전압(VREF)을 동시에 인가받을 수 있다.

[0110] 도 6은 도 5의 화소 회로 동작의 일 예를 나타내는 타이밍도이다.

[0111] 도 5 및 도 6을 참조하면, 한 프레임 주기는 초기화 구간(a'), 문턱 전압 보상 구간(b'), 데이터 기입 구간(c') 및 발광 구간(d')으로 구분될 수 있다.

[0112] 초기화 구간(a')에서 구동 트랜지스터(TD)의 제1 게이트 전극(GATE1, 즉, N1으로 표시) 및 제2 게이트 전극(GATE2, 즉, N2로 표시)의 전압이 초기화되고, 유기 발광 다이오드(EL)의 애노드 전극이 초기화될 수 있다. 구동 트랜지스터(TD)의 제1 게이트 전극은 제1 노드(N1)에 상응하고, 구동 트랜지스터(TD)의 제2 게이트 전극은 제2 노드(N2)에 상응한다.

[0113] 일 실시예에서, 초기화 구간(a') 동안, 화소 회로(50)는 로우 레벨의 발광 제어 신호(EM) 및 로우 레벨의 초기화 신호(GI)를 인가받고, 하이 레벨의 주사 신호(GW)를 인가받을 수 있다.

[0114] 제1 초기화 트랜지스터(T1)가 턴 온(turn on)되어 제2 노드(N2)가 기준 전압(VREF)으로 초기화될 수 있다. 제3 초기화 트랜지스터(T3)가 턴 온되어 제1 노드(N1)가 기준 전압(VREF)으로 초기화될 수 있다. 또한, 제2 초기화 트랜지스터(T2)가 턴 온되어 유기 발광 다이오드(EL)의 애노드 전극이 초기화될 수 있다. 일 실시예에서, 기준 전압(VREF)의 크기는 제1 전원 전압(ELVDD)과 구동 트랜지스터(TD)의 문턱 전압(V_{th})의 차(즉, $ELVDD - V_{th}$)보다 작게 설정될 수 있다.

[0115] 문턱 전압 보상 구간(b') 동안, 제1 초기화 트랜지스터(T1)는 초기화 신호(GI)에 응답하여 제2 노드(N2)에 기준 전압(VREF)을 제공하고, 발광 제어 트랜지스터(TE)는 구동 트랜지스터(TD)의 상기 제1 전극 및 보상 커패시터(Cth)의 상기 제2 전극이 제1 전원 전압(ELVDD)으로부터 전기적으로 차단되도록 턴-오프될 수 있다.

[0116] 일 실시예에서, 문턱 전압 보상 구간(b') 동안, 화소 회로(10)는 하이 레벨의 발광 제어 신호(EM), 하이 레벨의 주사 신호(GW) 및 로우 레벨의 초기화 신호(GI)를 인가받을 수 있다.

[0117] 문턱 전압 보상 구간(b') 동안 발광 제어 트랜지스터(TE)가 턴 오프될 수 있다. 따라서, 구동 트랜지스터(TD)의 제1 전극(SOURCE) (즉, 제3 노드(N3)에 상응함.)은 플로팅(floating) 상태가 된다. 그러므로, 문턱 전압 보상 구간(b) 동안 구동 트랜지스터(TD)의 제1 전극(N3)의 전압이 방전된다. 구동 트랜지스터(TD)의 제1 전극(N3)의 전압은 제2 노드(N2)에 인가된 기준 전압(VREF)과 구동 트랜지스터(TD)의 문턱 전압(V_{th})의 합(즉, $VREF + V_{th}$)에 상응하는 전압으로 방전될 수 있다. 그러면, 구동 트랜지스터(TD)의 채널 영역이 닫히게 되고, 문턱 전압 보상 구간(b) 동안, 제1 노드(N1), 제2 노드(N2) 및 구동 트랜지스터(TD)의 제1 전극(N3)의 전압이 일정하게 유지될 수 있다.

[0118] 보상 트랜지스터(Cth)의 양 단의 전압차는 구동 트랜지스터(TD)의 문턱 전압(V_{th})에 상응할 수 있다. 즉, 보상 트랜지스터(Cth)에는 구동 트랜지스터(TD)의 문턱 전압(V_{th})이 저장될 수 있다.

[0119] 이후, 데이터 기입 구간(c') 동안, 스위칭 트랜지스터(TS)는 주사 신호(GW)에 응답하여 제1 노드(N1)에 데이터 전압(Vdata)을 인가할 수 있다.

[0120] 일 실시예에서, 데이터 기입 구간(c') 동안, 화소 회로(50)는 하이 레벨의 발광 제어 신호(EM), 하이 레벨의 초기화 신호(GI) 및 로우 레벨의 주사 신호(GW)를 인가받을 수 있다.

[0121] 구동 트랜지스터(TD)의 제1 전극(N3)이 플로팅 상태이므로, 제2 노드(N2)의 전압은 기준 전압(VREF)이 유지되고, 구동 트랜지스터(TD)의 제1 전극(N3)의 전압은 기준 전압(VREF)과 구동 트랜지스터(TD)의 문턱 전압(V_{th})의 합에 상응하는 전압($VREF + V_{th}$)이 유지될 수 있다.

[0122] 즉, 구동 트랜지스터(TD)의 제1 게이트 전극(N1)에 연결되는 보상 커패시터(Cth)에는 구동 트랜지스터(TD)의 문턱 전압(V_{th}) 보상 전압이 저장되고, 구동 트랜지스터(TD)의 제2 게이트 전극(N2)에 연결되는 저장 커패시터

(Cst)에는 제1 전원 전압(ELVDD)과 데이터 전압(Vdata)의 차(ELVDD - Vdat)에 상응하는 전압이 저장될 수 있다.

[0123] 발광 구간(d') 동안, 발광 트랜지스터(TE)는 발광 제어 신호(EM)에 응답하여 턴 온될 수 있다. 따라서, 제1 전원 전압(ELVDD)이 구동 트랜지스터(TD)의 제1 전극(즉, 제3 노드(N3))에 인가될 수 있다. 이 때, 보상 커패시터(Cth)의 커플링(coupling)에 의해 제2 노드(N2)의 전압도 제3 노드(N3)의 전압 변화량(ΔV)만큼 변하게 된다. 따라서, 발광 구간(d) 동안, 제2 노드(N2)는 보상 커패시터(Cth)의 커플링에 의해 제1 전원 전압(ELVDD)과 구동 트랜지스터(TD)의 문턱 전압(Vth)의 차(ELVDD - Vth)에 상응하는 전압을 가질 수 있다.

[0124] 상술한 바와 같이, 본 발명의 일 실시예에 따른 화소 회로는 제1 게이트 전극 및 제2 게이트 전극을 포함하는 더블 게이트 구조의 구동 트랜지스터(TD)를 포함한다. 또한, 저장 커패시터(Cst)의 일단이 구동 트랜지스터(TD)의 제1 게이트 전극에 연결되고, 보상 커패시터(Cth)의 일단이 구동 트랜지스터(TD)의 제2 게이트 전극에 연결되므로, 문턱 전압(Vth)의 보상 전압과 데이터 전압(Vdata)을 각각 제1 게이트 전극과 제2 게이트 전극에 분리하여 충전할 수 있다. 따라서, 저장커패시터(Cst)와 보상 커패시터(Cth)의 특성 비율(즉, 커패시턴스 비율)에 의해 발생하는 구동 트랜지스터(TD)의 게이트 전압 편차가 제거될 수 있다.

[0125] 도 7은 본 발명의 실시예들에 따른 화소 회로를 나타내는 회로도이다.

[0126] 본 실시예에 따른 화소 회로는 발광 제어 트랜지스터(TE2) 및 보상 트랜지스터(T4) 구성을 제외하면 도 1 및 도 5에 따른 화소 회로와 동일하므로, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조 번호를 이용하고, 중복되는 설명은 생략한다.

[0127] 도 1, 도 5 및 도 7을 참조하면, 화소 회로(70)는 유기 발광 다이오드(EL), 구동 트랜지스터(TD), 스위칭 트랜지스터(TS), 저장 커패시터(Cst), 보상 커패시터(Cth), 발광 제어 트랜지스터(TE2), 제1 초기화 트랜지스터(T1), 제2 초기화 트랜지스터(T2) 및 제3 초기화 트랜지스터(T3)를 더 포함할 수 있다. 화소 회로(70)는 보상 트랜지스터(T4)를 더 포함할 수 있다.

[0128] 구동 트랜지스터(TD)는 제1 노드(N1)에 연결되는 제1 게이트 전극, 제2 노드(N2)에 연결되는 제2 게이트 전극, 제1 전원 전압(ELVDD)에 연결되는 제1 전극 및 유기 발광 다이오드(EL)의 애노드 전극에 연결되는 제2 전극을 포함할 수 있다. 구동 트랜지스터(TD)는 두 개의 게이트 전극을 포함하는 더블(double) 게이트 구조이다.

[0129] 발광 제어 트랜지스터(TE2)는 구동 트랜지스터(TD)의 상기 제2 전극과 유기 발광 다이오드(EL)의 애노드 전극 사이에 연결될 수 있다. 발광 제어 트랜지스터(TE2)는 발광 제어 신호(EM)가 인가되는 게이트 전극, 구동 트랜지스터(TD)의 제2 전극에 연결되는 제1 전극 및 유기 발광 다이오드(EL)의 상기 애노드 전극에 연결되는 제2 전극을 포함할 수 있다. 발광 제어 트랜지스터(TE)는 발광 제어 신호(EM)에 응답하여 턴 온(turn on)될 수 있다.

[0130] 보상 트랜지스터(T5)는 데이터 기입 구간 동안 구동 트랜지스터(TD)를 다이오드 연결시킬 수 있다. 보상 트랜지스터(T5)는 구동 트랜지스터(TD)의 상기 제2 전극과 제2 노드(N2) 사이에 연결될 수 있다.

[0131] 보상 트랜지스터(T5)가 턴 온 되면, 구동 트랜지스터(TD)의 상기 제2 게이트 전극과 구동 트랜지스터(TD)의 상기 제2 전극 사이에 전류 패스(current pass)가 형성되고, 구동 트랜지스터(TD)의 문턱 전압이 보상될 수 있다. 보상 트랜지스터(Cth)에는 구동 트랜지스터(TD)의 상기 문턱 전압이 저장될 수 있다.

[0132] 도 8은 도 7의 화소 회로 동작의 일 예를 나타내는 타이밍도이다.

[0133] 도 7 및 도 8을 참조하면, 한 프레임 주기는 초기화 구간(a''), 문턱 전압 보상 및 데이터 기입 구간(b'') 및 발광 구간(d'')으로 구분될 수 있다.

[0134] 초기화 구간(a'')에서 구동 트랜지스터(TD)의 제1 게이트 전극(GATE1, 즉, N1으로 표시) 및 제2 게이트 전극(GATE2, 즉, N2로 표시)의 전압이 초기화되고, 유기 발광 다이오드(EL)의 애노드 전극이 초기화될 수 있다. 구동 트랜지스터(TD)의 제1 게이트 전극은 제1 노드(N1)에 상응하고, 구동 트랜지스터(TD)의 제2 게이트 전극은 제2 노드(N2)에 상응한다.

[0135] 제1 초기화 트랜지스터(T1)가 턴 온(turn on)되어 제2 노드(N2)가 기준 전압(VREF)으로 초기화될 수 있다. 제3 초기화 트랜지스터(T3)가 턴 온되어 제1 노드(N1)이 기준 전압(VREF)으로 초기화될 수 있다. 또한, 제2 초기화 트랜지스터(T2)가 턴 온되어 유기 발광 다이오드(EL)의 애노드 전극이 초기화될 수 있다.

[0136] 본 실시예에서, 데이터 기입과 구동 트랜지스터(TD)의 문턱 전압(Vth) 보상은 동일한 구간에서 발생할 수 있다. 제1 노드(N1)에서 데이터 기입 동작이 수행되고, 제2 노드(N2)에서 문턱 전압(Vth) 보상이 수행될 수 있다.

- [0137] 문턱 전압 보상 및 데이터 기입 구간(b^*) 동안, 스위칭 트랜지스터(TS)는 주사 신호(GW)에 응답하여 제1 노드(N1)에 데이터 전압(Vdata)을 인가할 수 있다. 제1 노드(N1)의 데이터 전압(Vdata)은 저장 커패시터(Cst)에 의해 유지될 수 있다. 구동 트랜지스터(TD)는 구동 트랜지스터(TD)의 제1 전극(제3 노드(N3))과 게이트 전극 사이의 전압차에 의해 턴 온될 수 있다.
- [0138] 또한, 문턱 전압 보상 및 데이터 기입 구간(b^*) 동안, 보상 트랜지스터(T4)는 주사 신호(GW)에 응답하여 제2 노드(N2)와 구동 트랜지스터(TD)의 제2 전극을 전기적으로 연결할 수 있다. 즉, 구동 트랜지스터(TD)가 다이오드 연결될 수 있다. 보상 트랜지스터(T5)가 턴 온 되면, 구동 트랜지스터(TD)의 상기 제2 게이트 전극과 구동 트랜지스터(TD)의 상기 제2 전극 사이에 전류 패스(current pass)가 형성되고, 구동 트랜지스터(TD)의 문턱 전압(V_{th})이 보상될 수 있다. 따라서, 구동 트랜지스터(TD)의 제2 게이트 전극(제2 노드(N2))에 제1 전원 전압(ELVDD)과 구동 트랜지스터(TD)의 문턱 전압(V_{th})의 차(즉, $ELVDD - V_{th}$)에 상응하는 전압이 인가될 수 있다. 보상 트랜지스터(Cth)에는 구동 트랜지스터(TD)의 문턱 전압(V_{th})이 저장될 수 있다. 즉, 구동 트랜지스터(TD)의 다이오드 연결에 의해 구동 트랜지스터(TD)의 문턱 전압(V_{th})이 보상될 수 있다.
- [0139] 발광 구간(d^*) 동안, 발광 트랜지스터(TE)는 발광 제어 신호(EM)에 응답하여 턴 온될 수 있다. 스위칭 트랜지스터(TS), 제1 내지 제3 초기화 트랜지스터들(T1, T2, T3) 및 보상 트랜지스터(T4)는 턴 오프될 수 있다.
- [0140] 발광 구간(d^*) 동안 제1 노드(N1)의 전압은 데이터 전압(Vdata)이 유지되고, 제2 노드(N2)의 전압은 제1 전원 전압(ELVDD)과 구동 트랜지스터(TD)의 문턱 전압의 차(즉, $ELVDD - V_{th}$)에 상응하는 전압이 유지될 수 있다. 따라서, 발광 구간(d) 동안 구동 트랜지스터를 통해 유기 발광 다이오드(EL)로 흐르는 전류는 구동 트랜지스터(TD)의 문턱 전압에는 무관하고 데이터 전압(Vdata)의 크기에 의해서만 결정될 수 있다.
- [0141] 상술한 바와 같이, 제1 노드(N1)에서 데이터 기입 동작이 수행되고, 제2 노드(N2)에서 문턱 전압(V_{th}) 보상이 수행될 수 있다. 따라서, 저장커패시터(Cst)와 보상 커패시터(Cth)의 특성 비율(즉, 커패시턴스 비율)에 의해 발생하는 구동 트랜지스터(TD)의 게이트 전압 편차가 제거될 수 있다.
- [0142] 도 9는 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- [0143] 도 9를 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 타이밍 제어부(120), 주사 구동부(130), 데이터 구동부(140) 및 발광 제어 구동부(150)를 포함할 수 있다. 유기 발광 표시 장치(100)는 전원 공급부를 더 포함할 수 있다.
- [0144] 표시 패널(110)은 복수의 데이터 라인들(D1, ..., Dm), 복수의 주사 라인들(GW1, ..., GWn), 복수의 초기화 라인들(GI1, ..., GIn), 복수의 발광 제어 라인들(EM1, ..., EMn) 및 복수의 화소 회로(115)들을 포함할 수 있다. 또한, 표시 패널(110)은 상기 전원 공급부로부터 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 초기화 전압(VINIT) 및 기준 전압(VREF)을 제공받을 수 있다.
- [0145] 일 실시예에서, 표시 패널(110)은 복수의 주사 라인들(GW1, ..., GWn), 복수의 초기화 라인들(GI1, ..., GIn) 및 복수의 발광 제어 라인들(EM1, ..., EMn)의 교차부마다 위치되는 $n \times m$ 개의 화소 회로(115)들을 포함할 수 있다. 화소 회로(115)들은 매트릭스(matrix) 형태로 배치될 수 있다. 복수의 화소 회로(115)들 각각은 유기 발광 다이오드(Organic Light Emitting Diode)를 포함할 수 있다.
- [0146] 타이밍 제어부(120)는 복수의 제어 신호들을 생성하여 주사 구동부(130), 데이터 구동부(140), 발광 제어 구동부(150) 및 상기 전원 공급부를 제어할 수 있다.
- [0147] 주사 구동부(130)는 복수의 주사 라인들(GW1, ..., GWn)을 통해 화소(115)들 각각에 상기 주사 신호를 공급할 수 있다. 또한, 주사 구동부(130)는 복수의 초기화 라인들(GI1, ..., GIn)을 통해 화소 회로(115)들에 상기 초기화 신호를 공급할 수 있다.
- [0148] 데이터 구동부(140)는 복수의 데이터 라인들(D1, ..., Dm)을 통해 복수의 화소 회로(115)들 각각에 상기 데이터 전압을 인가할 수 있다. 일 실시예에서, 도 1 및 도 4의 화소 회로(115)가 유기 발광 표시 장치(100)에 적용되는 경우, 데이터 구동부(140)는 초기화 구간 동안 기준 전압(VREF)에 상응하는 전압을 데이터 라인에 제공할 수 있다.
- [0149] 발광 제어 구동부(150)는 각각의 프레임마다 복수의 발광 제어 라인(EM)들을 통해 복수의 화소 회로(115)들 각각에 발광 제어 신호를 제공할 수 있다.
- [0150] 상기 전원 공급부는 복수의 화소 회로(115)들 각각에 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 초기화 전

압(VINIT) 및 기준 전압(VREF)을 제공할 수 있다.

- [0151] 복수의 화소 회로(115)들 각각은 상기 주사 신호, 상기 초기화 신호, 상기 발광 제어 신호 및 상기 데이터 전압, 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 초기화 전압(VINIT) 및 기준 전압(VREF)을 수신하여 상기 데이터 전압에 상응하는 계조(gray scale)로 상기 유기 발광 다이오드를 발광시켜 화상을 표시할 수 있다.
- [0152] 복수의 화소 회로(115)들 각각은 도 1, 4, 5 및 7에 도시된 화소 회로들 중의 어느 하나로 구현될 수 있다.
- [0153] 복수의 화소 회로(115)들 각각은, 더블(double) 게이트 구조의 구동 트랜지스터, 스위칭 트랜지스터, 제1 초기화 트랜지스터, 발광 제어 트랜지스터, 저장 커패시터 및 보상 커패시터를 포함할 수 있다. 일 실시예에서, 복수의 화소 회로(115)들 각각은, 제2 초기화 트랜지스터 및 제3 초기화 트랜지스터를 더 포함할 수 있다.
- [0154] 구동 트랜지스터(TD)는 제1 노드(N1)에 연결되는 제1 게이트 전극, 제2 노드(N2)에 연결되는 제2 게이트 전극, 제1 전원 전압(ELVDD)에 연결되는 제1 전극 및 유기 발광 다이오드(EL)의 애노드 전극에 연결되는 제2 전극을 포함할 수 있다. 구동 트랜지스터(TD)는 두 개의 게이트 전극을 포함하는 더블(double) 게이트 구조이다.
- [0155] 스위칭 트랜지스터(TS)는 주사 신호(GW)에 응답하여 데이터 전압(DATA)을 제1 노드(N1)에 제공할 수 있다. 발광 제어 트랜지스터(TE)는 발광 제어 신호(EM)에 응답하여 턴 온될 수 있다.
- [0156] 저장 커패시터(Cst)는 데이터 전압(DATA)을 저장할 수 있다. 보상 커패시터(Cth)는 구동 트랜지스터(TD)의 문턱 전압에 상응하는 전압을 저장할 수 있다.
- [0157] 제1 초기화 트랜지스터(T1)는 초기화 신호(GI)에 응답하여 기준 전압(VREF)을 제2 노드(N2)에 제공할 수 있다. 제2 초기화 트랜지스터(T2)는 초기화 신호(GI)에 응답하여 유기 발광 다이오드(EL)의 애노드 전극을 초기화할 수 있다. 제3 초기화 트랜지스터(T3)는 초기화 신호(GI)에 응답하여 제1 노드(N1)에 기준 전압(VREF)을 인가할 수 있다.
- [0158] 복수의 화소 회로(115) 각각은 저장 커패시터(cst)의 일단이 구동 트랜지스터(TD)의 상기 제1 게이트 전극에 연결되고, 보상 커패시터(Cth)의 일단이 구동 트랜지스터(TD)의 상기 제2 게이트 전극에 연결되므로, 구동 트랜지스터(TD)의 문턱 전압의 보상 전압과 상기 데이터 전압을 각각 상기 제1 게이트 전극과 상기 제2 게이트 전극에 분리하여 충전할 수 있다. 따라서, 저장 커패시터(Cst)와 보상 커패시터(Cth)의 특성 비율(즉, 커패시턴스 비율)에 의해 발생하는 구동 트랜지스터(TD)의 게이트 전압 편차가 제거될 수 있다.
- [0159] 도 1, 4, 5 및 7에 도시된 화소 회로들의 구성 및 동작에 대해서는 도 1 내지 도 8을 참조하여 상세히 설명하였으므로, 여기서는 복수의 화소 회로(115)들 각각에 대한 상세한 설명은 생략한다.
- [0160] 상술한 바와 같이, 본 발명의 실시예들에 따른 화소 회로(115)를 포함하는 유기 발광 표시 장치는 상기 저장 커패시터와 상기 보상 커패시터의 공정 편차에 의한 표시 얼룩이 감소됨으로써, 화질의 균일성이 향상될 수 있다.

산업상 이용가능성

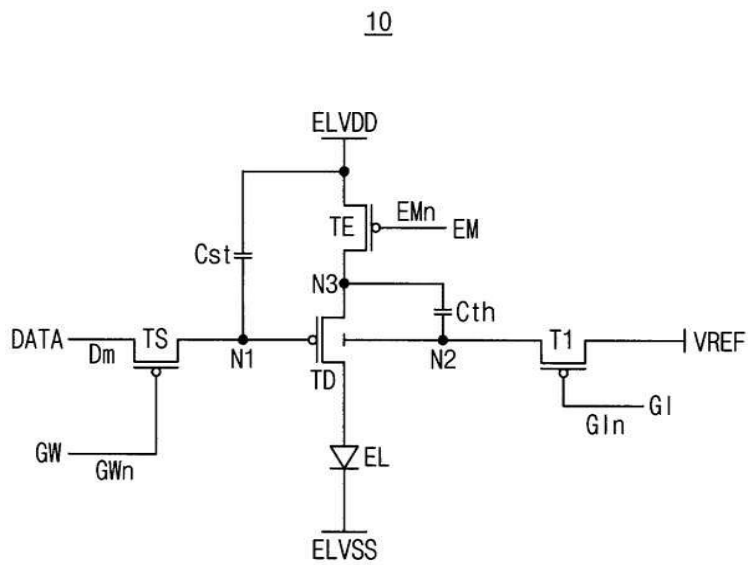
- [0161] 본 발명은 임의의 표시 장치 및 상기 표시 장치를 포함하는 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 텔레비전, 개인용 컴퓨터, 노트북, 태블릿, 휴대폰, 스마트폰, 스마트패드, 피디에이(PDA), 피엠펜(PMP), 디지털 카메라, MP3 플레이어, 휴대용 게임 콘솔, 네비게이션 등에 적용될 수 있다.
- [0162] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

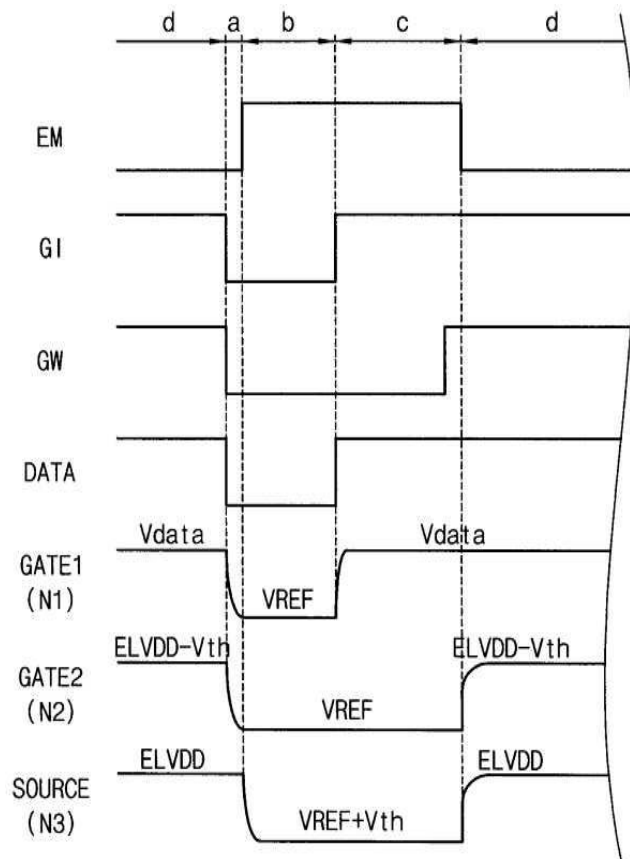
- [0163] 100: 유기 발광 표시 장치 110: 표시 패널
10, 30, 50, 70 115: 화소 회로 120: 타이밍 제어부
130: 주사 구동부 140: 데이터 구동부
150: 발광 제어 구동부 TD: 구동 트랜지스터
Cst: 저장 커패시터 Cth: 보상 커패시터

도면

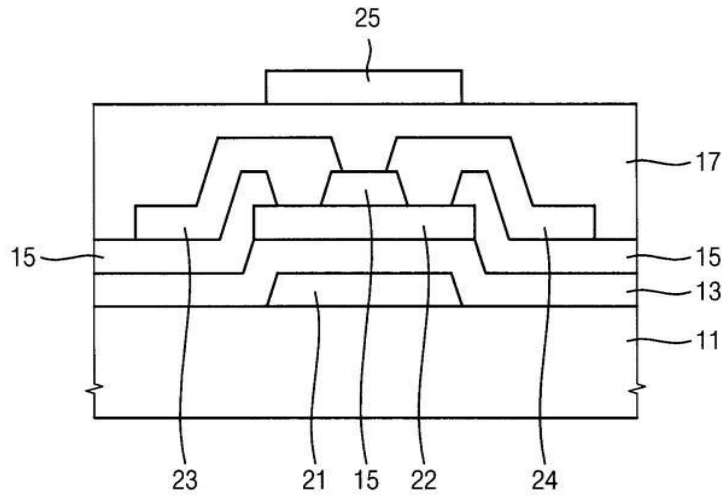
도면1



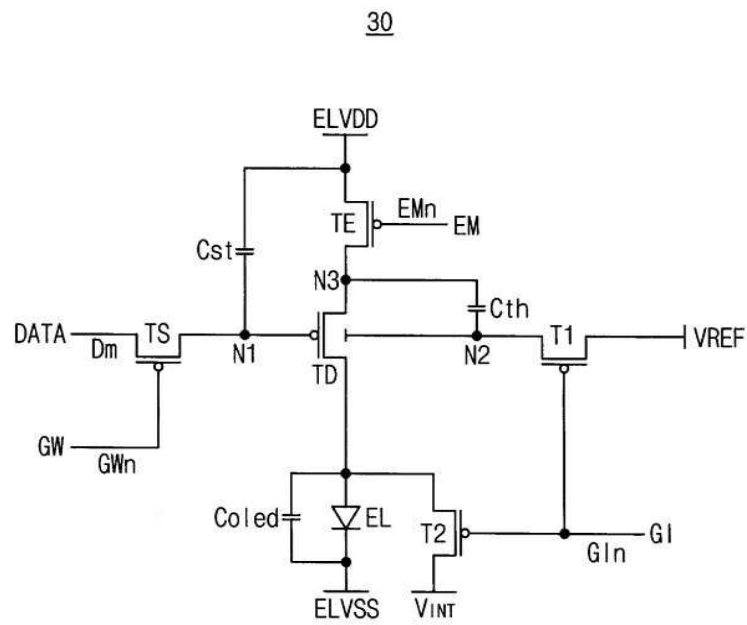
도면2



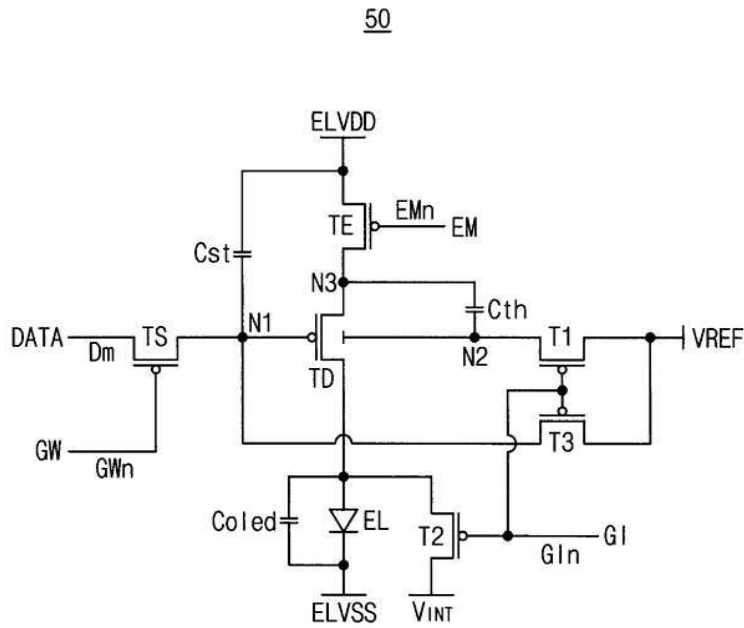
도면3



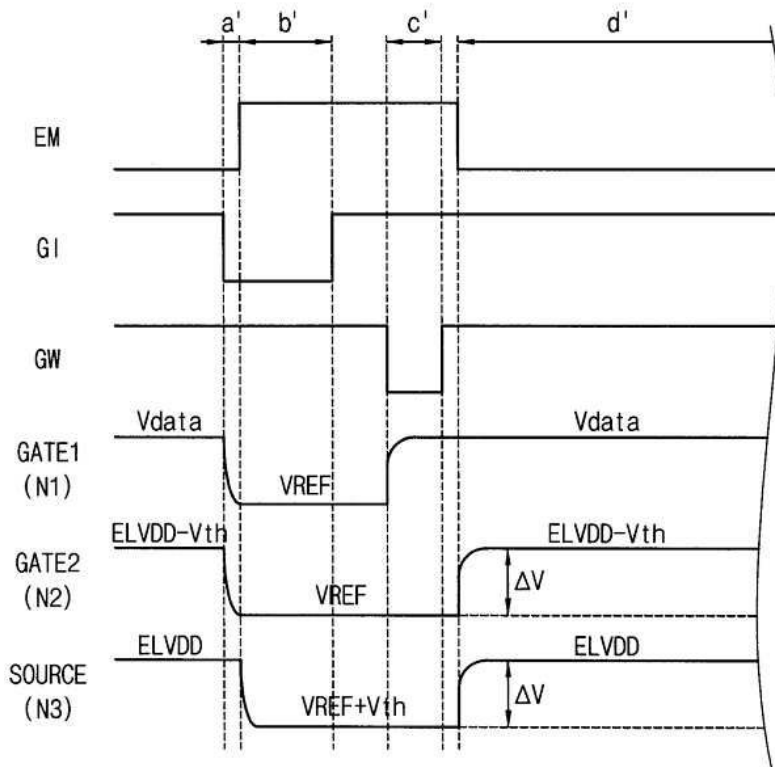
도면4



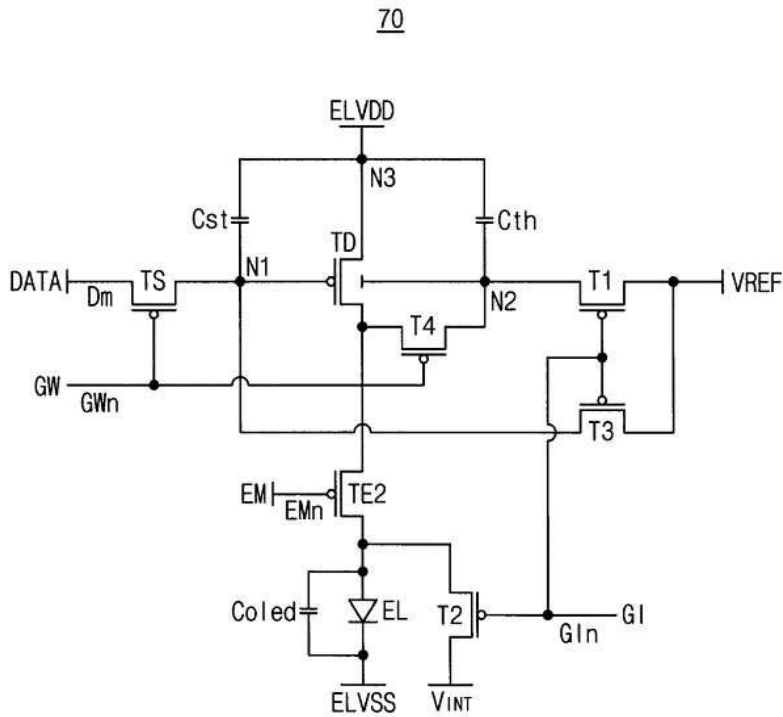
도면5



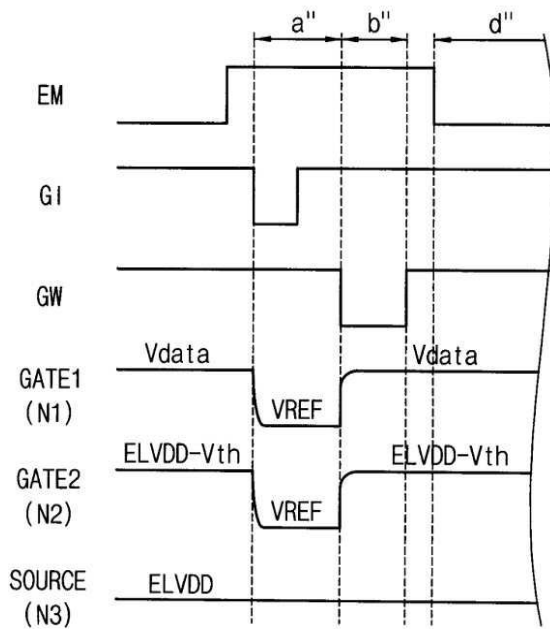
도면6



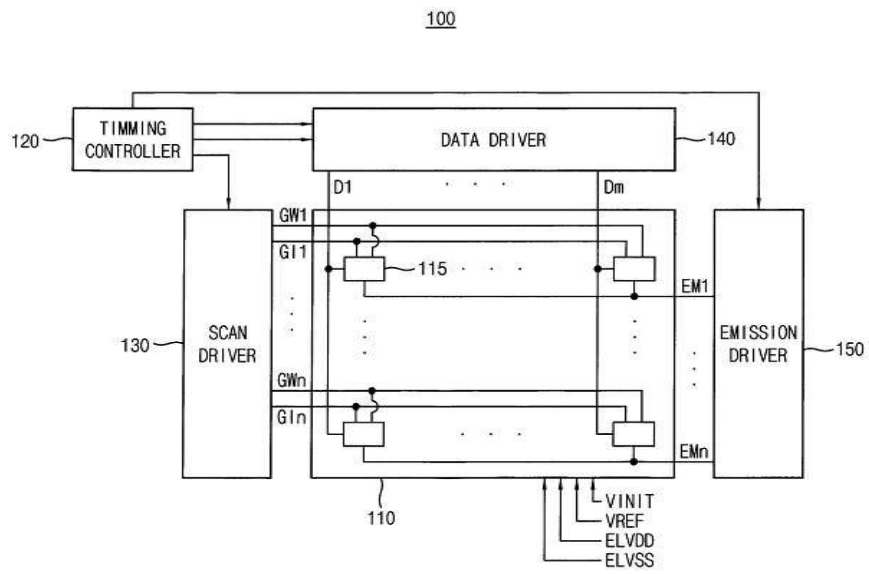
도면7



도면8



도면9



专利名称(译)	标题：像素电路和包括其的有机发光显示装置		
公开(公告)号	KR1020160018892A	公开(公告)日	2016-02-18
申请号	KR1020140101450	申请日	2014-08-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LIM JAE KEUN 임재근 YANG HUI WON 양희원 CHAI CHONG CHUL 채종철		
发明人	임재근 양희원 채종철		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0814 G09G2300/0819 G09G2310/0251 G09G2320/043		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

像素电路包括：有机发光二极管（OLED）；具有双栅极结构的驱动晶体管，包括连接到第一节点的第一栅极，连接到第二节点的第二栅极，连接到第一电源电压的第一电极，以及连接到第一节点的阳极的第二电极；开关晶体管，包括施加扫描信号的栅电极，施加数据电压的第一电极，和连接到第一节点的第二电极；存储电容器，包括连接到第一节点的第一电极，和连接到第一电源电压的第二电极；补偿电容器包括连接到第二节点的第一电极，以及连接到驱动晶体管的第一电极的第二电极。

COPYRIGHT KIPO 2016

