



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0128119

(43) 공개일자 2015년11월18일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2014-0054969

(22) 출원일자 2014년05월08일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김빈

서울특별시 양천구 목동서로 100, 302동 905호 (목동, 목동신시가지아파트3단지)

박재희

경상북도 구미시 인동36길 23-34, 708동 1504호 (구평동, 7단지부영아파트)

(74) 대리인

박영복

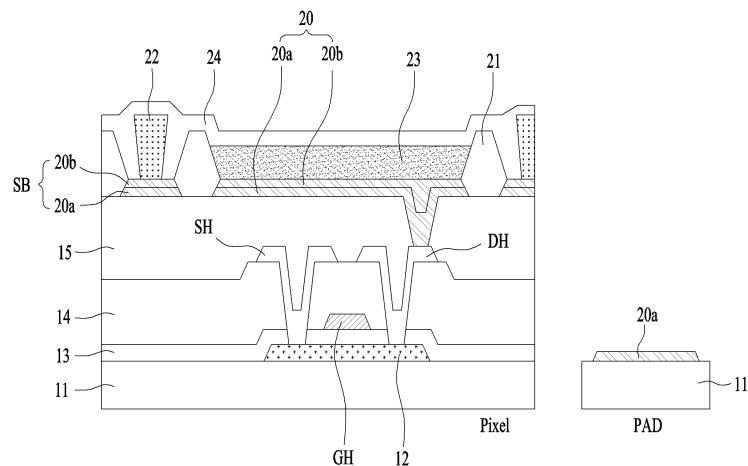
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기 발광 다이오드 표시장치 및 그 제조방법

(57) 요약

본 발명은 유기 발광 표시패널의 화소 영역들에 형성된 캐소드 전극(cathode electrode)의 저항을 낮춰 표시 영상의 휘도 저하를 방지하고 화질을 향상시킬 수 있도록 한 유기 발광 다이오드 표시장치 및 그 제조방법에 관한 것으로, 본 발명의 실시 예에 따른 유기 발광 다이오드 표시장치는 기관상에 형성된 구동 박막 트랜지스터; 및 상기 구동 박막 트랜지스터와 전기적으로 연결된 제 1 전극, 상기 제 1 전극과 대향된 제 2 전극, 영상 비표시 영역에 형성된 서브 전극 및 상기 대향된 제 1 및 제 2 전극 사이에 구비된 발광층으로 이루어진 유기 발광 다이오드를 구비하며, 상기 서브 전극은 상기 제 1 전극과 동일층 상에 구성되어 상기 제 2 전극과 전기적으로 접속된 것을 특징으로 한다.

대표도 - 도3



## 명세서

### 청구범위

#### 청구항 1

기관상에 형성된 구동 박막 트랜지스터; 및

상기 구동 박막 트랜지스터와 전기적으로 연결된 제 1 전극, 상기 제 1 전극과 대향된 제 2 전극, 영상 비표시 영역에 형성된 서브 전극 및 상기 대향된 제 1 및 제 2 전극 사이에 구비된 발광층으로 이루어진 유기 발광 다이오드를 구비하며,

상기 서브 전극은 상기 제 1 전극과 동일층 상에 구성되어 상기 제 2 전극과 전기적으로 접속된 것을 특징으로 하는 유기 발광 다이오드 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 서브 전극은

상기 제 1 전극 형성시 상기 각 화소 영역의 외곽에 형성되며,

상기 제 1 전극과 적어도 하나의 동일한 금속 물질로 형성된 것을 특징으로 하는 유기 발광 다이오드 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 서브 전극은

상기 제 2 전극은 상기 화소 영역의 발광층을 사이에 두고 상기 제 1 전극과 대향하도록 형성되며 상기 서브 전극과는 적어도 하나의 컨택홀을 통해 전기적으로 접속된 것을 특징으로 하는 유기 발광 다이오드 표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 서브 전극은

제 1 증착 전극 및 제 2 증착 전극 중 적어도 하나의 증착 전극이 적층된 형태로 구성되며, 상기 제 1 증착 전극은 MoTi/Cu/MoTi 물질이 순차적으로 적층된 형태로 구성되고, 상기 제 2 증착 전극은 ITO/Ag-alloy/ITO 물질이 순차적으로 적층된 형태로 구성된 것을 특징으로 하는 유기 발광 다이오드 표시장치.

#### 청구항 5

제 3 항에 있어서,

상기 제 1 전극은

제 1 증착 전극 및 제 2 증착 전극 중 적어도 하나의 증착 전극이 적층된 형태로 구성되며, 상기 제 1 증착 전극은 MoTi/Cu/MoTi 물질이 순차적으로 적층된 형태로 구성되고, 상기 제 2 증착 전극은 ITO/Ag-alloy/ITO 물질이 순차적으로 적층된 형태로 구성된 것을 특징으로 하는 유기 발광 다이오드 표시장치.

#### 청구항 6

제 5 항에 있어서,

상기 기관의 영상 비표시 영역 중 패드 영역에는

상기 제 1 전극 및 상기 서브 전극과 동일 공정 과정을 통해 상기의 MoTi/Cu/MoTi 물질로 이루어진 상기 제 1 증착 전극으로 복수의 패드가 각각 형성된 것을 특징으로 하는 유기 발광 다이오드 표시장치.

#### 청구항 7

기관상에 구동 박막 트랜지스터를 형성하는 단계;

상기 구동 박막 트랜지스터와 전기적으로 연결되면서도 상기 기관의 화소 영역에 각각 대응하도록 평탄화 층(평탄화 층) 상에 제 1 전극을 형성하는 단계;

상기 제 1 전극 형성시 상기 제 1 전극과는 별도로 상기 각 화소 영역의 외곽에 서브 전극을 형성하는 단계; 및  
상기 기관의 화소 영역에 각각 대응하도록 상기 제 1 전극 상에 발광층을 형성하는 단계; 및

상기 서브 전극과는 적어도 하나의 콘택홀을 통해 전기적으로 접속되면서도 상기 발광층을 사이에 두고 상기 제 1 전극과는 대향되도록 제 2 전극을 형성하는 단계를 포함한 것을 특징으로 하는 유기 발광 다이오드 표시장치의 제조방법.

#### 청구항 8

제 7 항에 있어서,

상기 제 1 전극 형성 단계는

상기 서브 전극과 적어도 하나의 동일한 금속 물질을 증착하는 단계,

마크스를 이용하여 노광 공정을 수행하는 단계, 및

식각 공정을 수행하는 단계를 포함한 것을 특징으로 하는 유기 발광 다이오드 표시장치의 제조방법.

#### 청구항 9

제 8 항에 있어서,

상기 서브 전극 형성 단계는

상기 제 1 전극과 적어도 하나의 동일한 금속 물질을 증착하는 단계,

상기 마크스를 이용하여 노광 공정을 수행하는 단계, 및

식각 공정을 수행하는 단계를 포함한 것을 특징으로 하는 유기 발광 다이오드 표시장치의 제조방법.

#### 청구항 10

제 9 항에 있어서,

상기 적어도 하나의 동일한 금속 물질을 증착하는 단계는

제 1 증착 전극 및 제 2 증착 전극 중 적어도 하나의 증착 전극이 적층되도록 증착하는 단계를 포함하며,

상기 제 1 증착 전극은 MoTi/Cu/MoTi 물질이 순차적으로 적층된 형태이고,

상기 제 2 증착 전극은 ITO/Ag-alloy/ITO 물질이 순차적으로 적층된 형태로 증착되는 것을 특징으로 하는 유기 발광 다이오드 표시장치의 제조방법.

#### 청구항 11

제 9 항에 있어서,

상기 서브 전극 형성 단계에서는

상기 기관의 영상 비표시 영역 중 패드 영역에 상기의 MoTi/Cu/MoTi 물질로 이루어진 상기 제 1 증착 전극으로 복수의 패드를 각각 형성하는 것을 특징으로 하는 유기 발광 다이오드 표시장치의 제조방법.

#### 발명의 설명

#### 기술 분야

본 발명은 유기 발광 표시패널의 화소 영역들에 형성된 캐소드 전극(cathode electrode)의 저항을 낮춰 표시 영

[0001]

상의 휘도 저하를 방지하고 화질을 향상시킬 수 있도록 한 유기 발광 다이오드 표시장치 및 그 제조방법에 관한 것이다.

## 배경 기술

- [0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 발광 다이오드 표시장치 등이 각광받고 있다.
- [0003] 유기 발광 다이오드 표시장치의 발광 표시패널에는 3색(R,G,B) 서브 화소로 구성된 복수의 화소들이 매트릭스 형태로 배열된다. 각각의 서브 화소는 유기 발광 다이오드(Organic Light Emitting Diode; OLED)와, 그 OLED를 독립적으로 구동하는 OLED 구동 회로로 이루어진다.
- [0004] 각 서브 화소의 OLED는 발광층을 사이에 두고 서로 마주보는 애노드 전극(anode electrode)과 캐소드 전극(cathode electrode)으로 이루어지며, 애노드 전극으로부터 주입된 정공과 캐소드 전극으로부터 주입된 전자가 발광층 내에서 재결합하여 여기자를 형성하고, 여기자가 바닥 상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.
- [0005] 각 서브 화소의 OLED 구동부들은 각각의 게이트 라인 및 데이터 라인과 접속된 적어도 하나의 스위치 박막 트랜지스터, 어느 한 스위치 박막 트랜지스터 및 전원 라인과 OLED의 애노드 전극 사이에 접속된 구동 박막 트랜지스터, 및 전원 라인과 스위치 박막 트랜지스터의 드레인 전극 사이에 접속된 스토리지 커패시터로 이루어진다.
- [0006] OLED의 애노드 전극은 각각의 서브 화소별로 구성되어 구동 박막 트랜지스터로부터 구동 전류를 공급받는다. 반면, OLED의 캐소드 전극은 전체 화소 영역들을 모두 덮는 형태로 구성되어 그라운드 또는 저전위의 전류를 공급받는다. 이에, 각 발광층은 애노드 전극으로부터 주입된 정공과 캐소드 전극으로부터 주입된 전자의 결합으로 발광하게 된다.
- [0007] 탑 에미션(top emission) 방식의 유기 발광 표시 장치는 유기 발광 소자에서 발광된 빛이 유기 발광 표시 장치 상부로 방출되는 유기 발광 표시 장치를 의미하는 것으로서, 유기 발광 소자에서 발광된 빛이 유기 발광 표시 장치를 구동하기 위한 박막 트랜지스터가 형성된 기판의 상면 방향으로 방출되는 유기 발광 표시 장치를 의미한다.
- [0008] 탑 에미션 방식의 유기 발광 표시 장치의 경우, 유기 발광층에서 발광된 빛을 상부로 발광시키기 위해 캐소드로서 투명 특성의 전극 또는 반투과 특성의 전극을 사용한다. 캐소드로서 투명 특성의 전극을 사용하는 경우 및 반투과 특성의 전극을 사용하는 경우 캐소드의 전기적 저항을 증가시킨다. 이로 인해, 특히 대면적의 유기 발광 표시 장치의 경우 전압 공급 패드로부터 멀어질수록 전압 강하가 더 심하게 발생하여 유기 발광 표시 장치의 휘도 불균일 문제가 발생할 수 있다. 이에, 탑 에미션 방식의 유기 발광 표시 장치에서 캐소드의 저항에 의한 전압 강하를 최소화할 수 있는 기술이 절실히 요구되고 있다.

## 발명의 내용

### 해결하려는 과제

- [0009] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 유기 발광 표시패널의 화소 영역들에 형성된 캐소드 전극 저항을 낮춰 휘도 저하를 방지하고 영상의 표시 화질을 향상시킬 수 있도록 한 유기 발광 다이오드 표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.

### 과제의 해결 수단

- [0010] 상기의 목적을 달성하기 위한 본 발명의 실시 예에 따른 유기 발광 다이오드 표시장치는 기판상에 형성된 구동 박막 트랜지스터; 및 상기 구동 박막 트랜지스터와 전기적으로 연결된 제 1 전극, 상기 제 1 전극과 대향된 제 2 전극, 영상 비표시 영역에 형성된 서브 전극 및 상기 대향된 제 1 및 제 2 전극 사이에 구비된 발광층으로 이루어진 유기 발광 다이오드를 구비하며, 상기 서브 전극은 상기 제 1 전극과 동일층 상에 구성되어 상기 제 2 전극과 전기적으로 접속된 것을 특징으로 한다.
- [0011] 상기 제 1 전극은 상기 기판의 화소 영역에 각각 대응하도록 평탄화 층 상에 구성되고, 상기 서브 전극은 상기

제 1 전극 형성시 상기 제 1 전극과는 별도로 상기 각 화소 영역의 외곽에 형성되며, 상기 제 2 전극은 상기 화소 영역의 발광층을 사이에 두고 상기 제 1 전극과 대향하도록 형성되며 상기 서브 전극과는 적어도 하나의 컨택홀을 통해 전기적으로 접속된 것을 특징으로 한다.

- [0012] 상기 제 1 전극과 상기 서브 전극은 적어도 하나의 동일한 금속 물질로 증착되고, 적어도 하나의 동일한 마크스를 이용한 노광 및 식각 공정 과정을 통해 서로 동일한 층에 형성된 것을 특징으로 한다.
- [0013] 상기 제 1 전극과 상기 서브 전극 각각은 제 1 증착 전극 및 제 2 증착 전극 중 적어도 하나의 증착 전극이 적층된 형태로 구성되며, 상기 제 1 증착 전극은 MoTi/Cu/MoTi 물질이 순차적으로 적층된 형태로 구성되고, 상기 제 2 증착 전극은 ITO/Ag-alloy/ITO 물질이 순차적으로 적층된 형태로 구성된 것을 특징으로 한다.
- [0014] 상기 기판의 영상 비표시 영역 중 패드 영역에는 상기 제 1 전극 및 상기 서브 전극과 동일 공정 과정을 통해 상기의 MoTi/Cu/MoTi 물질로 이루어진 상기 제 1 증착 전극으로 복수의 패드가 각각 형성된 것을 특징으로 한다.
- [0015] 또한, 상기의 목적을 달성하기 위한 본 발명의 실시 예에 따른 유기 발광 다이오드 표시장치의 제조방법은 기판 상에 구동 박막 트랜지스터를 형성하는 단계; 상기 구동 박막 트랜지스터와 전기적으로 연결되면서도 상기 기판의 화소 영역에 각각 대응하도록 평탄화 층 상에 제 1 전극을 형성하는 단계; 상기 제 1 전극 형성시 상기 제 1 전극과는 별도로 상기 각 화소 영역의 외곽에 서브 전극을 형성하는 단계; 및 상기 기판의 화소 영역에 각각 대응하도록 상기 제 1 전극 상에 발광층을 형성하는 단계; 및 상기 서브 전극과는 적어도 하나의 컨택홀을 통해 전기적으로 접속되면서도 상기 발광층을 사이에 두고 상기 제 1 전극과는 대향되도록 제 2 전극을 형성하는 단계를 포함한 것을 특징으로 한다.
- [0016] 상기 제 1 전극 및 상기 서브 전극 형성 단계는 적어도 하나의 동일한 금속 물질을 증착하는 단계, 적어도 하나의 동일한 마크스를 이용하여 노광 공정을 수행하는 단계, 및 동일한 방식의 식각 공정을 수행하는 단계를 포함한 것을 특징으로 한다.
- [0017] 적어도 하나의 동일한 금속 물질을 증착하는 단계는 제 1 증착 전극 및 제 2 증착 전극 중 적어도 하나의 증착 전극이 적층되도록 증착하는 단계를 포함하며, 상기 제 1 증착 전극은 MoTi/Cu/MoTi 물질이 순차적으로 적층된 형태이고, 상기 제 2 증착 전극은 ITO/Ag-alloy/ITO 물질이 순차적으로 적층된 형태로 증착되는 것을 특징으로 한다.
- [0018] 상기 제 1 전극 및 상기 서브 전극 형성 단계에서는 상기 기판의 영상 비표시 영역 중 패드 영역에 상기의 MoTi/Cu/MoTi 물질로 이루어진 상기 제 1 증착 전극으로 복수의 패드를 각각 형성하는 것을 특징으로 한다.

### 발명의 효과

- [0019] 상술한 바와 같은 다양한 기술 특징을 갖는 본 발명의 실시 예에 따른 유기 발광 다이오드 표시장치 및 그 제조방법은 유기 발광 표시패널의 화소 영역들에 형성된 캐소드 전극의 저항을 낮추어 휘도 저하를 방지하고 영상의 표시 화질을 향상시킬 수 있다.
- [0020] 또한, 별도의 패드 형성 공정을 수행하지 않고 애노드 또는 캐소드 전극 형성 공정 과정에서 각각의 패드가 형성되도록 하여 제조 비용 및 제조 시간을 줄일 수 있으며, 애노드 또는 캐소드 전극과 적어도 하나의 동일 물질로 각각의 패드가 형성되도록 함으로써 각각의 패드가 부식되는 문제를 방지할 수 있다.

### 도면의 간단한 설명

- [0021] 도 1은 본 발명의 실시 예에 따른 대화면 유기 발광 다이오드 표시장치를 나타낸 구성도.
- 도 2는 도 1에 도시된 발광 표시패널의 어느 한 단위 화소를 나타낸 구성도.
- 도 3은 본 발명의 제 1 실시 예에 따른 어느 하나의 서브 화소 및 패드부를 나타낸 단면도.
- 도 4a 내지 도 4c는 본 발명의 실시 예에 따른 발광 표시패널의 제조 단계별 단면도.
- 도 5는 본 발명의 제 1 실시 예에 따른 제 1 전극과 서브 전극 및 패드 구성을 각각 나타낸 단면도.
- 도 6은 본 발명의 제 1 실시 예에 따른 제 1 전극과 서브 전극 및 패드 구성을 각각 나타낸 다른 단면도.
- 도 7은 본 발명의 제 2 실시 예에 따른 어느 하나의 서브 화소 및 패드부를 나타낸 단면도.

도 8은 본 발명의 제 2 실시 예에 따른 제 1 전극과 서브 전극 및 패드 구성을 각각 나타낸 단면도.

도 9는 본 발명의 제 2 실시 예에 따른 제 1 전극과 서브 전극 및 패드 구성을 각각 나타낸 다른 단면도.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 본 발명의 각 실시 예에 따른 유기 발광 다이오드 표시장치 및 그 제조방법에 대하여 첨부한 도면을 참고로 하여 상세히 설명하기로 한다.
- [0023] 도 1은 본 발명의 실시 예에 따른 대화면 유기 발광 다이오드 표시장치를 나타낸 구성도이다. 도 2는 도 1에 도시된 발광 표시패널의 어느 한 단위 화소를 나타낸 구성도이다.
- [0024] 도 1에 도시된 대화면 유기 발광 다이오드 표시장치는 복수의 서브 화소(P)들이 배열되어 영상이 표시되는 영상 표시영역(2)과 패드 영역이 포함된 비표시 영역으로 구분된 발광 표시패널(1), 영상 표시영역(2)의 게이트 라인(GL1)들을 구동하는 게이트 구동부(4); 영상 표시영역(2)의 데이터 라인(DL1)들을 구동하기 위한 복수의 데이터 구동부(3)가 실장된 복수의 회로필름(5), 및 복수의 회로 필름들이 연결되는 전기적으로 인쇄 회로기판(PCB; Printed Circuit Board)을 구비한다. 여기서, 게이트 구동부(4)는 GIP(Gate In Panel) 방식으로 발광 표시패널(1)의 영상 비표시 영역에 형성되거나, 별도의 회로 필름상에 실장되기도 한다.
- [0025] 도 1과 같이 구성되는 본 발명의 유기 발광 다이오드 표시장치는 도면으로 도시되지 않았지만, 영상 표시영역(2)의 전원 라인들에 제 1 및 제 2 전원신호(VDD, GND)를 인가하는 전원 공급부, 및 외부로부터 입력되는 영상 데이터를 영상 표시영역(2)의 크기 및 해상도에 맞게 정렬하여 각 데이터 구동부(3)에 공급함과 아울러 데이터 및 게이트 제어신호들을 생성하여 데이터 및 게이트 구동부(3,4)를 제어하는 타이밍 제어부를 더 구비한다.
- [0026] UHD 화질의 영상을 표시하는 상부 발광 방식(Top-emission 방식)의 유기 발광 다이오드 표시장치는 기존에 주로 소형 디스플레이 장치로 양산되었었다. 하지만, 대화면으로 양산하기 위한 다양한 기술이 제안되고, 보다 개선된 장비들이 개발되면서 상부 발광 방식의 유기 발광 다이오드 표시장치를 대화면의 디스플레이 장치로 제품화할 수 있게 되었다. 근래에는 상부 발광 방식의 유기 발광 다이오드 표시장치가 대화면으로 제품화되면서도 다양한 개선 사항들이 대두되고 있고, 특히 영상 표시영역을 덮고 있는 캐소드 전극의 면적이 커질 수밖에 없어 그에 따른 문제점 개선 방안이 필요하다.
- [0027] 본 발명에서는 각 서브 화소들의 OLED(Organic Light Emitting Diode)를 이루는 애노드 전극 형성시, 애노드 전극과는 적어도 하나의 동일 물질로 서브 전극들을 동일층의 영상 비표시 영역에 더 형성하고, 서브 전극들이 OLED의 캐소드 전극과 전기적으로 접속되도록 함으로써, 캐소드 전극의 저항을 낮출 수 있다. 이러한, 본 발명의 캐소드 전극 저항 감소 구성 및 그 제조 방법에 관련한 기술 특징에 대해 첨부된 도면들을 참조하여 더욱 구체적으로 설명하기로 한다.
- [0028] 먼저, 도 2를 참조하면 발광 표시패널(1)은 게이트 라인(GL), 데이터 라인(DL) 및 전원 라인(PL)의 교차로 형성된 다수의 서브 화소 영역을 구비한다.
- [0029] 다수의 서브 화소영역은 적색(R) 서브 화소영역, 녹색(G) 서브 화소영역, 및 청색(B) 서브 화소영역으로 구성되며, 적색(R), 녹색(G), 청색(B) 서브 화소영역들이 매트릭스 형태로 배열되어 화상을 표시하게 된다.
- [0030] 이러한, 적색(R), 녹색(G) 및 청색(B) 서브 화소영역 각각에는 OLED 구동부(PD) 및 OLED 구동부(PD)와 접속된 OLED가 구성된다.
- [0031] OLED 구동부(PD)는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 스위치 박막 트랜지스터(TS)와, 스위치 박막 트랜지스터(TS) 및 전원 라인(PL)과 OLED의 제1 전(예를 들어, 애노드 전극) 사이에 접속된 구동 박막 트랜지스터(TD)와, 전원 라인(PL)과 스위치 박막 트랜지스터(TS)의 드레인 전극(110) 사이에 접속된 스토리지 커패시터(C)를 구비한다.
- [0032] 스위치 박막 트랜지스터(TS)의 게이트 전극은 게이트 라인(GL)과 접속되고 소스 전극은 데이터 라인(DL)과 접속되며 드레인 전극은 구동 박막 트랜지스터(TD)의 게이트 전극 및 스토리지 캐패시터(C)와 접속된다. 구동 박막 트랜지스터(TD)의 소스 전극은 전원 라인(PL)과 접속되고 드레인 전극은 OLED의 제 1 전극과 접속된다. 스토리지 캐패시터(C)는 전원 라인(PL)과 구동 박막 트랜지스터(TD)의 게이트 전극 사이에 접속된다.
- [0033] 도 3은 본 발명의 제 1 실시 예에 따른 어느 하나의 서브 화소 및 패드부를 나타낸 단면도이다.
- [0034] 도 3에 도시된 구동 박막 트랜지스터(TD)는 각 서브 화소영역의 일부에 대응하도록 형성되는 액티브층(12), 하



부 기관(11) 상의 전면에 액티브층(12)을 모두 덮도록 형성되는 게이트 절연막(13), 및 게이트 절연막(13) 상에 액티브층(12)의 채널영역에 적어도 일부 오버랩하도록 형성되는 게이트 전극(GH)을 포함한다.

[0035] 액티브층(12)은 게이트 절연막(13) 상의 게이트 전극(GH) 중 적어도 일부와 오버랩하여, 게이트 전극(GH)의 전압레벨에 따라 채널을 형성하는 채널 영역, 및 채널영역의 양측인 소스 영역과 드레인 영역을 포함한다.

[0036] 그리고, 각각의 구동 박막 트랜지스터(TD)는 게이트 절연막(13) 상에 게이트 전극(GH)을 덮도록 형성되는 층간 절연막(14), 층간 절연막(14) 상에 소스 영역과 오버랩하도록 형성되는 소스 전극(SH), 층간 절연막(14) 상에 드레인 영역과 오버랩하도록 형성되는 드레인 전극(DH), 및 층간 절연막(14) 상에 소스 전극(SH)과 드레인 전극(DH)을 덮도록 형성되는 평탄화 층(15)을 더 포함한다.

[0037] 소스전극(SH)은 게이트 절연막(13) 및 층간 절연막(14)을 관통하여 소스영역의 적어도 일부를 노출하도록 형성되는 소스 컨택홀을 통해 소스영역에 연결된다. 마찬가지로, 드레인 전극(DH)은 게이트 절연막(13) 및 층간 절연막(14)을 관통하여 드레인 영역의 적어도 일부를 노출하도록 형성되는 드레인 컨택홀을 통해 드레인 영역에 연결된다. 더불어, 도 3에 상세히 도시되어 있지 않으나, 게이트 라인(도 1의 GL)은 게이트 전극(GH)과 함께, 게이트 절연막(13) 상에 형성된다. 그리고, 데이터 라인(도 1의 DL)은 소스전극(SH) 및 드레인전극(DH)과 함께, 층간 절연막(14) 상에 형성된다.

[0038] 복수의 OLED는 화소 영역에 각각 대응하도록 평탄화 층(15) 상에 형성되는 제 1 전극(애노드 전극, 20), 제 1 전극(20) 형성시 제 1 전극(20)과는 별도로 각 화소 영역의 외곽에 형성되는 서브 전극(S), 제 1 전극(20)과 서브 전극(S)의 사이 영역에 형성되며 제 1 전극(20)과 서브 전극(S)의 테두리에 적어도 일부 오버랩되는 बैं크(21), 각 화소 영역의 제 1 전극(20) 상에 형성되는 발광층(23), 서브 전극(S)의 적어도 일부 영역상에 형성된 격벽(22), 및 발광층(23)을 사이에 두고 제 1 전극(20)과 대향하도록 형성되며 서브 전극(S)과 전기적으로 접속된 제 2 전극(캐소드 전극, 24)을 포함한다.

[0039] 제 1 전극(20)은 평탄화 층(15)을 관통하여 드레인 전극(DH)의 적어도 일부를 노출하도록 형성되는 콘택홀을 통해 드레인 전극(DH)에 연결된다. 제 1 전극(20)과 제 2 전극(24) 사이의 발광층(23)은 구동 박막 트랜지스터(TD)를 통해 인가된 전류에 기초하여 광을 방출한다. 따라서, 제 1 전극(20)은 애노드 전극이 될 수 있으며, 제 2 전극(24)은 캐소드 전극이 될 수 있다.

[0040] 제 1 전극(20)과 서브 전극(S)은 평탄화 층(15) 상에 동일 공정 과정을 통해 적어도 하나의 동일한 물질로 형성된다. 다시 말해, 제 1 전극(20)과 서브 전극(S)은 적어도 하나의 동일한 금속 물질로 증착되고, 적어도 하나의 동일한 마스크를 이용한 노광 및 식각 공정 과정을 통해 동일한 공정층 상에 형성된다.

[0041] 제 1 전극(20)과 서브 전극(S)은 제 1 증착 전극(20a) 및 제 2 증착 전극(20b) 중 적어도 하나의 증착 전극이 적층된 형태로 구성된다. 여기서, 제 1 증착 전극(20a)은 MoTi/Cu/MoTi 물질이 순차적으로 적층된 형태로 구성되고, 제 2 증착 전극(20b)은 ITO/Ag-alloy/ITO 물질이 순차적으로 적층된 형태로 구성될 수 있다. 이에, 제 1 전극(20)과 서브 전극(S)은 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)과 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b) 중 적어도 하나의 증착 전극이 적층된 형태로 구성될 수 있다. 여기서, 제 1 증착 전극(20a)은 Cu 외에 Cu, Al, Al alloy 중 적어도 어느 한 물질로 형성할 수도 있다.

[0042] 저항치를 최대한 낮추기 위해 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)을 비롯한 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)을 서브 전극(S)으로 적용하면 55인치 이상의 대화면에서도 캐소드 전극인 제 2 전극(24)의 저항치를 만족시킬 수 있다. 따라서, 이와 같이 구성된 제 2 전극(캐소드 전극)과 서브 전극(S)이 전기적으로 접속된 구조를 적용하면, 55인치 이상의 대화면에서도 캐소드 전극의 저항 문제를 방지할 수 있게 된다.

[0043] 한편, 기관(11)의 영상 표시 영역 중 패드 영역(PAD)에는 제 1 전극(20) 및 서브 전극(S)과 동일 공정 과정을 통해 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)으로 복수의 패드가 형성될 수 있다. 이 경우, 별도의 패드 형성 공정을 수행하지 않고 제 1 전극(20) 및 서브 전극(S) 형성 공정 통해 각각의 패드를 형성할 수 있으므로, 제조 비용 및 제조 시간을 줄일 수 있게 된다. 복수의 패드 형성시 제 2 증착 전극(20b)의 Ag-alloy 물질은 장시간 외부 노출시 부식될 수 있기 때문에, MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)으로 복수의 패드를 형성함이 바람직하다.

[0044] 도 4a 내지 도 4c는 본 발명의 실시 예에 따른 발광 표시패널의 제조 단계별 단면도이다.

[0045] 먼저, 도 4a에 도시한 바와 같이, 기관(11) 상에 액티브층(12)을 형성하고, 기관(11) 상의 전면에 액티브층(1

2)을 덮는 게이트 절연막(13)을 형성한다. 여기서, 액티브층(12)은 채널영역 및 채널영역 양측의 소스 영역 및 드레인 영역으로 구분될 수 있다.

[0046] 이어서, 게이트 절연막(13) 상에 액티브층(12)의 채널영역에 적어도 일부 오버랩하는 게이트 전극(GH) 및 게이트 전극(GH)에 연결되는 게이트 라인(도 1 및 도 2의 GL)을 형성하고, 게이트 절연막(13) 상의 전면에 게이트 전극(GH)을 덮는 층간 절연막(14)을 형성한다.

[0047] 그리고, 층간 절연막(14)과 게이트 절연막(13)을 선택적으로 패터닝하여, 소스 콘택홀, 드레인 콘택홀을 형성한다. 이때, 소스 콘택홀은 층간 절연막(14)과 게이트 절연막(13)을 관통하여 소스 영역의 적어도 일부를 노출하도록 형성된다. 반면, 드레인 콘택홀은 층간 절연막(14)과 게이트 절연막(13)을 관통하여 드레인 영역의 적어도 일부를 노출하도록 형성된다.

[0048] 이 후, 층간 절연막(14) 상에 소스 전극(SH), 드레인 전극(DH), 소스 전극(SH)과 드레인 전극(DH) 중 어느 하나와 연결되는 데이터 라인(도 1 및 도 2의 DL), 게이트 라인(GL)과 데이터 라인(DL) 중 어느 하나와 연결되고 패드 영역(PAD)까지 연장되는 복수의 링크를 형성한다.

[0049] 소스전극(SH)은 소스 콘택홀을 통해 액티브층(12)의 소스 영역과 전기적으로 접속되고, 드레인 전극(DH)은 드레인 콘택홀을 통해 액티브층(12)의 드레인 영역과 전기적으로 접속된다.

[0050] 다음으로, 도 4b로 도시한 바와 같이, 층간 절연막(14) 상의 전면에 소스 전극(SH), 드레인 전극(DH), 데이터 라인(DL) 등을 덮는 평탄화 층(15)을 형성한다.

[0051] 이어, 드레인 전극(DH)의 일부가 각각 노출되도록 콘택홀을 형성하고, OLED를 구성하는 구성요소로써 애노드를 이루는 제 1 전극(20)을 비롯해, 제 1 전극(20)과는 별도로 각 화소 영역의 외곽에 서브 전극(S)을 형성한다. 이때, 기판(11)의 영상 비표시 영역 중 패드 영역에도 복수의 패드를 형성한다.

[0052] 이후, 도 4c로 도시한 바와 같이, 뱅크(21)와 격벽(22)을 각각 형성하고, 발광층(23) 및 캐소드를 이루는 제 2 전극(24)을 형성함으로써, 영상 표시영역에 대응하는 발광 어레이를 형성한다. 이때, 제 2 전극(24)은 각 화소 영역의 외곽으로 연결된 서브 전극(S)과 전기적으로 접속되어, 별도의 링크 라인 외에 서브 전극(S)을 통해서도 저전위의 캐소드 전류를 공급받을 수 있다.

[0053] 도 5는 본 발명의 제 1 실시 예에 따른 제 1 전극과 서브 전극 및 패드 구성을 각각 나타낸 단면도이다.

[0054] 도 5로 도시된 바와 같이, 제 1 전극(20)과 서브 전극(S)은 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)과 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)이 순차적으로 적층된 형태로 구성될 수 있다. 제 1 전극(20)과 서브 전극(S)은 MoTi/Cu/MoTi 물질과 ITO/Ag-alloy/ITO 물질을 순차적으로 증착한 후, 노광 및 식각 공정을 통해 패터닝된다. 그리고, 패드 영역(PAD)에는 제 1 전극(20) 및 서브 전극(S)과 동일 공정 과정을 통해 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)으로 복수의 패드가 형성될 수 있다. 제 2 증착 전극(20b)의 Ag-alloy 물질은 장시간 외부 노출시 부식될 수 있기 때문에, MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)으로만 패드를 형성함이 바람직하다. 증착 과정에서 제 1 증착 전극(20a) 상에 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)이 증착될 수 있지만, 이 경우 ITO/Ag-alloy/ITO를 에칭 및 식각하면, MoTi 물질에 의해 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)만 남겨 패드로 이용할 수 있다.

[0055] 도 6은 본 발명의 제 1 실시 예에 따른 제 1 전극과 서브 전극 및 패드 구성을 각각 나타낸 다른 단면도이다.

[0056] 도 6으로 도시된 바와 같이, 제 1 전극(20)과 서브 전극(S)은 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)과 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)이 순차적으로 적층된 형태로 구성될 수 있다. 다만, MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a) 형성 이후에 마스크를 교체 사용하여 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)을 형성하면 제 2 증착 전극(20b)의 형성 면적을 증가시킬 수 있다. 마찬가지로, 패드 영역(PAD)에는 제 1 전극(20) 및 서브 전극(S)과 동일 공정 과정을 통해 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)으로 복수의 패드가 형성될 수 있다.

[0057] 도 7은 본 발명의 제 2 실시 예에 따른 어느 하나의 서브 화소 및 패드부를 나타낸 단면도이다. 그리고, 도 8은 본 발명의 제 2 실시 예에 따른 제 1 전극과 서브 전극 및 패드 구성을 각각 나타낸 단면도이다.

[0058] 도 7 및 도 8에 도시된 바와 같이, 구동 박막 트랜지스터(TD)를 비롯한 OLED 구성 및 그 제조 방법은 동일할 수 있으나, 제 1 전극(20)과 서브 전극(S) 및 패드 구성 및 제조 방법이 제 1 실시 예와 달리 적용될 수 있다.

[0059] 이에, 구동 박막 트랜지스터(TD) 구성 및 제조 방법 등은 제 1 실시 예에 따른 설명으로 대신하기로 하고, OLED



를 이루는 제 1 전극(20), 제 1 전극(20)과는 별도로 각 화소 영역의 외곽에 형성되는 서브 전극(S), 및 패드 영역에 형성되는 복수의 패드 구성에 대해서만 구체적으로 설명하기로 한다.

[0060] 상술한 바와 같이, 제 1 전극(20)과 서브 전극(S)은 제 1 증착 전극(20a) 및 제 2 증착 전극(20b) 중 적어도 하나의 증착 전극이 적층된 형태로 구성되며, 제 1 증착 전극(20a)은 MoTi/Cu/MoTi 물질이 순차적으로 적층된 형태로 구성되고, 제 2 증착 전극(20b)은 ITO/Ag-alloy/ITO 물질이 순차적으로 적층된 형태로 구성될 수 있다.

[0061] 이에, 제 1 전극(20)은 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)으로만 구성될 수 있다. 반면, 서브 전극(S)은 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)과 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)이 적층된 형태로 구성될 수 있다. 그리고, 패드 영역(PAD)의 패드 각각은 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)으로 형성될 수 있다.

[0062] 제 1 증착 전극(20a)으로 서브 전극(S)과 패드들을 패터닝 한 후에 제 2 증착 전극(20b)을 패터닝하면, 제 1 증착 전극(20a)과 제 2 증착 전극(20b)이 적층된 형태의 서브 전극(S) 및 제 2 증착 전극(20b)으로 이루어진 제 1 전극(20)을 각각 형성할 수 있다.

[0063] 도 9는 본 발명의 제 2 실시 예에 따른 제 1 전극과 서브 전극 및 패드 구성을 각각 나타낸 다른 단면도이다.

[0064] 도 9로 도시된 바와 같이, 서브 전극(S)은 제 1 증착 전극(20a)과 제 2 증착 전극(20b)이 순차적으로 적층된 형태로 구성되고, 제 1 전극은 제 2 증착 전극(20b)으로만 구성될 수 있다. 다만, MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a) 형성 이후에 마스크를 교체 사용하여 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)을 형성하면 서브 전극(S)에 형성되는 제 2 증착 전극(20b)의 형성 면적을 증가시킬 수 있다. 마찬가지로, 패드 영역(PAD)에는 제 1 전극(20) 및 서브 전극(S)과 동일 공정 과정을 통해 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)으로 복수의 패드가 형성될 수 있다.

[0065] 저항치를 최대한 낮추기 위해 ITO/Ag-alloy/ITO 물질로 이루어진 제 2 증착 전극(20b)을 비롯한 MoTi/Cu/MoTi 물질로 이루어진 제 1 증착 전극(20a)을 서브 전극(S)으로 적용하면 55인치 이상의 대화면에서도 캐소드 전극인 제 2 전극(24)의 저항치를 만족시킬 수 있다. 따라서, 캐소드 전극과 서브 전극(S)이 전기적으로 접속된 구조를 적용하면 55인치 이상의 대화면에서도 캐소드 전극의 전류량이 저하되는 문제를 방지할 수 있게 된다.

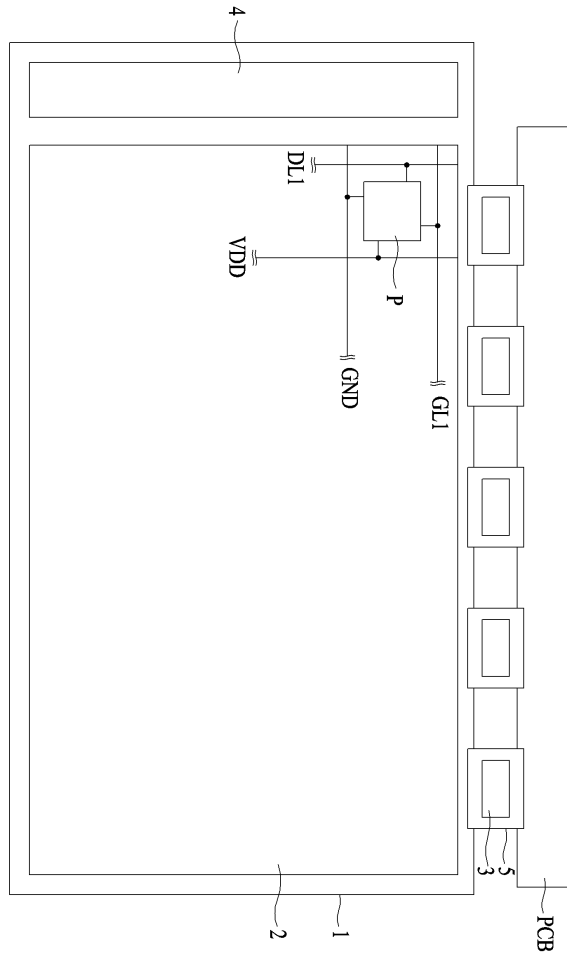
[0066] 상술한 바와 같은 다양한 기술 특징을 갖는 본 발명의 실시 예에 따른 유기 발광 다이오드 표시장치 및 그 제조 방법은 유기 발광 표시패널의 화소 영역들에 형성된 캐소드 전극의 저항을 낮추어 휘도 저하를 방지하고 영상의 표시 화질을 향상시킬 수 있다.

[0067] 또한, 별도의 패드 형성 공정을 수행하지 않고 제 1 전극(20) 및 서브 전극(S) 형성 공정 통해 각각의 패드를 형성할 수 있으므로, 제조 비용 및 제조 시간을 줄일 수 있게 된다.

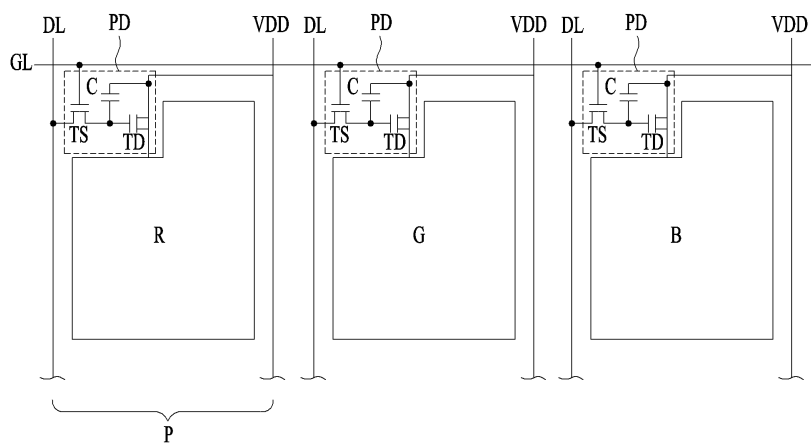
[0068] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면

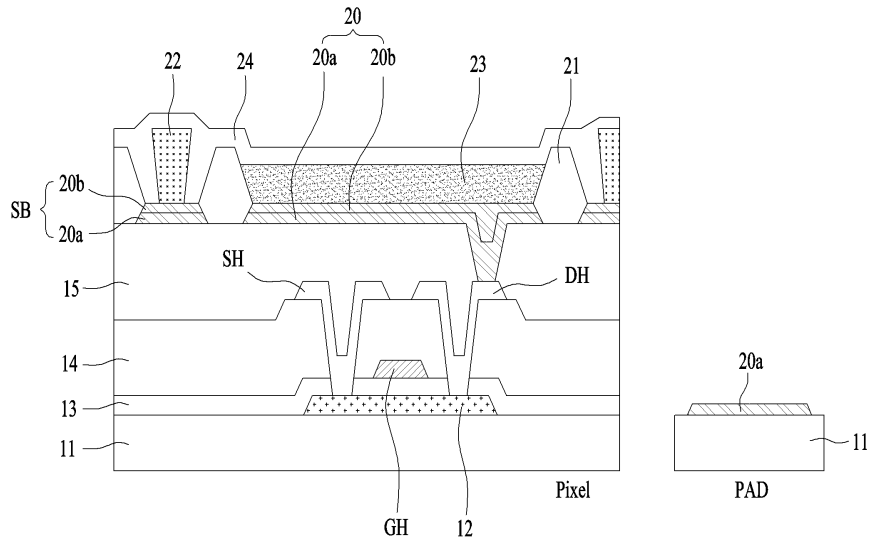
도면1



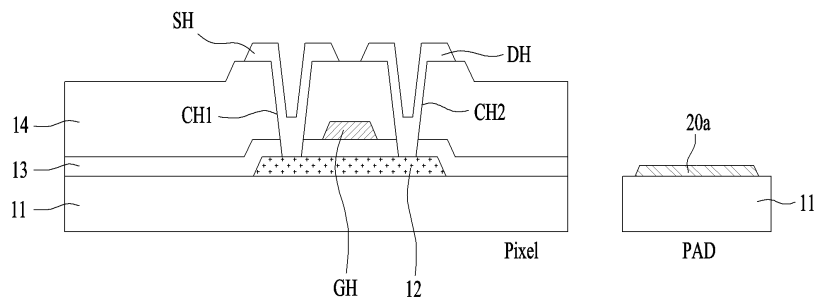
도면2



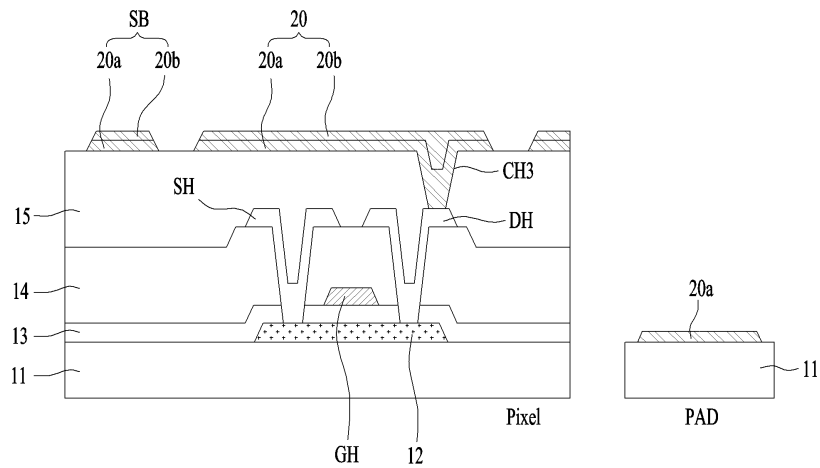
도면3



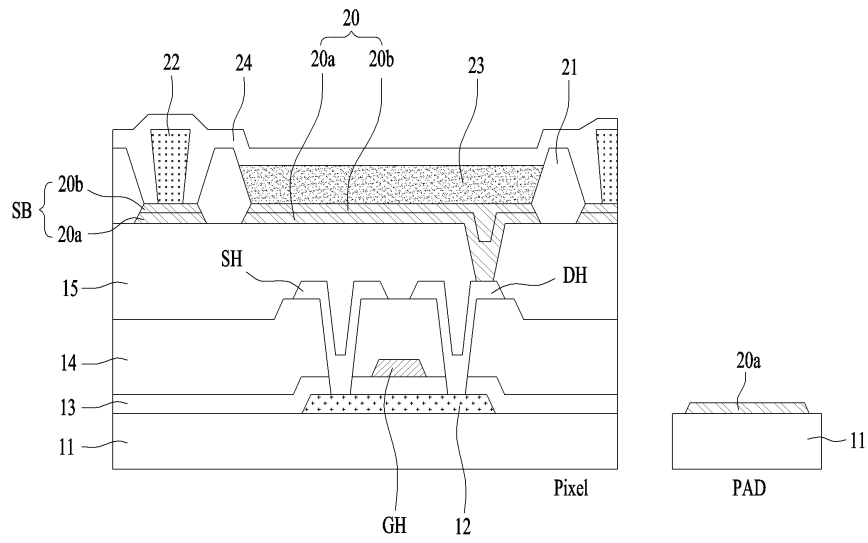
도면4a



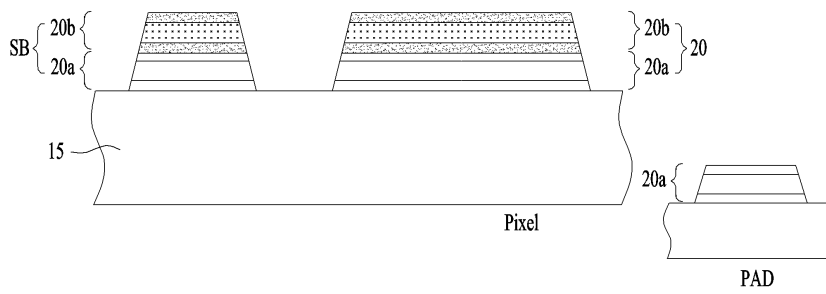
도면4b



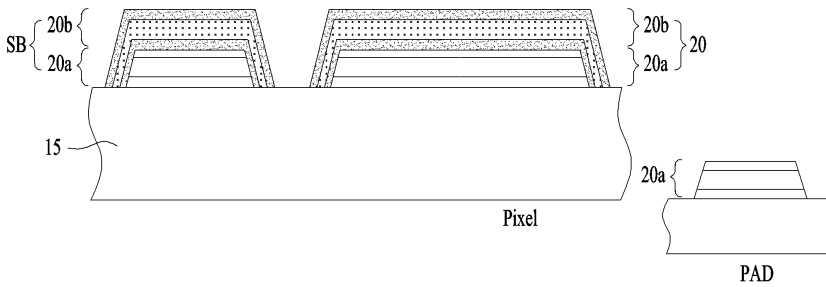
도면4c



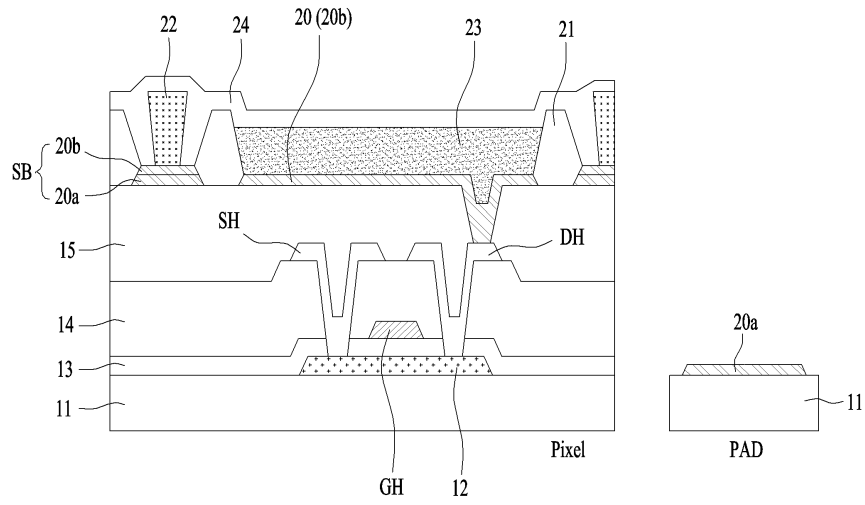
도면5



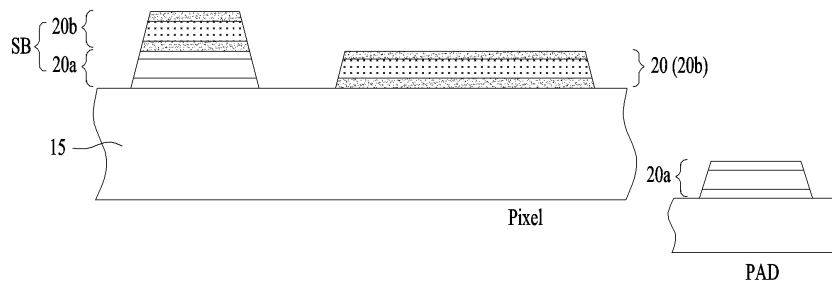
도면6



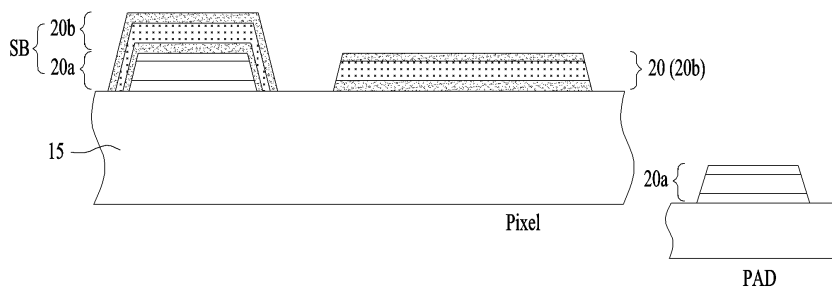
도면7



도면8



도면9



|                |                                       |         |            |
|----------------|---------------------------------------|---------|------------|
| 专利名称(译)        | 标题：OLED显示装置及其制造方法                     |         |            |
| 公开(公告)号        | <a href="#">KR1020150128119A</a>      | 公开(公告)日 | 2015-11-18 |
| 申请号            | KR1020140054969                       | 申请日     | 2014-05-08 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                              |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                             |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                             |         |            |
| [标]发明人         | KIM BINN<br>김빈<br>PARK JAE HEE<br>박재희 |         |            |
| 发明人            | 김빈<br>박재희                             |         |            |
| IPC分类号         | H01L27/32 H01L51/50                   |         |            |
| CPC分类号         | H01L51/5228 H01L27/3279               |         |            |
| 代理人(译)         | Bakyoungbok                           |         |            |
| 外部链接           | <a href="#">Espacenet</a>             |         |            |

#### 摘要(译)

有机发光二极管显示装置及其制造方法技术领域本发明涉及一种有机发光二极管显示装置及其制造方法，其中降低在有机发光显示面板的像素区域中形成的阴极电极的电阻，以防止显示图像的亮度降低，并且提高图像质量。根据本发明实施例的有机发光二极管显示装置包括：驱动薄膜晶体管，形成在基板上；有机发光二极管，包括电连接到驱动薄膜晶体管的第一电极，与第一电极相对的第二电极，形成在图像非显示区域中的子电极，以及设置在图像非显示区域之间的发光层相对的第一和第二电极，其中子电极配置在与第一电极相同的层上，并且电连接到第二电极。COPYRIGHT KIPO 2016

