

명세서

청구범위

청구항 1

제1 영역, 상기 제1 영역과 이격되며, 상기 제1 영역을 둘러싸는 제3 영역 및 상기 제1 영역과 상기 제3 영역 사이에 위치하며, 상기 제3 영역과 부분적으로 중첩되는 제2 영역을 포함하는 제1 기관;

상기 제1 기관과 대향하도록 배치되는 제2 기관;

상기 제1 기관의 상기 제1 영역 내에 배치되는 유기 발광 소자;

상기 제1 기관의 상기 제2 영역과 상기 제3 영역이 중첩되는 부분에 배치되는 박막 트랜지스터;

상기 제1 기관의 상기 제2 영역 내에 배치되는 제1 배선 패턴; 및

상기 제1 기관과 상기 제2 기관 사이에서 상기 제3 영역 내에 배치되는 실링 부재를 포함하는 유기 발광 표시장치.

청구항 2

제 1항에 있어서, 상기 유기 발광 소자는 제1 전극, 유기 발광 구조물 및 제2 전극을 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 3

제 2항에 있어서, 상기 제2 전극은 상기 제1 영역 및 상기 제2 영역 내에 배치되며, 상기 실링 부재와 중첩되지 않는 것을 특징으로 하는 유기 발광 표시장치.

청구항 4

제 2항에 있어서, 상기 제1 배선 패턴과 상기 제2 전극을 전기적으로 연결하며, 상기 제1 전극과 동일한 물질을 포함하고, 상기 제2 영역 내에 배치되는 도전 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 5

제 4항에 있어서, 상기 도전 패턴은 상기 실링 부재와 중첩되지 않는 것을 특징으로 하는 유기 발광 표시장치.

청구항 6

제 2항에 있어서, 상기 제2 전극은 마그네슘(Mg)과 은(Ag)이 혼합된 합금을 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 7

제 2항에 있어서, 상기 제1 전극은 ITO(indium tin oxide), 은(Ag) 및 ITO가 순차적으로 적층된 다층 구조를 가지는 것을 특징으로 하는 유기 발광 표시장치.

청구항 8

제 1항에 있어서, 상기 제1 배선 패턴은 상기 박막 트랜지스터보다 상기 제1 영역에 인접하여 배치되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 9

제 1항에 있어서, 상기 제1 배선 패턴은 티타늄(Ti), 알루미늄(Al) 및 티타늄(Ti)이 순차적으로 적층된 다층 구조를 가지는 것을 특징으로 하는 유기 발광 표시장치.

청구항 10

제 1항에 있어서, 상기 실링 부재는 상기 박막 트랜지스터와 중첩되며, 상기 제1 배선 패턴과 중첩되지 않는 것을 특징으로 하는 유기 발광 표시장치.

청구항 11

제 1항에 있어서, 상기 제1 배선 패턴은 전원 전압(ELVSS)을 상기 유기 발광 소자에 전달하기 위한 전원 배선으로 역할을 하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 12

제 1항에 있어서, 상기 제1 배선 패턴과 전기적으로 연결되며, 상기 박막 트랜지스터의 게이트 전극과 동일한 물질을 포함하는 제2 배선 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 13

제 1항에 있어서, 상기 제1 배선 패턴 상에 배치되어, 상기 제1 배선 패턴으로 열전달을 차단하는 층간 절연막을 더 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 14

제1 영역, 상기 제1 영역과 이격되며, 상기 제1 영역을 둘러싸는 제3 영역 및 상기 제1 영역과 상기 제3 영역 사이에 위치하며, 상기 제3 영역과 부분적으로 중첩되는 제2 영역을 포함하는 제1 기관;

상기 제1 기관과 대향하도록 배치되는 제2 기관;

상기 제1 기관의 상기 제1 영역 내에 배치되는 유기 발광 소자 및 제1 박막 트랜지스터

상기 제1 기관의 상기 제2 영역 및 상기 제3 영역이 중첩되는 부분에 배치되는 제2 박막 트랜지스터;

유기 절연 물질을 포함하고, 상기 제1 박막 트랜지스터를 덮는 절연막;

상기 제1 기관의 상기 제2 영역 내에 배치되며, 상기 제2 박막 트랜지스터와 중첩되는 배선 패턴; 및

상기 제1 기관과 상기 제2 기관 사이에서 상기 제3 영역 내에 배치되는 실링 부재를 포함하는 유기 발광 표시장치.

청구항 15

제 14항에 있어서, 상기 절연막은 상기 제1 기관의 상기 제1 영역 및 상기 제2 영역 내에 배치되며, 상기 실링 부재와 중첩되지 않는 것을 특징으로 하는 유기 발광 표시장치.

청구항 16

제 14항에 있어서, 상기 절연막 아래에 위치하며, 상기 제2 박막 트랜지스터를 덮는 층간 절연막을 더 포함하고,

상기 배선 패턴은 상기 층간 절연막 상에 배치되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 17

제 14항에 있어서, 상기 유기 발광 소자는 제1 전극, 유기 발광 구조물 및 제2 전극을 포함하고,

상기 제2 전극은 상기 실링 부재와 중첩되지 않는 것을 특징으로 하는 유기 발광 표시장치.

청구항 18

제1 영역, 상기 제1 영역과 이격되며, 상기 제1 영역을 둘러싸는 제3 영역 및 상기 제1 영역과 상기 제3 영역 사이에 위치하며, 상기 제3 영역과 부분적으로 중첩되는 제2 영역을 포함하는 제1 기관을 준비하는 단계;

상기 제1 기관의 상기 제1 영역 내에 제1 박막 트랜지스터를 형성하는 단계;

상기 제1 기관의 상기 제2 영역과 상기 제3 영역이 중첩되는 부분에 제2 박막 트랜지스터를 형성하는 단계;

상기 제1 기관의 상기 제1 영역 내에 유기 발광 소자를 형성하는 단계;

상기 제1 기관에 대향하도록 제2 기관을 배치하는 단계;
상기 제1 기관과 상기 제2 기관 사이에서 상기 제3 영역 내에 실링 부재를 배치하는 단계; 및
상기 실링 부재에 레이저 빔을 조사하여, 상기 실링 부재를 녹이는 단계를 포함하는 유기 발광 표시장치의 제조 방법.

청구항 19

제 18항에 있어서, 상기 유기 발광 소자를 형성하는 단계는,
상기 제1 박막 트랜지스터에 전기적으로 연결되는 제1 전극을 형성하는 단계;
상기 제1 전극 상에 유기 발광 구조물을 형성하는 단계; 및
상기 유기 발광 구조물 상에 제2 전극을 형성하는 단계를 포함하고,
상기 제2 전극은 상기 실링 부재와 중첩되지 않는 것을 특징으로 하는 유기 발광 표시장치의 제조 방법.

청구항 20

제 19항에 있어서, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터를 형성한 후에, 상기 제2 영역 내에 배선 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시장치의 제조 방법.

청구항 21

제 20항에 있어서, 상기 제2 영역 내에 배치되며, 상기 배선 패턴과 전기적으로 연결되는 도전 패턴을 형성하는 단계를 더 포함하고, 상기 도전 패턴은 상기 제1 전극과 동시에 형성되는 것을 특징으로 하는 유기 발광 표시장치의 제조 방법.

청구항 22

제 21항에 있어서, 상기 도전 패턴은 상기 제2 전극과 전기적으로 연결되며, 상기 실링 부재와 중첩되지 않는 것을 특징으로 하는 유기 발광 표시장치의 제조 방법.

발명의 설명

기술분야

[0001] 본 발명은 유기 발광 표시장치 및 유기 발광 표시장치의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 비표시 영역의 면적이 감소된 유기 발광 표시장치 및 유기 발광 표시장치의 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시(organic light emitting display: OLED) 장치는 양극(anode)과 음극(cathode)으로부터 각기 제공되는 정공들과 전자들이 상기 양극과 음극 사이에 위치하는 유기 발광층에서 결합하여 생성되는 광을 이용하여 영상, 문자 등의 정보를 나타낼 수 있는 표시장치를 말한다. 이러한 유기 발광 표시장치는 넓은 시야각, 빠른 응답 속도, 얇은 두께, 낮은 소비 전력 등의 여러 가지 장점들을 가지므로 유망한 차세대 디스플레이 장치로 각광받고 있다.

[0003] 상기 유기 발광 표시장치는 유기 발광 소자가 배치되는 표시 영역과 비 표시 영역으로 구분될 수 있다. 비표시 영역은 상기 유기 발광 소자를 제어하기 위한 주변 회로가 배치되는 영역 및 상기 유기 발광 소자를 밀봉하기 위한 실링 부재가 배치되는 영역을 포함할 수 있다. 이에 따라, 상기 비표시 영역을 감소시키기 위한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 향상된 밀봉 구조를 가지며 비표시 영역이 감소된 유기 발광 표시장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 향상된 밀봉 구조를 가지며 비표시 영역이 감소된 유기 발광 표시장치의 제조 방법을 제

공하는 것이다.

[0006] 다만, 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기발광 표시장치는 제1 기관, 제2 기관, 유기 발광 소자, 박막 트랜지스터, 제1 배선 패턴 및 실링 부재를 포함한다. 상기 제1 기관은 제1 영역, 상기 제1 영역과 이격되며, 상기 제1 영역을 둘러싸는 제3 영역 및 상기 제1 영역과 상기 제3 영역 사이에 위치하며, 상기 제3 영역과 부분적으로 중첩되는 제2 영역을 포함한다. 상기 제2 기관은 상기 제1 기관과 대향하도록 배치된다. 상기 유기 발광 소자는 상기 제1 기관의 상기 제1 영역 내에 배치된다. 상기 박막 트랜지스터는 상기 제1 기관의 상기 제2 영역과 상기 제3 영역이 중첩되는 부분에 배치된다. 상기 제1 배선 패턴은 상기 제1 기관의 상기 제2 영역 내에 배치된다. 상기 실링 부재는 상기 제1 기관과 상기 제2 기관 사이에서 상기 제3 영역 내에 배치된다.

[0008] 예시적인 실시예들에 있어서, 상기 유기 발광 소자는 제1 전극, 유기 발광 구조물 및 제2 전극을 포함할 수 있다.

[0009] 예시적인 실시예들에 있어서, 상기 제2 전극은 상기 제1 영역 및 상기 제2 영역 내에 배치되며, 상기 실링 부재와 중첩되지 않을 수 있다.

[0010] 예시적인 실시예들에 있어서, 상기 제1 배선 패턴과 상기 제2 전극을 전기적으로 연결하며, 상기 제1 전극과 동일한 물질을 포함하고, 상기 제2 영역 내에 배치되는 도전 패턴을 더 포함할 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 도전 패턴은 상기 실링 부재와 중첩되지 않을 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 제2 전극은 마그네슘(Mg)과 은(Ag)이 혼합된 합금을 포함할 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 제1 전극은 ITO(indium tin oxide), 은(Ag) 및 ITO가 순차적으로 적층된 다층 구조를 가질 수 있다.

[0014] 예시적인 실시예들에 있어서, 상기 제1 배선 패턴은 상기 박막 트랜지스터보다 상기 제1 영역에 인접하여 배치될 수 있다.

[0015] 예시적인 실시예들에 있어서, 상기 제1 배선 패턴은 티타늄(Ti), 알루미늄(Al) 및 티타늄(Ti)이 순차적으로 적층된 다층 구조를 가질 수 있다.

[0016] 예시적인 실시예들에 있어서, 상기 실링 부재는 상기 박막 트랜지스터와 중첩되며, 상기 제1 배선 패턴과 중첩되지 않을 수 있다.

[0017] 예시적인 실시예들에 있어서, 상기 제1 배선 패턴은 전원 전압(ELVSS)을 상기 유기 발광 소자에 전달하기 위한 전원 배선으로 역할을 할 수 있다.

[0018] 예시적인 실시예들에 있어서, 상기 제1 배선 패턴과 전기적으로 연결되며, 상기 박막 트랜지스터의 게이트 전극과 동일한 물질을 포함하는 제2 배선 패턴을 더 포함할 수 있다.

[0019] 예시적인 실시예들에 있어서, 상기 제1 배선 패턴 상에 배치되어, 상기 제1 배선 패턴으로 열전달을 차단하는 층간 절연막을 더 포함할 수 있다.

[0020] 본 발명의 다른 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기발광 표시장치는 제1 기관, 제2 기관, 유기 발광 소자, 제1 박막 트랜지스터, 제2 박막 트랜지스터, 절연막, 배선 패턴 및 실링 부재를 포함한다. 상기 제1 기관은 제1 영역, 상기 제1 영역과 이격되며, 상기 제1 영역을 둘러싸는 제3 영역 및 상기 제1 영역과 상기 제3 영역 사이에 위치하며, 상기 제3 영역과 부분적으로 중첩되는 제2 영역을 포함할 수 있다. 상기 제2 기관은 상기 제1 기관과 대향하도록 배치될 수 있다. 상기 유기 발광 소자 및 상기 제1 박막 트랜지스터는 상기 제1 기관의 상기 제1 영역 내에 배치될 수 있다. 상기 제2 박막 트랜지스터는 상기 제1 기관의 상기 제2 영역 및 상기 제3 영역이 중첩되는 부분에 배치될 수 있다. 상기 절연막은 유기 절연 물질을 포함하고, 상기 제1 박막 트랜지스터를 덮을 수 있다. 상기 배선 패턴은 상기 제1 기관의 상기 제2 영역 내에 배치되며, 상기 제2 박막 트랜지스터와 중첩될 수 있다. 상기 실링 부재는 상기 제1 기관과 상기 제2 기관 사이에서 상기 제3 영역 내

에 배치될 수 있다.

- [0021] 예시적인 실시예들에 있어서, 상기 절연막은 상기 제1 기관의 상기 제1 영역 및 상기 제2 영역 내에 배치되며, 상기 실링 부재와 중첩되지 않을 수 있다.
- [0022] 예시적인 실시예들에 있어서, 상기 절연막 아래에 위치하며, 상기 제2 박막 트랜지스터를 덮는 층간 절연막을 더 포함하고, 상기 배선 패턴은 상기 층간 절연막 상에 배치될 수 있다.
- [0023] 예시적인 실시예들에 있어서, 상기 유기 발광 소자는 제1 전극, 유기 발광 구조물 및 제2 전극을 포함하고, 상기 제2 전극은 상기 실링 부재와 중첩되지 않을 수 있다.
- [0024] 본 발명의 다른 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시장치의 제조 방법에 있어서, 제1 영역, 상기 제1 영역과 이격되며, 상기 제1 영역을 둘러싸는 제3 영역 및 상기 제1 영역과 상기 제3 영역 사이에 위치하며, 상기 제3 영역과 부분적으로 중첩되는 제2 영역을 포함하는 제1 기관을 준비한다. 상기 제1 기관의 상기 제1 영역 내에 제1 박막 트랜지스터를 형성한다. 상기 제1 기관의 상기 제2 영역과 상기 제3 영역이 중첩되는 부분에 제2 박막 트랜지스터를 형성한다. 상기 제1 기관의 상기 제1 영역 내에 유기 발광 소자를 형성한다. 상기 제1 기관에 대향하도록 제2 기관을 배치한다. 상기 제1 기관과 상기 제2 기관 사이에서 상기 제3 영역 내에 실링 부재를 배치한다. 상기 실링 부재에 레이저 빔을 조사하여, 상기 실링 부재를 녹인다.
- [0025] 예시적인 실시예들에 있어서, 상기 유기 발광 소자를 형성하는 단계는 상기 제1 박막 트랜지스터에 전기적으로 연결되는 제1 전극을 형성하는 단계, 상기 제1 전극 상에 유기 발광 구조물을 형성하는 단계 및 상기 유기 발광 구조물 상에 제2 전극을 형성하는 단계를 포함하고, 상기 제2 전극은 상기 실링 부재와 중첩되지 않을 수 있다.
- [0026] 예시적인 실시예들에 있어서, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터를 형성한 후에, 상기 제2 영역 내에 배선 패턴을 형성하는 단계를 더 포함할 수 있다.
- [0027] 예시적인 실시예들에 있어서, 상기 제2 영역 내에 배치되며, 상기 배선 패턴과 전기적으로 연결되는 도전 패턴을 형성하는 단계를 더 포함하고, 상기 도전 패턴은 상기 제1 전극과 동시에 형성할 수 있다.
- [0028] 예시적인 실시예들에 있어서, 상기 도전 패턴은 상기 제2 전극과 전기적으로 연결되며, 상기 실링 부재와 중첩되지 않을 수 있다.

발명의 효과

- [0029] 본 발명의 실시예들에 따른 상기 유기 발광 표시장치에서, 실링 부재가 배치되는 제3 영역과 주변 회로가 배치되는 제2 영역이 부분적으로 중첩될 수 있다. 이에 따라, 비표시 영역의 면적이 감소될 수 있다. 또한, 상기 제2 영역 내에 배치되는 제2 전극, 배선 패턴 및 도전 패턴은 상기 실링 부재와 중첩되지 않을 수 있다. 이에 따라, 상기 실링 부재를 형성하는 과정에서 사용되는 레이저 빔이 상기 제2 전극, 상기 배선 패턴 및 상기 도전 패턴을 손상하는 것을 방지할 수 있다. 또한, 상기 레이저 빔의 강도를 자유롭게 조절할 수 있으므로, 상기 유기 발광 표시장치는 향상된 밀봉 구조를 가질 수 있다.
- [0030] 다만, 본 발명의 효과는 이에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시장치의 평면도이다.
- 도 2는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다.
- 도 3은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다.
- 도 4는 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다.
- 도 5는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다.
- 도 6은 본 발명의 또 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다.
- 도 7 내지 도 15는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시장치의 제조 방법을 나타내기 위한 단면도들이다.
- 도 16 내지 도 21은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 제조 방법을 나타내기 위

한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0033] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0034] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.
- [0035] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0036] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0037] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0038] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0039] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시장치의 평면도이고, 도 2는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시장치를 표시하기 위해서 도 1의 V-V'라인을 따라 자른 부분적인 단면도이다.
- [0040] 도 1을 참조하면, 본 발명의 실시예에 의한 유기 발광 표시장치는 그 중앙부로부터 외곽방향으로 순차적으로 배열되는 제1 영역(I), 제2 영역(II) 및 제3 영역(III)과, 그리고 제4 영역(IV)으로 구분될 수 있다.
- [0041] 예시적인 실시예들에 있어서, 제1 영역(I)은 다수의 화소들이 형성되는 표시 영역으로, 상기 유기 발광 표시장치의 중앙부에 위치하며, 상대적으로 큰 면적을 가질 수 있다. 상기 각각의 화소들은 제1 전극, 제2 전극 및 유기 발광 구조물을 포함하는 유기 발광 소자를 구비하며, 능동형 유기 발광 표시장치인 경우 유기 발광 다이오드와 전기적으로 연결되는 박막 트랜지스터들을 포함한 화소 회로를 더 포함할 수 있다. 상기 화소들의 세부적인 구성은 아래 도 3을 참조하여 보다 자세히 설명한다.
- [0042] 한편, 제3 영역(III)은 제1 영역(I)에 배치되는 상기 유기 발광 소자 및 상기 화소 회로를 밀봉하기 위한 실링 부재(sealing member)가 배치되는 셀 실링(cell sealing) 영역일 수 있다. 제3 영역(III)은 제1 영역(I)으로부터 일정한 거리로 이격될 수 있으며, 제1 영역(I)을 전체적으로 둘러쌀 수 있다. 즉, 제3 영역(III)은 제1 영역(I)의 4개의 측면을 감싸는 닫힌 루프(closed loop)를 형성할 수 있다.
- [0043] 한편, 제2 영역(II)은 상기 화소들에 전기적 신호 및 전력을 공급하기 위한 배선들 및 주변 회로들이 배치되는 회로 영역일 수 있다. 제2 영역(II)은 제1 영역(I)과 제3 영역(III) 사이에 배치될 수 있다. 예시적인 실시예들

에 있어서, 제2 영역(II)은 제1 영역(I)의 적어도 3개 이상의 측면을 둘러쌀 수 있고, 제1 영역(I)의 측면과 접촉할 수 있으나, 제1 영역(I)과 중첩되어 배치되지 않는다. 한편, 제2 영역(II)은 제3 영역(III)과 부분적으로 중첩될 수 있다. 이에 따라, 비표시 영역인 제2 영역(II) 및 제3 영역(III) 면적의 합이 감소될 수 있다.

[0044] 한편, 제4 영역(IV)은 데이터 구동부 등을 포함하는 IC 칩 및 외부로부터의 구동전원들 및 구동신호들을 전달받기 위한 다수의 패드들이 배치되는 주변 영역일 수 있다. 제4 영역(IV)은 제1 내지 제3 영역들(I, II, III)의 일 측에 배치될 수 있다. 예를 들어, 제4 영역(IV)은 제1 영역(I)의 하측에 배치될 수 있다.

[0045] 도 2를 참조하면, 상기 유기 발광 표시장치는 서로 대향하여 배치되는 제1 기관(100)과 제2 기관(200), 그리고 이들 사이에 배치되는 복수의 박막 트랜지스터들(T1, T2, T3), 커패시터들(C1, C2), 배선 패턴들(168, 215), 유기 발광 소자 및 실링 부재(250)를 포함할 수 있으며, 제1 영역(I) 내지 제3 영역(III)으로 구분될 수 있다.

[0046] 즉, 제1 영역(I) 내에는 제1 트랜지스터(T1), 제2 트랜지스터(T2) 및 제1 커패시터(C1)를 포함하는 화소 회로 및 유기 발광 소자가 배치될 수 있으며, 제2 영역(II) 내에는 제3 트랜지스터(T3), 제2 커패시터(C2) 및 제1 배선 패턴(168)을 포함하는 주변 회로들이 배치될 수 있고, 제3 영역(III) 내에 실링 부재(250) 및 제2 배선 패턴(215)이 배치될 수 있다.

[0047] 기관(100)은 투명 기관을 포함할 수 있다. 예를 들면, 기관(100)은 유리 기관, 투명 플라스틱 기관, 투명 세라믹 기관 등을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 기관(100)은 연성을 갖는 기관(flexible substrate)으로 이루어질 수도 있다.

[0048] 기관(100) 상에는 버퍼층(105)이 배치될 수 있다. 버퍼층(105)은 기관(100)으로부터 불순물들이 확산되는 현상을 방지할 수 있으며, 기관(100)의 평탄도를 향상시킬 수도 있다.

[0049] 제1 내지 제3 액티브 패턴들(110, 120, 130)은 버퍼층(105) 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 내지 제3 액티브 패턴들(110, 120, 130)은 폴리실리콘(polysilicon), 불순물을 포함하는 폴리실리콘, 아몰퍼스 실리콘(amorphous silicon), 불순물을 포함하는 아몰퍼스 실리콘을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 제1 내지 제3 액티브 패턴들(110, 120, 130)은 산화물 반도체를 포함할 수 있다.

[0050] 제1 내지 제3 액티브 패턴들(110, 120, 130)은 각기 채널 영역들(112, 122, 132), 소스 영역들(114, 124, 134) 및 드레인 영역들(116, 126, 136)을 포함할 수 있다. 또한, 제1 및 제2 액티브 패턴들(110, 120)은 제1 영역(I) 내에 배치될 수 있으며, 제3 액티브 패턴(130)은 제3 영역(III)과 제2 영역(II)이 중첩되는 부분에 배치될 수 있다.

[0051] 게이트 절연막(140)은 버퍼층(105) 상에 배치되는 제1 내지 제3 액티브 패턴(110, 120, 130)을 덮도록 형성될 수 있다. 예시적인 실시예에 있어서, 게이트 절연막(140)은 실리콘 산화물, 실리콘 질화물 또는 높은 유전 상수를 갖는 무기 절연물질을 포함할 수 있다.

[0052] 제1 내지 제3 게이트 전극들(141, 142, 143)은 게이트 절연막(140) 상에서 각기 제1 내지 제3 액티브 패턴들(110, 120, 130)의 제1 내지 제3 채널 영역들(112, 122, 132)과 중첩되도록 배치될 수 있다. 또한, 제1 도전 패턴(145)은 제2 영역(II)과 제3 영역(III)이 중첩되는 부분에서 게이트 절연막(140) 상에 배치될 수 있으며, 반사 패턴(147)은 제3 영역(III) 내에서 게이트 절연막(140) 상에 배치될 수 있다.

[0053] 제1 내지 제3 게이트 전극들(141, 142, 143), 제1 도전 패턴(145) 및 반사 패턴(147)은 알루미늄(Al), 마그네슘(Mg), 은(Ag), 백금(Pt), 금(Au), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 팔라듐(Pd), 이들의 합금과 같은 금속 또는 도핑된 폴리실리콘을 포함할 수 있다. 예를 들어, 제1 내지 제3 게이트 전극들(141, 142, 143), 제1 도전 패턴(145) 및 반사 패턴(147)이 몰리브덴을 포함하는 경우, 낮은 전기저항, 고온 안정성 및 레이저에 대한 높은 반사도를 가질 수 있다.

[0054] 제1 층간 절연막(150)은 게이트 절연막(140) 상에서 게이트 전극들(141, 142, 143), 제1 도전 패턴(145) 및 반사 패턴(147)을 덮도록 배치될 수 있다.

[0055] 한편, 제2 도전 패턴(152) 및 제3 도전 패턴(154)은 제1 층간 절연막(150) 상에 배치될 수 있다. 제2 도전 패턴(152)은 제1 게이트 전극(141)과 중첩되도록 배치될 수 있으며, 제3 도전 패턴(154)은 제1 도전 패턴(145)과 중첩되도록 배치될 수 있어서, 각기 제1 커패시터(C1) 및 제2 커패시터(C2)를 구성할 수 있다. 즉, 제1 게이트 전극(141), 제2 도전 패턴(152) 및 이들 사이에 배치되는 제1 층간 절연막(150)은 제1 커패시터(C1)를 구성할 수 있으며, 제1 도전 패턴(145), 제3 도전 패턴(154) 및 이들 사이에 배치되는 제1 층간 절연막(150)은 제2 커패시

터(C2)을 구성할 수 있다.

- [0056] 예시적인 실시예들에 있어서, 제2 도전 패턴(152) 및 제3 도전 패턴(154)은 제1 도전 패턴(145)과 실질적으로 동일하거나 유사한 물질을 포함할 수 있다.
- [0057] 제2 층간 절연막(160)은 제1 층간 절연막(150) 상에서 제2 도전 패턴(152) 및 제3 도전 패턴(154)을 덮도록 배치될 수 있다.
- [0058] 한편, 소스 전극들(162, 172) 및 드레인 전극들(164, 174)은 제2 층간 절연막(160) 상에서 층간 절연막들(150, 160)과 게이트 절연막(140)을 관통하도록 배치될 수 있다. 소스 전극들(162, 172) 및 드레인 전극들(164, 174)은 각기 대응하는 소스 영역들(124, 134) 및 드레인 영역들(126, 136)에 접촉하도록 배치될 수 있다.
- [0059] 이에 따라, 제1 채널 영역(112), 제1 소스 영역(114), 제1 드레인 영역(116)을 포함하는 제1 액티브 패턴(110), 게이트 절연막(140), 제1 게이트 전극(141), 소스 전극 및 드레인 전극은 제1 박막 트랜지스터(T1)를 구성하고, 제2 채널 영역(122), 제2 소스 영역(124), 제2 드레인 영역(126)을 포함하는 제2 액티브 패턴(120), 게이트 절연막(140), 제2 게이트 전극(142), 제1 소스 전극(162) 및 제1 드레인 전극(164)은 제2 박막 트랜지스터(T2)를 구성할 수 있다. 제3 채널 영역(132), 제3 소스 영역(134), 제3 드레인 영역(136)을 포함하는 제3 액티브 패턴(130), 게이트 절연막(140), 제3 게이트 전극(143), 제2 소스 전극(172) 및 제2 드레인 전극(174)은 제3 박막 트랜지스터(T3)를 구성할 수 있다.
- [0060] 제3 박막 트랜지스터(T3) 및 제2 커패시터(C2)는 상기 화소들에 전기적 신호를 전달하기 위한 주변 회로를 구성할 수 있다. 제3 박막 트랜지스터(T3) 및 제2 커패시터(C2)를 포함하는 상기 주변 회로는 제3 영역(III)과 제2 영역(II)이 중첩된 부분에 배치될 수 있다.
- [0061] 한편, 제4 도전 패턴(166) 및 제1 배선 패턴(168)은 제2 층간 절연막(160) 상에서 제2 영역(II) 내에 배치될 수 있다. 구체적으로, 제1 배선 패턴(168)은 제3 영역(III)과 중첩되지 않은 제2 영역(II) 내에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 배선 패턴(168)은 전원 전압(ELVSS)을 상기 화소들에 전달하기 위한 전원 배선으로 역할을 할 수 있으며, 기판(100)의 상면에 수직한 제2 방향을 따라 연장될 수 있다.
- [0062] 예시적인 실시예들에 있어서, 소스 전극들(162, 172), 드레인 전극들(164, 174), 제4 도전 패턴(166) 및 제1 배선 패턴(168)은 단층 구조 또는 다층 구조를 가질 수 있다. 예시적인 실시예들에 있어서, 소스 전극들(162, 172), 드레인 전극들(164, 174), 제4 도전 패턴(166) 및 제1 배선 패턴(168)은 티타늄(Ti), 알루미늄(Al) 및 티타늄(Ti)이 순차적으로 적층되는 다층 구조를 가질 수 있다. 상기 제3 도전막은 알루미늄을 포함하므로 낮은 전기 저항을 가질 수 있으며, 상기 알루미늄의 상면과 하면에 티타늄을 포함하므로 인접하는 절연막들과 우수한 접촉 특성을 가질 수 있다.
- [0063] 도 2에 예시적으로 도시한 표시장치에 있어서, 상기 박막 트랜지스터들(T1, T2, T3)은 액티브 패턴들(110, 120, 130) 상에 게이트 전극들(141, 142, 143)이 배치되는 탑 게이트(top gate) 구조를 갖는 박막 트랜지스터를 포함하지만, 상기 박막 트랜지스터들의 구성이 여기에 한정되는 것은 아니다. 예를 들면, 상기 박막 트랜지스터들은 액티브 패턴들 아래에 게이트 전극들이 위치하는 바텀 게이트(bottom-gate) 구조를 가질 수도 있다.
- [0064] 절연막(180)은 제1 소스 전극(162), 제1 드레인 전극(164), 제4 도전 패턴(166) 및 제1 배선 패턴(168)을 덮으면서 제2 층간 절연막(160) 상에 배치될 수 있다. 예시적인 실시예에 있어서, 절연막(180)은 제1 영역(I)으로부터 제2 영역(II)을 거쳐서 제3 영역(III)까지 연장될 수 있다. 다만, 절연막(180)은 제3 영역(III)에 배치된 제2 소스 전극(172) 및 제2 드레인 전극(174)을 부분적으로 덮거나 덮지 않을 수 있다. 예를 들어, 절연막(180)은 폴리이미드와 같은 절연성 유기물을 포함할 수 있다.
- [0065] 다시 도 2를 참조하면, 절연막(180) 상에는 제1 전극(182), 제5 도전 패턴(184) 및 화소정의막(190)이 배치될 수 있다.
- [0066] 제1 전극(182)은 절연막(180) 상에서 기판(100)의 제1 영역(I) 내에 배치될 수 있다. 제1 전극(182)은 절연막(180)을 관통하는 콘택을 통해서 제1 박막 트랜지스터(T1)의 드레인 전극에 접촉할 수 있으며, 이에 따라 제1 전극(182)은 상기 제1 박막 트랜지스터에 전기적으로 연결될 수 있다.
- [0067] 예시적인 실시예들에 있어서, 제1 전극(182)은 각각의 화소에 대응하여 패터닝되는 화소 전극일 수 있으며, 이후 설명하는 발광 구조물들(191, 192, 193)에 전공을 공급하는 양극(anode)일 수 있다.
- [0068] 또한, 상기 유기 발광 표시장치가 전면 발광 방식을 가질 경우 제1 전극(182)은 반사성을 갖는 반사 전극에 해

당될 수 있으며, 제2 전극(197)은 반투과성을 갖는 반투과 전극 또는 투과성을 갖는 투과 전극에 해당될 수 있다. 제1 및 제2 전극들(182, 197)의 구성 물질은 상기 유기 발광 표시장치의 발광 방식에 따라 달라질 수 있다.

[0069] 한편, 제5 도전 패턴(184)은 절연막 (180) 상에서 제2 영역(II) 내에 배치될 수 있으며, 제3 영역(III) 내에 배치되지 않는다. 제5 도전 패턴(184)은 절연막(180)을 관통하는 콘택홀(188)을 통해서 제1 배선 패턴(168)에 전기적으로 연결될 수 있다.

[0070] 제1 전극(182) 및 제5 도전 패턴(184)은 단층 구조 또는 다층 구조를 가질 수 있다. 예시적인 실시예들에 있어서, 제1 전극(182) 및 제5 도전 패턴(184)은 금속막 및 투명 도전성 산화물막을 포함하는 다층 구조를 가질 수 있다. 예를 들어, 제1 전극(182) 및 제5 도전 패턴(184)은 ITO(indium tin oxide), 은(Ag) 및 ITO가 순차적으로 적층된 다층 구조를 가질 수 있으며, 이에 따라 낮은 전기저항을 가질 수 있다.

[0071] 화소정의막(190)은 제1 영역(I) 내지 제3 영역(III) 내에서 절연막(180), 제5 도전 패턴(184), 제2 소스 전극(172) 및 제2 드레인 전극(174)을 덮도록 배치될 수 있다. 화소정의막(190)은 제1 영역(I) 내에서 각각의 화소들(sub pixel)을 구분할 수 있다. 한편, 화소정의막(190)은 제2 영역(II) 및 제3 영역(III)에서 제5 도전 패턴(184) 상에 배치될 수 있으며, 도전 패턴(185), 제2 소스 전극(172) 및 제2 드레인 전극(174)을 전기적으로 절연하고 보호하는 역할을 수행할 수 있다.

[0072] 발광 구조물들(191, 192, 193)은 제1 영역(I) 내에서 각각의 제1 전극(182)상에 배치될 수 있다. 발광 구조물들(191, 192, 193)은 적어도 하나 이상의 발광층을 포함할 수 있다. 예시적인 실시예들에 있어서, 발광 구조물들(191, 192, 193)은 각기 청색 발광층, 녹색 발광층 및 적색 발광층을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 발광 구조물들(191, 192, 193)은 순차적으로 적층된 청색 발광층, 녹색 발광층 및 적색 발광층을 포함할 수 있다. 도시되지는 않았으나, 발광 구조물들(191, 192, 193)은 추가적으로 정공 수송층, 정공 주입층, 전자 주입층 또는 정자 수송층을 포함할 수도 있다.

[0073] 스페이서(195)는 제1 영역(I) 내에서 화소정의막(190) 상에 배치될 수 있다. 스페이서(195)는 제1 기판(100)과 이후 설명하는 제2 기판(200) 사이의 거리를 결정하고 이들을 지지하는 역할을 수행할 수 있다.

[0074] 제2 전극(197)은 제1 영역(I) 및 제2 영역(II) 내에서 화소정의막(190), 발광 구조물들(191, 192, 193), 제5 도전 패턴(184) 상에 배치될 수 있다. 즉, 제2 전극(197)은 제3 영역(III) 내에 배치되지 않는다. 이에 따라, 제1 영역(I) 내에서 제1 전극(182), 발광 구조물들(191, 192, 193) 및 제2 전극(197)은 발광 소자를 구성할 수 있다. 또한, 제2 영역(II) 내에서 제2 전극(197)은 제5 도전 패턴(184)과 전기적으로 연결될 수 있다. 즉, 제2 전극(197)은 제5 도전 패턴(184)을 통해서 제1 배선 패턴(168)에 전기적으로 연결될 수 있으며 전원 전압(ELVSS)을 인가 받을 수 있다.

[0075] 예시적인 실시예들에 있어서, 제2 전극(197)은 알루미늄(Al), 마그네슘(Mg), 은(Ag), 백금(Pt), 금(Au), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 팔라듐(Pd) 또는 이들의 합금을 포함할 수 있다. 제2 전극(197)이 은(Ag)과 마그네슘(Mg) 합금을 포함하는 경우, 낮은 전기저항과 높은 광 투과도를 가질 수 있다.

[0076] 한편, 제2 기판(200)은 제1 기판(100)과 대향하도록 배치될 수 있다. 제2 기판(200)은 제1 기판(100)과 실질적으로 동일하거나 유사한 물질을 포함할 수 있다. 예시적인 실시예들에 있어서, 제2 기판(200)은 제1 기판(100) 상에 배치된 상기 유기 발광 소자들을 밀봉하기 위한 밀봉 기판(encapsulation substrate)으로 역할을 할 수 있다.

[0077] 실링 부재(250)는 제3 영역(III) 내에서 제1 기판(100)과 제2 기판(200) 사이에 배치될 수 있다. 실링 부재(250)는 닫힌 루프(closed loop)를 형성하며, 제1 영역(I) 내에 배치된 상기 유기 발광 소자를 밀봉할 수 있다. 즉, 레이저 빔을 이용하여 실링 부재(250)를 가열하고 녹이는 공정을 거쳐서 상기 유기 발광 소자를 밀봉할 수 있다.

[0078] 실링 부재(250)는 제3 영역(III) 내에 전체적으로 배치될 수 있으며, 이에 따라 실링 부재(250)는 제3 영역(III)과 중첩되는 제2 영역(II) 내에 위치하는 제3 박막 트랜지스터(T3) 및 제2 커패시터(C2)와 중첩되도록 배치될 수 있다. 결과적으로, 제2 영역(II) 및 제3 영역(III)이 중첩되어 배치됨에 따라, 비표시 영역의 면적이 감소될 수 있다.

[0079] 한편, 실링 부재(250)는 제2 영역(II) 내에만 위치하는 제2 전극(197), 제1 배선 패턴(168) 및 제5 도전 패턴(184)과 중첩되지 않을 수 있다. 이에 따라, 실링 부재(250)를 형성하는 과정에서 사용되는 레이저 빔이 제2 전극(197), 제1 배선 패턴(168) 및 제5 도전 패턴(184)을 손상하는 것을 방지할 수 있다.

- [0080] 다시 도 2를 참조하면, 제2 기관(200) 상에는 복수의 감지 셀들(210) 및 복수의 제2 배선 패턴들(215), 그리고 이들을 보호하는 보호막(220)을 포함하는 터치 패널이 배치될 수 있다.
- [0081] 예시적인 실시예들에 있어서, 복수의 감지 셀들(210)은 제1 영역(I) 내에 배치될 수 있으며, 복수의 제2 배선 패턴들(215)은 제3 영역(III) 내에 배치될 수 있다. 예를 들어, 제2 배선 패턴들(215)은 몰리브데늄(Mo)과 같은 금속을 포함할 수 있다.
- [0082] 한편, 제2 배선 패턴들(215) 및 감지 셀들(210)을 보호하는 보호막은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.
- [0083] 도 3은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다. 도 3에 도시한 유기 발광 표시장치는 제1 배선 패턴(169) 및 제3 배선 패턴(153)을 제외하면 도 1 및 도 2를 참조로 설명한 유기 발광 표시장치와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다.
- [0084] 도 3을 참조하면, 상기 유기 발광 표시장치는 서로 대향하여 배치되는 제1 기관(100)과 제2 기관(200), 그리고 이들 사이에 배치되는 복수의 박막 트랜지스터들, 커패시터들, 배선 패턴들(169, 153, 215), 유기 발광 소자 및 실링 부재(250)를 포함할 수 있으며, 제1 영역(I) 내지 제3 영역(III)으로 구분될 수 있다.
- [0085] 즉, 제1 영역(I) 내에는 제1 트랜지스터, 제2 트랜지스터 및 제1 커패시터를 포함하는 화소 회로 및 유기 발광 소자가 배치될 수 있으며, 제2 영역(II) 내에는 제3 트랜지스터, 제2 커패시터, 제1 배선 패턴(169) 및 제3 배선 패턴(153)을 포함하는 주변 회로들이 배치될 수 있고, 제3 영역(III) 내에 실링 부재(250) 및 제2 배선 패턴(215)이 배치될 수 있다.
- [0086] 제3 배선 패턴(153)은 제1 층간 절연막(150) 상에서 제2 영역(II) 내에 배치될 수 있다. 구체적으로 제3 배선 패턴(153)은 제3 영역(III)과 중첩되지 않은 제2 영역(II) 내에 배치될 수 있다. 예시적인 실시예들에 있어서, 제3 배선 패턴(155)은 전원 전압(ELVSS)을 상기 화소들에 전달하기 위한 전원 배선으로 역할을 할 수 있다.
- [0087] 제1 배선 패턴(169)은 제2 층간 절연막(160) 상에서 제2 영역(II) 내에 배치될 수 있다. 제1 배선 패턴(169)은 제2 층간 절연막(160)을 관통하는 콘택홀을 통해서 제3 배선 패턴(153)과 전기적으로 연결될 수 있다. 제1 배선 패턴(169)은 제3 배선 패턴(155)과 함께 전원 전압(ELVSS)을 상기 화소들에 전달하기 위한 전원 배선으로 역할을 할 수 있다. 이에 따라, 상기 전원 배선에서 전기 저항이 감소될 수 있다.
- [0088] 한편, 제5 도전 패턴(184)은 절연막(180) 상에서 제2 영역(II) 내에 배치될 수 있으며, 제3 영역(III) 내에 배치되지 않는다. 제5 도전 패턴(184)은 제2 전극(197)과 제1 배선 패턴(169)을 전기적으로 연결할 수 있으며, 이에 따라, 제2 전극(197)에 전원 전압(ELVSS)이 인가될 수 있다.
- [0089] 한편, 실링 부재(250)은 제3 영역(III) 내에만 위치할 수 있으며, 제1 기관(100) 및 제2 기관(200)과 함께 제1 영역(I)을 밀봉할 수 있다. 제3 영역(III)은 주변 회로가 배치되는 제2 영역(II)과 중첩될 수 있으므로, 비표시 영역의 전체 면적이 감소될 수 있다.
- [0090] 예시적인 실시예들에 있어서, 상기 유기 발광 표시장치는 제2 영역(II) 내에만 위치하는 제2 전극(197), 제1 배선 패턴(169), 제3 배선 패턴(153) 및 제5 도전 패턴(184)을 포함할 수 있다. 제2 전극(197), 제1 배선 패턴(169), 제3 배선 패턴(153) 및 제5 도전 패턴(184)은 제3 영역(III)에 배치되는 실링 부재(250)와 중첩되지 않을 수 있다. 이에 따라, 실링 부재(250)를 형성하는 과정에서 사용되는 레이저 빔이 제2 전극(197), 제1 배선 패턴(169), 제3 배선 패턴(153) 및 제5 도전 패턴(184)을 손상하는 것을 방지할 수 있다.
- [0091] 도 4은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다. 도 4에 도시한 유기 발광 표시장치는 제1 배선 패턴 및 제3 배선 패턴(153)을 제외하면 도 1 및 도 2를 참조로 설명한 유기 발광 표시장치와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다.
- [0092] 도 4를 참조하면, 상기 유기 발광 표시장치는 서로 대향하여 배치되는 제1 기관(100)과 제2 기관(200), 그리고 이들 사이에 배치되는 복수의 박막 트랜지스터들, 커패시터들, 배선 패턴들(153, 215), 유기 발광 소자 및 실링 부재(250)를 포함할 수 있으며, 제1 영역(I) 내지 제3 영역(III)으로 구분될 수 있다.
- [0093] 즉, 제1 영역(I) 내에는 제1 트랜지스터, 제2 트랜지스터 및 제1 커패시터를 포함하는 화소 회로 및 유기 발광 소자가 배치될 수 있으며, 제2 영역(II) 내에는 제3 트랜지스터, 제2 커패시터, 제3 배선 패턴(153)을 포함하는 주변 회로들이 배치될 수 있고, 제3 영역(III) 내에 실링 부재(250) 및 제2 배선 패턴(215)이 배치될 수 있다.
- [0094] 제3 배선 패턴(153)은 제1 층간 절연막(150) 상에서 제2 영역(II) 내에 배치될 수 있다. 구체적으로 제3 배선

패턴(153)은 제3 영역(III)과 중첩되지 않은 제2 영역(II) 내에 배치될 수 있다. 예시적인 실시예들에 있어서, 제3 배선 패턴(155)은 전원 전압(ELVSS)을 상기 화소들에 전달하기 위한 전원 배선으로 역할을 할 수 있다. 도시되지는 않았으나, 제3 배선 패턴(153)은 부분적으로 제2 층간 절연막(160) 상에 배치되는 배선 패턴에 전기적으로 연결되어 제2 방향으로 연장할 수 있다.

- [0095] 한편, 제5 도전 패턴(184)은 절연막 (180) 상에서 제2 영역(II) 내에 배치될 수 있으며, 제3 영역(III) 내에 배치되지 않는다. 제5 도전 패턴(184)은 절연막(180) 및 제2 층간 절연막(160)을 관통하는 콘택홀을 통해서 제1 배선 패턴(169)을 전기적으로 연결할 수 있으며, 제2 전극(197)과도 전기적으로 연결될 수 있다. 이에 따라, 제2 전극(197)에 전원 전압(ELVSS)이 인가될 수 있다.
- [0096] 예시적인 실시예들에 있어서, 상기 유기 발광 표시장치는 제2 영역(II) 내에만 위치하는 제2 전극(197), 제3 배선 패턴(153) 및 제5 도전 패턴(184)을 포함할 수 있다. 제2 전극(197), 제3 배선 패턴(153) 및 제5 도전 패턴(184)은 제3 영역(III)에 배치되는 실링 부재(250)와 중첩되지 않을 수 있다. 이에 따라, 실링 부재(250)를 형성하는 과정에서 사용되는 레이저 빔이 제2 전극(197), 제1 배선 패턴(169), 제3 배선 패턴(153) 및 제5 도전 패턴(184)을 손상하는 것을 방지할 수 있다.
- [0097] 도 5는 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다. 도 5에 도시한 유기 발광 표시장치는 제3 층간 절연막(176)을 제외하면 도 1 및 도 2를 참조로 설명한 유기 발광 표시장치와 실질적으로 동일하거나 실질적으로 유사한 구성을 가질 수 있다.
- [0098] 도 5를 참조하면, 상기 유기 발광 표시장치는 서로 대향하여 배치되는 제1 기관(100)과 제2 기관(200), 그리고 이들 사이에 배치되는 복수의 박막 트랜지스터들, 커패시터들, 배선 패턴들(168, 215), 유기 발광 소자 및 실링 부재(250)를 포함할 수 있으며, 제1 영역(I) 내지 제3 영역(III)으로 구분될 수 있다.
- [0099] 즉, 제1 영역(I) 내에는 제1 트랜지스터, 제2 트랜지스터 및 제1 커패시터를 포함하는 화소 회로 및 유기 발광 소자가 배치될 수 있으며, 제2 영역(II) 내에는 제3 트랜지스터, 제2 커패시터 및 제1 배선 패턴(168)을 포함하는 주변 회로들이 배치될 수 있고, 제3 영역(III) 내에 실링 부재(250) 및 제2 배선 패턴(215)이 배치될 수 있다.
- [0100] 제1 배선 패턴(168)은 제2 층간 절연막(160) 상에서 제2 영역(II) 내에 배치될 수 있으며, 전원 전압(ELVSS)을 상기 화소들에 전달하기 위한 전원 배선으로 역할을 할 수 있다.
- [0101] 제3 층간 절연막(176)은 제2 층간 절연막(160) 상에서 소스 전극들(162, 172), 드레인 전극들(164, 174), 제4 도전 패턴(166) 및 제1 배선 패턴(168)을 덮도록 배치될 수 있다. 예시적인 실시예들에 있어서, 제3 층간 절연막(176)은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 이에 따라, 제3 층간 절연막(176)은 제1 배선 패턴(168)으로 열이 전달되는 것을 방지할 수 있다.
- [0102] 예시적인 실시예들에 있어서, 상기 유기 발광 표시장치는 제2 영역(II) 내에만 위치하고, 실링 부재(250)와 중첩되지 않는 제2 전극(197), 제1 배선 패턴(168) 및 제5 도전 패턴(184)을 포함할 수 있다. 또한, 제1 배선 패턴(168) 상에는 제3 층간 절연막(176)이 배치될 수 있다. 이에 따라, 실링 부재(250)를 형성하는 과정에서 사용되는 레이저 빔이 제2 전극(197), 제1 배선 패턴(169), 제3 배선 패턴(153) 및 제5 도전 패턴(184)을 직접적으로 손상하거나 열전도(heat conduction)에 의해서 간접적으로 손상하는 것을 방지할 수 있다.
- [0103] 도 6은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 부분적인 단면도이다.
- [0104] 도 6을 참조하면, 상기 유기 발광 표시장치는 서로 대향하여 배치되는 제1 기관(100)과 제2 기관(200), 그리고 이들 사이에 배치되는 복수의 박막 트랜지스터들, 커패시터들, 배선 패턴들(169, 153, 215), 유기 발광 소자 및 실링 부재(250)를 포함할 수 있으며, 제1 영역(I) 내지 제3 영역(III)으로 구분될 수 있다.
- [0105] 즉, 제1 영역(I) 내에는 제1 트랜지스터, 제2 트랜지스터 및 제1 커패시터를 포함하는 화소 회로 및 유기 발광 소자가 배치될 수 있다. 상기 화소 회로 및 상기 유기 발광 소자는 도 1 및 도 2를 참조로 설명한 화소 회로 및 유기 발광 소자와 실질적으로 동일하므로 이에 대한 상세한 설명은 생략한다.
- [0106] 한편, 제2 영역(II) 내에는 제3 트랜지스터, 제2 커패시터, 제1 배선 패턴(167) 및 제5 도전 패턴(183)을 포함하는 주변 회로들이 배치될 수 있고, 제3 영역(III) 내에 실링 부재(252) 및 제2 배선 패턴(215)이 배치될 수 있다.
- [0107] 상기 제3 트랜지스터는 제2 영역(II)과 제3 영역(III)이 중첩되는 부분에 위치할 수 있다. 상기 제3 트랜지스터

는 제3 액티브 패턴(131), 게이트 절연막(140), 제3 게이트 전극(144), 제2 소스 전극(156) 및 제2 드레인 전극(158)을 포함할 수 있다.

- [0108] 제3 액티브 패턴(131)은 버퍼층(105) 상에 배치될 수 있으며, 제3 채널 영역(133), 제3 소스 영역(135) 및 제3 드레인 영역(137)을 포함할 수 있으며, 게이트 절연막(140)에 의해서 절연될 수 있다.
- [0109] 제3 게이트 전극(144)은 게이트 절연막(140) 상에 채널 영역(133)과 중첩되도록 배치될 수 있다. 제3 게이트 전극(144)은 제1 층간 절연막(150)에 의해서 절연될 수 있다.
- [0110] 제2 소스 전극(156) 및 제2 드레인 전극(158)은 제1 층간 절연막(150) 상에 배치되며, 제1 층간 절연막(150) 및 게이트 절연막(140)을 관통하여 각기 제3 소스 영역(135) 및 제3 드레인 영역(137)에 전기적으로 연결될 수 있다. 즉, 제2 소스 전극(156) 및 제2 드레인 전극(158)은 제2 도전 패턴(152) 및 제3 도전 패턴(155)과 동시에 형성될 수 있다.
- [0111] 제2 층간 절연막(160)은 제1 층간 절연막(150) 상에서 제2 소스 전극(156), 제2 드레인 전극(158), 제2 도전 패턴(152) 및 제3 도전 패턴(155)을 덮도록 배치될 수 있다.
- [0112] 제1 배선 패턴(167)은 제2 영역(II) 및 제3 영역(III) 내에서 상기 제2 층간 절연막(160) 상에 배치될 수 있다. 즉, 제1 배선 패턴(167)은 제1 소스 전극(162) 및 제1 드레인 전극(164)과 동시에 형성될 수 있다. 제1 배선 패턴(167)은 상기 제3 박막 트랜지스터와 중첩되도록 배치될 수 있다. 상기 제3 박막 트랜지스터의 제2 소스 전극(156) 및 제2 드레인 전극(158)은 제2 층간 절연막(160) 아래에 위치하고, 제1 배선 패턴(167)은 제2 층간 절연막(160) 상에 위치하므로, 제1 배선 패턴(167)은 상기 제3 박막 트랜지스터의 전극들(156, 158)과 전기적으로 분리될 수 있다.
- [0113] 한편, 절연막(181)은 제1 영역(I) 및 제2 영역(II) 내에 배치될 수 있다. 즉, 절연막(181)은 제3 영역(III) 내에 배치되지 않을 수 있다. 예시적인 실시예들에 있어서, 절연막(181)은 폴리이미드와 같은 유기 절연물질을 포함할 수 있다.
- [0114] 제5 도전 패턴(183)은 절연막(181)의 측벽을 통해서 제1 배선 패턴(167)에 전기적으로 연결될 수 있다. 또한, 제5 도전 패턴(183)은 제3 영역(III)과 중첩되지 않은 제2 영역(II) 내에만 배치될 수 있다.
- [0115] 예시적인 실시예들에 있어서, 유기 절연물질을 포함하는 절연막(181)은 제3 영역(III) 내에 배치되지 않을 수 있다. 이에 따라, 상기 레이저 빔에 의해서 절연막(181)이 가열되어 부피가 감소하는 현상이 방지될 수 있다. 또한, 제5 도전 패턴(183) 및 제2 전극(197)은 제3 영역(III) 내에 배치되지 않으므로, 상기 레이저 빔에 의한 제5 도전 패턴(183) 및 제2 전극(197)의 열적 손상을 방지할 수 있다. 한편, 제1 배선 패턴(167)이 상기 제3 박막 트랜지스터의 상부에 위치하므로, 상기 레이저 빔에 의해서 상기 제3 박막 트랜지스터가 손상받는 것을 방지할 수 있다.
- [0116] 도 7 내지 도 15는 본 발명의 예시적인 실시예들에 따른 유기 발광 표시장치의 제조 방법을 나타내기 위한 단면도들이다.
- [0117] 도 7을 참조하면, 기판(100) 상에 버퍼층(105), 액티브 패턴들(110, 120, 130) 및 게이트 절연막(130)을 형성할 수 있다.
- [0118] 기판(100)은 앞서 도 1에서 도시된 바와 같이, 제1 영역(I), 제2 영역(II) 및 제3 영역(III)을 포함할 수 있다. 또한, 제2 영역(II)은 제3 영역(III)은 부분적으로 중첩될 수 있으며, 제1 영역(I)은 제3 영역(III)과 이격되어 배치될 수 있다.
- [0119] 우선, 기판(100) 상에 버퍼층(105)을 형성하고, 버퍼층(105) 상에 반도체층을 형성한 후, 이를 패터닝하여 액티브 패턴들(110, 120, 130)을 형성할 수 있다. 예시적인 실시예들에 있어서, 제1 액티브 패턴(110) 및 제2 액티브 패턴(120)은 제1 영역(I) 내에 형성될 수 있으며, 제3 액티브 패턴(130)은 제2 영역(II)과 제3 영역(III)이 중첩된 부분에 형성될 수 있다.
- [0120] 예시적인 실시예들에 있어서, 상기 반도체층은 폴리실리콘(polysilicon), 불순물을 포함하는 폴리실리콘, 아몰퍼스 실리콘(amorphous silicon), 불순물을 포함하는 아몰퍼스 실리콘 등을 사용하여 형성할 수 있다. 다른 예시적인 실시예들에 있어서, 상기 반도체층은 아연(Zn), 카드뮴(Cd), 갈륨(Ga), 인듐(In), 주석(Sn), 하프늄(Hf) 및 지르코늄(Zr) 등과 같은 금속 산화물 반도체를 삼성분계 또는 사성분계로 구성하여 사용하여 형성할 수 있다.

- [0121] 이후, 버퍼층(105) 상에 액티브 패턴들(110, 120, 130)을 덮는 게이트 절연막(140)을 형성할 수 있다. 예시적인 실시예들에 있어서, 게이트 절연막(140)은 실리콘 산화물, 실리콘 질화물 또는 높은 유전 상수를 갖는 무기 절연막을 이용하여 화학기상증착(CVD) 공정 등을 통해서 형성할 수 있다.
- [0122] 도 8을 참조하면, 게이트 절연막(140) 상에 게이트 전극들(141, 142, 143), 제1 도전 패턴(145) 및 반사 패턴(147)을 형성하고, 이들을 덮는 제1 층간 절연막(150)을 형성할 수 있다.
- [0123] 구체적으로, 게이트 절연막(140) 상에 스퍼터링 공정 등을 이용하여 제1 도전막을 형성하고, 이를 패터닝하여 제1 내지 제3 게이트 전극들(141, 142, 143), 제1 도전 패턴(145) 및 반사 패턴(147)을 형성할 수 있다. 이후, 실리콘 산화물 또는 실리콘 질화물을 이용하는 CVD 공정을 수행하여 제1 층간 절연막(150)을 형성할 수 있다.
- [0124] 예를 들어, 상기 제1 도전막은 알루미늄(Al), 마그네슘(Mg), 은(Ag), 백금(Pt), 금(Au), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 팔라듐(Pd), 이들의 합금과 같은 금속 또는 도핑된 폴리실리콘을 포함할 수 있다. 상기 제1 도전막이 몰리브덴을 포함하는 경우, 제1 내지 제3 게이트 전극들(141, 142, 143), 제1 도전 패턴(145) 및 반사 패턴(147)은 낮은 전기저항, 고온 안정성 및 레이저에 대한 높은 반사도를 가질 수 있다.
- [0125] 이때, 제1 내지 제3 게이트 전극들(141, 142, 143)은 각기 제1 내지 제3 액티브 패턴들(110, 120, 130)에 부분적으로 중첩되도록 배치될 수 있다. 한편, 제1 도전 패턴(145)은 제3 게이트 전극(143)에 인접하여 배치될 수 있다. 즉, 제1 도전 패턴(145)은 제2 영역(II)과 제3 영역(III)에 중첩되는 부분에 배치될 수 있다. 반사 패턴(147)은 제3 영역(III)에 배치될 수 있다.
- [0126] 또한, 이온 주입 공정을 수행하여 액티브 패턴들(110, 120, 130) 내에 불순물을 주입할 수 있다. 즉, 게이트 전극들(141, 142, 143)을 이온 주입 마스크로 이용하여, 액티브 패턴들(110, 120, 130)에 불순물을 주입할 수 있다. 이에 따라, 제1 액티브 패턴(110)은 제1 채널 영역(112), 제1 소스 영역(114) 및 제1 드레인 영역(116)을 포함할 수 있고, 제2 액티브 패턴(120)은 제2 채널 영역(122), 제2 소스 영역(124) 및 제2 드레인 영역(126)을 포함할 수 있으며, 제3 액티브 패턴(130)은 제3 채널 영역(132), 제3 소스 영역(134) 및 제3 드레인 영역(136)을 포함할 수 있다.
- [0127] 도 9를 참조하면, 제1 층간 절연막(150) 상에 제2 도전 패턴(152) 및 제3도전 패턴(154)을 형성하고, 이를 덮는 제2 층간 절연막(160)을 형성할 수 있다.
- [0128] 구체적으로, 제1 층간 절연막(150) 상에 스퍼터링 공정 등을 이용하여 제2 도전막을 형성하고, 이를 패터닝하여 제2 도전 패턴(152) 및 제3 도전 패턴(154)을 형성할 수 있다. 이후, 실리콘 산화물 또는 실리콘 질화물을 이용하는 CVD 공정을 수행하여 제2 층간 절연막(160)을 형성할 수 있다. 예를 들어, 상기 제2 도전막은 상기 제1 도전막과 실질적으로 동일하거나 유사한 물질을 사용하여 형성할 수 있다.
- [0129] 이때, 제2 도전 패턴(152)은 제1 게이트 전극(141)과 중첩되도록 배치될 수 있으며, 제3 도전 패턴(154)은 제1 도전 패턴(145)과 중첩되도록 배치될 수 있다. 이에 따라, 제1 도전 패턴(145), 제3 도전 패턴(154) 및 이들 사이에 위치하는 제1 층간 절연막(150)은 커패시터를 구성할 수 있다. 또한, 제1 게이트 전극(141), 제2 도전 패턴(152) 및 이들 사이에 위치하는 제1 층간 절연막(150)도 커패시터를 구성할 수 있다. 즉, 제1 게이트 전극(141)은 박막 트랜지스터의 게이트 전극으로 역할을 하는 동시에 커패시터의 전극으로 역할을 할 수 있다.
- [0130] 도 10을 참조하면, 제2 층간 절연막(160) 상에 층간 절연막들(150, 160)과 게이트 절연막(140)을 관통하는 소스 전극들(162, 172)과 드레인 전극들(164, 174), 제4 도전 패턴(166) 및 제1 배선 패턴(168)을 형성할 수 있다.
- [0131] 구체적으로, 게이트 절연막(140) 및 층간 절연막들(150, 160)을 부분적으로 제거하여 소스 영역들(124, 134) 및 드레인 영역들(126, 136)을 노출시키는 개구들을 형성하고, 이후 상기 개구들을 매립하는 제3 도전막을 제2 층간 절연막(160) 상에 형성할 수 있다. 이후, 상기 제3 도전막을 패터닝하여 소스 전극들(162, 172)과 드레인 전극들(164, 174), 제4 도전 패턴(166) 및 제1 배선 패턴(168)을 형성하고, 이들을 부분적으로 덮는 절연막(180)을 형성할 수 있다.
- [0132] 상기 제3 도전막은 단층 구조 또는 다층 구조를 가질 수 있다. 예시적인 실시예들에 있어서, 상기 제3 도전막은 티타늄(Ti), 알루미늄(Al) 및 티타늄(Ti)이 순차적으로 적층되는 다층 구조를 가질 수 있다. 이때, 상기 제3 도전막은 알루미늄을 포함하므로 낮은 전기 저항을 가질 수 있으며, 상기 알루미늄의 상면과 하면에 티타늄을 포함하므로 인접하는 절연막들과 우수한 접촉 특성을 가질 수 있다.
- [0133] 소스 전극들(162, 172) 및 드레인 전극들(164, 174)은 대응하는 소스 영역들(124, 134) 및 드레인 영역들(126, 136)에 직접 접촉하도록 형성될 수 있다. 도시되지는 않았으나, 제1 소스 영역(114) 및 제1 드레인 영역(116)에

접촉하는 소스 전극 및 드레인 전극도 함께 형성될 수 있다. 이에 따라, 제1 액티브 패턴(110) 및 제1 게이트 전극(141)은 제1 박막 트랜지스터를 구성할 수 있고, 제2 액티브 패턴(120), 제2 게이트 전극(142), 제1 소스 전극(162) 및 제1 드레인 전극(164)은 제2 박막 트랜지스터를 구성할 수 있으며, 제3 액티브 패턴(130), 제3 게이트 전극(143), 제2 소스 전극(172) 및 제2 드레인 전극(174)은 제3 박막 트랜지스터를 구성할 수 있다. 예시적인 실시예들에 있어서, 상기 제1 박막 트랜지스터는 유기 발광소자에 전압 또는 전류를 인가하는 구동 트랜지스터일 수 있으며, 상기 제2 박막 트랜지스터는 외부의 전기적 신호를 바탕으로 유기 발광 소자의 작동 여부를 결정하는 스위칭 트랜지스터일 수 있다. 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각의 화소에 대응하여 복수 개로 형성될 수 있다.

[0134] 제1 배선 패턴(168)은 제2 영역(II) 내에서 제2 층간 절연막(160) 상에 배치될 수 있다. 즉, 제1 배선 패턴(168)은 제3 영역(III)과 중첩되지 않은 제2 영역(II) 내에 배치될 수 있다. 이에 따라, 제1 배선 패턴(168)은 상기 제3 박막 트랜지스터보다 제1 영역(I)에 인접하여 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 배선 패턴(168)은 전원 전압(ELVSS)을 상기 화소들에 전달하기 위한 전원 배선으로 역할을 할 수 있다.

[0135] 이후, 제1 소스 전극(162)과 제1 드레인 전극(164), 제4 도전 패턴(166) 및 제1 배선 패턴(168)을 덮는 절연막(180)을 형성할 수 있다. 예를 들어, 절연막(180)은 폴리이미드와 같은 절연성 유기물을 사용하여 형성할 수 있다. 절연막(180)은 제1 영역(I) 내에서 평탄한 상면을 가질 수 있으며, 제2 영역(II) 및 제3 영역(III)을 부분적으로 커버할 수 있다.

[0136] 도 11을 참조하면, 절연막(180) 상에 제1 전극(182) 및 제5 도전 패턴(184)을 형성할 수 있고, 이들을 부분적으로 덮는 화소정의막(190)을 형성할 수 있다.

[0137] 구체적으로, 제1 배선 패턴(186)을 부분적으로 노출하는 콘택홀(188)을 형성한 후, 절연막(180) 상에 콘택홀(188)을 채우는 제4 도전막을 형성하고, 이를 패터닝하여 제1 전극(182) 및 제5 도전 패턴(184)을 형성할 수 있다.

[0138] 상기 제4 도전막은 단층 구조 또는 다층 구조를 가질 수 있다. 예시적인 실시예들에 있어서, 상기 제4 도전막은 금속막 및 투명 도전성 산화물막을 포함하는 다층 구조를 가질 수 있다. 예를 들어, 상기 제4 도전막은 ITO(indium tin oxide), 은(Ag) 및 ITO가 순차적으로 적층된 다층 구조를 가질 수 있으며, 이에 따라 낮은 전기 저항을 가질 수 있다.

[0139] 제1 전극(182)은 제1 영역(I) 내에서 각각의 화소에 대응하도록 형성될 수 있다. 한편, 제5 도전 패턴(184)은 제2 영역(II) 내에 형성될 수 있다. 제5 도전 패턴(184)은 제3 영역(III) 내에 위치하지 않으며, 콘택홀(188)을 통해서 제1 배선 패턴(168)에 전기적으로 연결될 수 있다. 결과적으로 제5 도전 패턴(184)은 상기 제3 박막 트랜지스터보다 제1 영역(I)에 인접하게 배치될 수 있다.

[0140] 화소정의막(190)을 절연 물질을 이용하여 형성할 수 있다. 예시적인 실시예들에 있어서, 화소정의막(190)은 제1 영역(I) 내지 제3 영역(III) 내에 복수 개로 형성될 수 있다. 화소정의막(190)은 제1 영역(I) 내에서 제1 전극(182)의 단부를 커버하여 각각의 화소들을 구분하도록 배치될 수 있다. 또한, 화소정의막(190)은 제3 영역(III) 내에서 상기 제3 트랜지스터를 보호하도록 배치될 수 있다.

[0141] 도 12를 참조하면, 제1 전극(182) 상에 유기 발광 구조물들(191, 192, 193)을 형성하고, 화소정의막(190) 상에 스페이서(195)를 형성한 후, 이들을 덮는 제2 전극(197)을 형성할 수 있다.

[0142] 유기 발광 구조물들(191, 192, 193)은 각각의 화소에 대응하도록 형성될 수 있다. 유기 발광 구조물들(191, 192, 193)은 각기 적어도 하나 이상의 유기 발광층을 포함할 수 있으며, 전자 주입층, 전자 수송층, 정공 주입층 및/또는 정공 수송층을 추가적으로 포함할 수 있다. 상기 유기 발광층들은 각기 서로 다른 파장의 광을 발광할 수 있다.

[0143] 제2 전극(197)은 스페이서(195), 화소정의막(190), 유기 발광 구조물들(191, 192, 193) 및 제5 도전 패턴(184)을 덮도록 형성될 수 있다. 한편, 제2 전극(197)은 제1 영역(II) 및 제2 영역(II) 내에만 형성되며, 제3 영역(III) 내에는 형성되지 않을 수 있다. 예시적인 실시예들에 있어서, 제2 전극(197)은 알루미늄(Al), 마그네슘(Mg), 은(Ag), 백금(Pt), 금(Au), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 팔라듐(Pd) 또는 이들의 합금을 포함할 수 있다. 제2 전극(197)이 은(Ag)과 마그네슘(Mg) 합금을 포함하는 경우, 낮은 전기저항과 높은 광 투과도를 가질 수 있다.

[0144] 한편, 도 13을 참조하면, 제2 기판(200) 상에 터치 패널을 형성할 수 있다.

- [0145] 제2 기관(200)은 제1 기관(100)과 같이 제1 영역(I), 제2 영역(II) 및 제3 영역(III)으로 구분될 수 있다.
- [0146] 제2 기관(200) 상에 복수의 감지 셀들(210), 복수의 제2 배선 패턴들(215) 및 보호막(220)을 포함하는 상기 터치 패널을 형성할 수 있다. 감지 셀들(210)은 제1 영역 (I) 내에 배치되며, 저항 또는 커패시턴스의 변화에 따라 터치 위치를 감지할 수 있다. 제2 배선 패턴들(215)은 제3 영역 (III) 내에 배치될 수 있으며, 감지 셀들(210)로부터 전기적 신호를 전달하는 역할을 수행할 수 있다. 예시적인 실시예들에 있어서, 제2 배선 패턴들(215)은 몰리브데늄(Mo)과 같은 금속을 포함할 수 있다.
- [0147] 도 14를 참조하면, 제1 기관(100)과 제2 기관(200)을 대향하도록 배치한 후, 제3 영역(III) 내에 실링 부재(250)를 배치한다.
- [0148] 구체적으로, 제1 기관(100)의 스페이서(195) 및 제2 전극(197)이 제2 기관(200)의 후면과 접촉하도록 배치할 수 있다. 즉, 스페이서(195)의 높이에 의해서 제1 기관(100)과 제2 기관(200) 사이의 간격이 조절될 수 있다.
- [0149] 한편, 실링 부재(250)를 배치하기 전에, 제3 영역(III) 내에서 층간 절연막들(150, 160)을 부분적으로 제거하여 개구를 형성할 수도 있다.
- [0150] 도 15를 참조하면, 제3 영역(III)에 레이저 빔을 조사하여 제1 기관(100)과 제2 기관(200) 사이의 밀봉을 완성할 수 있다.
- [0151] 상기 레이저 빔은 실링 부재(250)를 녹일 수 있고, 이에 따라 실링 부재(250)의 형상이 변형되어 제1 기관(100) 및 제2 기관(200) 사이를 적절하게 밀봉할 수 있다.
- [0152] 상기 레이저 빔은 제2 배선 패턴(215)에 의해서 부분적으로 반사될 수 있다. 따라서, 상기 레이저 빔의 강도는 제2 배선 패턴(215)을 고려하여 실링 부재(250)를 충분히 녹일 수 있을 정도로 조절될 수 있다.
- [0153] 한편, 상기 레이저 빔은 제3 영역(III)에 배치된 반사 패턴(147)에 의해서 반사될 수 있다. 반사 패턴(147)은 실링 부재(250) 하부에 위치하므로, 반사 패턴(147)에 의해서 반사된 레이저 빔은 실링 부재(250)을 하부를 효과적으로 녹일 수 있다.
- [0154] 또한, 제2 전극(197), 제5 도전 패턴(184) 및 제1 배선 패턴(168)은 제3 영역(III)과 중첩되지 않도록 형성될 수 있다. 이에 따라, 상기 밀봉 과정에서 상기 레이저 빔에 의한 제2 전극(197), 제5 도전 패턴(185) 및 제1 배선 패턴(168)의 열적 손상을 방지할 수 있다. 즉, 레이저 빔에 의한 전기적 단락 현상을 방지할 수 있다. 또한, 레이저 빔의 강도를 향상시켜 밀봉 구조의 신뢰성을 향상시킬 수 있다.
- [0155] 도 16 내지 도 21은 본 발명의 다른 예시적인 실시예들에 따른 유기 발광 표시장치의 제조 방법을 나타내기 위한 단면도들 및 평면도들이다. 상기 유기 발광 표시장치의 제조 방법은 도 7 내지 도 15를 참조로 설명한 유기 발광 표시장치의 제조 방법과 실질적으로 유사하므로, 반복되는 설명은 생략할 수 있다.
- [0156] 도 16을 참조하면, 도 7 및 도 8을 참조로 설명한 공정들과 유사한 공정들을 수행하여, 기관(100) 상에 액티브 패턴들(110, 120, 131), 게이트 전극들(141, 142, 144), 제1 도전 패턴(146) 및 반사 패턴(147)을 형성할 수 있다. 또한, 액티브 패턴들(110, 120, 131)에 불순물을 주입하여 채널 영역들(112, 122, 133), 소스 영역들(114, 124, 135) 및 드레인 영역들(116, 126, 137)을 형성할 수 있다.
- [0157] 도 17을 참조하면, 제1 층간 절연막(150) 상에 제2 도전 패턴(152), 제3 도전 패턴(155), 제2 소스 전극(156) 및 제2 드레인 전극(158)을 형성하고, 이들을 덮는 제2 층간 절연막(160)을 형성할 수 있다.
- [0158] 구체적으로, 제1 층간 절연막(150) 및 게이트 절연막(140)을 부분적으로 제거하여 제3 소스 영역(135) 및 제3 트레인 영역(137)을 각기 노출시키는 개구들을 형성한 후, 제1 층간 절연막(150) 상에 상기 개구들을 매립하는 제1 도전막을 형성하고 이를 패터닝하여 제2 도전 패턴(152), 제3 도전 패턴(155), 제2 소스 전극(156) 및 제2 드레인 전극(158)을 형성할 수 있다. 상기 제1 도전막은 도 9를 참조로 설명한 제2 도전막과 실질적으로 동일하거나 유사한 물질을 포함할 수 있다.
- [0159] 이에 따라, 제3 액티브 패턴(131), 제3 게이트 전극(144), 제2 소스 전극(156) 및 제2 드레인 전극(158)은 제3 트랜지스터를 구성할 수 있다.
- [0160] 제2 층간 절연막(160)은 실리콘 산화물 또는 실리콘 질화물을 사용하는 CVD 공정을 수행하여, 제2 도전 패턴(152), 제3 도전 패턴(155), 제2 소스 전극(156) 및 제2 드레인 전극(158)을 덮도록 형성될 수 있다.
- [0161] 도 18 참조하면, 제2 층간 절연막(160) 상에 제1 소스 전극(162), 제1 드레인 전극(164), 제4 도전 패턴(166)

및 제1 배선 패턴(167)을 형성하고, 이들 중 일부를 덮는 절연막(181)을 형성할 수 있다.

- [0162] 구체적으로, 제2 층간 절연막(160) 상에 제2 도전막을 형성하고, 이를 패터닝하여, 제1 소스 전극(162), 제1 드레인 전극(164), 제4 도전 패턴(166) 및 제1 배선 패턴(167)을 형성할 수 있다. 상기 제2 도전막은 도 10을 참조로 설명한 제3 도전막과 실질적으로 동일하거나 유사한 물질을 포함할 수 있다.
- [0163] 제1 소스 전극(162) 및 제1 드레인 전극(164)은 제2 액티브 패턴(120) 및 제2 게이트 전극(142)과 함께 제2 박막 트랜지스터를 구성할 수 있다. 도시되지는 않았으나, 제1 액티브 패턴(110)과 접촉하는 소스 전극 및 드레인 전극도 함께 형성될 수 있다.
- [0164] 제4 도전 패턴(166)은 제2 영역(II) 내에 배치될 수 있다. 제4 도전 패턴(166)은 상기 제3 박막 트랜지스터보다 상기 제1 영역(I)에 인접하여 배치될 수 있다.
- [0165] 한편, 제1 배선 패턴(167)은 제2 영역(II) 및 제3 영역(III) 내에서 상기 제2 층간 절연막(160) 상에 배치될 수 있다. 제1 배선 패턴(167)은 상기 제3 박막 트랜지스터와 중첩되도록 배치될 수 있다. 상기 제3 박막 트랜지스터의 제2 소스 전극(156) 및 제2 드레인 전극(158)은 제2 층간 절연막(160) 아래에 위치하고, 제1 배선 패턴(167)은 제2 층간 절연막(160) 상에 위치하므로, 제1 배선 패턴(167)은 상기 제3 박막 트랜지스터의 전극들(156, 158)과 전기적으로 분리될 수 있다.
- [0166] 절연막(181)은 제1 영역(I) 및 제2 영역(II) 내에 배치될 수 있다. 즉, 절연막(181)은 제3 영역(III) 내에 배치되지 않을 수 있다. 예시적인 실시예들에 있어서, 절연막(181)은 폴리이미드와 같은 유기 절연물질을 포함할 수 있다.
- [0167] 도 19를 참조하면, 절연막(181) 상에 제1 전극(182) 및 제5 도전 패턴(183)을 형성할 수 있고, 이들을 부분적으로 덮는 화소정의막(190)을 형성할 수 있다.
- [0168] 제1 전극(182), 제5 도전 패턴(183) 및 화소정의막(190)을 형성하는 공정을 도 11을 참조로 설명한 공정들과 유사할 수 있다. 다만, 제5 도전 패턴(183)은 절연막(181)의 측벽을 통해서 제1 배선 패턴(167)에 전기적으로 연결될 수 있다. 또한, 제5 도전 패턴(183)은 제3 영역(III)과 중첩되지 않은 제2 영역(II) 내에만 배치될 수 있다.
- [0169] 도 20을 참조하면, 제1 전극(182) 상에 유기 발광 구조물들(191, 192, 193)을 형성하고, 화소정의막(190) 상에 스페이서(195)를 형성한 후, 이들을 덮는 제2 전극(197)을 형성할 수 있다.
- [0170] 이에 따라, 제2 전극(197)은 제5 도전 패턴(183)을 통해서 제1 배선 패턴(167)에 전기적으로 연결될 수 있다. 예시적인 실시예들에 있어서, 제2 전극(197)은 제1 영역(I) 및 제2 영역(II) 내에만 형성될 수 있으며, 제3 영역(III) 내에는 형성되지 않을 수 있다. 즉, 제2 전극(197)은 제3 영역(III)과 중첩되지 않은 제2 영역(II)에서 제5 도전 패턴(183)과 직접적으로 접촉할 수 있다.
- [0171] 도 21을 참조하면, 제2 기관(200) 상에 터치 패널을 형성하고, 제1 기관(100)과 제2 기관(200)을 대향하도록 배치한 후, 제3 영역(III) 내에 실링 부재(250)를 배치한 후, 레이저 빔을 조사하여 제1 기관(100)과 제2 기관(200) 사이를 밀봉할 수 있다.
- [0172] 구체적으로, 제2 기관(200) 상에 감지 셀들(210) 및 제2 배선 패턴들(215)을 형성하고, 이를 보호하는 보호막(220)을 형성한다. 이후, 상기 레이저 빔을 통해서 실링 부재(250)를 녹이고, 냉각시켜 제1 기관(100)과 제2 기관(200) 사이를 밀봉할 수 있다.
- [0173] 앞서 언급한 바와 같이, 유기 절연물질을 포함하는 절연막(181)은 제3 영역(III) 내에 배치되지 않을 수 있다. 이에 따라, 상기 레이저 빔에 의해서 절연막(181)이 가열되어 부피가 감소하는 현상이 방지될 수 있다. 또한, 제5 도전 패턴(183) 및 제2 전극(197)은 제3 영역(III) 내에 배치되지 않으므로, 상기 레이저 빔에 의한 제5 도전 패턴(183) 및 제2 전극(197)의 열적 손상을 방지할 수 있다. 한편, 제1 배선 패턴(167)이 상기 제3 박막 트랜지스터의 상부에 위치하므로, 상기 레이저 빔에 의해서 상기 제3 박막 트랜지스터가 손상받는 것을 방지할 수 있다.
- [0174] 이상 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

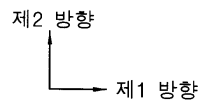
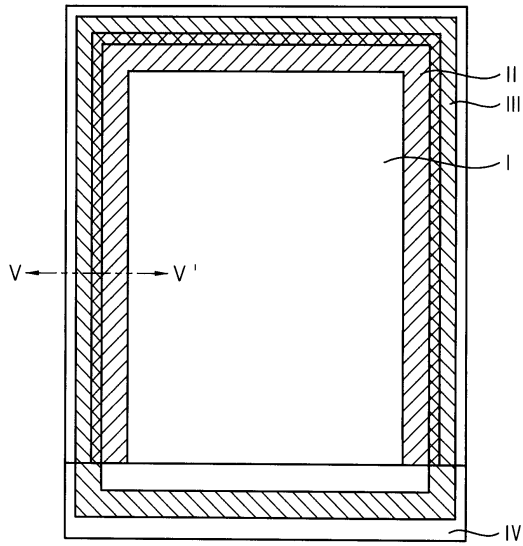
부호의 설명

[0175]

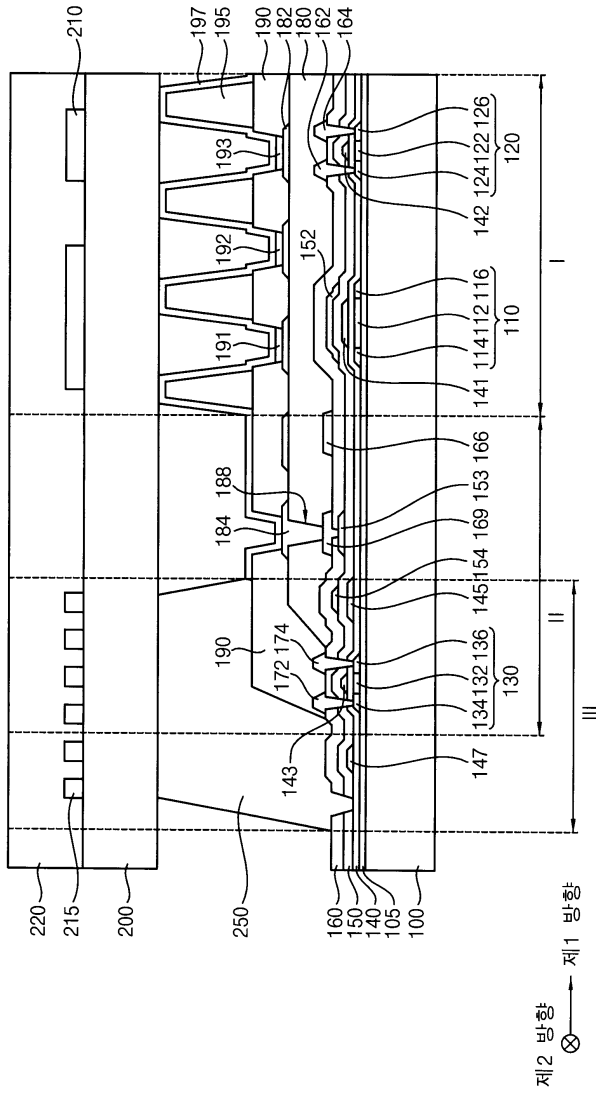
- 100: 제1 기관 105: 버퍼층
- 110: 제1 액티브 패턴 112: 제1 채널 영역
- 114: 제1 소스 영역 116: 제1 드레인 영역
- 120: 제2 액티브 패턴 122: 제2 채널 영역
- 124: 제2 소스 영역 126: 제2 드레인 영역
- 130, 131: 제3 액티브 패턴 132, 133: 제3 채널 영역
- 134, 135: 제3 소스 영역 136, 137: 제3 드레인 영역
- 140: 게이트 절연막 141: 제1 게이트 전극
- 142: 제2 게이트 전극 143, 144: 제3 게이트 전극
- 145, 146: 제1 도전 패턴 147: 반사 패턴
- 150: 제1 층간 절연막 152: 제2 도전 패턴
- 153: 제3 배선 패턴 154, 155: 제3 도전 패턴
- 156, 172: 제2 소스 전극 158, 174: 제2 드레인 전극
- 160: 제2 층간 절연막 162: 제1 소스 전극
- 164: 제1 드레인 전극 166: 제4 도전 패턴
- 167, 168, 169: 제1 배선 패턴 176: 제3 층간 절연막
- 180, 181: 절연막 182: 제1 전극
- 183, 184, 186: 제5 도전 패턴 188, 189: 콘택 홀
- 190: 화소정의막 191: 제1 발광 구조물
- 192: 제2 발광 구조물 193: 제3 발광 구조물
- 195: 스페이서 197: 제2 전극
- 200: 제2 기관 210: 감지 셀
- 215: 제2 배선 패턴 220: 보호막
- 250: 실링 부재

도면

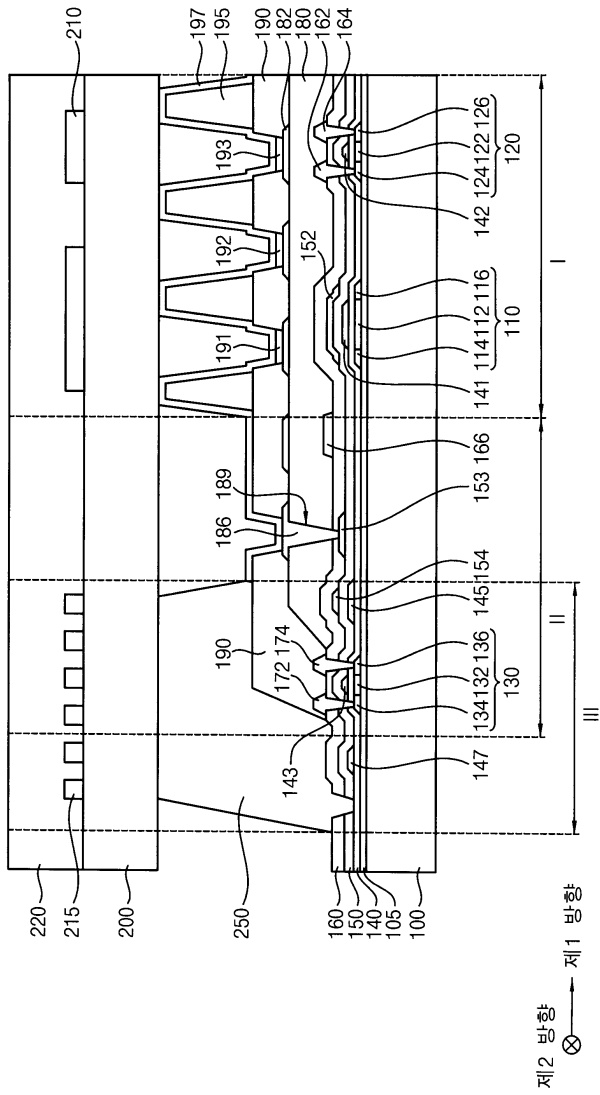
도면1



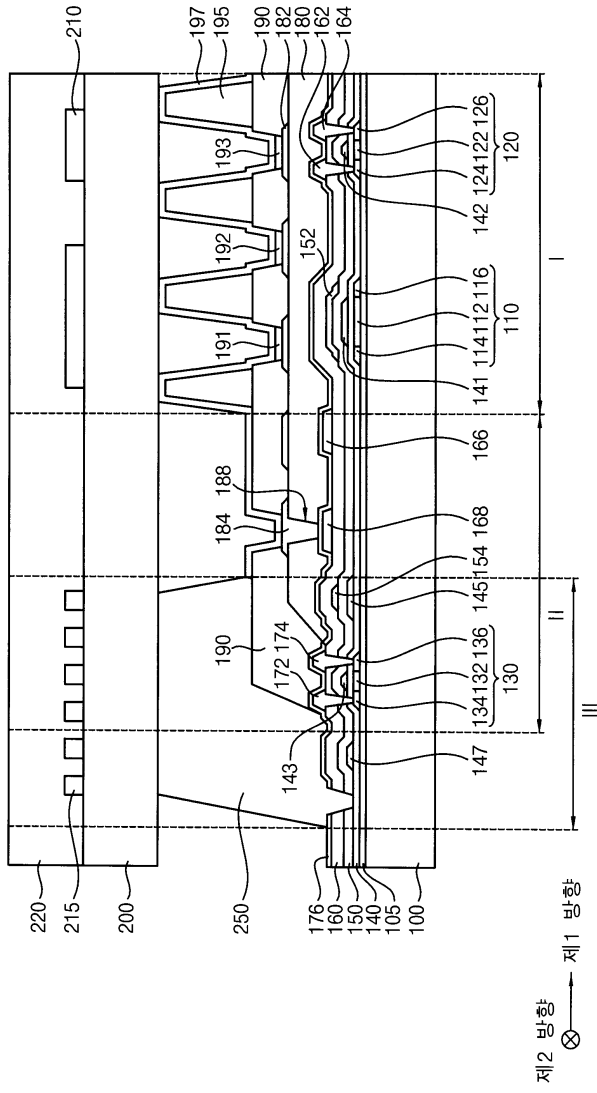
도면3



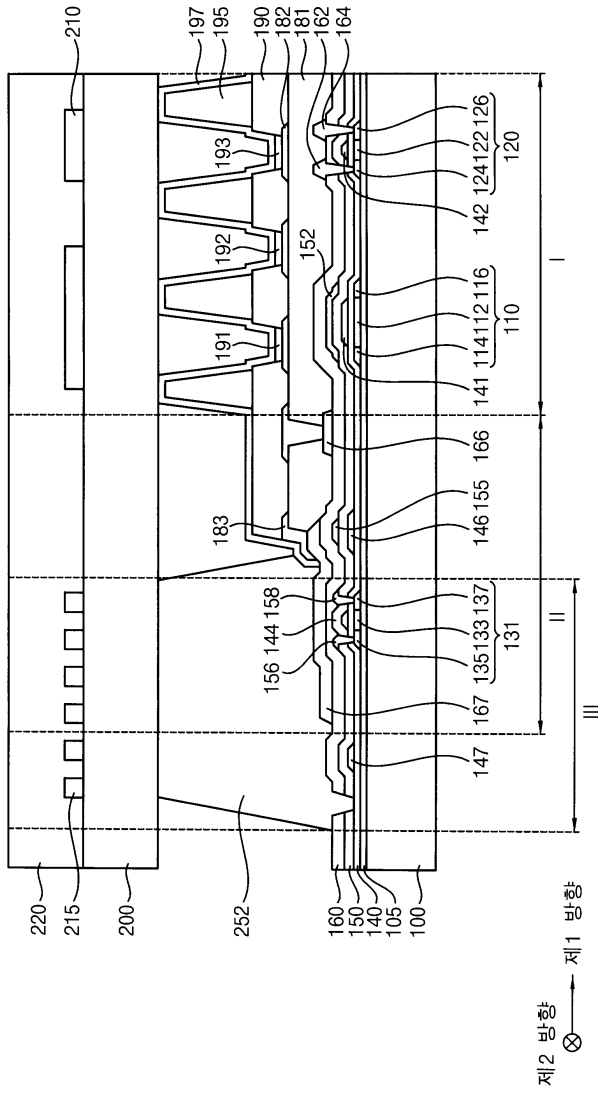
도면4



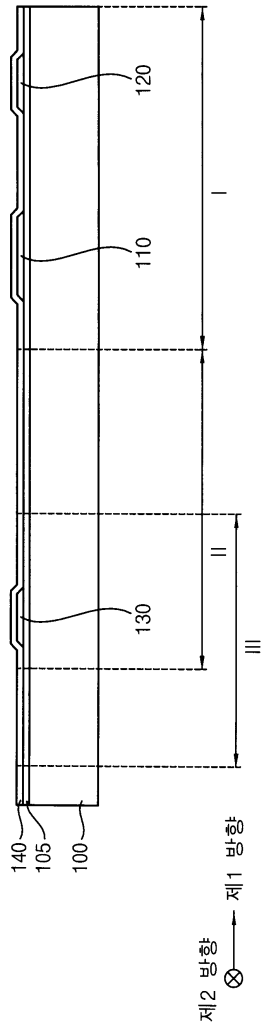
도면5



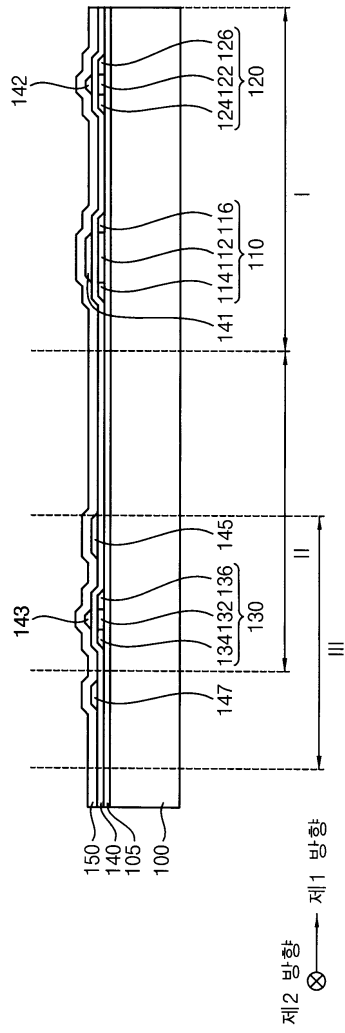
도면6



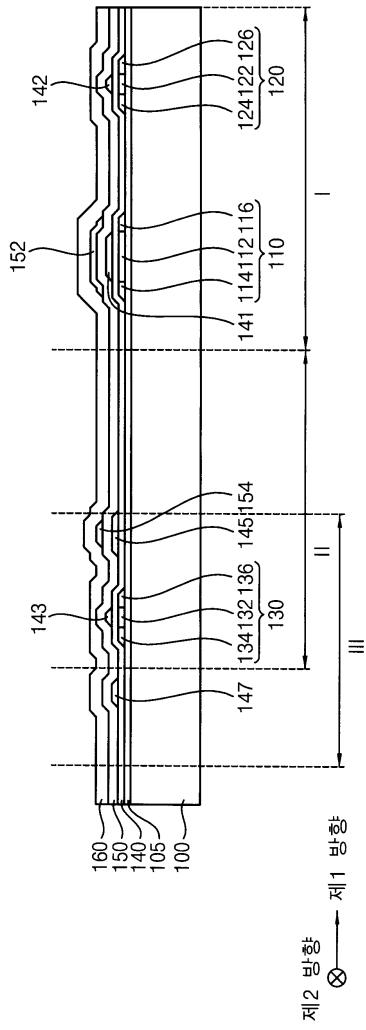
도면7



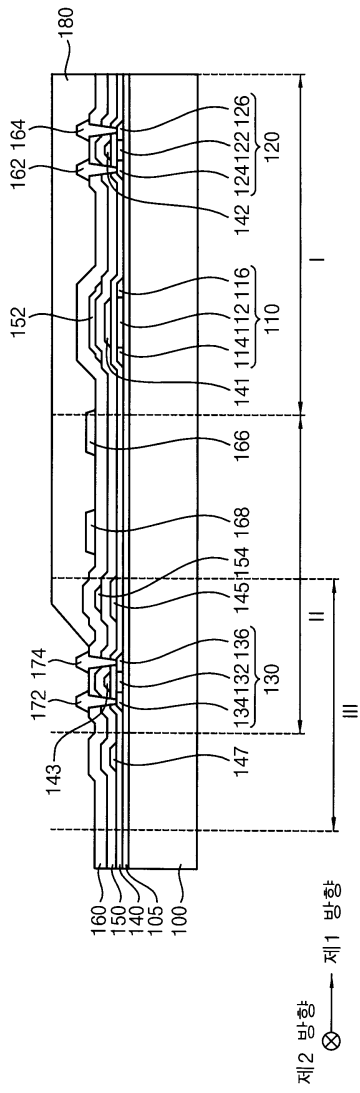
도면8



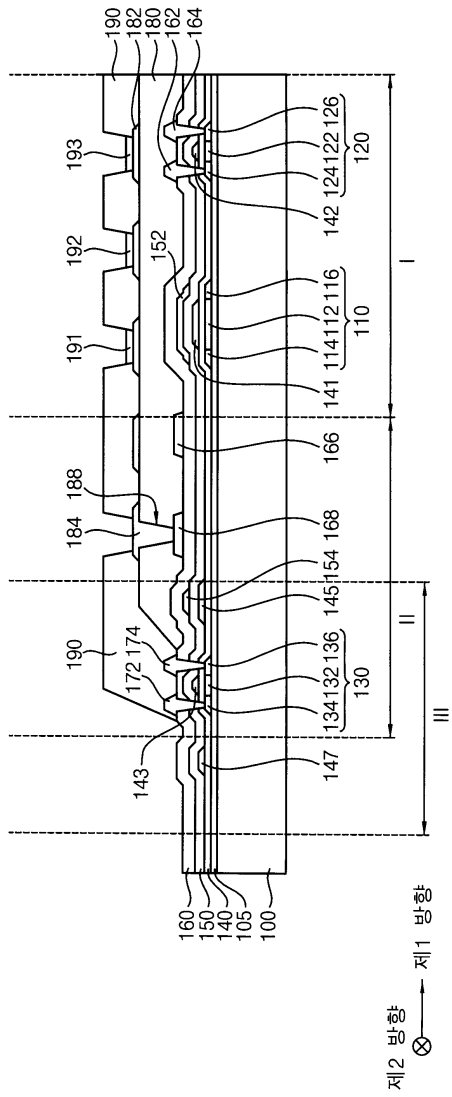
도면9



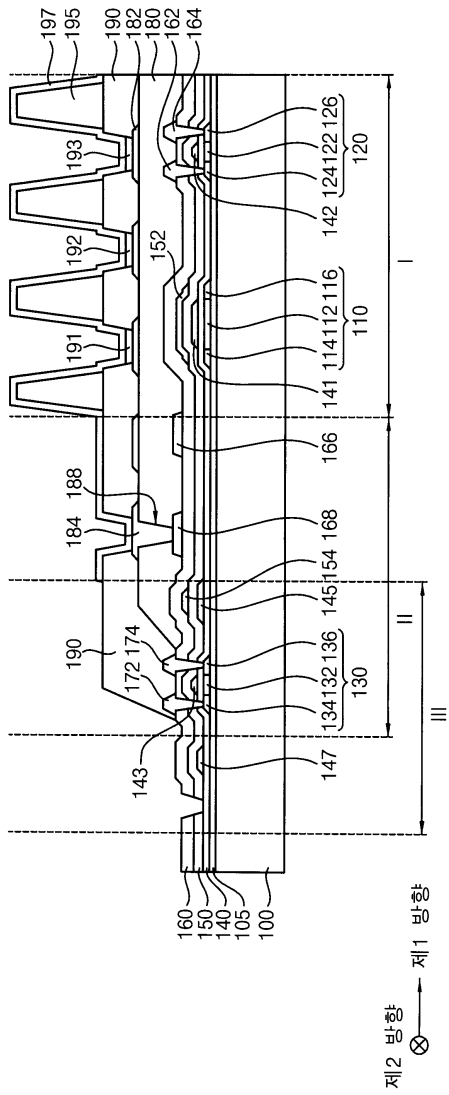
도면10



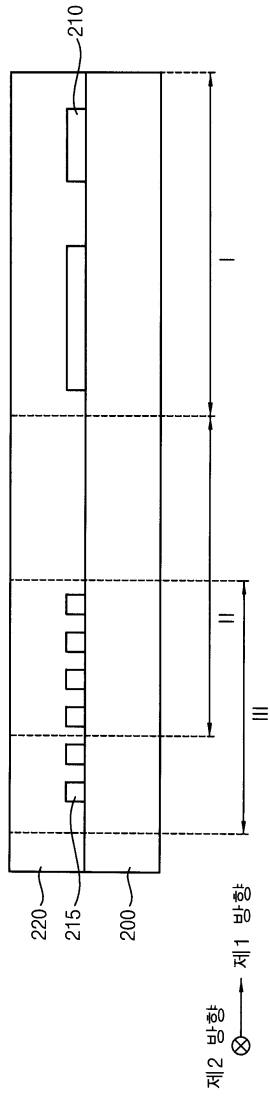
도면11



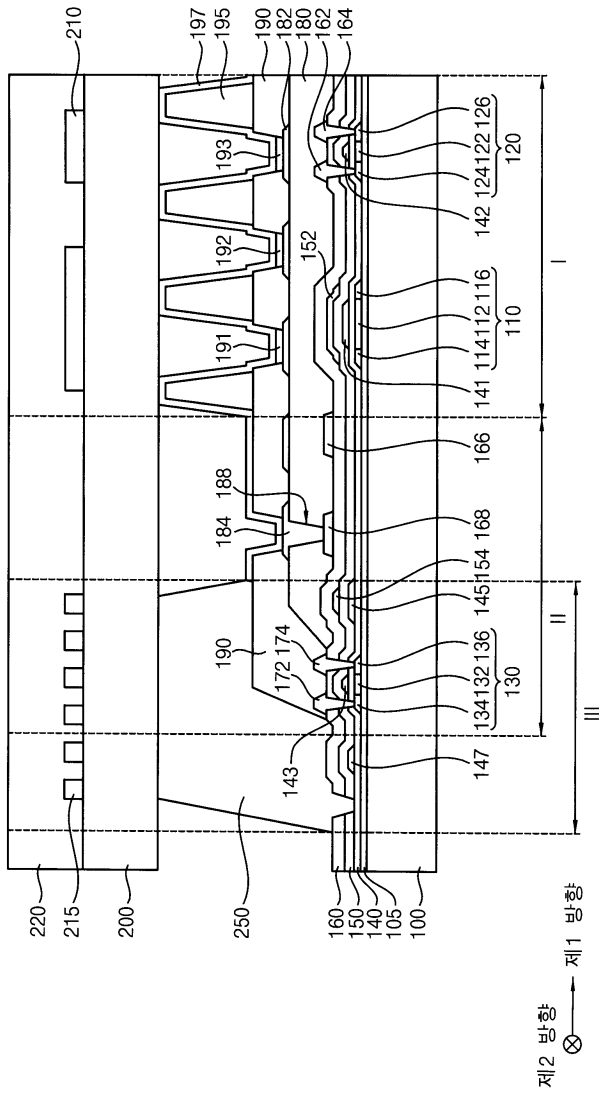
도면12



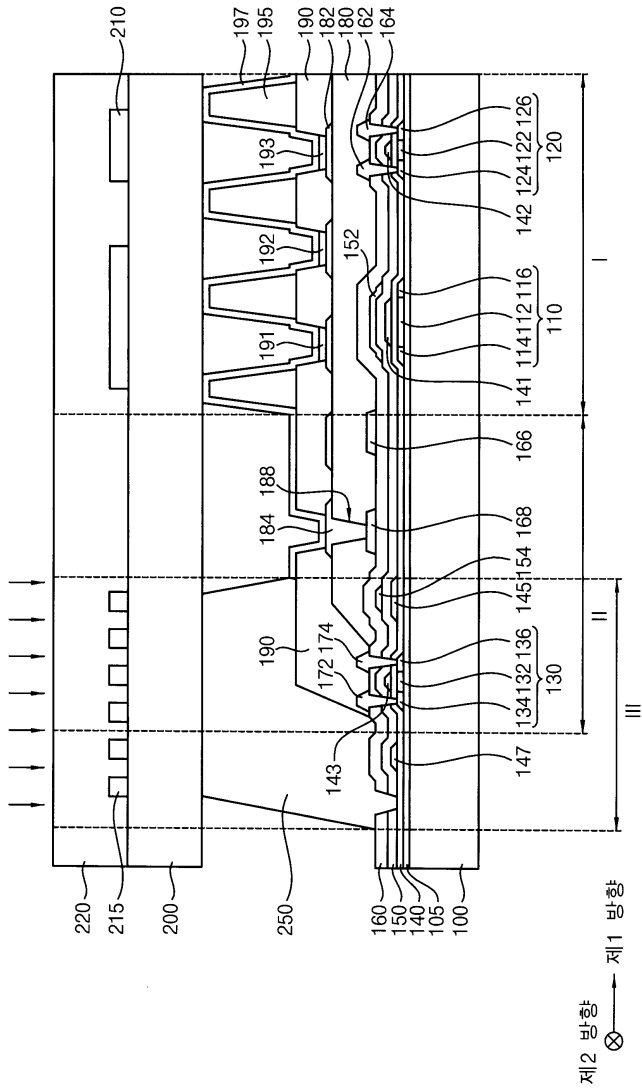
도면13



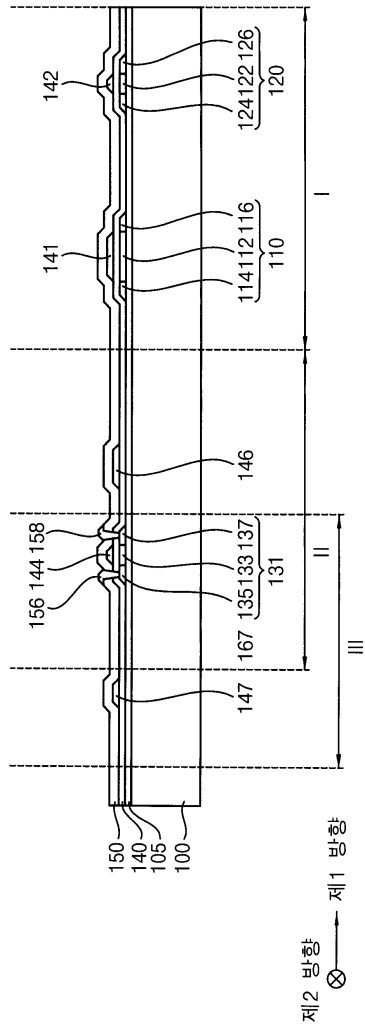
도면14



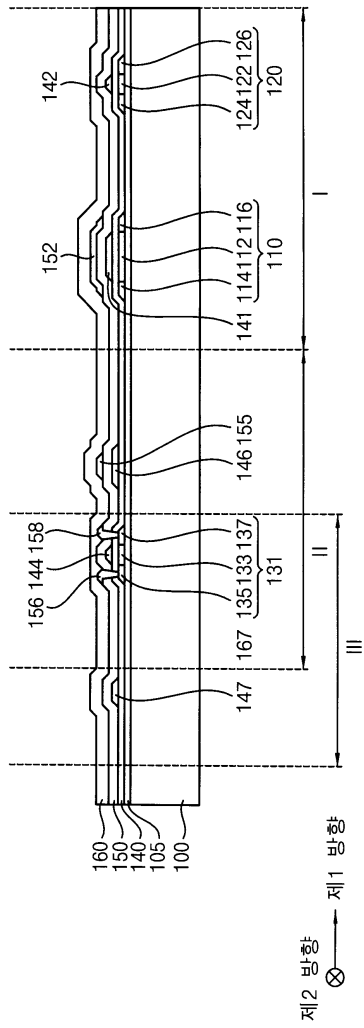
도면15



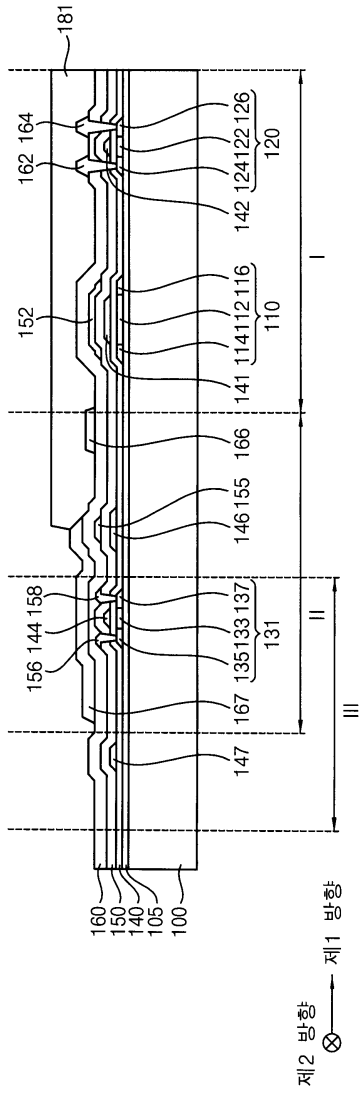
도면16



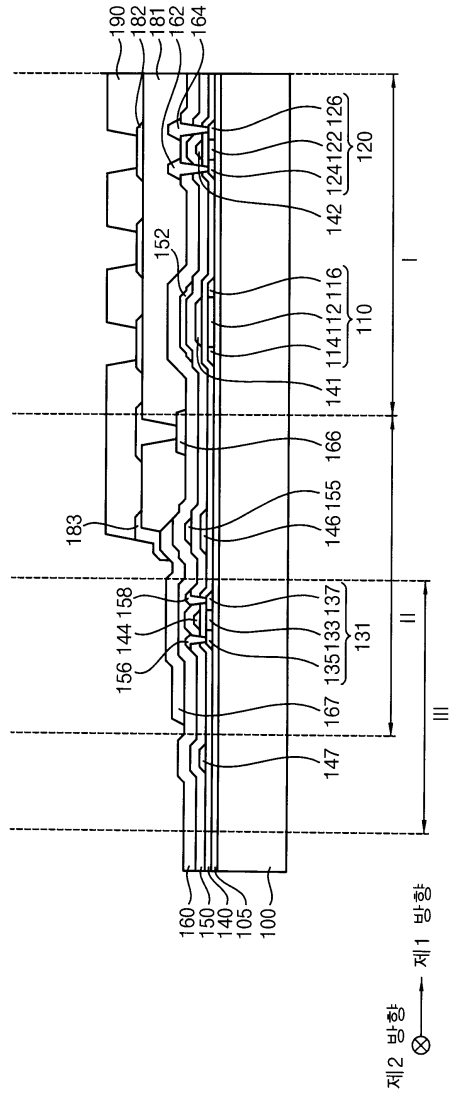
도면17



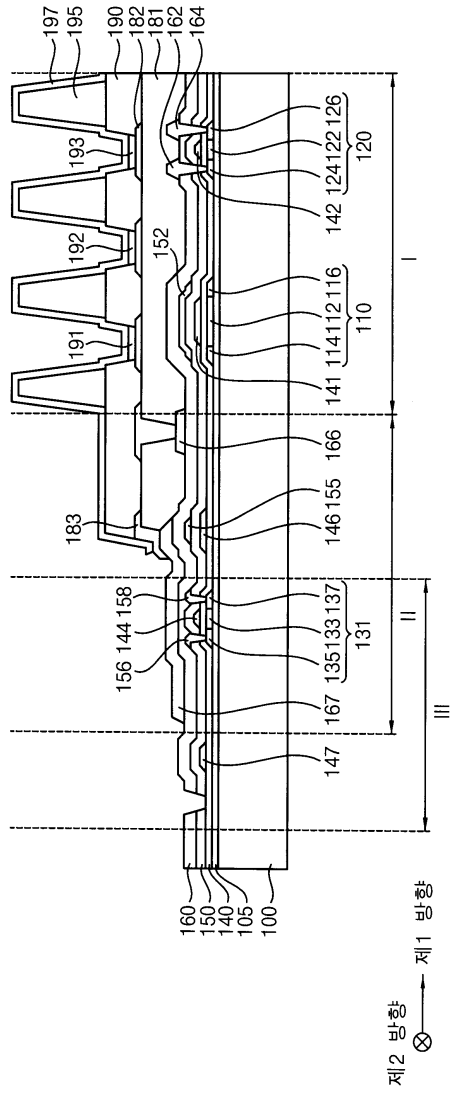
도면18



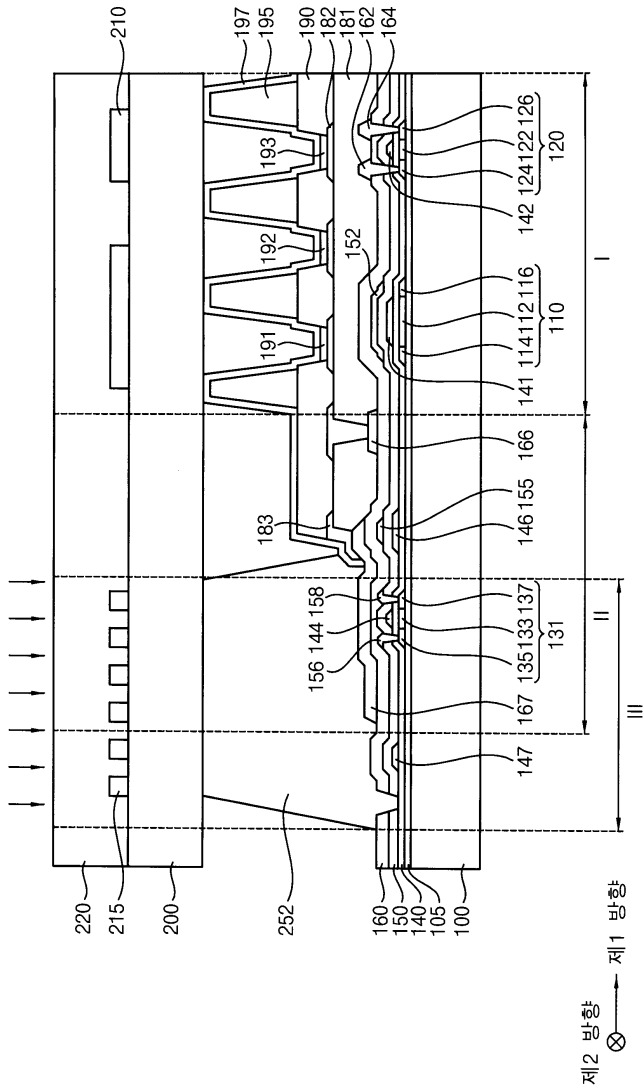
도면19



도면20



도면21



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 标题：OLED显示装置和制造OLED显示装置的方法 | | |
| 公开(公告)号 | KR1020150049141A | 公开(公告)日 | 2015-05-08 |
| 申请号 | KR1020130129306 | 申请日 | 2013-10-29 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | HONG SANG MIN | | |
| 发明人 | HONG SANG MIN | | |
| IPC分类号 | H01L51/52 H05B33/06 H05B33/10 | | |
| CPC分类号 | H01L51/5246 H01L27/3246 H01L27/3272 H01L27/3276 H01L51/5206 H01L51/5225 H01L51/525 H01L51/5253 H01L51/56 H01L51/5237 H01L51/0023 H01L2251/53 H05B33/06 H05B33/10 | | |
| 代理人(译) | PARK , YOUNG WOO | | |
| 外部链接 | Espacenet | | |

摘要(译)

有机发光显示装置包括第一基板，第二基板，有机发光装置，薄膜晶体管，布线图案和密封件。第一基板包括第一区域，第二区域和第三区域。第三区域围绕第一区域。第二区域位于第一区域和第三区域之间，并且与第三区域部分重叠。第二基板面向第一基板。有机发光器件设置在第一区域中的第一基板上。薄膜晶体管在第二区域和第三区域重叠的区域中设置在第一基板上。布线图案设置在第二区域中的第一基板上。密封件设置在第三区域中，在第三区域中位于第一基板和第二基板之间。

