



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0046489

(43) 공개일자 2015년04월30일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 51/05 (2006.01)

H05B 33/26 (2006.01)

(21) 출원번호 10-2013-0125776

(22) 출원일자 2013년10월22일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김현태

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

강신섭, 문용호, 이용우

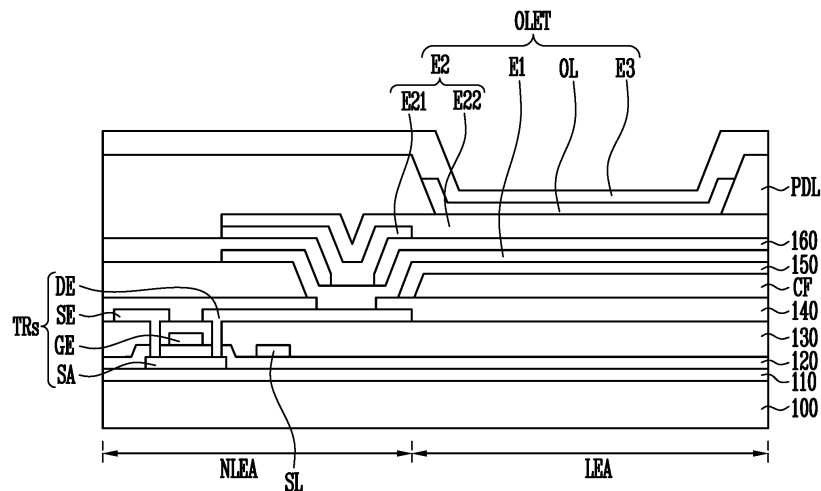
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 베이스 기판 상에 배치되는 스위칭 박막 트랜지스터 및 유기 발광 트랜지스터를 포함한다. 상기 베이스 기판은 발광 영역 및 비발광 영역으로 구분될 수 있다. 상기 스위칭 박막 트랜지스터는 제1 반도체 활성층, 제1 게이트 전극, 소스 전극 및 드레인 전극을 구비하며, 상기 비발광 영역에 배치될 수 있다. 상기 유기 발광 트랜지스터는 상기 발광 영역에 배치될 수 있다. 또한, 상기 유기 발광 트랜지스터는 상기 드레인 전극에 접속하는 제1 전극, 상기 제1 전극 상부에 배치되고, 상기 비발광 영역에서 상기 제1 전극과 접속하는 제2 전극, 상기 제2 전극 상에 배치되는 유기막, 및 상기 유기막 상에 배치되는 제3 전극을 포함할 수 있다. 여기서, 상기 제2 전극은 상기 비발광 영역에 배치되고, 상기 제1 전극에 접속하는 제1 도전층, 및 상기 제1 도전층 상에 배치되고, 상기 발광 영역으로 연장되는 제2층을 포함할 수 있다.

대표도 - 도3



명세서

청구범위

청구항 1

발광 영역 및 비발광 영역으로 구분되는 베이스 기관;

제1 반도체 활성층, 제1 게이트 전극, 소스 전극 및 드레인 전극을 구비하며, 상기 비발광 영역에 배치되는 스위칭 박막 트랜지스터; 및

상기 드레인 전극에 접속하는 제1 전극, 상기 제1 전극 상부에 배치되고, 상기 비발광 영역에서 상기 제1 전극과 접속하는 제2 전극, 상기 제2 전극 상에 배치되는 유기막, 및 상기 유기막 상에 배치되는 제3 전극을 포함하며, 상기 발광 영역에 배치되는 유기 발광 트랜지스터를 구비하고,

상기 제2 전극은

상기 비발광 영역에 배치되고, 상기 제1 전극에 접속하는 제1 도전층; 및

상기 제1 도전층 상에 배치되고, 상기 발광 영역으로 연장되는 제2층을 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 도전층은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 및 티타늄 합금(Ti alloy) 중 적어도 하나를 포함하는 유기 발광 표시 장치.

청구항 3

발광 영역 및 비발광 영역으로 구분되는 베이스 기관;

제1 반도체 활성층, 제1 게이트 전극, 소스 전극 및 드레인 전극을 구비하며, 상기 비발광 영역에 배치되는 스위칭 박막 트랜지스터;

상기 스위칭 박막 트랜지스터를 커버하는 보호막;

상기 제1 보호막 상에 배치되고 상기 드레인 전극에 접속하는 제1 전극, 상기 제1 전극 상부에 배치되고, 상기 제1 전극과 동일한 층상에 배치되는 보조 전극, 상기 비발광 영역에서 상기 제1 전극과 접속하는 제2 전극, 상기 제2 전극 상에 배치되는 유기막, 및 상기 유기막 상에 배치되는 제3 전극을 포함하며, 상기 발광 영역에 배치되는 유기 발광 트랜지스터를 구비하고,

상기 제2 전극은

상기 비발광 영역에 배치되고, 상기 제1 전극에 접속하는 제1 도전층; 및

상기 제1 도전층 상에 배치되고, 상기 발광 영역으로 연장되는 제2 도전층을 포함하며,

상기 제2 도전층은 비발광 영역에서 상기 보조 전극에 접속하는 유기 발광 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 도전층은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 및 티타늄 합금(Ti alloy) 중 적어도 하나를 포함하는 유기 발광 표시 장치.

청구항 5

제 4항에 있어서,

상기 제2 도전층 및 상기 보조 전극의 콘택 횡수는 적어도 하나인 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 전압 강하 현상을 방지할 수 있는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 유기 발광 표시 장치는 기판, 상기 기판 상에 배치되는 박막 트랜지스터, 및 상기 박막 트랜지스터와 접속하여 유기막에서 광을 발생시키는 발광 소자를 구비한다. 상기 발광 소자는 화소 정의막에 의하여 일부가 노출된 애노드 전극 상에 상기 유기막이 배치되며, 상기 유기막 상에 캐소드 전극이 배치된 구조를 가진다. 상기 발광 소자는 정공(hole) 및 전자(electron)이 상기 애노드 전극 및 상기 캐소드 전극으로부터 상기 유기막으로 주입되고, 상기 전자와 상기 정공은 상기 유기막에서 재결합하여 여기자(exciton)를 생성한다. 상기 여기자는 여기 상태(excited state)로부터 기저(ground) 상태로 떨어질 때 방출되는 에너지를 광의 형태로 방출한다.

[0003] 한편, 상기 애노드 전극은 투명 도전성 물질을 포함하나, 상기 투명 도전성 물질의 저항은 금속 물질의 저항에 비하여 상대적으로 크다. 따라서, 상기 애노드 전극 내에서, 전압 강하(IR drop) 현상이 발생할 수 있다. 상기 전압 강하 현상에 의하여 상기 애노드 전극의 전압이 입력되는 부위에 가까운 영역과 먼 영역에서 전압 차이가 발생한다.

[0004] 상기 전압 차이에 의하여 상기 유기 발광 표시 장치의 발광 효율이 저하될 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 전압 강하 현상을 방지할 수 있는 유기 발광 표시 장치를 제공하는 데에 있다.

과제의 해결 수단

[0006] 본 발명의 일 목적을 달성하기 위한 유기 발광 표시 장치는 베이스 기판 상에 배치되는 스위칭 박막 트랜지스터 및 유기 발광 트랜지스터를 포함한다. 상기 베이스 기판은 발광 영역 및 비발광 영역으로 구분될 수 있다. 상기 스위칭 박막 트랜지스터는 제1 반도체 활성층, 제1 게이트 전극, 소스 전극 및 드레인 전극을 구비하며, 상기 비발광 영역에 배치될 수 있다. 상기 유기 발광 트랜지스터는 상기 발광 영역에 배치될 수 있다. 또한, 상기 유기 발광 트랜지스터는 상기 드레인 전극에 접속하는 제1 전극, 상기 제1 전극 상부에 배치되고, 상기 비발광 영역에서 상기 제1 전극과 접속하는 제2 전극, 상기 제2 전극 상에 배치되는 유기막, 및 상기 유기막 상에 배치되는 제3 전극을 포함할 수 있다. 여기서, 상기 제2 전극은 상기 비발광 영역에 배치되고, 상기 제1 전극에 접속하는 제1 도전층, 및 상기 제1 도전층 상에 배치되고, 상기 발광 영역으로 연장되는 제2층을 포함할 수 있다.

[0007] 상기 제1 도전층은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 및 티타늄 합금(Ti alloy) 중 적어도 하나를 포함할 수 있다.

[0008] 또한, 본 발명의 유기 발광 표시 장치는 베이스 기판 상에 배치되는 스위칭 박막 트랜지스터, 상기 스위칭 트랜지스터를 커버하는 보호막 및 유기 발광 트랜지스터를 포함한다. 상기 베이스 기판은 발광 영역 및 비발광 영역으로 구분될 수 있다. 상기 스위칭 박막 트랜지스터는 제1 반도체 활성층, 제1 게이트 전극, 소스 전극 및 드레인 전극을 구비하며, 상기 비발광 영역에 배치될 수 있다. 상기 유기 발광 트랜지스터는 상기 발광 영역에 배치될 수 있다. 또한, 상기 유기 발광 트랜지스터는 상기 제1 보호막 상에 배치되고 상기 드레인 전극에 접속하는 제1 전극, 상기 제1 전극 상부에 배치되고, 상기 제1 전극과 동일한 층상에 배치되는 보조 전극, 상기 비발광 영역에서 상기 제1 전극과 접속하는 제2 전극, 상기 제2 전극 상에 배치되는 유기막, 및 상기 유기막 상에 배치되는 제3 전극을 포함할 수 있다. 상기 제2 전극은 상기 비발광 영역에 배치되고, 상기 제1 전극에 접속하는 제1 도전층, 및 상기 제1 도전층 상에 배치되고, 상기 발광 영역으로 연장되는 제2 도전층을 포함하며, 상기 제2

도전층은 비발광 영역에서 상기 보조 전극에 접속할 수 있다.

[0009] 상기 제2 도전층 및 상기 보조 전극의 콘택 횟수는 적어도 하나일 수 있다.

발명의 효과

[0010] 상기와 같은 유기 발광 표시 장치는 상기 투명 전극이 비발광 영역에 배치되는 별도의 도전막을 포함하여, 상기 투명 전극의 전압 강하를 방지할 수 있다. 또한, 상기 유기 발광 표시 장치는 상기 비발광 영역에서 상기 투명 전극과 콘택할 수 있는 보조 전극을 구비하여, 상기 투명 전극에서 발생할 수 있는 전압 강하 현상을 방지할 수 있다.

[0011] 따라서, 유기 발광 표시 장치는 동일 화소 내에서 전압 강하 현상을 방지할 수 있으므로, 상기 유기 발광 표시 장치에서 생성된 영상의 표시 품질이 향상될 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소를 설명하기 위한 회로도이다.

도 2는 도 1에 도시된 유기 발광 표시 장치의 평면도이다.

도 3은 도 2의 I-I' 라인에 따른 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소를 설명하기 위한 평면도이다.

도 5는 도 4의 II-II' 라인에 따른 단면도이다.

도 6은 도 4의 III-III' 라인에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0014] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0015] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0016] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

[0017] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소를 설명하기 위한 회로도이며, 도 2는 도 1에 도시된 유기 발광 표시 장치의 평면도이며, 도 3은 도 2의 I-I' 라인에 따른 단면도이다.

[0018] 도 1 내지 도 3을 참조하면, 유기 발광 표시 장치는 적어도 하나의 화소를 구비하며, 상기 화소는 데이터 라인(DL), 스캔 라인(SL) 및 전원 공급 라인(VL)과 각각 전기적으로 연결될 수 있다. 상기 화소(PX)는 스위칭 박막 트랜지스터(TRs), 캐패시터(Cst) 및 유기 발광 트랜지스터(Organic light-emitting transistor, OLET)를 포함할 수 있다. 또한, 상기 화소는 발광 영역(LEA) 및 비발광 영역(NLEA)으로 구분될 수 있다. 여기서, 상기 유기 발광 트랜지스터(OLET)는 상기 발광 영역(LEA)에 배치될 수 있다. 상기 데이터 라인(DL), 상기 스캔 라인(SL), 상기 전원 공급 라인(VL), 상기 스위칭 박막 트랜지스터(TRs), 및 상기 캐패시터(Cst)는 모두 상기 비발광 영역

(NLEA)에 배치될 수 있다.

- [0019] 상기 데이터 라인(DL) 및 상기 스캔 라인(SL)은 서로 다른 방향으로 연장되고, 교차할 수 있다. 상기 전원 공급 라인(VL)은 상기 데이터 라인(DL)과 평행하게 연장될 수 있다.
- [0020] 상기 스위칭 박막 트랜지스터(TRs) 및 상기 유기 발광 트랜지스터(OLET)는 상기 데이터 라인(DL) 및 스캔 라인(SL)에 접속할 수 있다. 상기 스위칭 박막 트랜지스터(TRs)는 베이스 기판(100) 상에 배치된 반도체 활성층(SA), 상기 제1 반도체 활성층(SA)에 절연된 제1 게이트 전극(GE), 및 상기 제1 반도체 활성층(SA)에 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 구비한다.
- [0021] 이를 보다 상세히 설명하면, 상기 베이스 기판(100)은 투명 절연 물질을 포함하여 광의 투과가 가능하다. 또한, 상기 베이스 기판은 리지드 타입(Rigid type) 기판일 수 있으며, 플렉서블 타입(Flexible type)일 수도 있다. 상기 리지드 타입의 기판은 유리 기판, 석영 기판, 유리 세라믹 기판 및 결정질 유리 기판 중 하나일 수 있다. 상기 플렉서블 타입의 기판은 고분자 유기물을 포함하는 필름 기판 및 플라스틱 기판 중 하나일 수 있다. 상기 베이스 기판에 적용되는 물질은 제조 공정시 높은 처리 온도에 대해 저항성(또는 내열성)을 갖는 것이 바람직하다.
- [0022] 상기 제1 반도체 활성층(SA)은 비정질 실리콘(a-Si), 다결정 실리콘(p-Si) 및 산화물 반도체 중 어느 하나를 포함할 수 있다. 또한, 상기 제1 반도체 활성층(SA)에서, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)과 접속하는 영역은 불순물이 도핑 또는 주입된 소스 영역 및 드레인 영역일 수 있다. 상기 소스 영역 및 상기 드레인 영역 사이의 영역은 채널 영역일 수 있다. 여기서, 상기 산화물 반도체는 Zn, In, Ga, Sn 및 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 예를 들면, 상기 산화물 반도체는 IGZO(Indium-Gallium-Zinc Oxide)를 포함할 수 있다.
- [0023] 한편, 도면 상에는 도시하지 않았으나, 상기 제1 반도체 활성층(SA)이 산화물 반도체를 포함하는 경우, 상기 산화물 제1 반도체 활성층(SA)의 상부 및 하부에 상기 산화물 제1 반도체 활성층(SA)으로 유입되는 광을 차단하기 위한 광 차단막을 배치할 수도 있다.
- [0024] 상기 제1 반도체 활성층(SA) 및 상기 베이스 기판(100) 사이에는 버퍼층(110)이 배치될 수 있다. 상기 버퍼층(110)은 실리콘 산화막 및 실리콘 질화막 중 어느 하나일 수 있으며, 상기 실리콘 산화막 및 상기 실리콘 질화막을 포함하는 다중막 구조일 수 있다. 상기 버퍼층(110)은 상기 제1 반도체 활성층(SA)으로 불순물이 확산되는 것을 방지하고, 수분 및 산소의 침투를 방지할 수 있다. 또한, 상기 버퍼층(110)은 상기 베이스 기판(100)의 표면을 평탄화할 수 있다.
- [0025] 상기 제1 반도체 활성층(SA) 및 상기 베이스 기판(100) 상에는 상기 제1 반도체 활성층(SA)을 커버하여, 상기 제1 반도체 활성층(SA) 및 상기 제1 게이트 전극(GE)을 절연시키는 게이트 절연막(120)이 배치된다. 상기 게이트 절연막(120)은 실리콘 산화물(SiO_2) 및 실리콘 질화물(SiN_x) 중 적어도 하나를 포함한다.
- [0026] 상기 게이트 절연막(120) 및 상기 제1 게이트 전극(GE) 상에는 층간 절연막(130)이 배치될 수 있다. 상기 층간 절연막(130)은 상기 게이트 절연막(120)과 같이 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 또한, 상기 층간 절연막(130)은 상기 제1 반도체 활성층(SA)의 상기 소스 영역 및 상기 드레인 영역의 일부를 노출시킬 수 있다.
- [0027] 상기 층간 절연막(130) 상에는 상기 소스 전극(SE) 및 상기 드레인 전극(DE)이 배치된다. 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 상기 층간 절연막에 의해 상기 제1 게이트 전극(GE)과 절연될 수 있다. 또한, 상기 소스 전극(SE) 및 상기 드레인 전극(DE)은 상기 소스 영역 및 상기 드레인 영역과 접속한다.
- [0028] 한편, 본 실시예에서는 상기 스위칭 박막 트랜지스터(TRs)가 탑 게이트(top gate) 구조의 박막 트랜지스터인 경우를 예로서 설명하였으나, 이에 한정되는 것은 아니다. 예를 들면, 상기 스위칭 박막 트랜지스터(TRs)는 바텀 게이트 구조의 박막 트랜지스터일 수 있다.
- [0029] 상기 스위칭 박막 트랜지스터(TRs)가 배치된 상기 베이스 기판(100) 상에는 제1 보호막(140)이 배치될 수 있다. 상기 제1 보호막(140)은 적어도 하나의 막을 포함할 수 있다. 예를 들면, 상기 제1 보호막(140)은 무기 보호막 및 상기 무기 보호막 상에 배치되는 유기 보호막을 포함할 수 있다. 상기 무기 보호막은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 또한, 상기 유기 보호막은 아크릴(Acryl), PI(Polyimide), PA(Polyamide) 및 BCB(Benzocyclobutene) 중 어느 하나를 포함할 수 있다. 즉, 상기 유기 보호막은 투명하고, 유연성이 있어 하부 구조의 굴곡을 완화시켜 평탄화시킬 수 있는 평탄화막일 수 있다. 또한, 상기 제1 보호막

(140)의 일부는 제거되어, 상기 드레인 전극(DE)의 일부를 노출시킬 수 있다.

- [0030] 상기 제1 보호막(140) 상의 상기 발광 영역(LEA)에는 컬러 필터(CF)가 배치될 수 있다. 상기 컬러 필터(CF)는 적색(red), 녹색(green), 및 청색(blue) 중 하나의 색상을 가질 수 있다. 한편, 상기 유기 발광 트랜지스터(OLET)에서 생성되는 광이 백색 광이 아닌 경우, 상기 컬러 필터(CF)는 생략될 수도 있다.
- [0031] 상기 제1 보호막(140) 및 상기 컬러 필터(CF) 상에는 제2 보호막(150)이 배치될 수 있다. 상기 제2 보호막(150)의 일부는 제거되어, 상기 드레인 전극(DE)의 일부를 노출시킬 수 있다. 상기 제2 보호막(150)은 상기 제1 보호막(140)과 같이, 무기 보호막 및 상기 무기 보호막 상에 배치되는 유기 보호막을 포함할 수 있다.
- [0032] 상기 제2 보호막(150) 상에는 상기 유기 발광 트랜지스터(OLET)가 배치될 수 있다. 상기 유기 발광 트랜지스터(OLET)는 제1 전극(E1), 제2 전극(E2), 유기막(OL), 및 제3 전극(E3)을 포함할 수 있다.
- [0033] 이를 보다 상세히 설명하면, 상기 제1 전극(E1)은 상기 제2 보호막(150) 상에 배치될 수 있다. 상기 제1 전극(E1)은 상기 드레인 전극(DE)과 접촉하고, 상기 발광 영역(LEA)으로 연장된 형상을 가질 수 있다. 또한, 상기 제1 전극(E1)은 광 투과를 위하여 투명 도전성 산화물을 포함할 수 있다.
- [0034] 상기 제1 전극(E1) 상에는, 상기 비발광 영역(NLEA)에서 상기 제1 전극(E1)의 일부를 노출시킬 수 있는 제3 보호막(160)이 배치될 수 있다. 여기서, 상기 제1 전극(E1) 중 상기 제3 보호막(160)이 노출시키는 영역은 상기 드레인 전극(DE) 및 상기 제1 전극(E1)이 접촉하는 영역과 중첩될 수 있다. 또한, 상기 제3 보호막(160)은 상기 제1 보호막(140) 및 상기 제2 보호막(150)과 같이, 무기 보호막 및 상기 무기 보호막 상에 배치되는 유기 보호막을 포함할 수 있다.
- [0035] 상기 제3 보호막(160) 상에는 상기 제1 전극(E1)과 접촉하는 제2 전극(E2)이 배치될 수 있다. 상기 제2 전극(E2)은 상기 제1 전극(E1)과 접촉하는 제1 도전층(E21), 및 상기 제1 도전층(E21) 상에 배치되는 제2 도전층(E22)을 포함할 수 있다.
- [0036] 상기 제1 도전층(E21)은 도전성이 우수한 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 및 티타늄 합금(Ti alloy) 중 적어도 하나를 포함할 수 있다. 여기서, 상기 유기 발광 트랜지스터(OLET)가 배면 발광인 경우, 상기 제1 도전층(E21)은 상기 유기막(OL)에서 생성되는 광의 투과를 위하여, 상기 비발광 영역(NLEA)에 한정하여 배치될 수 있다.
- [0037] 상기 제2 도전층(E22)은 상기 제1 도전층(E21) 상에 배치되며, 상기 발광 영역(LEA)으로 연장될 수 있다. 또한, 상기 제2 도전층(E22)은 상기 제3 전극(E3)에 비하여 일함수가 높은 투명 도전성 산화물을 포함할 수 있다. 예를 들면, 상기 제2 도전층(E22)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(aluminum Zinc Oxide), GZO(gallium doped zinc oxide), ZTO(zinc tin oxide), GTO(Gallium tin oxide) 및 FTO(fluorine doped tin oxide) 중 어느 하나를 포함할 수 있다.
- [0038] 화소 정의막(PDL)에 의하여, 상기 발광 영역(LEA)의 상기 제2 도전층(E22)은 노출될 수 있다. 상기 화소 정의막(PDL)은 유기 절연 물질을 포함할 수 있다. 예를 들면, 상기 화소 정의막(PDL)은 폴리스티렌(polystyrene), 폴리메틸메타아크릴레이트(PMMA), 폴리아크릴로니트릴(PAN), 폴리아미드(polyamide), 폴리이미드(polyimide), 폴리아릴에테르(polyarylether), 헤테로사이클릭 폴리머(heterocyclic polymer), 파릴렌(parylene), 불소계 고분자, 에폭시 수지(epoxy resin), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 실록세인계 수지(siloxane series resin) 및 실란 수지(silane) 중 적어도 하나를 포함할 수 있다.
- [0039] 상기 화소 정의막(PDL)에 의하여 노출된 상기 제2 도전층(E22) 상에는 유기막(OL)이 배치될 수 있다. 상기 유기막(OL)은 적어도 발광층(EML)을 포함하며, 일반적으로 다층 박막 구조를 가질 수 있다. 예를 들면, 상기 유기막(OL)은 정공을 주입하는 정공 주입층(hole injection layer, HIL), 정공의 수송성이 우수하고 상기 발광층(emitting layer, EML)에서 결합하지 못한 전자의 이동을 억제하여 정공과 전자의 재결합 기회를 증가시키기 위한 정공 수송층(hole transport layer, HTL), 주입된 전자와 정공의 재결합에 의하여 광을 발하는 상기 발광층(EML), 상기 발광층(EML)에서 결합하지 못한 정공의 이동을 억제하기 위한 정공 억제층(hole blocking layer, HBL), 전자를 상기 발광층(EML)으로 원활히 수송하기 위한 전자 수송층(electron transport layer, ETL), 및 전자를 주입하는 전자 주입층(electron injection layer, EIL)을 구비할 수 있다. 한편, 상기 발광층에서 생성되는 광의 색상은 적색(red), 녹색(green), 청색(blue) 및 백색(white) 중 어느 하나일 수 있으나, 본 실시예에서 이를 한정하는 것은 아니다. 예를 들어, 상기 유기막(OL)의 상기 발광층에서 생성되는 광의 색상은 마젠타(magenta), 시안(cyan), 옐로(yellow) 중 어느 하나일 수 있다.

- [0040] 상기 유기막(OL) 상에는 상기 제3 전극(E3)이 배치될 수 있다. 상기 제3 전극(E3)은 상기 제1 도전층(E21)에 비하여 일함수가 작은 물질, 예를 들면, Mo, W, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 및 이들의 합금 중 적어도 하나를 포함할 수 있다. 또한, 상기 제3 전극(E3) 상에는 상기 제3 전극(E3)의 상기 전압 강하(IR-drop)를 방지하기 위한 도전막(미도시)을 더 포함할 수 있다.
- [0041] 상기와 같은 유기 발광 표시 장치는 상기 제2 전극(E2)의 제1 도전층(E21)이 상기 제1 전극(E1)과 접속하고, 상기 제1 도전층(E21) 상에 상기 제2 도전층(E22)이 배치되므로, 상기 제2 도전층(E22)에서의 전압 강하 현상을 방지할 수 있다.
- [0042] 이하, 도 4 내지 도 6을 통하여 본 발명의 다른 실시예를 설명한다. 도 4 내지 도 6에 있어서, 도 1 내지 도 3에 도시된 구성 요소와 동일한 구성 요소는 동일한 참조번호를 부여하고, 그에 대한 구체적인 설명은 생략한다. 또한, 도 4 내지 도 6에서는 중복된 설명을 피하기 위하여 도 1 내지 도 3과 다른 점을 위주로 설명한다.
- [0043] 도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소를 설명하기 위한 평면도이며, 도 5는 도 4의 II-II' 라인에 따른 단면도이며, 도 6은 도 4의 III-III' 라인에 따른 단면도이다.
- [0044] 도 4 내지 도 6을 참조하면, 유기 발광 표시 장치의 화소는 데이터 라인(DL), 스캔 라인(SL) 및 전원 공급 라인(VL)과 각각 전기적으로 연결될 수 있다. 상기 화소(PX)는 스위칭 박막 트랜지스터(TRs), 캐패시터(Cst) 및 유기 발광 트랜지스터(OLET)를 포함할 수 있다. 또한, 상기 화소는 발광 영역(LEA) 및 비발광 영역(NLEA)으로 구분될 수 있다. 여기서, 상기 유기 발광 트랜지스터(OLET)는 상기 발광 영역(LEA)에 배치될 수 있다.
- [0045] 상기 스위칭 박막 트랜지스터(TRs) 및 상기 유기 발광 트랜지스터(OLET)는 상기 데이터 라인(DL) 및 스캔 라인(SL)에 접속할 수 있다. 상기 스위칭 박막 트랜지스터(TRs)는 베이스 기판(100) 상에 배치된 반도체 활성층(SA), 상기 제1 반도체 활성층(SA)에 절연된 제1 게이트 전극(GE), 및 상기 제1 반도체 활성층(SA)에 접속하는 소스 전극(SE) 및 드레인 전극(DE)을 구비한다.
- [0046] 상기 스위칭 박막 트랜지스터(TRs)가 배치된 상기 베이스 기판(100) 상에는 제1 보호막(140)이 배치될 수 있다. 또한, 상기 제1 보호막(140)의 일부는 제거되어, 상기 드레인 전극(DE)의 일부를 노출시킬 수 있다.
- [0047] 상기 제1 보호막(140) 상의 상기 발광 영역(LEA)에는 컬러 필터(CF)가 배치될 수 있다. 상기 컬러 필터(CF)는 적색(red), 녹색(green), 및 청색(blue) 중 하나의 색상을 가질 수 있다.
- [0048] 상기 제1 보호막(140) 및 상기 컬러 필터(CF) 상에는 제2 보호막(150)이 배치될 수 있다. 상기 제2 보호막(150)의 일부는 제거되어, 상기 드레인 전극(DE)의 일부를 노출시킬 수 있다.
- [0049] 상기 제2 보호막(150) 상에는 상기 유기 발광 트랜지스터(OLET) 및 보조 전극(E11)이 배치될 수 있다. 상기 유기 발광 트랜지스터(OLET)는 제1 전극(E1), 제2 전극(E2), 유기막(OL), 및 제3 전극(E3)을 포함한다.
- [0050] 이를 보다 상세히 설명하면, 상기 제1 전극(E1)은 상기 제2 보호막(150) 상에 배치될 수 있다. 상기 제1 전극(E1)은 상기 드레인 전극(DE)과 접속하고, 상기 발광 영역(LEA)으로 연장된 형상을 가질 수 있다. 상기 보조 전극(E11)은 상기 제1 전극(E1)과 동일하게, 상기 제2 보호막(150) 상에 배치되고, 상기 비발광 영역(NLEA)에 배치될 수 있다.
- [0051] 상기 제1 전극(E1) 및 상기 보조 전극(E11) 상에는, 상기 비발광 영역(NLEA)에서 상기 제1 전극(E1) 및 상기 보조 전극(E11) 각각의 일부를 노출시킬 수 있는 제3 보호막(160)이 배치될 수 있다. 여기서, 상기 제1 전극(E1) 중 상기 제3 보호막(160)이 노출시키는 영역은 상기 드레인 전극(DE) 및 상기 제1 전극(E1)이 접속하는 영역과 중첩될 수 있다. 또한, 상기 보조 전극(E11) 중 상기 제3 보호막(160)이 노출시키는 영역의 수는 상기 비발광 영역(NLEA)에서 적어도 하나일 수 있다.
- [0052] 상기 제3 보호막(160) 상에는 상기 제1 전극(E1)과 접속하는 제2 전극(E2)이 배치될 수 있다. 상기 제2 전극(E2)은 상기 제1 전극(E1)과 접속하는 제1 도전층(E21), 및 상기 제1 도전층(E21) 상에 배치되는 제2 도전층(E22)을 포함할 수 있다.
- [0053] 상기 제1 도전층(E21)은 도전성이 우수한 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 및 티타늄 합금(Ti alloy) 중 적어도 하나를 포함할 수 있다.
- [0054] 상기 제2 도전층(E22)은 상기 제1 도전층(E21) 상에 배치되며, 상기 발광 영역(LEA)으로 연장될 수 있다. 또한, 상기 제2 도전층(E22)은 상기 보조 전극(E11)과 접속할 수 있으며, 상기 제2 도전층(E22) 및 상기 보조 전극

(E11) 사이의 콘택 횡수는 적어도 하나일 수 있다.

[0055] 상기 제2 도전층(E22)은 화소 정의막(PDL)에 의하여 일부가 노출될 수 있으며, 노출된 상기 제2 도전층(E22) 상에는 유기막(OL)이 배치될 수 있다. 상기 유기막(OL)은 적어도 발광층(EML)을 포함하며, 일반적으로 다층 박막 구조를 가질 수 있다.

[0056] 상기 유기막(OL) 상에는 상기 제3 전극(E3)이 배치될 수 있다. 상기 제3 전극(E3)은 상기 제1 도전층(E21)에 비하여 일함수가 작은 물질을 포함할 수 있다.

[0057] 상기과 같이, 상기 제2 전극(E2)은 상기 비발광 영역에 배치된 상기 제1 도전층(E21)을 구비하고, 상기 제2 도전층(E22)은 상기 비발광 영역(NLEA)에서 상기 보조 전극(E11)과 콘택 할 수 있다. 따라서, 상기 제2 도전층(E22)으로 인가되는 전원 공급 지점이 다양화될 수 있으므로, 상기 제2 도전층(E22)에서의 전압 강하 현상을 방지할 수 있다.

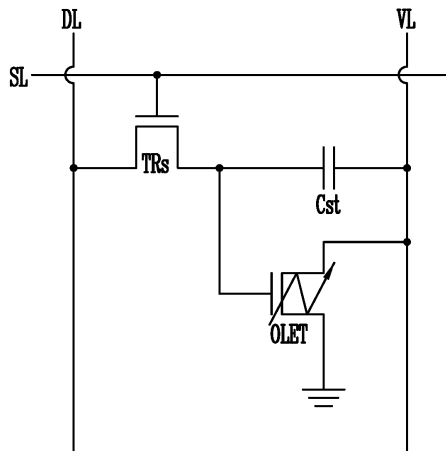
[0058] 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한, 전술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 전술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한, 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

부호의 설명

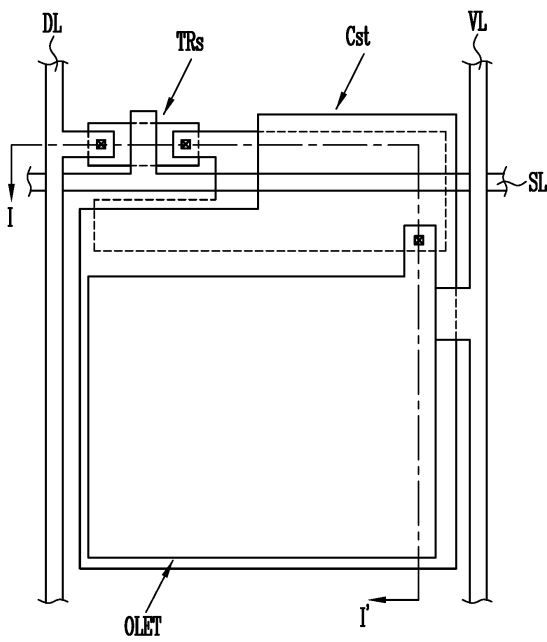
[0059]	100; 베이스 기판	110; 버퍼층
	120; 게이트 절연막	130; 층간 절연막
	140; 제1 보호막	150; 제2 보호막
	160; 제3 보호막	DL; 데이터 라인
	SL; 스캔 라인	VL; 전원 공급 라인
	TRs; 스위칭 박막 트랜지스터	Cst; 캐패시터
	OLET; 유기 발광 트랜지스터	SA; 반도체 활성층
	GE; 게이트 전극	SE; 소스 전극
	DE; 드레인 전극	LEA; 발광 영역
	NLEA; 비발광 영역	E1; 제1 전극
	E11; 보조 전극	E2; 제2 전극
	E21; 제1 도전층	E22; 제2 도전층
	E3; 제3 전극	OL; 유기막

도면

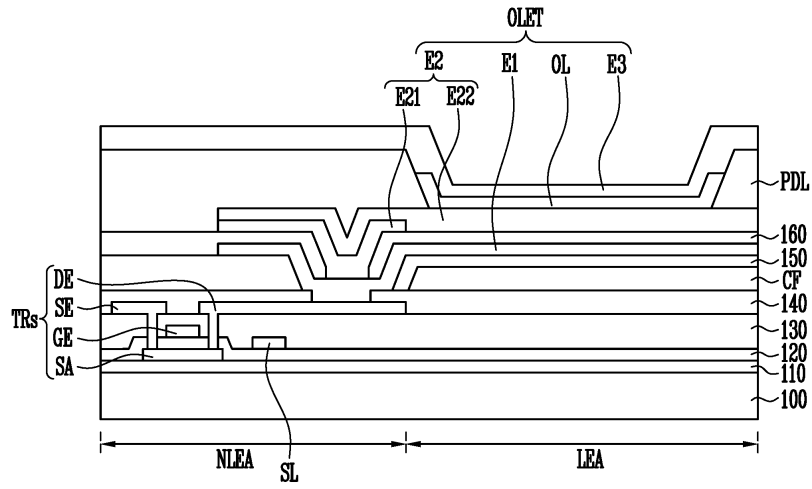
도면1



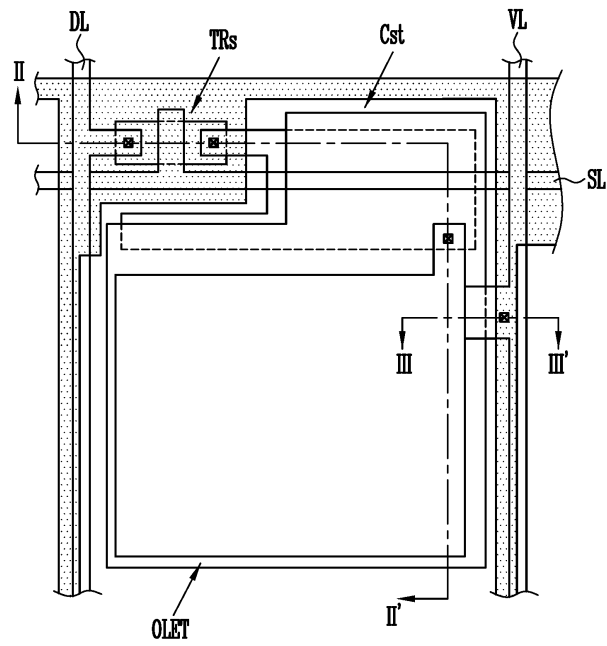
도면2



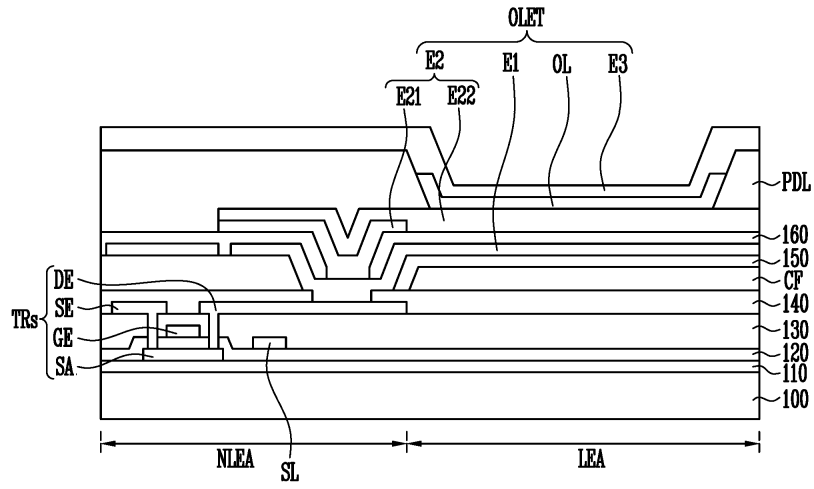
도면3



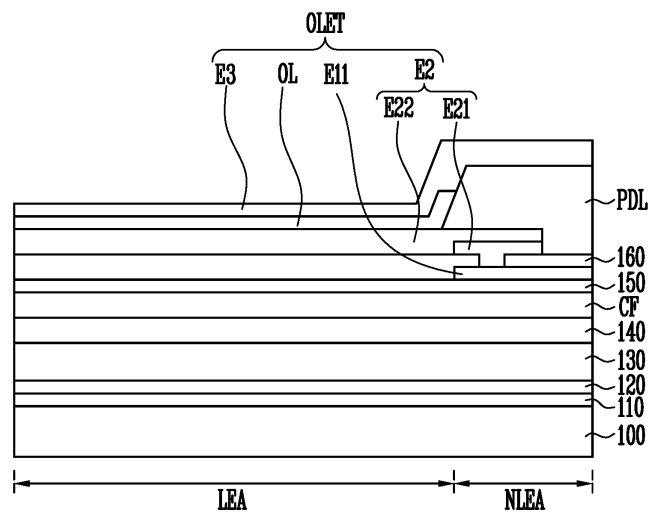
도면4



도면5



도면6



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020150046489A	公开(公告)日	2015-04-30
申请号	KR1020130125776	申请日	2013-10-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HYUNTAE KIM		
发明人	HYUNTAE KIM		
IPC分类号	H01L51/52 H01L51/05 H05B33/26		
CPC分类号	H01L51/5203 H01L51/0504 H01L51/5253 H05B33/26		
代理人(译)	康SIN SEOB 永和的月亮 LEE , YONGWOO		
外部链接	Espacenet		

摘要(译)

有机发光显示器包括开关薄膜晶体管和设置在基底基板上的有机发光晶体管。基础衬底可以分为发光区域和非发光区域。开关薄膜晶体管包括第一半导体有源层，第一栅电极，源电极和漏电极并且可以设置在非发射区域中。有机发光晶体管可以设置在发光区域中。有机发光晶体管包括连接到漏电极的第一电极，设置在第一电极上方的第二电极，连接到非发光区域中的第一电极的第二电极，设置在第二电极上的有机层和设置在有机层上的第三电极。第二电极包括：第一导电层，设置在非发光区域中并连接到第一电极;第二层，设置在第一导电层上并延伸到发光区域可以。

