



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0136913
(43) 공개일자 2014년12월01일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2014-7008519

(22) 출원일자(국제) 2013년06월26일

심사청구일자 2014년03월31일

(85) 번역문제출일자 2014년03월31일

(86) 국제출원번호 PCT/CN2013/077965

(87) 국제공개번호 WO 2014/172992

국제공개일자 2014년10월30일

(30) 우선권주장

201310150519.3 2013년04월26일 중국(CN)

(71) 출원인

보에 테크놀로지 그룹 컴퍼니 리미티드

중국 베이징 100016, 차오양 디스트릭트, 지우시
양치야오 로드 10호

(72) 발명자

우, 종위엔

중국 100176 베이징 비디에이 디저로드 9호

두안, 리이에

중국 100176 베이징 비디에이 디저로드 9호

(74) 대리인

장수길, 김성운, 백만기

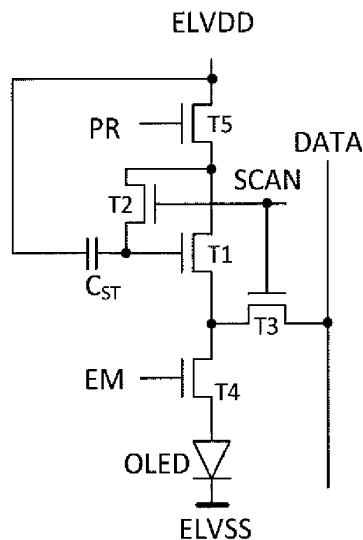
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 픽셀 유닛 회로, 그 보상 방법, 및 디스플레이 디바이스

(57) 요약

픽셀 유닛 회로, 그 보상 방법, 및 디스플레이 디바이스. 픽셀 유닛 회로는 구동 트랜지스터(T1), 제1 트랜지스터(T2), 제2 트랜지스터(T3), 제3 트랜지스터(T4), 제4 트랜지스터(T5), 저장 커패시터(C_{ST}), 및 발광 다비오드(OLED)를 포함한다. 픽셀 유닛 회로, 그 보상 방법, 및 디스플레이 디바이스는 내부 보상과 외부 보상을 결합함으로써 발광 디바이스를 보상할 수 있고, 내부 보상과 외부 보상 양쪽 모두의 이점들을 가질 수 있다. N-타입 공핍형 또는 강화형 구동 트랜지스터 TFT에서 임계 전압들의 비균일성 또는 임계 전압의 드리프트에 의해 일어나는 무라 현상은 내부 보상에 의해 효과적으로 제거될 수 있으며, 이로써 디스플레이 효과가 향상될 수 있다. 추가적으로, 픽셀 유닛 회로, 그 보상 방법, 및 디스플레이 디바이스는 구동 TFT의 특성들 및 발광 디바이스의 특성들을 추출하는 기능을 가질 수 있는데, 이는 외부 보상 구동에 효과적으로 적용될 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

구동 트랜지스터, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 저장 커패시터, 및 발광 디바이스를 포함하는 픽셀 유닛 회로로서,

상기 구동 트랜지스터의 드레인은 상기 제4 트랜지스터의 소스와 연결되고, 상기 구동 트랜지스터의 소스는 상기 제3 트랜지스터의 드레인과 연결되고, 상기 구동 트랜지스터의 게이트는 상기 저장 커패시터의 제1 단자 및 상기 제1 트랜지스터의 소스와 연결되고;

상기 제1 트랜지스터의 드레인은 상기 제4 트랜지스터의 소스와 연결되고, 상기 제1 트랜지스터의 소스는 상기 구동 트랜지스터의 게이트와 연결되고, 상기 제1 트랜지스터의 게이트는 스캔 제어 신호 라인과 연결되고;

상기 제2 트랜지스터의 드레인은 데이터 라인과 연결되고, 상기 제2 트랜지스터의 소스는 상기 구동 트랜지스터의 소스 및 상기 제3 트랜지스터의 드레인과 연결되고, 상기 제2 트랜지스터의 게이트는 상기 스캔 제어 신호 라인과 연결되고;

상기 제3 트랜지스터의 드레인은 상기 구동 트랜지스터의 소스와 연결되고, 상기 제3 트랜지스터의 소스는 상기 발광 디바이스의 애노드와 연결되고, 상기 제3 트랜지스터의 게이트는 발광 제어 신호 라인과 연결되고;

상기 제4 트랜지스터의 드레인은 제1 전원 전압과 연결되고, 상기 제4 트랜지스터의 소스는 상기 구동 트랜지스터의 드레인 및 상기 제1 트랜지스터의 드레인과 연결되고, 상기 제4 트랜지스터의 게이트는 프리차징 제어 신호 라인과 연결되고;

상기 저장 커패시터의 제1 단자는 상기 구동 트랜지스터의 게이트와 연결되고, 상기 저장 커패시터의 제2 단자는 상기 제1 전원 전압과 연결되고;

상기 발광 디바이스의 캐소드는 제2 전원 전압과 연결되는, 픽셀 유닛 회로.

청구항 2

제1항에 있어서, 상기 발광 디바이스는 유기 발광 다이오드 디바이스인, 픽셀 유닛 회로.

청구항 3

제1항에 기재된 상기 픽셀 유닛 회로를 위한 보상 방법으로서,

발광 디바이스의 동작 스테이지에 따라 보상 방식을 선택하는 단계 - 상기 보상 방식은 내부 보상 방식과 외부 보상 방식을 포함함 - ;

상기 발광 디바이스가 정상적으로 발광하는 동작 스테이지에 있으면, 상기 내부 보상 방식으로 상기 발광 디바이스를 보상하는 단계; 및

상기 발광 디바이스가 패널 리셋 동작 스테이지 또는 프레임 간의 또는 행 간의 비가동(idle) 디스플레이 동작 스테이지에 있으면, 상기 외부 보상 방식을 이용하여 상기 발광 디바이스를 보상하는 단계를 포함하는, 보상 방법.

청구항 4

제3항에 있어서, 상기 내부 보상 방식으로 상기 발광 디바이스를 보상하는 단계는,

상기 구동 트랜지스터를 프리차징하는 단계;

상기 구동 트랜지스터에 대해 전압 보상 또는 전류 보상을 수행하는 단계; 및

상기 발광 디바이스가 발광을 유지하도록 상기 발광 디바이스에 대해 전압 보상 또는 전류 보상을 수행하는 단계를 더 포함하는, 보상 방법.

청구항 5

제4항에 있어서, 상기 구동 트랜지스터를 프리차징하는 상기 단계는,
 발광 제어 신호를 저레벨로 설정하여 상기 제3 트랜지스터를 턴오프하는 단계;
 프리차징 제어 신호를 고레벨로 설정하여 상기 제4 트랜지스터를 턴온하는 단계;
 스캔 제어 신호를 고레벨로 설정하여 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온하는 단계; 및
 상기 구동 트랜지스터의 소스의 전압이 데이터 라인 상의 전압(V_{DATA})이 되도록 하는 단계를 더 포함하는, 보상 방법.

청구항 6

제4항에 있어서, 상기 구동 트랜지스터에 대해 전압 보상 또는 전류 보상을 수행하는 상기 단계는,
 발광 제어 신호를 저레벨로 설정하여 상기 제3 트랜지스터를 턴오프하는 단계;
 프리차징 제어 신호를 저레벨로 설정하여 상기 제4 트랜지스터를 턴오프하는 단계;
 스캔 제어 신호를 고레벨로 설정하여 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온하는 단계; 및
 상기 구동 트랜지스터의 게이트의 전압이 $V_{DATA}+V_{thn}$ 가 되도록 하는 단계를 더 포함하며,
 여기서 V_{DATA} 는 데이터 라인 상의 전압이고, V_{thn} 는 상기 구동 트랜지스터의 임계 전압인, 보상 방법.

청구항 7

제4항에 있어서, 상기 발광 디바이스가 발광을 유지하도록 상기 발광 디바이스에 대해 전압 보상 또는 전류 보상을 수행하는 상기 단계는,
 발광 제어 신호를 고레벨로 설정하여 상기 제3 트랜지스터를 턴온하는 단계;
 프리차징 제어 신호를 고레벨로 설정하여 상기 제4 트랜지스터를 턴온하는 단계;
 스캔 제어 신호를 저레벨로 설정하여 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴오프하는 단계; 및
 상기 구동 트랜지스터를 통해 상기 발광 디바이스에 입력된 전류(I_{OLED})는 다음의 수식:

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

과 같이 되도록 하는 단계를 더 포함하며,

여기서 μ_n 는 캐리어의 이동성이고, C_{OX} 는 게이트에 있는 산화물층의 저장 커패시터의 커패시턴스 값이고,
 $\frac{W}{L}$ 는 상기 구동 트랜지스터의 폭-길이 비이고, V_{DATA} 는 데이터 라인 상의 전압이고, V_{OLED} 는 상기 발광 디바이스의 애노드의 전압인, 보상 방법.

청구항 8

제3항에 있어서, 상기 외부 보상 방식을 이용하여 상기 발광 디바이스를 보상하는 상기 단계는,
 상기 구동 트랜지스터로부터 전류를 추출하는 단계;
 상기 발광 디바이스로부터 전류를 추출하는 단계; 및
 상기 구동 트랜지스터 또는 상기 발광 디바이스로부터 추출된 전류를 검출하고, 상기 검출된 전류의 값에 따라 상기 발광 디바이스에 대해 전압 보상 또는 전류 보상을 수행하는 단계를 더 포함하는, 보상 방법.

청구항 9

제8항에 있어서, 상기 구동 트랜지스터로부터 전류를 추출하는 상기 단계는,

발광 제어 신호를 저레벨로 설정하여 상기 제3 트랜지스터를 턴오프하는 단계;

프리차징 제어 신호를 고레벨로 설정하여 상기 제4 트랜지스터를 턴온하는 단계;

스캔 제어 신호를 고레벨로 설정하여 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온하는 단계; 및

상기 발광 디바이스의 전류가 데이터 라인에 입력되는 것을 막으면서 상기 구동 트랜지스터의 전류가 상기 데이터 라인에 입력될 수 있게 하는 단계를 더 포함하는, 보상 방법.

청구항 10

제9항에 있어서, 상기 발광 디바이스로부터 전류를 추출하는 상기 단계는,

상기 발광 제어 신호를 고레벨로 설정하여 상기 제3 트랜지스터를 턴온하는 단계;

상기 프리차징 제어 신호를 저레벨로 설정하여 상기 제4 트랜지스터를 턴오프하는 단계;

상기 스캔 제어 신호를 고레벨로 설정하여 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온하는 단계; 및

상기 구동 트랜지스터의 전류가 상기 데이터 라인에 입력되는 것을 막으면서 상기 발광 디바이스의 전류가 상기 데이터 라인에 입력될 수 있게 하는 단계를 더 포함하는, 보상 방법.

청구항 11

제3항 내지 제10항 중 어느 한 항에 있어서, 상기 발광 디바이스는 유기 발광 다이오드 디바이스인, 보상 방법.

청구항 12

제1항 또는 제2항의 픽셀 유닛 회로를 포함하는 디스플레이 디바이스.

명세서

기술 분야

[0001] 본 발명은 디스플레이 기술 분야에 관한 것으로서, 더 상세하게는 픽셀 유닛 회로, 그 보상 방법, 및 디스플레이 디바이스에 관한 것이다.

배경 기술

[0002] 전류 타입의 발광 디바이스로서, 유기 발광 다이오드(OLED)는 고성능의 디스플레이 디바이스에 널리 사용되고 있다. 통상적인 패시브 매트릭스 OLED는 디스플레이 사이즈가 증가함에 따라 단일 픽셀에 대한 더 짧은 구동 시간을 요구하는데, 이에 따라 과도 전류(transient current)가 증가되어야 하고, 전력 소비가 증가한다. 또한, 큰 전류의 인가는 나노미터의 인듐 주석 산화물(ITO)의 라인 상에서 지나치게 큰 전압 강하를 초래하고 OLED의 지나치게 높은 동작 전압을 일으킴으로써 결국 그 효율을 감소시킬 수 있다. 이와 비교하여, 액티브 매트릭스 OLED(AMOLED)는 스위칭 트랜지스터를 통해 입력 OLED 전류들을 계속적으로 스캔함으로써 이들 문제를 완벽하게 해결할 수 있다.

[0003] AMOLED의 어레이 기판을 위한 설계에서, 해결될 필요가 있는 주요한 문제점은 픽셀 유닛 회로들 간의 밝기(brightness)의 비균일성(non-uniformity)이다.

[0004] 우선, AMOLED는 박막 트랜지스터(TFT)를 이용하여 픽셀 유닛 회로를 구성하여 OLED 디바이스에 대응 전류를 제공한다. 종래 기술에서는, 저온 폴리실리콘 TFT(LTPS TFT) 또는 산화물 TFT가 일반적으로 사용된다. 일반적인 비정질-Si TFT와 비교할 때, LTPS TFT 및 산화물 TFT는 더 높은 이동성(mobility) 및 더 나은 안정성을 가지며, AMOLED 디스플레이에 적용하기에 더 적절하다. 그러나, 결정화 공정의 한계 때문에, 대면적을 갖는 유리 기판에 LTPS TFT들을 제조하는 동안, 임계 전압, 이동도 등과 같은 전기적 파라메타가 불균일한 결함을 가진다. 이러한 비균일성은 OLED 디스플레이 디바이스 사이에 전류 차이 및 밝기 차이로서 변형될 수 있고, 관찰자에 의해 지각될 수 있는데, 이는 무라 현상(Mura phenomenon)이라고 지칭된다. 산화물 TFT는 프로세스에서의 우수한 균일성을 갖지만, a-Si TFT와 유사하게, 산화물 TFT의 임계 전압은 장시간 전압이 인가되고 고온하에 있는 경우 드리프트될 것이다. 디스플레이되는 콘텐츠가 상이하기 때문에 패널의 각각의 부분들에서 TFT의 임계치들에서의 드리프트 양은 상이할 것이며, 이는 디스플레이 밝기에서의 차이를 초래할 수 있다. 이러한 차이는 이전에

디스플레이된 영상에 관한 것이기 때문에, 일반적으로 잔상 현상(image sticking phenomenon)으로서 나타난다.

[0005] 둘째, 대형 사이즈의 디스플레이 응용분야에서, ARVDD 전원의 공급 위치에 가까운 영역에서의 전원 전압이 어레이 기관에서의 전력 위치로부터 멀리 떨어진 영역과 비교하여 더 높는데, 그 이유는 어레이 기관에서의 전력 라인들이 일정한 저항을 갖고, 모든 픽셀에 대한 구동 전류가 전원(ARVDD)에 의해 제공되기 때문이며, 이러한 현상은 전원 드롭(IR 드롭)이라고 지칭된다. IR 드롭은 또한 상이한 영역 사이의 전류 차이를 초래하여 결국 디스플레이로서 무라 현상을 생성할 수 있는데, 그 이유는 ARVDD의 전원의 전압이 전류와 관련되어 있기 때문이다. P-타입 TFT들을 이용하여 픽셀 유닛을 구성하는 LTPS 프로세스는 특히 이러한 문제점에 민감한데, 그 이유는 그의 저장 커패시터가 ARVDD와 구동 트랜지스터 TFT들의 게이트 사이에 연결되며, ARVDD의 전압이 변경되는 경우 구동 트랜지스터 TFT의 게이트-소스 전압(V_{gs})이 직접 영향을 받을 것이기 때문이다.

[0006] 셋째, OLED 디바이스는 또한 증착 프로세스 중에 마스크의 두께의 비균일성 때문에 전기 성능에서의 비균일성을 초래할 수 있다. N-타입 TFT를 이용하여 픽셀 유닛을 구성하는 a-Si 또는 산화물 TFT 프로세스의 경우, 그의 저장 커패시터가 구동 트랜지스터 TFT의 게이트와 OLED의 애노드 사이에 연결되고, 데이터 전압이 각각의 구동 트랜지스터 TFT의 게이트들에 전달되는 경우 각각의 OLED의 애노드의 전압들이 상이하면 구동 트랜지스터 TFT에 인가된 게이트-소스 전압(V_{gs})은 실제로 상이할 것이며, 이로써 상이한 구동 전류들이 디스플레이 밝기의 차이를 초래할 수 있다.

[0007] AMOLED는 구동 타입에 기반하여 3가지 카테고리, 즉 디지털 타입, 전류 타입, 및 전압 타입으로 구분될 수 있다. 디지털 타입 구동 방법은 비균일성을 보상하지 않고 TFT를 스위치로서 이용하여 구동 타이밍을 제어하는 방식에 의해 그레이 스케일을 구현할 수 있지만, 동작 주파수는 디스플레이 사이즈가 커짐에 따라 그 2배로 증가할 것인데, 이는 큰 전력 소비를 초래하고, 일정 범위 내의 설계의 물리적 한계에 도달함으로써 대형 사이즈를 갖는 디스플레이에는 적합하지 않다. 전류 타입 구동 방법은 상이한 값들을 가진 전류들을 직접 구동 트랜지스터 TFT들에 제공하는 방식에 의해 그레이 스케일을 구현할 수 있고, 구동 트랜지스터 TFT의 비균일성 및 IR 드롭을 더 잘 보상할 수 있지만, 그레이 스케일이 낮은 신호가 기입되는 경우, 작은 전류가 데이터 라인에 큰 기생 커패시터를 충전시키기 때문에 지나치게 긴 기입 시간이 초래될 수 있다. 이러한 문제는 사이즈가 큰 디스플레이에서는 특히 심각하여 극복될 수조차 없다. 전압 타입 구동 방법은 종래의 액티브 매트릭스 액정 디스플레이(AMLCD)를 위한 구동 방법과 유사하고, 구동 IC에 의해 그레이 스케일을 표현하는 전압 신호를 제공하며, 전압 신호는 OLED를 구동하여 회도 그레이 스케일을 실현하기 위해 픽셀 회로 내의 구동 트랜지스터들을 위한 전류 신호로 변형될 수 있다. 이러한 방법은 구동 속도가 빠르고, 구현이 간단하다는 이점을 갖는데, 이는 대형 사이즈를 갖는 패널을 구동하는데 적합하며 산업에서 폭넓게 사용되지만, 구동 트랜지스터 TFT 사이의 비균일성, IR 드롭, 및 OLED의 비균일성을 보상하기 위해 추가적인 TFT 및 커패시터 디바이스를 설계하는 것이 필수적이다.

[0008] 도 1은 종래 기술의 픽셀 유닛 회로를 예시한다. 도 1에 예시된 바와 같이, 픽셀 유닛 회로는 2개의 박막 트랜지스터(T_2 및 T_1) 및 1개의 커패시터(C)를 포함한다. 도 1에 예시된 픽셀 유닛 회로는 전압 구동 타입의 픽셀 회로를 위한 통상적인 구조(2T1C)이다. 여기서, 박막 트랜지스터(T_2)가 스위칭 트랜지스터 역할을 하고, 구동 트랜지스터 역할을 하는 트랜지스터(T_1)의 게이트에 데이터 라인 상에 전압을 전달하며, 구동 트랜지스터는 데이터 전압을 OLED 디바이스에 공급될 대응 전류로 변형시킨다. 구동 트랜지스터(T_1)는 정상 동작하는 경우 포화 구역 내에 있어야 하고, 하나의 행을 위한 스캐닝 기간 중에 정전류(constant current)를 제공한다. 이러한 전류는 다음의 수학식으로 표현될 수 있다.

[0009]
$$I_{OLED} = \frac{I}{2} \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{data} - V_{OLED} - V_{thn})^2$$

[0010] 여기서, μ_n 는 캐리어의 이동성이고, C_{OX} 는 게이트에 있는 산화물층의 커패시터의 커패시턴스 값이고, $\frac{W}{L}$ 는 트랜지스터의 폭-길이 비이고, V_{data} 는 데이터 라인 상의 신호 전압이고, V_{OLED} 는 OLED의 동작 전압이고, V_{thn} 는 구동 트랜지스터 TFT의 임계 전압인데, 이는 강화형(enhanced) TFT의 경우 양의 값이고 공핍형(depletion) TFT의 경우 음의 값이다. V_{thn} 가 상이한 픽셀 유닛들 사이에 상이하면 전류들이 상이하다는 것을

전술한 수학적식으로부터 알 수 있다. 시간이 경과함에 따라 픽셀 유닛에서의 구동 트랜지스터 TFT의 V_{thn} 가 드리프트되면, 드리프트 전후의 전류들은 상이할 것이고, 잔상이 일어날 수 있다. 또한, 전류 차이는 OLED 디바이스의 비균일성으로 인해 OLED들의 동작 전압의 차이에 의해 일어날 수도 있다.

[0011] V_{thn} 의 비균일성, V_{thn} 의 드리프트, 및 OLED들의 비균일성을 보상하기 위한 여러 픽셀 구조들이 존재하고, 이들 구조는 일반적으로 2개의 클래스, 즉 내부 보상 및 외부 보상으로 나누어질 수 있다. 내부 보상은 TFT들 및 커패시터를 갖는 픽셀에서의 구동 트랜지스터 TFT의 임계 전압에 대한 정보를 픽셀 내부에 저장하고, 이를 구동 트랜지스터 TFT의 바이어스 전압(V_{gs})으로 피드백하는 보상 방식이고, 도 2a는 종래 기술에서 내부 보상 방식을 갖는 강화형 TFT들에 의해 구성된 픽셀 유닛 회로이고, 도 2b는 종래 기술에서 내부 보상 방식을 갖는 공핍형 TFT들에 의해 구성된 픽셀 유닛 회로이다. 도 2a 및 도 2b에 예시된 바와 같이, 종래 기술에서 내부 보상 방식을 이용한 픽셀 유닛 회로는 박막 트랜지스터인 구동 트랜지스터를 포함하고, 구동 트랜지스터의 게이트 및 소스가 서로 연결되고, 구동 트랜지스터의 드레인이 OLED의 애노드와 연결되고, OLED의 캐소드가 제2 전원 전압(ELVSS)와 연결된다. 이러한 구조는 강화형 TFT에만 적용 가능하며, 공핍형 TFT의 경우, TFT의 게이트의 전압이 0이면 TFT는 계속 턴온되어 있으며, 이에 따라 TFT를 통해 저장된 전압은 V_{thn} 에 대한 어떠한 정보도 포함하지 않아 V_{thn} 의 비균일성이 보상될 수 없을 것이다.

[0012] 또 다른 보상 방식은 외부 보상으로서, 즉 그 보상 방식은 다음과 같다: 구동 트랜지스터의 I-V 특성 및 발광 다이오드의 I-V 특성은 픽셀 내부의 TFT들에 의해 외부 감지 회로에 판독되고, 보상 요구되는 구동 전압 값이 계산되어 구동 패들의 칩으로 피드백된다. 도 3은 종래 기술의 외부 보상 방식을 이용한 픽셀 유닛 회로이다. 도 3에 예시된 바와 같이, 종래 기술의 외부 보상 방식을 이용한 픽셀 유닛 회로는 액티브 매트릭스 유기 발광 다이오드(AMOLED), 디스플레이 행 선택기, 센서 행 선택기, 열 리드아웃(column readout), 영상 처리 LSI, 아날로그-디지털 컨버터(ADC), 및 ASIC 프로세서(AP)를 포함한다. ASIC 프로세서(AP)가 디스플레이 데이터를 영상 처리 LSI에 제공하고, AMOLED는 픽셀 유닛 회로들의 어레이를 포함하고, 열 리드아웃(column readout)에 의해 각각의 픽셀 유닛 회로들의 전류 또는 전압을 판독해낸다. 도 3에 예시된 바와 같이, 열 리드아웃과 ADC 사이의 삼각 프레임이 증폭 및 보상 회로를 나타낸다. 데이터 전압을 기준 전압으로서 고려하면, 열 리드아웃으로부터 흘러나오는 전압이 기준 전압보다 작은 경우, 이는 이 위치에서의 픽셀 유닛 회로의 전압이 보상될 필요가 있다는 것을 지시하고, 열 리드아웃으로부터의 전압은 증폭 및 보상 회로에 의해 보상되며, 이로써 대응 픽셀 유닛 회로에서의 구동 트랜지스터 및/또는 OLED 디바이스의 전압 또는 전류가 보상될 수 있다.

[0013] 내부 보상 및 외부 보상은 각자 고유의 이점 및 불리점을 갖는다. 일반적으로, 내부 보상은 제한된 공간 및 회로 구조의 제한 하에서 구동 트랜지스터 TFT의 임계 전압들의 비균일성 및 드리프트만을 보상할 수 있고, 외부 보상은 임계 전압들의 비균일성 및 구동 트랜지스터 TFT들의 이동성에서의 비균일성을 보상할 수 있고, 또한 외부 집적 회로 칩(들)을 통해 복잡한 알고리즘을 구현함으로써 OLED의 노화와 같은 일부의 비이상적인 요인들을 보상할 수도 있다. 그러나, 외부 보상의 보상 범위가 제한되며, 그의 보상 전압은 데이터 라인(DATA) 상의 전압에 대한 최대 범위를 초과할 수 없는 반면, 내부 보상 회로에 의해 획득된 내부 구동 전압은 데이터 라인 상의 전압에 대한 최대 범위를 초과할 수 있다. 내부 보상 및 외부 보상이 서로 결합될 수 있다면, 이러한 이점들이 함께 획득될 수 있다.

발명의 내용

해결하려는 과제

[0014] 본 개시는 픽셀 유닛 회로, 그 보상 방법, 및 디스플레이 디바이스를 제공하는데, 이들은 내부 보상 및 외부 보상이 결합될 수 없는 종래 기술의 픽셀 유닛 회로에서의 문제점을 해결할 수 있고, 보상이 수행되는 경우에 일어나는 대응 픽셀 유닛 회로들 및 발광 디바이스들의 구동 트랜지스터들의 임계 전압들에서의 비균일성의 문제점을 해결할 수 있고, 외부 보상의 구현을 보조하고, 최종적으로 디스플레이 디바이스에서의 무라 현상을 제거하기 위한 목적을 실현하기 위해 구동 트랜지스터들 및 발광 디바이스들의 회로 특성들에 대한 추출 기능을 가질 수 있다.

과제의 해결 수단

- [0015] 본 개시의 실시예들에서, 구동 트랜지스터, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 저장 커패시터, 및 발광 디바이스를 포함하는 픽셀 유닛 회로가 제공되는데,
- [0016] 구동 트랜지스터의 드레인은 제4 트랜지스터의 소스와 연결되고, 구동 트랜지스터의 소스는 제3 트랜지스터의 드레인과 연결되고, 구동 트랜지스터의 게이트는 저장 커패시터의 제1 단자 및 제1 트랜지스터의 소스와 연결되고;
- [0017] 제1 트랜지스터의 드레인은 제4 트랜지스터의 소스와 연결되고, 제1 트랜지스터의 소스는 구동 트랜지스터의 게이트와 연결되고, 제1 트랜지스터의 게이트는 스캔 제어 신호 라인과 연결되고;
- [0018] 제2 트랜지스터의 드레인은 데이터 라인과 연결되고, 제2 트랜지스터의 소스는 구동 트랜지스터의 소스 및 제3 트랜지스터의 드레인과 연결되고, 제2 트랜지스터의 게이트는 스캔 제어 신호 라인과 연결되고;
- [0019] 제3 트랜지스터의 드레인은 구동 트랜지스터의 소스와 연결되고, 제3 트랜지스터의 소스는 발광 디바이스의 애노드와 연결되고, 제3 트랜지스터의 게이트는 발광 제어 신호 라인과 연결되고;
- [0020] 제4 트랜지스터의 드레인은 제1 전원 전압과 연결되고, 제4 트랜지스터의 소스는 구동 트랜지스터의 드레인 및 제1 트랜지스터의 드레인과 연결되고, 제4 트랜지스터의 게이트는 프리차징 제어 신호 라인과 연결되고;
- [0021] 저장 커패시터의 제1 단자는 구동 트랜지스터의 게이트와 연결되고, 저장 커패시터의 제2단자는 제1 전원 전압과 연결되고;
- [0022] 발광 디바이스의 캐소드는 제2 전원 전압과 연결된다.
- [0023] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로에서, 발광 디바이스는 유기 발광 다이오드 디바이스이다.
- [0024] 또한, 본 개시의 실시예들에서, 픽셀 유닛 회로를 위한 보상 방법으로서,
- [0025] 발광 디바이스의 동작 스테이지에 따라 내부 보상 방식과 외부 보상 방식 중 하나의 보상 방식을 선택하는 단계;
- [0026] 발광 디바이스가 정상적으로 발광하는 동작 스테이지에 있으면, 내부 보상 방식을 이용하여 발광 디바이스를 보상하는 단계; 및
- [0027] 발광 디바이스가 패널 리셋 동작 스테이지에 있거나 프레임 간의 또는 행 간의 비가동(idle) 디스플레이 동작 스테이지에 있으면, 외부 보상 방식을 이용하여 발광 디바이스를 보상하는 단계
- [0028] 를 포함하는 보상 방법이 더 제공된다.
- [0029] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 내부 보상 방식을 이용하여 발광 디바이스를 보상하는 상기 단계는:
- [0030] 구동 트랜지스터를 프리차징하는 단계;
- [0031] 구동 트랜지스터에 대해 전압 보상 또는 전류 보상을 수행하는 단계; 및
- [0032] 발광 디바이스가 계속 발광하도록 발광 디바이스에 대한 전압 보상 또는 전류 보상을 수행하는 단계를 더 포함한다.
- [0033] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 구동 트랜지스터를 프리차징하는 상기 단계는:
- [0034] 발광 제어 신호를 저레벨로 설정하여 제3 트랜지스터를 턴오프하는 단계; 프리차징 제어 신호를 고레벨로 설정하여 제4 트랜지스터를 턴온하는 단계; 스캔 제어 신호를 고레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터를 턴온하는 단계; 및 구동 트랜지스터의 소스의 전압이 데이터 라인 상의 전압(V_{DATA})이 되게 만드는 단계를 더 포함한다.
- [0035] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 구동 트랜지스터에 대해 전압 보상 또는 전류 보상을 수행하는 상기 단계는:
- [0036] 발광 제어 신호를 저레벨로 설정하여 제3 트랜지스터를 턴오프하는 단계; 프리차징 제어 신호를 저레벨로 설정하여 제4 트랜지스터를 턴오프하는 단계; 스캔 제어 신호를 고레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터

터를 턴온하는 단계; 및 구동 트랜지스터의 게이트의 전압이 $V_{DATA}+V_{thn}$ 가 되게 만드는 단계를 더 포함하며, 여기서 V_{DATA} 는 데이터 라인 상의 전압이고, V_{thn} 는 구동 트랜지스터의 임계 전압이다.

[0037] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 발광 디바이스가 계속 발광하도록 발광 디바이스에 대해 전압 보상 또는 전류 보상을 수행하는 상기 단계는:

[0038] 발광 제어 신호를 고레벨로 설정하여 제3 트랜지스터를 턴온하는 단계; 프리차징 제어 신호를 고레벨로 설정하여 제4 트랜지스터를 턴온하는 단계; 스캔 제어 신호를 저레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터를 턴오프하는 단계; 및 구동 트랜지스터를 통해 발광 디바이스에 입력된 전류(I_{OLED})를 다음의 수식과 같이 만드는 단계를 더 포함하며,

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

[0039] 여기서 μ_n 는 캐리어의 이동성이고, C_{OX} 는 게이트에 있는 산화물층의 저장 커패시터의 커패시턴스 값이고, $\frac{W}{L}$ 는 구동 트랜지스터의 폭-길이 비이고, V_{DATA} 는 데이터 라인 상의 전압이고, V_{OLED} 는 발광 디바이스의 애노드 전압이다.

[0041] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 외부 보상 방식을 이용하여 발광 디바이스를 보상하는 상기 단계는:

[0042] 구동 트랜지스터로부터 전류를 추출하는 단계;

[0043] 발광 디바이스로부터 전류를 추출하는 단계; 및

[0044] 구동 트랜지스터 또는 발광 디바이스로부터 추출된 전류를 검출하고, 검출된 전류의 값에 따라 발광 디바이스에 대해 전압 보상 또는 전류 보상을 수행하는 단계를 더 포함한다.

[0045] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 구동 트랜지스터로부터 전류를 추출하는 상기 단계는:

[0046] 발광 제어 신호를 저레벨로 설정하여 제3 트랜지스터를 턴오프하는 단계; 프리차징 제어 신호를 고레벨로 설정하여 제4 트랜지스터를 턴온하는 단계; 스캔 제어 신호를 고레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터를 턴온하는 단계; 및 발광 디바이스의 전류가 데이터 라인에 입력되는 것을 막으면서 구동 트랜지스터의 전류가 데이터 라인에 입력될 수 있게 하는 단계를 더 포함한다.

[0047] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 발광 디바이스로부터 전류를 추출하는 상기 단계는 발광 제어 신호를 고레벨로 설정하여 제3 트랜지스터를 턴온하는 단계; 프리차징 제어 신호를 저레벨로 설정하여 제4 트랜지스터를 턴오프하는 단계; 스캔 제어 신호를 고레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터를 턴온하는 단계; 및 구동 트랜지스터의 전류가 데이터 라인에 입력되는 것을 막으면서 발광 디바이스의 전류가 데이터 라인에 입력될 수 있게 하는 단계를 더 포함한다.

[0048] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 발광 디바이스는 유기 발광 다이오드 디바이스이다.

[0049] 본 개시의 실시예들에서, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 포함하는 디스플레이 디바이스가 더 제공된다.

발명의 효과

[0050] 본 개시의 실시예들에 따른 픽셀 유닛 회로, 그 보상 방법, 및 디스플레이 디바이스를 이용하면, 다음의 유리한 효과가 획득될 수 있다.

[0051] 첫째, 본 개시의 실시예들에 따른 픽셀 유닛 회로 및 그 보상 방법은 내부 보상과 외부 보상을 결합함으로써 OLED 디바이스를 보상할 수 있고, 내부 보상과 외부 보상 양쪽 모두의 이점을 가질 수 있다. N-타입 공핍형 또는 강화형 구동 트랜지스터 TFT에서 임계 전압들의 비균일성 또는 임계 전압들의 드리프트에 의해 일어나는 무

라 현상은 내부 보상에 의해 효과적으로 제거될 수 있으며, 이로써 디스플레이 효과가 향상될 수 있다. 추가적으로, 본 개시의 실시예들에 따른 픽셀 유닛 회로 및 그 보상 방법은 구동 트랜지스터 TFT의 특성들 및 OLED의 특성들을 추출하는 기능을 가질 수 있으며, 이는 외부 보상 구동에 효과적으로 적용될 수 있다.

[0052] 둘째, 본 개시의 실시예들에 따른 픽셀 유닛 회로 및 그 보상 방법은 IR 드롭에 의해 일어나는 상이한 영역들 간의 전류차를 보상할 수 있으며, 이는 디스플레이 효과를 향상시킬 수 있다.

[0053] 셋째, 본 개시의 실시예들에 따른 디스플레이 디바이스도 본 개시의 실시예들에 따른 픽셀 유닛 회로를 활용함으로써 무라 현상을 제거하고 디스플레이 디바이스에 디스플레이 효과를 향상시킬 수 있다.

도면의 간단한 설명

[0054] 도 1은 종래 기술의 픽셀 유닛 회로이다.

도 2는 종래 기술의 내부 보상 방식을 이용한 픽셀 유닛 회로이다.

도 3은 종래 기술의 외부 보상 방식을 이용한 픽셀 유닛 회로이다.

도 4는 본 개시의 실시예들에 따른 픽셀 유닛 회로를 예시한 회로도이다.

도 5는 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법을 예시한 흐름도이다.

도 6은 본 개시의 실시예들에 따른 내부 보상 방식 하에서 픽셀 유닛 회로를 위한 보상 방법을 예시한 흐름도이다.

도 7은 본 개시의 실시예들에 따른 내부 보상 방식 하에서 픽셀 유닛 회로를 예시한 등가 회로도이다.

도 8은 본 개시의 실시예들에 따른 내부 보상 방식 하에서 픽셀 유닛 회로를 위한 보상 방법의 제어 신호 타이밍도이다.

도 9는 본 개시의 실시예들에 따른 외부 보상 방식 하에서 픽셀 유닛 회로를 위한 보상 방법을 예시한 흐름도이다.

도 10은 본 개시의 실시예들에 따른 외부 보상 방식 하에서 픽셀 유닛 회로를 예시한 등가 회로도이다.

도 11은 본 개시의 실시예들에 따른 외부 보상 방식 하에서 픽셀 유닛 회로를 위한 보상 방법의 제어 신호 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0055] 본 개시를 더 잘 이해하기 위해, 본 개시는 본 개시의 첨부 도면들 및 실시예들과 함께 이하 설명될 것이다.

[0056] 본 개시의 실시예들에 따른 픽셀 유닛 회로는 발광 디바이스 OLED의 구동 보상에 주로 사용되고, 발광 디바이스 각각에 대한 구동은 하나의 픽셀 유닛 회로에 의해 보상되고, 픽셀 유닛 회로 각각은 5개의 박막 트랜지스터들 및 1개의 트랜지스터를 발광 디바이스에 연결함으로써 구조화된다. 이러한 구조는 내부 보상 및 외부 보상 모두에 사용될 수 있다. 내부 보상을 위한 디스플레이 프로세스가 3개의 서브프로세스로 분할되고, 이들 서브프로세스는 각각 프리차징 서브프로세스, 보상 서브프로세스, 및 디스플레이 서브프로세스이다. 외부 보상은 2개의 서브프로세스로 분할되고, 이들 서브프로세스는 각각 구동 트랜지스터 TFT의 전류 추출 서브프로세스 및 발광 디바이스의 전류 추출 서브프로세스이다. 종래의 픽셀 구조에 비해, 본 개시의 실시예들에 따른 픽셀 유닛 회로는 강화형 타입 또는 공핍형 타입의 구동 트랜지스터 TFT의 임계 전압의 드리프트 및 비균일성, 및 전압의 비균일성, 및 발광 디바이스의 노후화를 보상할 수 있다.

[0057] 본 개시의 실시예들에 따른 픽셀 유닛 회로에서, 그의 출력 단자에서의 발광 디바이스는 AMOLED일 수 있다. 픽셀 유닛 회로는 내부 보상에 의해 N-타입 공핍형 또는 강화형 구동 트랜지스터 TFT에서의 임계 전압들의 비균일성을 효과적으로 제거할 수 있으며, 이로써 디스플레이 효과가 향상될 수 있다. 추가적으로, 본 개시의 실시예들에 따른 픽셀 유닛 회로는 구동 트랜지스터 TFT의 특성들 및 발광 디바이스의 특성들을 추출하는 기능을 가질 수 있으며, 이는 외부 보상 구동에 효과적으로 적용될 수 있다. 여기에서의 발광 디바이스는 OLED 디바이스를 지칭하고, 발광 디바이스의 특성들은 OLED 디바이스의 전압-전류 특성을 지칭한다.

[0058] 도 4는 본 개시의 실시예들에 따른 픽셀 유닛 회로를 예시한 회로도이다. 도 4에 예시된 바와 같이, 본 개시의 실시예들에 따른 픽셀 유닛 회로는 구동 트랜지스터(T1), 제1 트랜지스터(T2), 제2 트랜지스터(T3), 제3 트랜지

스터(T4), 제4 트랜지스터(T5), 저장 커패시터(C_{ST}), 및 발광 디바이스를 포함하고, 발광 디바이스는 유기 발광 다이오드(OLED) 디바이스이다.

- [0059] 구동 트랜지스터(T1)는 발광 디바이스를 구동하는데 사용된다. 예를 들어, 구동 트랜지스터(T1)의 드레인은 제4 트랜지스터(T5)의 소스와 연결되고, 소스는 제3 트랜지스터(T4)의 드레인과 연결되고, 게이트는 저장 커패시터(C_{ST})의 제1 단자 및 제1 트랜지스터(T2)의 소스와 연결된다.
- [0060] 제1 트랜지스터(T2)는 스캔 제어 신호를 위한 제어 스위치이다. 일례에서, 제1 트랜지스터(T2)의 드레인은 제4 트랜지스터(T5)의 소스와 연결되고, 소스는 구동 트랜지스터(T1)의 게이트와 연결되고, 게이트는 스캔 제어 신호 라인(SCAN)과 연결된다.
- [0061] 제2 트랜지스터(T3)는 스캔 제어 신호를 위한 다른 제어 스위치이다. 일례에서, 제2 트랜지스터(T3)의 드레인은 데이터 라인(DATA)과 연결되고, 소스는 구동 트랜지스터(T1)의 소스 및 제3 트랜지스터(T4)의 드레인과 연결되고, 게이트는 스캔 제어 신호 라인(SCAN)과 연결된다.
- [0062] 제3 트랜지스터(T4)는 발광 제어 신호를 위한 제어 스위치이다. 일례에서, 제3 트랜지스터(T4)의 드레인은 구동 트랜지스터(T1)의 소스와 연결되고, 소스는 발광 디바이스(OLED)의 애노드와 연결되고, 게이트는 발광 제어 신호 라인(EM)과 연결된다.
- [0063] 제4 트랜지스터(T5)는 프리차징 제어 신호를 위한 제어 스위치이다. 일례에서, 제4 트랜지스터(T5)의 드레인은 제1 전원 전압(ELVDD)과 연결되고, 소스는 구동 트랜지스터(T1)의 드레인 및 제1 트랜지스터(T2)의 드레인과 연결되고, 게이트는 프리차징 제어 신호 라인(PR)과 연결된다.
- [0064] 저장 커패시터(C_{ST})의 제1 단자는 구동 트랜지스터(T1)의 게이트와 연결되고, 제2 단자는 제1 전원 전압(ELVDD)과 연결된다.
- [0065] 발광 디바이스(OLED)의 캐소드는 제2 전원 전압(ELVSS)과 연결된다.
- [0066] 제2 전원 전압(ELVSS)은 발광 디바이스의 캐소드에 공급된 전압으로서, 일반적으로 -5V 내지 0V의 범위 내에 있으며, 실제 테스트에 의해 획득될 수 있다.
- [0067] 또한, 도 5는 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법을 예시한 흐름도로서, 도 5에 예시된 바와 같이, 이 방법은:
- [0068] 발광 디바이스의 동작 스테이지에 따라 내부 보상 방식과 외부 보상 방식 중 하나의 보상 방식을 선택하는 단계(S100);
- [0069] 발광 디바이스가 정상적으로 발광하는 동작 스테이지에 있으면, 내부 보상 방식을 이용하여 발광 디바이스를 보상하는 단계(S200); 및
- [0070] 발광 디바이스가, 비정상적 동작 스테이지들로 고려될 수 있는, PANEL RESET의 동작 스테이지에 있거나 프레임 사이의 또는 행 사이의 비가동(idle) 디스플레이의 동작 스테이지에 있으면, 외부 보상 방식을 이용하여 발광 디바이스를 보상하는 단계(S300)를 포함하며, 여기서 발광 디바이스는 유기 발광 다이오드 디바이스(OLED)이다.
- [0071] 또한, 도 6은 본 개시의 실시예들에 따른 내부 보상 방식 하에서 픽셀 유닛 회로를 위한 보상 방법을 예시한 흐름도이다. 도 6에 예시된 바와 같이, 내부 보상 방식을 이용하여 발광 디바이스를 보상하는 단계(S200)는:
- [0072] 구동 트랜지스터의 드레인을 프리차징하는 단계(S210);
- [0073] 구동 트랜지스터의 게이트에 대해 전압 보상 또는 전류 보상을 수행하는 단계(S220); 및
- [0074] 발광 디바이스가 계속 발광하도록, 발광 디바이스에 대해 전압 보상 또는 전류 보상을 수행하는 단계(S230)를 더 포함한다.
- [0075] 나아가, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 구동 트랜지스터의 드레인을 프리차징하는 단계(S210)는:
- [0076] 발광 제어 신호(EM)를 저레벨로 설정하여 제3 트랜지스터를 턴오프하는 단계; 프리차징 제어 신호(PR)를 고레벨로 설정하여 제4 트랜지스터를 턴온하는 단계; 스캔 제어 신호를 고레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터를 턴온하는 단계; 및 구동 트랜지스터의 소스에서의 전압이 데이터 라인 상의 전압(V_{DATA})이 되게 하는

단계를 더 포함한다.

[0077] 도 7은 본 개시의 실시예들에 따른 내부 보상 방식 하에서 픽셀 유닛 회로를 예시한 등가 회로도이다. 도 7의 (a)에 예시된 바와 같이, 프리차징 스테이지에서, 구동 트랜지스터(T1), 제1 트랜지스터(T2), 제2 트랜지스터(T3), 및 제4 트랜지스터(T5)는 턴온되고, 제3 트랜지스터(T4)는 턴오프되고; 데이터 라인 상의 전압은 데이터 라인 상의 현재 프레임의 신호 전압(V_{DATA})이고, 커패시터(C_{ST})에 저장된 전하들이 방전되면, 이로써 구동 트랜지스터(T1)의 소스는 고레벨, 즉 데이터 라인 상의 전압(V_{DATA})으로 프리차징된다.

[0078] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 구동 트랜지스터의 게이트에 대해 전압 보상 또는 전류 보상을 수행하는 단계(S220)는:

[0079] 발광 제어 신호를 저레벨로 설정하여 제3 트랜지스터를 턴오프하는 단계; 프리차징 제어 신호를 저레벨로 설정하여 제4 트랜지스터를 턴오프하는 단계; 스캔 제어 신호를 고레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터를 턴온하는 단계; 구동 트랜지스터의 게이트의 전압이 $V_{DATA}+V_{thn}$ 가 되게 만드는 단계를 더 포함하며, 여기서 V_{DATA} 는 데이터 라인 상의 전압이고, V_{thn} 는 구동 트랜지스터의 임계 전압이다.

[0080] 도 7은 본 개시의 실시예들에 따른 내부 보상 방식 하에서 픽셀 유닛 회로를 예시한 등가 회로도이다. 도 7의 (b)에 예시된 바와 같이, 보상 스테이지에서, 구동 트랜지스터(T1), 제1 트랜지스터(T2), 및 제2 트랜지스터(T3)는 턴온되고, 제3 트랜지스터(T4) 및 제4 트랜지스터(T5)는 턴오프되고, 구동 트랜지스터(T1)의 게이트의 전압이 $V_{DATA}+V_{thn}$ 와 같아질 때까지 구동 트랜지스터(T1)의 게이트는 방전되고, 이때 프리차징된 트랜지스터가 보상되며, 저장 커패시터(C_{ST})의 2개의 단자 양단에 저장된 전하들은 $(V_{ELVDD}-V_{thn}-V_{DATA}) \cdot C_{ST}$ 와 같은데, 여기서 V_{ELVDD} 는 제1 전원 전압(ELVDD)의 전압이고, C_{ST} 는 게이트에 있는 산화물층의 저장 커패시터(C_{ST})의 커패시턴스 값이고, V_{thn} 는 구동 트랜지스터(T1)의 임계 전압이고, V_{DATA} 는 데이터 라인 상의 신호 전압이다.

[0081] 또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 발광 디바이스가 계속 발광하도록 발광 디바이스에 대해 전압 보상 또는 전류 보상을 수행하는 단계(S230)는:

[0082] 발광 제어 신호를 고레벨로 설정하여 제3 트랜지스터를 턴온하는 단계; 프리차징 제어 신호를 고레벨로 설정하여 제4 트랜지스터를 턴온하는 단계; 스캔 제어 신호를 저레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터를 턴오프하는 단계; 및 구동 트랜지스터를 통해 발광 디바이스에 입력된 전류(I_{OLED})가 다음의 수식과 같도록 만드는 단계를 더 포함한다.

수학식 1

$$I_{OLED} = \frac{1}{2} \cdot \mu_n \cdot C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

[0083]

[0084] 여기서, μ_n 는 캐리어의 이동성이고, C_{OX} 는 게이트에 있는 산화물층의 저장 커패시터의 커패시턴스 값이고, $\frac{W}{L}$ 는 구동 트랜지스터의 폭-길이 비이고, V_{DATA} 는 데이터 라인 상의 전압이고, V_{OLED} 는 발광 디바이스의 애노드 전압이다.

[0085] 도 7은 본 개시의 실시예들에 따른 내부 보상 방식 하에서 픽셀 유닛 회로를 예시한 등가 회로도이다. 도 7의 (c)에 예시된 바와 같이, 발광 디바이스는 OLED 디바이스이고, 발광 스테이지에서, 구동 트랜지스터(T1), 제3 트랜지스터(T4), 및 제4 트랜지스터(T5)는 턴온되고, 제1 트랜지스터(T2) 및 제2 트랜지스터(T3)는 턴오프되고, 저장 커패시터(C_{ST})는 구동 트랜지스터(T1)의 게이트와 제1 전원 전압(ELVDD) 사이에 연결되어 있으며 구동 트랜지스터(T1)의 게이트의 전압을 $V_{DATA}+V_{thn}$ 로 유지하는데, 여기서 V_{thn} 는 구동 트랜지스터(T1)의 임계 전압이고, V_{DATA} 는 데이터 라인에서의 신호 전압이고, 데이터 라인은 픽셀 유닛 회로와 연결 해제되고, 구동 트랜지스터(T1)의 소스에서의 전압은 OLED 디바이스의 전류가 안정되기 시작함에 따라 V_{OLED} 로 변경되고, 구동 트랜지스터

(T1)의 게이트의 전압은 $V_{DATA}+V_{thn}$ 로 유지되고, 이로써 박막 트랜지스터(T1)를 흐르는 전류(I_{OLED})는 다음과 같다:

수학식 2

$$I_{OLED} = \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} + V_{thn} - V_{thn} - V_{OLED}]^2$$

$$= \frac{1}{2} \cdot \mu_n C_{OX} \cdot \frac{W}{L} \cdot [V_{DATA} - V_{OLED}]^2$$

[0086]

[0087]

여기서, μ_n 는 캐리어의 이동성이고, C_{OX} 는 게이트에 있는 산화물층의 저장 커패시터(C_{ST})의 커패시턴스 값이고,

$\frac{W}{L}$ 는 구동 트랜지스터(T1)의 폭-길이 비이고, V_{DATA} 는 데이터 라인 상의 신호 전압이고, V_{OLED} 는 OLED 디바이스의 애노드에서의 전압, 즉 OLED 디바이스의 동작 전압이고, V_{thn} 는 구동 트랜지스터(T1)의 임계 전압으로, 이는 강화형(enhanced) TFT 트랜지스터의 경우 양의 값이고 공핍형(depletion) TFT 트랜지스터의 경우 음의 값이다.

[0088]

구동 트랜지스터를 흐르는 전류는 그의 임계 전압(V_{thn})과 관계없고, 발광 디바이스 양단 전압과도 관계없으며, 이로써 임계 전압들의 비균일성 및 구동 트랜지스터의 드리프트로 인해 일어나는 효과가 주로 제거된다는 점을 진술한 수학식으로부터 알 수 있다. 본 개시의 실시예들에 따른 픽셀 유닛 회로는 강화형 박막 트랜지스터 및 공핍형 박막 트랜지스터 양쪽 모두의 경우에 구동 트랜지스터의 임계 전압들에서의 비균일성에 의해 일어나는 효과를 보상할 수 있으며, 이로써 그 이용가능성이 더 넓어진다.

[0089]

도 8은 본 개시의 실시예들에 따른 내부 보상 방식 하에서 픽셀 유닛 회로를 위한 보상 방법의 제어 신호 타이밍도이다. 도 8에 예시된 바와 같이, 내부 보상에서, 발광 제어 신호(EM), 프리차징 제어 신호(PR), 및 스캔 제어 신호(SCAN)를 위한 제어 타이밍은 다음과 같다:

[0090]

단계(S210)에 대응하는 프리차징 스테이지 중에, 발광 제어 신호(EM)는 저레벨이고, 프리차징 제어 신호(PR) 및 스캔 제어 신호(SCAN)는 고레벨이며;

[0091]

단계(S220)에 대응하는 보상 스테이지 중에, 발광 제어 신호(EM) 및 프리차징 제어 신호(PR)는 저레벨이고, 스캔 제어 신호(SCAN)는 고레벨이며;

[0092]

단계(S230)에 대응하는 발광 스테이지 중에, 발광 제어 신호(EM) 및 프리차징 제어 신호(PR)는 고레벨이고, 스캔 제어 신호(SCAN)는 저레벨이다.

[0093]

또한, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법은 외부 보상 방식 하에서 발광 디바이스를 보상하는 단계를 더 포함한다. 외부 보상은 패널 리셋(PANEL RESET) 동작 스테이지 중에 또는 프레임 사이의 또는 행 사이의 비가동 디스플레이의 동작 스테이지 중에 주로 일어난다. 예를 들어, 패널 리셋은 전력 공급 시에 일어날 수 있다. 외부 보상의 프로세스는 2개의 스테이지, 즉 구동 트랜지스터의 전류 추출 및 발광 디바이스의 전류 추출로 나누어진다.

[0094]

또한, 도 9는 본 개시의 실시예들에 따른 외부 보상 방식 하에서 픽셀 유닛 회로를 위한 보상 방법을 예시한 흐름도이다. 도 9에 예시된 바와 같이, 외부 보상 방식을 이용하여 발광 디바이스를 보상하는 단계(S300)는:

[0095]

구동 트랜지스터로부터 전류를 추출하는 단계(S310);

[0096]

발광 디바이스로부터 전류를 추출하는 단계(S320);

[0097]

구동 트랜지스터 또는 발광 디바이스로부터 추출된 전류를 검출하고, 검출된 전류의 값에 따라 발광 디바이스에 대해 전압 보상 또는 전류 보상을 수행하는 단계(S330)를 더 포함한다.

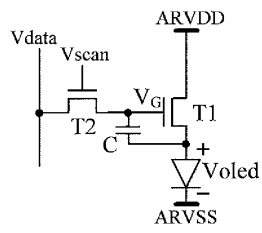
[0098]

나아가, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 구동 트랜지스터로부터 전류를 추출하는 단계(S310)는:

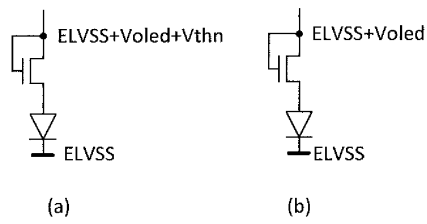
- [0099] 발광 제어 신호를 저레벨로 설정하여 제3 트랜지스터를 턴오프하는 단계; 프리차징 제어 신호를 고레벨로 설정하여 제4 트랜지스터를 턴온하는 단계; 스캔 제어 신호를 고레벨로 설정하여 제1 트랜지스터 및 제2 트랜지스터를 턴온하는 단계; 및 발광 디바이스의 전류가 데이터 라인에 입력되는 것을 막으면서 구동 트랜지스터의 전류가 데이터 라인에 입력될 수 있게 하는 단계를 더 포함한다. 데이터 라인에 연결된 감지 칩에 의해 구동 트랜지스터를 흐르는 전류의 값이 검출된다.
- [0100] 데이터 라인 상의 신호의 전압은 기준 전압(V_{REF})으로서 표시되고, $V_{REF} < V_{ELVDD}$ 인데, 여기서 V_{ELVDD} 는 전원(ELVDD)의 전압이다. 도 10은 본 개시의 실시예들에 따른 외부 보상 방식 하에서 픽셀 유닛 회로를 예시한 등가 회로도이다. 도 10의 (a)에 예시된 바와 같이, 발광 디바이스는 OLED 디바이스이고, 구동 트랜지스터(T1), 제1 트랜지스터(T2), 제2 트랜지스터(T3), 및 제4 트랜지스터(T5)는 턴온되고, 제3 트랜지스터(T4)는 턴오프되고; 이때 OLED 디바이스는 구동 트랜지스터(T1)와 연결 해제되고, 구동 트랜지스터(T1)의 게이트와 소스 사이의 전압은 $V_{ELVDD} - V_{REF}$ 로서 바이어싱되고, 구동 트랜지스터(T1)의 구동 전류는 제2 트랜지스터(T3)를 통해 데이터 라인으로 흐르는데, 이로써 데이터 라인에 연결된 외부 감지 칩은 이러한 전류 값을 감지할 수 있고, 추가 프로세싱을 수행할 수 있다.
- [0101] 나아가, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 위한 보상 방법에서, 발광 디바이스로부터 전류를 추출하는 단계(S320)는:
- [0102] 발광 제어 신호를 고레벨로 설정하여 제3 트랜지스터를 턴온하는 단계; 프리차징 제어 신호를 저레벨로 설정하여 제4 트랜지스터를 턴오프하는 단계; 스캔 제어 신호를 고레벨로 설정하여 제2 트랜지스터를 턴온하는 단계; 및 구동 트랜지스터의 전류가 데이터 라인으로 입력되는 것을 막으면서 발광 디바이스의 전류가 데이터 라인에 입력될 수 있게 하는 단계를 더 포함한다. 발광 디바이스를 흐르는 전류 값은 데이터 라인에 연결된 감지 칩에 의해 검출된다.
- [0103] 데이터 라인 상의 신호의 전압은 기준 전압(V_{REF})으로서 표시되고, $V_{REF} > V_{thn}$ 인데, 여기서 V_{thn} 는 구동 트랜지스터(T1)의 임계 전압이다. 도 10은 본 개시의 실시예들에 따른 외부 보상 방식 하에서 픽셀 유닛 회로를 예시한 등가 회로도이다. 도 10의 (b)에 예시된 바와 같이, 발광 디바이스는 OLED 디바이스이고, 이때 제1 트랜지스터(T2), 제2 트랜지스터(T3), 및 제3 트랜지스터(T4)는 턴온되고, 구동 트랜지스터(T1) 및 제4 트랜지스터(T5)는 턴오프되고; OLED 디바이스의 애노드와 캐소드 사이의 전압 차이가 $V_{REF} - V_{ELVSS}$ 로 바이어싱되고, OLED 디바이스를 흐르는 전류는 제2 트랜지스터(T3)를 통해 데이터 라인으로 입력되며, 이로써 데이터 라인에 연결된 외부 감지 칩은 이 전류 값을 감지할 수 있고 추가 프로세싱을 수행할 수 있다.
- [0104] 도 11은 본 개시의 실시예들에 따른 외부 보상 방식 하에서 픽셀 유닛 회로를 위한 보상 방법의 제어 신호 타이밍도이다. 도 11에 예시된 바와 같이, 발광 제어 신호(EM), 프리차징 제어 신호(PR), 및 스캔 제어 신호(SCAN)를 위한 제어 타이밍은 다음과 같다:
- [0105] 구동 트랜지스터(T1)로부터 전류를 추출하기 위한 단계(S310)에 대응하는 제1 스테이지 중에, 발광 제어 신호(EM)는 저레벨이고, 프리차징 제어 신호(PR) 및 스캔 제어 신호(SCAN)는 고레벨이며;
- [0106] OLED 디바이스로부터 전류를 추출하기 위한 단계(S320)에 대응하는 제2 스테이지 중에, 발광 제어 신호(EM) 및 스캔 제어 신호(SCAN)는 고레벨이고, 프리차징 제어 신호(PR)는 저레벨이다.
- [0107] 전술한 내용으로부터, 이러한 픽셀 유닛 회로는 내부 보상 및 외부 보상의 2개의 동작 모드로 동작될 수 있으며, 이로써 그의 보상 효과가 이들 양쪽 모두의 이점을 가질 수 있다는 점을 알 수 있다.
- [0108] 본 개시의 실시예들에서, 본 개시의 실시예들에 따른 픽셀 유닛 회로를 포함하고 본 개시의 실시예들에 따른 보상 방법에 의한 픽셀 유닛 회로를 보상하는 디스플레이 디바이스가 더 제공된다.
- [0109] 이에 따라 본 발명의 실시예들이 설명되어 있지만, 여러 방식으로 변형될 수 있다는 점이 명확할 것이다. 이러한 변형은 본 발명의 사상 및 범위에서 벗어나는 것으로 간주되지 않아야 하며, 당업자에게 명백한 이러한 모든 변형예들은 다음의 청구항들의 범위에 포함된다.

도면

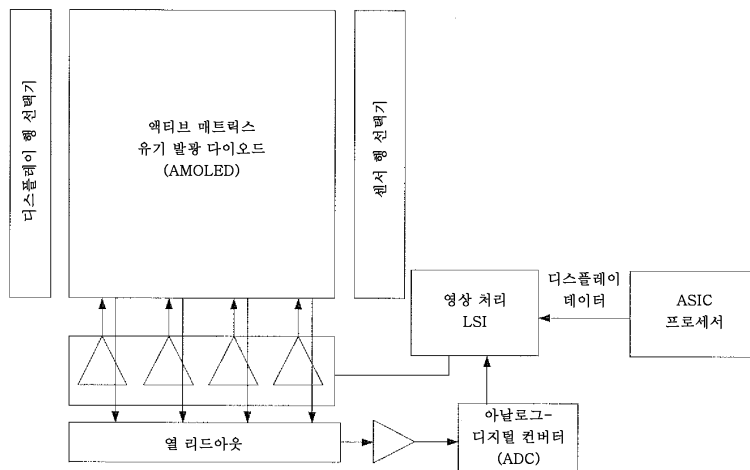
도면1



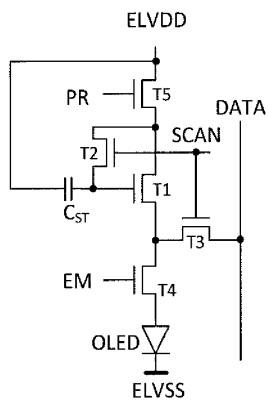
도면2



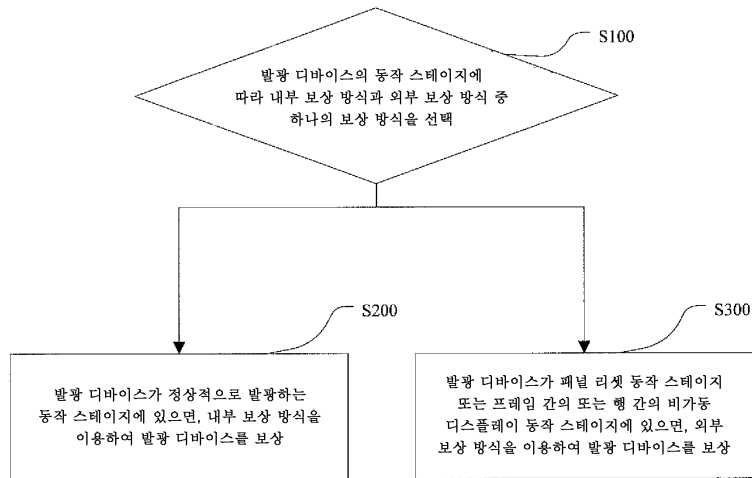
도면3



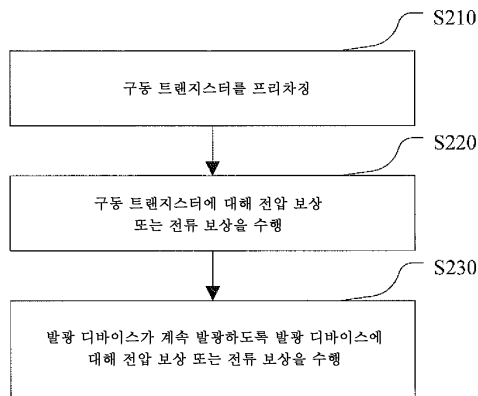
도면4



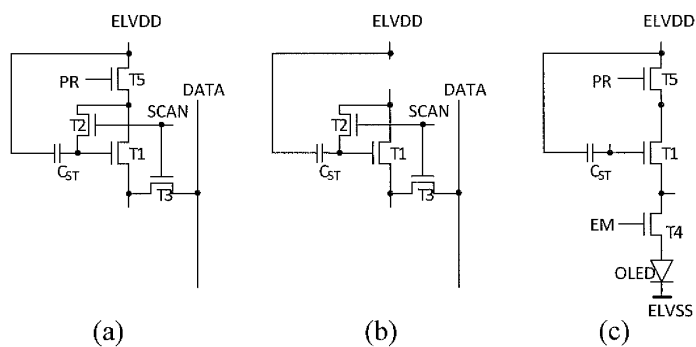
도면5



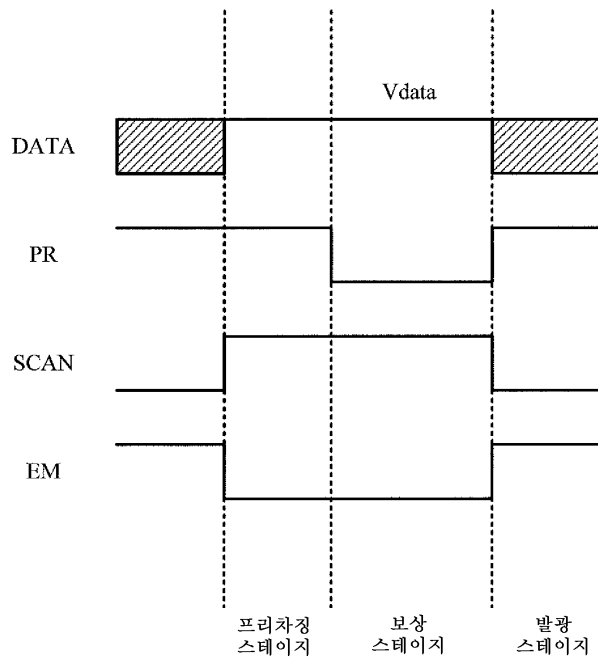
도면6



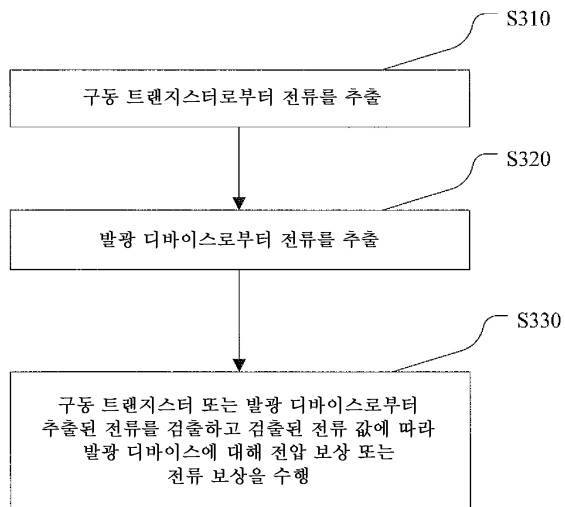
도면7



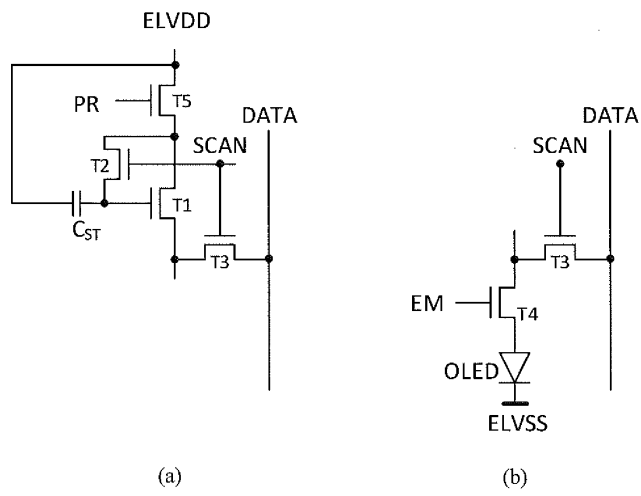
도면8



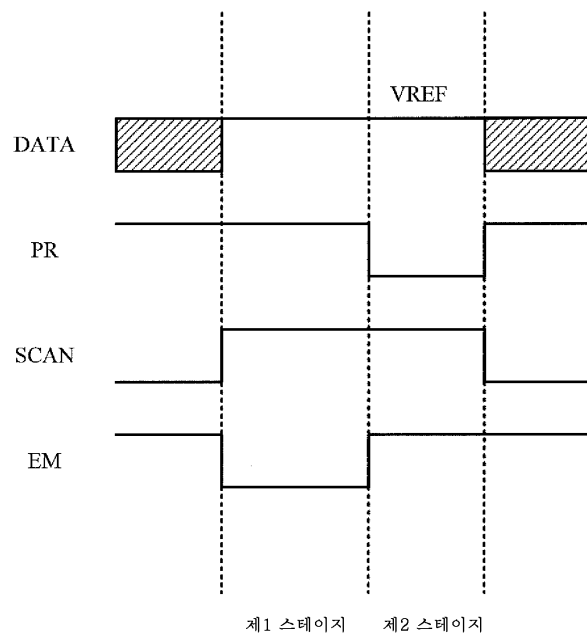
도면9



도면10



도면11



专利名称(译)	像素单元电路，其补偿方法和显示装置		
公开(公告)号	KR1020140136913A	公开(公告)日	2014-12-01
申请号	KR1020147008519	申请日	2013-06-26
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司.		
当前申请(专利权)人(译)	京东方科技集团股份有限公司.		
[标]发明人	WU ZHONGYUAN DUAN LIYE		
发明人	WU, ZHONGYUAN DUAN, LIYE		
IPC分类号	G09G3/30		
CPC分类号	G09G2300/0842 G09G2300/0861 G09G2320/043 G09G2320/0233 G09G3/3233 G09G2300/0819 G09G2310/0251 G09G2320/029 G09G3/2003 G09G2310/0248 G09G2310/0289 G09G2320/045		
代理人(译)	CHANG, SOO KIL KIM SEONGWOON		
优先权	201310150519.3 2013-04-26 CN		
其他公开文献	KR101530500B1		
外部链接	Espacenet		

摘要(译)

像素单元电路及其补偿方法和显示装置。像素单元电路包括驱动晶体管 (T1)，第一晶体管 (T2)，第二晶体管 (T3)，第三晶体管 (T4)，第四晶体管 (T5)，存储电容器 (CST) 和发光设备 (OLED)。通过使用像素单元电路及其补偿方法和显示装置，可以组合内部补偿和外部补偿以补偿发光器件 (OLED)，同时实现内部补偿和外部补偿的优点；通过内部补偿有效地消除了由N型耗尽型或增强型TFT驱动管的阈值电压不均匀或漂移引起的颜色不均匀性，从而提高了显示效果；另外，实现了驱动TFT特性和提取发光装置特性的功能，像素单元电路及其补偿方法和显示装置可以有效地应用于外部补偿驱动。

