



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0055446  
(43) 공개일자 2013년05월28일

- |  |  |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H01L 51/50 (2006.01) H01L 29/786 (2006.01)<br/>H01L 51/56 (2006.01)</p> <p>(21) 출원번호 10-2011-0121196</p> <p>(22) 출원일자 2011년11월18일<br/>심사청구일자 없음</p> | <p>(71) 출원인<br/>삼성디스플레이 주식회사<br/>경기도 용인시 기흥구 삼성2로 95 (농서동)</p> <p>(72) 발명자<br/>유춘기<br/>경기도 용인시 기흥구 농서동 산24<br/>최준후<br/>경기도 용인시 기흥구 농서동 산24</p> <p>(74) 대리인<br/>리엔목특허법인</p> |
|--|--|

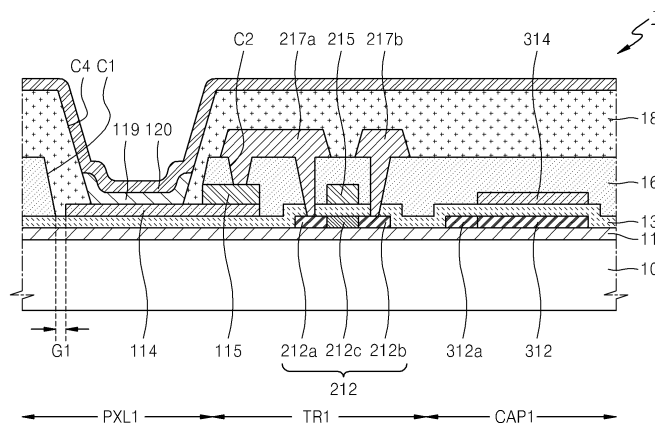
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법

**(57) 요약**

본 발명의 일 측면에 의하면, 활성층, 게이트전극, 소스전극과 드레인전극, 상기 활성층과 상기 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극과 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 투명도전성 산화물을 포함하고, 상기 박막트랜지스터에서 연장된 제1절연층 상에 배치되고, 상기 제2절연층에 형성된 개구를 통하여 상기 소스전극과 드레인전극 중 하나와 연결된 화소전극; 상기 활성층과 동일층에 배치된 제1전극과, 투명도전성 산화물을 포함하고, 상기 제1절연층과 상기 제2절연층 사이에 배치된 제2전극을 포함하는 커패시터; 및 상기 소스전극과 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

활성층, 게이트전극, 소스전극과 드레인전극, 상기 활성층과 상기 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극과 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

투명도전성 산화물을 포함하고, 상기 박막트랜지스터에서 연장된 제1절연층 상에 배치되고, 상기 제2절연층에 형성된 개구를 통하여 상기 소스전극과 드레인전극 중 하나와 연결된 화소전극;

상기 활성층과 동일층에 배치된 제1전극과, 투명도전성 산화물을 포함하고, 상기 제1절연층과 상기 제2절연층 사이에 배치된 제2전극을 포함하는 커패시터; 및

상기 소스전극과 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막트랜지스터 어레이 기판.

### 청구항 2

제 1 항에 있어서,

상기 제1전극은 이온불순물이 도핑된 반도체를 포함하는 박막트랜지스터 어레이 기판.

### 청구항 3

제 2 항에 있어서,

상기 제1전극에 연결된 연결부를 더 포함하고, 상기 제1전극과 상기 연결부 사이에 이온불순물이 도핑된 반도체가 연속적으로 형성된 박막트랜지스터 어레이 기판.

### 청구항 4

제 1 항에 있어서,

상기 투명도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 박막트랜지스터 어레이 기판.

### 청구항 5

제 1 항에 있어서,

상기 게이트전극은 상기 제1절연층에 직접 접촉하는 박막트랜지스터 어레이 기판.

### 청구항 6

제 1 항에 있어서,

상기 게이트전극은 몰리브덴을 포함하는 제1층, 알루미늄을 포함하는 제2층, 및 몰리브덴을 포함하는 제3층을 포함하는 박막트랜지스터 어레이 기판.

### 청구항 7

제 1 항에 있어서,

상기 게이트전극과 동일층에 위치하고, 상기 게이트전극과 동일 재료로 형성된 신호배선을 더 포함하고, 상기 신호배선은 상기 제1절연층에 직접 접촉하는 박막트랜지스터 어레이 기판.

### 청구항 8

제 1 항에 있어서,

상기 화소전극은 반투과 금속층을 더 포함하는 박막트랜지스터 어레이 기판.

**청구항 9**

제 8 항에 있어서,

상기 반투과 금속층은 상기 투명도전성 산화물을 포함하는 층들 사이에 배치된 박막트랜지스터 어레이 기판.

**청구항 10**

제 1 항에 있어서,

상기 화소전극과 상기 제2절연층 사이에 갭이 형성된 박막트랜지스터 어레이 기판.

**청구항 11**

제 1 항에 있어서,

상기 화소전극과, 상기 소스전극과 드레인전극 중 하나와 연결되는 부분은 상기 게이트전극과 동일한 물질을 포함하는 층이 구비된 박막트랜지스터 어레이 기판.

**청구항 12**

제 1 항에 있어서,

상기 제2전극과 상기 제2절연층은 직접 접촉하는 박막트랜지스터 어레이 기판.

**청구항 13**

활성층, 게이트전극, 소스전극과 드레인전극, 상기 활성층과 상기 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극과 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터;

투명도전성 산화물을 포함하고, 상기 박막트랜지스터에서 연장된 제1절연층 상에 배치되고, 상기 제2절연층에 형성된 콘택홀을 통하여 상기 소스전극과 드레인전극 중 하나와 연결된 화소전극;

상기 활성층과 동일층에 배치된 제1전극과, 투명도전성 산화물을 포함하고, 상기 제1절연층과 상기 제2절연층 사이에 배치된 제2전극을 포함하는 커패시터;

상기 소스전극과 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층;

상기 화소전극 상에 배치된 유기발광층; 및

상기 유기발광층 상에 배치된 대향전극;을 포함하는 유기 발광 표시 장치.

**청구항 14**

제 13 항에 있어서,

상기 대향전극은 상기 유기발광층에서 방출된 광을 반사하는 반사전극인 유기 발광 표시 장치.

**청구항 15**

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의 활성층 및 커패시터의 제1전극을 형성하는 제1마스킹공정;

제1절연층을 형성하고, 상기 제1절연층 상에 투명도전성 산화물층을 형성하고, 상기 투명도전성 산화물층을 패터닝하여 화소전극, 및 커패시터의 제2전극을 형성하는 제2마스킹공정;

제1금속층을 형성하고, 박막트랜지스터의 게이트전극, 및 상기 화소전극 상에 위치하는 금속연결층을 형성하는 제3마스킹공정;

제2절연층을 형성하고, 상기 제2절연층에 상기 활성층의 소스영역과 드레인영역, 및 상기 화소전극을 노출시키는 개구를 형성하는 제4마스킹 공정;

제2금속층을 형성하고, 상기 제2금속층을 패터닝하여 상기 소스영역과 드레인영역과 접촉하는 소스전극과 드레

인전극을 형성하는 제5마스크공정; 및

제3절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제3절연층을 제거하는 제6마스크 공정;을 포함하는 박막트랜지스터 어레이 기판의 제조 방법.

**청구항 16**

제 15 항에 있어서,

상기 제3마스크공정에서, 상기 게이트전극은 상기 제1절연층에 직접 접촉하도록 형성하는 박막트랜지스터 어레이 기판의 제조 방법.

**청구항 17**

제 15 항에 있어서,

상기 제3마스크 공정 후, 상기 소스영역과 드레인영역, 상기 제1전극과 상기 제1전극에 연결된 연결부에 이온불순물을 도핑하는 박막트랜지스터 기판의 제조 방법.

**청구항 18**

제 15 항에 있어서,

상기 제4마스크 공정에서, 상기 제1절연층과 상기 화소전극 사이에 겹을 형성하는 박막트랜지스터 기판의 제조 방법.

**청구항 19**

제 15 항에 있어서,

상기 제5마스크 공정에서 상기 화소전극 상의 금속연결층을 제거하는 박막트랜지스터 기판의 제조 방법.

**청구항 20**

제 19 항에 있어서,

상기 제5마스크 공정은 상기 제2금속층을 식각하는 제1식각공정, 및 상기 금속연결층을 식각하는 제2식각공정을 포함하는 박막트랜지스터 어레이 기판의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판 표시 장치가 제작되는 기판은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기판의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스테퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기판 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술

한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 제조 공정이 단순하고, 신호 전달이 우수한 박막 트랜지스터 어레이 기관, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0007] 본 발명의 일 측면에 의하면, 활성층, 게이트전극, 소스전극과 드레인전극, 상기 활성층과 상기 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극과 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 투명도전성 산화물을 포함하고, 상기 박막트랜지스터에서 연장된 제1절연층 상에 배치되고, 상기 제2절연층에 형성된 개구를 통하여 상기 소스전극과 드레인전극 중 하나와 연결된 화소전극; 상기 활성층과 동일층에 배치된 제1전극과, 투명도전성 산화물을 포함하고, 상기 제1절연층과 상기 제2절연층 사이에 배치된 제2전극을 포함하는 커패시터; 및 상기 소스전극과 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층;을 포함하는 박막트랜지스터 어레이 기관을 제공한다.

[0008] 상기 제1전극은 이온불순물이 도핑된 반도체를 포함할 수 있다.

[0009] 상기 제1전극에 연결된 연결부를 더 포함하고, 상기 제1전극과 상기 연결부 사이에 이온불순물이 도핑된 반도체가 연속적으로 형성될 수 있다.

[0010] 상기 투명도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0011] 상기 게이트전극은 상기 제1절연층에 직접 접촉할 수 있다.

[0012] 상기 게이트전극은 몰리브덴을 포함하는 제1층, 알루미늄을 포함하는 제2층, 및 몰리브덴을 포함하는 제3층을 포함할 수 있다.

[0013] 상기 게이트전극과 동일층에 위치하고, 상기 게이트전극과 동일 재료로 형성된 신호배선을 더 포함하고, 상기 신호배선은 상기 제1절연층에 직접 접촉할 수 있다.

[0014] 상기 화소전극은 반투과 금속층을 더 포함할 수 있다.

[0015] 상기 반투과 금속층은 상기 투명도전성 산화물을 포함하는 층들 사이에 배치될 수 있다.

[0016] 상기 화소전극과 상기 제2절연층 사이에 갭이 형성될 수 있다.

[0017] 상기 화소전극과, 상기 소스전극과 드레인전극 중 하나와 연결되는 부분은 상기 게이트전극과 동일한 물질을 포함하는 층이 구비될 수 있다.

[0018] 상기 제2전극과 상기 제2절연층은 직접 접촉할 수 있다.

[0019] 본 발명의 다른 측면에 의하면, 활성층, 게이트전극, 소스전극과 드레인전극, 상기 활성층과 상기 게이트전극 사이에 배치된 제1절연층, 및 상기 게이트전극과 상기 소스전극과 드레인전극 사이에 배치된 제2절연층을 포함하는 박막트랜지스터; 투명도전성 산화물을 포함하고, 상기 박막트랜지스터에서 연장된 제1절연층 상에 배치되고, 상기 제2절연층에 형성된 콘택홀을 통하여 상기 소스전극과 드레인전극 중 하나와 연결된 화소전극; 상기 활성층과 동일층에 배치된 제1전극과, 투명도전성 산화물을 포함하고, 상기 제1절연층과 상기 제2절연층 사이에 배치된 제2전극을 포함하는 커패시터; 상기 소스전극과 드레인전극을 덮고, 상기 화소전극을 노출시키는 제3절연층; 상기 화소전극 상에 배치된 유기발광층; 및 상기 유기발광층 상에 배치된 대향전극;을 포함하는 유기 발광 표시 장치를 제공한다.

[0020] 상기 대향전극은 상기 유기발광층에서 방출된 광을 반사하는 반사전극일 수 있다.

[0021] 본 발명의 다른 측면에 의하면, 기관 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막트랜지스터의

활성층 및 커패시터의 제1전극을 형성하는 제1마스크공정; 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전성 산화물층을 형성하고, 상기 투명도전성 산화물층을 패터닝하여 화소전극, 및 커패시터의 제2전극을 형성하는 제2마스크공정; 제1금속층을 형성하고, 박막트랜지스터의 게이트전극, 및 상기 화소전극 상에 위치하는 금속연결층을 형성하는 제3마스크공정; 제2절연층을 형성하고, 상기 제2절연층에 상기 활성층의 소스영역과 드레인영역, 및 상기 화소전극을 노출시키는 개구를 형성하는 제4마스크 공정; 제2금속층을 형성하고, 상기 제2금속층을 패터닝하여 상기 소스영역과 드레인영역과 접속하는 소스전극과 드레인전극을 형성하는 제5마스크공정; 및 제3절연층을 형성하고, 상기 화소전극이 노출되도록 상기 제3절연층을 제거하는 제6마스크 공정;을 포함하는 박막트랜지스터 어레이 기판의 제조 방법을 제공한다.

- [0022] 상기 제3마스크공정에서, 상기 게이트전극은 상기 제1절연층에 직접 접촉하도록 형성할 수 있다.
- [0023] 상기 제3마스크 공정 후, 상기 소스영역과 드레인영역, 상기 제1전극과 상기 제1전극에 연결된 연결부에 이온불순물을 도핑할 수 있다.
- [0024] 상기 제4마스크 공정에서, 상기 제1절연층과 상기 화소전극 사이에 갭을 형성할 수 있다.
- [0025] 상기 제5마스크 공정에서 상기 화소전극 상의 금속연결층을 제거할 수 있다.
- [0026] 상기 제5마스크 공정은 상기 제2금속층을 식각하는 제1식각공정, 및 상기 금속연결층을 식각하는 제2식각공정을 포함할 수 있다.

**발명의 효과**

- [0027] 상기와 같은 본 발명에 따른 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.
- [0028] 첫째, 게이트전극의 패터닝 시 언더컷 발생을 방지하여 박막트랜지스터의 소자특성을 향상시킬 수 있다.
- [0029] 둘째, 커패시터 하부전극과 그 연결부에 이온불순물을 연속적으로 도핑하여 커패시터의 신호전달 품질을 향상시킬 수 있다.
- [0030] 셋째, 1회의 도핑공정으로 소스영역과 드레인영역, 및 커패시터의 하부전극과 그 연결부를 동시에 도핑할 수 있다.
- [0031] 넷째, 6회의 마스크공정으로 상기와 같은 유기 발광 표시 장치를 제조할 수 있다.

**도면의 간단한 설명**

- [0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- 도 2a는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 2b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 2c는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 2d 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다
- 도 2e는 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 2f는 본 실시예에 따른 유기 발광 표시 장치(1)의 제6마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- 도 3은 본 발명의 제1비교예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- 도 4a 내지 4e는 제1비교예에 따른 유기 발광 표시 장치(2)의 제조과정을 개략적으로 도시한 단면도들이다.
- 도 5는 제2비교예에 따른 유기 발광 표시 장치의 제4마스크공정의 결과를 개략적으로 도시한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0033] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0035] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기판(10) 상에는 픽셀영역(PXL1), 트

랜지스터영역(TR1), 및 커패시터영역(CAP1)이 구비된다.

- [0036] 기관(10)은 유리 기관뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기관 등의 투명 기관으로 구비될 수 있다.
- [0037] 기관(10) 상에 버퍼층(11)이 구비될 수 있다. 버퍼층(11)은 기관(10) 상부에 평활한 면을 형성하고 불순원소가 침투하는 것을 차단하기 위한 것으로, 실리콘질화물 및/또는 실리콘산화물 등으로 단층 또는 복수층으로 형성될 수 있다.
- [0038] 버퍼층(11) 상에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널영역(212c)과, 채널영역(212c) 외측에 이온불순물이 도핑된 소스영역(212a) 및 드레인영역(212b)을 포함할 수 있다.
- [0039] 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널영역(212c)에 대응되는 위치에 게이트전극(215)이 구비된다. 게이트전극(215)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0040] 만약, 게이트전극(215)이 상술한 재료 외에, 후술할 본 발명의 제1비교예에 따른 유기 발광 표시 장치(3, 도 4 참조)에서와 같이, 게이트전극(215)의 하부에 투명도전성 산화물을 포함하는 층(214, 도 3참조)이 더 포함된 다층으로 형성된다면, 패터닝 시, 게이트전극(215)과 투명도전성 산화물을 포함하는 층(214) 사이에 언더컷(undercut)이 발생하여 스텝 커버리지(step coverage)가 나빠질 수 있다. 층간절연막인 제2절연층(16)의 형성 후, 열처리 공정에서 제2절연층(16)에 크랙(crack)이 발생할 수 있고, 이로 인한 단락이 발생할 수 있다.
- [0041] 한편, 제1절연층(13) 상에는, 예를 들어 스캔신호배선과 같이, 게이트전극(215)과 동일재료의 신호배선(미도시)이 더 형성될 수 있다. 만약, 신호배선(미도시)의 하부에 투명도전성 산화물을 포함하는 층(215, 도 3참조)이 더 형성된다면, 투명도전성 산화물을 포함하는 층(214)과 제2절연층(16) 사이의 접촉상태가 좋지 않아, 투명도전성 산화물을 포함하는 층(214)이 리프팅(lifting)되는 현상이 발생할 수 있다.
- [0042] 그러나, 본 실시예에 따른 유기 발광 표시 장치(1)에서는 게이트전극(215)과 신호배선(미도시)이 직접 제1절연층(13) 상에 형성되기 때문에, 게이트전극(214)의 패터닝 시 언더컷 발생, 및 신호배선의 리프팅 발생을 방지하여 유기 발광 표시 장치(1)의 불량을 방지할 수 있다.
- [0043] 게이트전극(215) 상에는 층간절연막인 제2절연층(16)을 사이에 두고 활성층(212)의 소스영역(212a) 및 드레인영역(212b)에 각각 접속하는 소스전극(217a) 및 드레인전극(217b)이 구비된다. 제2절연층(16) 상에는 소스전극(217a) 및 드레인전극(217b)을 덮도록 제3절연층(18)이 구비된다.
- [0044] 제1절연층(13) 및 제2절연층(16)은 무기절연막으로 구비될 수 있다. 제3절연층(18)은 단층의 유기절연막, 또는 무기절연막과 유기절연막이 함께 구비될 수 있다. 제3절연층(18)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0045] 본 발명의 실시예에 따른 픽셀영역(PXL1)에는 제1절연층(13) 상에 후술할 커패시터의 제2전극(314)과 동일 재료로 형성된 화소전극(114)이 구비된다.
- [0046] 화소전극(114)은 투명도전성 산화물로 형성되어 화소전극(114) 측으로 광이 방출될 수 있다. 이와 같은 투명도전성 산화물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0047] 화소전극(114)은 제2절연층(16)에 형성된 개구(C2)를 통하여 소스전극(217a)과 드레인전극(217b) 중의 하나와 연결된다. 이때, 화소전극(114)과, 소스전극(217a)과 드레인전극(217b) 중의 하나와 연결된 부분은 전술한 게이트전극(215)과 동일한 금속을 포함하는 금속연결층(115)으로 형성된다. 투명도전성 산화물로 형성된 화소전극(114)은 저항이 크므로, 저항이 작은 금속연결층(115)을 통하여 소스전극(217a)과 드레인전극(217b) 중의 하나와 연결된다.

- [0048] 제2절연층(16)에는, 화소전극(114)과 제2절연층(16) 사이에 갭(gap)(G1)이 형성되도록, 즉, 제2절연층(16)이 화소전극(114)의 외곽을 덮지 않도록 개구(C1)가 형성된다. 그 결과 표시 장치(1)의 개구율을 증가시킬 수 있다.
- [0049] 화소전극(114) 외곽에는 제3절연층(18)이 형성되고, 제3절연층(18)에는 화소전극(114)을 노출시키는 개구(C4)가 형성된다. 상기 개구(C1)에 유기발광층(119)이 구비된다.
- [0050] 유기발광층(119)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기발광층(119)이 저분자 유기물일 경우, 유기발광층(119)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기발광층(119)이 고분자 유기물일 경우, 유기발광층(119) 외에 홀수송층(HTL)이 포함될 수 있다. 홀수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0051] 유기발광층(119) 상에는 공통전극으로 대향전극(120)이 증착된다. 대향전극(120)은 반사전극으로 구비될 수 있다. 대향전극(120)은 반사 물질을 포함하는 반사전극으로 구성될 수 있다. 이때 상기 대향전극(120)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다. 대향전극(120)이 반사전극으로 구비됨으로써, 유기 발광층(119)에서 방출된 광은 대향전극(120)에 반사되어 투명도전성 산화물로 구성된 화소전극(114)을 투과하여 기관(10) 측으로 방출된다.
- [0052] 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소전극(114)은 애노드로 사용되고, 대향전극(120)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0053] 커패시터영역(CAP1)에는 버퍼층(11) 상에, 박막트랜지스터의 활성층(212)과 동일 재료로 형성된 커패시터의 제1전극(312)과, 제1전극(312)에 연결된 연결부(312a)가 구비된다.
- [0054] 제1전극(312)은 박막트랜지스터의 활성층(212)의 소스영역(212a) 및 드레인영역(212b)과 동일 재료로서, 이온불순물이 도핑된 반도체를 포함할 수 있다. 만약, 제1전극(312)을 진성 반도체로 형성할 경우, 커패시터는 제2전극(314)과 함께 MOS(Metal Oxide Semiconductor) CAP 구조가 된다. 그러나, 제1전극(312)을 본 실시예와 같이 이온불순물이 도핑된 반도체로 형성할 경우, MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화시킬 수 있다. 따라서, MIM CAP 구조는 MOS CAP 구조보다 작은 면적으로도 동일한 정전용량을 구현할 수 있으므로, 커패시터의 면적을 줄일 수 있는 마진이 높아지는 만큼, 화소전극(114)을 크게 형성하여 개구율을 높일 수 있다.
- [0055] 제1전극(312) 외곽에는 제1전극(312)과 동일층에 배치되고 제1전극(312)에 연결되어 신호(전류/전압)를 전달하는 연결부(312a)가 위치한다. 연결부(312a)는 제1전극(312)과 마찬가지로 이온불순물이 도핑된 반도체를 포함할 수 있으며, 제1전극(312)과 연결부(312a) 사이에는 이온불순물이 연속적으로 분포한다.
- [0056] 제1절연층(13) 상부에 제2전극(314)이 구비된다. 제2전극(314)은 화소전극(114)과 동일하게 투명도전성 산화물로 형성된다.
- [0057] 제2전극(314) 상에 제2절연층(16)이 직접 접촉하도록 형성되고, 제2절연층(16) 상에 제3절연층(18)이 구비된다. 제2전극(314)과 대향전극(120) 사이에 제2절연층(16)과 제3절연층(18)이 개재됨으로써, 제2전극(314)과 대향전극(120) 사이의 기생용량을 줄일 수 있다.
- [0058] 이하, 도 2a 내지 2e를 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0059] 도 2a는 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스킹 공정의 결과를 개략적으로 도시한 단면도이다.
- [0060] 도 2a를 참조하면, 기관(10) 상에 버퍼층(11)과 반도체층(미도시)을 순차로 형성하고, 반도체층(미도시)을 패터닝하여 박막트랜지스터의 활성층(212), 커패시터의 제1전극(312) 및 연결부(312a)를 형성한다.
- [0061] 상기 도면에는 도시되어 있지 않지만, 기관(10)상에는 버퍼층(11) 및 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1포토마스킹(미도시)을 이용한 포토리소그래피 공정에 의

해 반도체층(미도시)이 패터닝된다. 패터닝 결과, 전술한 활성층(212), 제1전극(312) 및 연결부(312a)가 형성된다. 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(striping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.

[0062] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.

[0063] 도 2b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0064] 도 2b를 참조하면, 도 2a의 제1마스크 공정의 결과물 상에 제1절연층(13)과 투명도전성 산화물을 포함하는 층(미도시)을 차례로 적층한 후 이를 패터닝한다.

[0065] 제1절연층(13) SiO<sub>2</sub>, SiN<sub>x</sub>, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST 및 PZT에서 선택된 무기 절연막으로 형성될 수 있고, 투명도전성 산화물을 포함하는 층(미도시)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0066] 패터닝 결과, 제1절연층(13) 상에 화소전극(114)과 커패시터의 제2전극(314)이 형성된다. 제1절연층(13)은 SiO<sub>2</sub>, SiN<sub>x</sub> 등을 단층 또는 복수층 포함할 수 있으며, 제1절연층(13)은 박막 트랜지스터의 게이트 절연막, 및 커패시터의 유전막 역할을 한다.

[0067] 도 2c는 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0068] 도 2c를 참조하면, 도 2b의 제2마스크 공정의 결과물 상에 제1금속층(미도시)을 형성하고, 이를 패터닝한다.

[0069] 제1금속층(미도시)으로, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성할 수 있다.

[0070] 패터닝 결과, 제1금속층(미도시)은 박막트랜지스터의 게이트전극(215), 및 화소전극(114) 상에 위치하는 금속연결층(115)이 형성된다. 상기 도면에는 일 예로, 몰리브덴(Mo)을 포함하는 제1층(215a), 알루미늄(Al)을 포함하는 제2층(215b), 몰리브덴(Mo)을 포함하는 제3층(215c)으로 형성된 게이트전극(215)을 도시하였다.

[0071] 게이트전극(215)이 투명도전성 산화물을 포함하는 층 없이 전술한 저저항 금속을 포함하는 층으로만 형성되기 때문에, 게이트전극(214)의 패터닝 시 언더컷 발생을 방지할 수 있다. 또한, 스캔신호배선과 같이, 게이트전극(215)과 동일재료의 신호배선(미도시)이 제1절연층(13) 상에 직접 형성되기 때문에, 신호배선의 패터닝에 의한 리프팅 발생을 방지할 수 있다.

[0072] 상기와 같은 구조물 위에 이온불순물이 도핑된다. 이온불순물은 B 또는 P 이온을 도핑할 수 있는데,  $1 \times 10^{15}$  atoms/cm<sup>3</sup> 이상의 농도로 박막트랜지스터의 활성층(212), 제1전극(312) 및 연결부(312a)를 타겟으로 하여 도핑(D)한다.

[0073] 게이트전극(215)을 셀프-얼라인(self-align) 마스크로 하여 활성층(212)에 이온불순물을 도핑함으로써 활성층(212)에는 이온불순물이 도핑된 소스영역(212a) 및 드레인영역(212b)과, 그 사이에 채널영역(212c)이 형성된다.

[0074] 한편, 활성층(212)과 동일 재료로 형성된 제1전극(312) 및 연결부(312a)도 활성층(212)과 함께 동시에 도핑된다. 본 실시예에 따르면, 활성층(212)의 소스영역(212a) 및 드레인영역(212b)과, 제1전극(312) 및 그 연결부(312a)가 1회의 도핑공정으로 동시에 도핑되므로, 제조공정을 간단히 하고, 제조비용을 줄일 수 있다.

[0075] 도 2d는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.

[0076] 도 2d를 참조하면, 도 2c의 제3마스크 공정의 결과물 상에 제2절연층(16)을 형성되고, 제2절연층(16)을 패터닝하여 화소전극(114)을 노출시키는 개구(C1), 화소전극(114)과 소스전극(217a) 및 드레인전극(217b) 중 하나를 연결하는 개구(C2), 활성층(212)의 소스영역(212a) 및 드레인영역(212b)의 일부를 노출시키는 개구(C3)를 형성

한다.

- [0077] 개구(C1)는 제2절연층(16)이 화소전극(114)의 외곽을 덮지 않도록, 화소전극(114)과 제2절연층(16) 사이에 갭(gap)(G1)이 형성되도록 패터닝한다. 전술하였듯이, 표시 장치(1)의 개구율이 증가될 수 있다.
- [0078] 도 2e은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0079] 도 2e를 참조하면, 도 2e의 제4마스크 공정의 결과물 상에 제2금속층(미도시)을 형성하고, 패터닝 결과 소스전극(219a)과 드레인전극(219b)이 형성된다.
- [0080] 제2금속층(미도시)으로는 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0081] 소스전극(217a) 및 드레인전극(217b) 중 하나는 화소전극(114)과 개구(C2)를 통하여 전기적으로 연결된다. 본 실시예에서 소스전극(217a) 및 드레인전극(217b)은 화소전극(114) 형성 후 패터닝되기 때문에, 화소전극(114)과 연결되는 소스전극(217a) 또는 드레인전극(217b)의 접속부는 화소전극(114) 위에 형성된다. 또한, 소스전극(217a)과 드레인전극(217b)의 패터닝 시, 화소전극(114) 위에 배치되어 있던 금속연결층(115)은 제거되고, 화소전극(114)과 접속부 사이의 금속연결층(115)만 패터닝이 남는다.
- [0082] 소스전극(217a) 및 드레인전극(217b)을 형성하는 금속과, 금속연결층(115)을 형성하는 금속이 동일 재료일 경우에는, 동일한 식각액을 이용하여 한번의 식각 공정으로 화소전극(114) 상의 금속연결층(115)을 제거하고, 소스전극(217a) 및 드레인전극(217b)을 패터닝할 수 있다. 만약, 소스전극(217a) 및 드레인전극(217b)을 형성하는 금속과, 금속연결층(115)을 형성하는 금속이 서로 다른 재료일 경우에는, 1차 식각공정으로 소스전극(217a) 및 드레인전극(217b) 패터닝을 형성하고, 2차 식각공정으로 화소전극(114) 상의 금속연결층(115)을 제거한다.
- [0083] 도 2f는 본 실시예에 따른 유기 발광 표시 장치(1)의 제6마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0084] 도 2f를 참조하면, 도 2e의 제5마스크 공정의 결과물 상에 제3절연층(18)을 형성한 후, 화소전극(114) 상부를 노출시키는 개구(C4)를 형성한다.
- [0085] 이하, 도 3을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 설명한다. 이하, 전술한 실시예와의 차이점을 중심으로 설명하기로 한다.
- [0086] 도 3은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)를 개략적으로 도시한 단면도이다.
- [0087] 도 3을 참조하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치(2)의 기관(10) 상에는 픽셀영역(PXL2), 트랜지스터영역(TR2), 커패시터영역(CAP2), 및 패드영역(PAD2)이 형성된다. 트랜지스터영역(TR2)은 전술한 실시예에 따른 유기 발광 표시 장치(1)와 동일하다.
- [0088] 픽셀영역(PXL2)에는 기관(10), 버퍼층(11)상에 화소전극(114-2)이 구비된다. 화소전극(114-2) 상에 유기발광층(119)이 형성되고, 유기발광층(119)에서 방출된 광은 화소전극(114-2)을 통하여 기관(10) 측으로 방출된다.
- [0089] 본 실시예에 따른 유기 발광 표시 장치(2)에서 화소전극(114-2)은 전술한 투명도전성 산화물을 포함하는 층 외에 반투과 금속을 포함하는 층을 더 포함할 수 있다. 예를 들어, 화소전극(114-2)은 투명도전성 산화물을 포함하는 제1층(114a, 도 2b 참조), 반투과 금속을 포함하는 제2층(114b, 도 2b 참조), 및 투명도전성 산화물을 포함하는 제3층(114c, 도 2b 참조)을 포함할 수 있다. 제2층(114b)을 구성하는 반투과 금속은 은(Ag), 알루미늄(Al), 및 이들의 합금 중에서 선택될 수 있다.
- [0090] 투명도전성 산화물을 포함하는 제1층(114a)은 제1절연층(13)과 반투과 금속을 포함하는 제2층(114b) 사이의 접촉 스트레스를 감소시킬 수 있고, 투명도전성 산화물을 포함하는 제3층(114a)은 반투과 금속을 포함하는 제2층(114b)과, 유기발광층(119)과 제2층(114b) 사이의, 예를 들어, 정공주입층과 같은 유기막들 사이의 일함수 차이를 줄일 수 있다.
- [0091] 이때, 대향전극(120)이 반사미러(mirror)로서 기능하고, 반투과 금속을 포함하는 제2층(114b)이 반투과 미러로 기능함으로써, 유기발광층(119)에서 방출된 광은 대향전극(120)과 반투과 금속을 포함하는 제2층(114b) 사이에서 공진된다. 따라서, 본 실시예에 따른 유기 발광 표시 장치(2)는 공진으로 인해 유기 발광 표시 장치(2)의 광효율이 증대된다. 이때, 반투과 금속을 포함하는 층(114b)이 공진 미러(mirror)로 작용하기 위해서 두께는 300

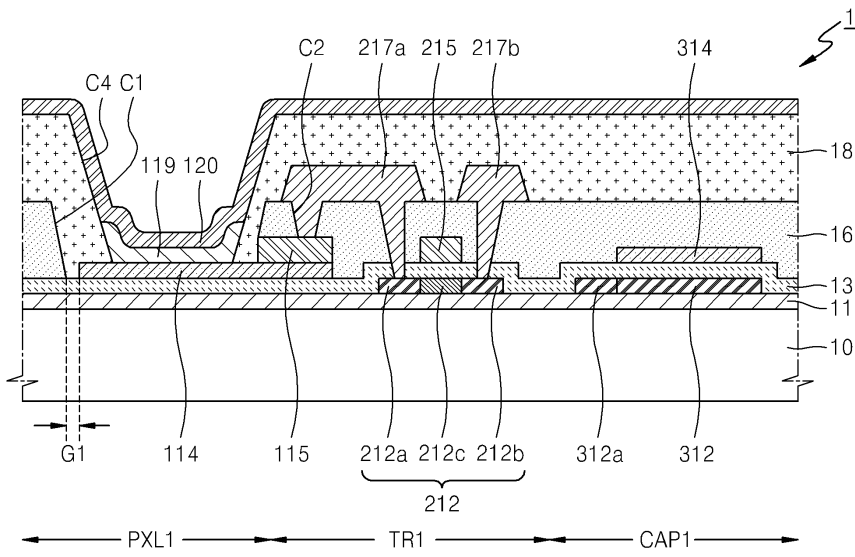
A이하의 두께를 갖는 것이 바람직하다.

- [0092] 커패시터영역(CAP2)에는 기관(10), 제1전극(314)과 제2전극(314-2)이 형성된다. 제2전극(314-2)은 투명도전성 산화물을 포함하는 제1층(314a), 반투과 금속을 포함하는 제2층(314b), 투명도전성 산화물을 포함하는 제3층(314c)을 포함한다. 이는 전술한 화소전극(114-2)의 구성과 동일하다.
- [0093] 제1전극(312)과 제2전극(314-2) 사이에 유전막으로 기능하는 제1절연층(13)이 형성되고, 제2전극(314-2) 상에 제2절연층(16) 및 제3절연층(18)이 형성된다.
- [0094] 도 4는 본 발명의 제1비교예에 따른 유기 발광 표시 장치(3)를 개략적으로 도시한 단면도이다.
- [0095] 도 4를 참조하면, 제1비교예에 따른 유기 발광 표시 장치(3)는 픽셀영역(PXL3), 트랜지스터영역(TR3), 및 커패시터영역(CAP3)을 구비한다.
- [0096] 픽셀영역(PXL3)에서 제2절연층(16)은 화소전극(114)의 외곽을 덮고 있기 때문에 개구율이 작다.
- [0097] 트랜지스터영역(TR3)에서 게이트전극(214, 215)이 투명도전성 산화물을 포함하는 층(214)과 저저항 금속을 포함하는 층(215)으로 구성되기 때문에, 패터닝 시, 투명도전성 산화물을 포함하는 층(214)과 저저항 금속을 포함하는 층(215) 사이에 언더컷(undercut)이 발생하여, 스텝 커버리지(step coverage)가 나빠질 수 있다. 따라서, 층간절연막인 제2절연층(16)의 형성 후, 열처리 공정에서 제2절연층(16)에 크랙(crack)이 발생할 수 있고, 이로 인한 단락이 발생할 수 있다.
- [0098] 또한, 제1절연층(13) 상에 신호배선(미도시)이 게이트전극(214, 215)과 동일재료로 형성될 경우, 투명도전성 산화물을 포함하는 층과 제1절연층(13) 사이의 접촉상태가 좋지 않아, 투명도전성 산화물을 포함하는 층이 리프팅(lifting)되는 현상이 발생할 수 있다.
- [0099] 커패시터영역(CAP3)에서, 제2절연층(16)이 제2전극(314)의 외곽을 덮도록 형성하고, 제1전극(312)과 연결부(312a)에는 이온불순물이 연속적으로 도핑되지 않는다. 즉, 제1전극(312)과 연결부(312a) 사이에 이온불순물이 도핑되지 않은 영역(ND)이 형성되어 커패시터의 저항이 커지고, 신호전달 품질이 저하된다.
- [0100] 도 5a 내지 5e는 본 발명의 제1비교예에 따른 유기 발광 표시 장치의 제조과정을 개략적으로 도시한 단면도들이다.
- [0101] 도 5a를 참조하면, 기관(10) 상에 이온불순물이 도핑되지 않은 활성층(212)과, 이온불순물이 도핑되지 않은 제1전극(312)과 연결부(312a)가 형성된다.
- [0102] 도 5b를 참조하면, 투명도전성 산화물을 포함하는 층과 저저항금속을 포함하는 층을 차례로 적층한 후 패터닝하여, 화소전극(114, 115), 게이트전극(214, 215), 커패시터의 제1전극(314, 315)을 각각 형성하고, 제1차 도핑(D1)을 한다. 그 결과, 활성층(212)은 이온불순물이 도핑된 소스 및 드레인영역(212a, 212b)과, 채널영역(212c)을 구비하게 된다. 제2전극(314, 315)은 차단마스크로 기능하기 때문에, 제2전극(314, 315)에 막힌 제1전극(312)은 도핑되지 않고, 연결부(312a)는 도핑된다. 이때, 게이트전극(214, 215)은 패터닝 시, 투명도전성 산화물을 포함하는 층(214)과 저저항 금속을 포함하는 층(215) 사이에 언더컷이 발생하여, 스텝 커버리지(step coverage)가 나빠질 수 있다. 또한, 신호배선(미도시)이 게이트전극(214, 215)과 동일재료로 형성될 경우, 투명도전성 산화물을 포함하는 층(214)과 제1절연층(13) 사이의 접촉상태가 좋지 않아, 투명도전성 산화물을 포함하는 층(214)이 리프팅(lifting)되는 현상이 발생할 수 있다.
- [0103] 도 5c를 참조하면, 제2절연층(16)을 형성하고 화소전극(114, 115)을 노출시키는 개구(C1), 화소전극(114, 115)과 소스전극 또는 드레인전극을 연결하는 개구(C2), 활성층(212)의 소스영역(212a) 및 드레인영역(212b)의 일부를 노출시키는 개구(C3), 및 제2전극(314, 315)을 노출시키는 개구(C4)를 형성한다. 이때, 제2절연층(16)은 상부전극(314, 315) 전체를 노출시키지 않고 가장자리를 약간 덮는(cladding) 방식으로 개구(C4)를 형성한다.
- [0104] 도 5d를 참조하면, 도 5c의 제3마스크 공정의 결과물 상에 제2금속층(미도시)이 전술한 개구(C1, C2, C3, C4)를 메우며 적층된 후 패터닝되어 소스전극(217a)과 드레인전극(217b)이 형성된다. 이때, 화소전극의 상부층(115)과 제2전극의 상부층(315)이 함께 제거된다. 이때, 제2절연층(16)이 제2전극의 상부층(315)의 가장자리를 덮고 있기 때문에, 제2절연층(16)으로 덮힌 상부층(315)이 잔존하게 된다. 그 후 제2차 도핑(D2)이 실시된다. 2차 도핑(D2) 후 제2전극(312)은 도핑되지만, 잔존하는 상부층(315)에 대응되는 부분(ND)은 도핑되지 않는다. 따라서, 커패시터영역의 저항을 증가시켜 신호 품질을 떨어뜨린다.

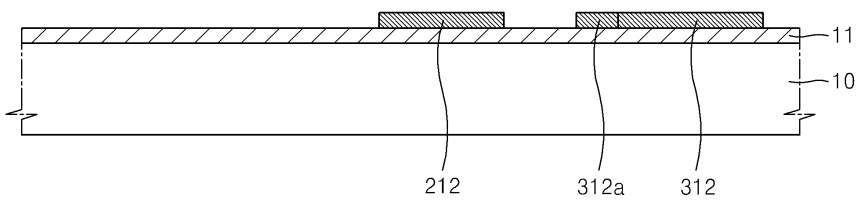


도면

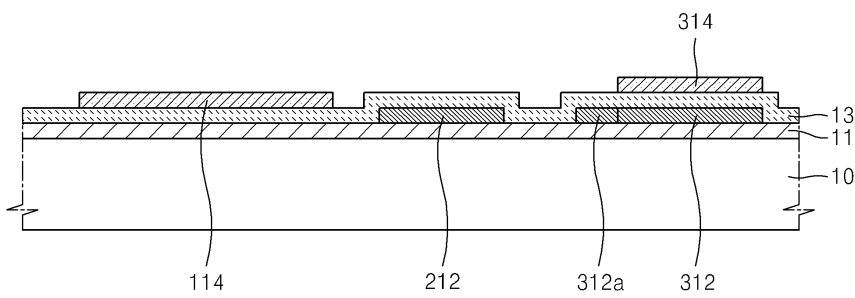
도면1



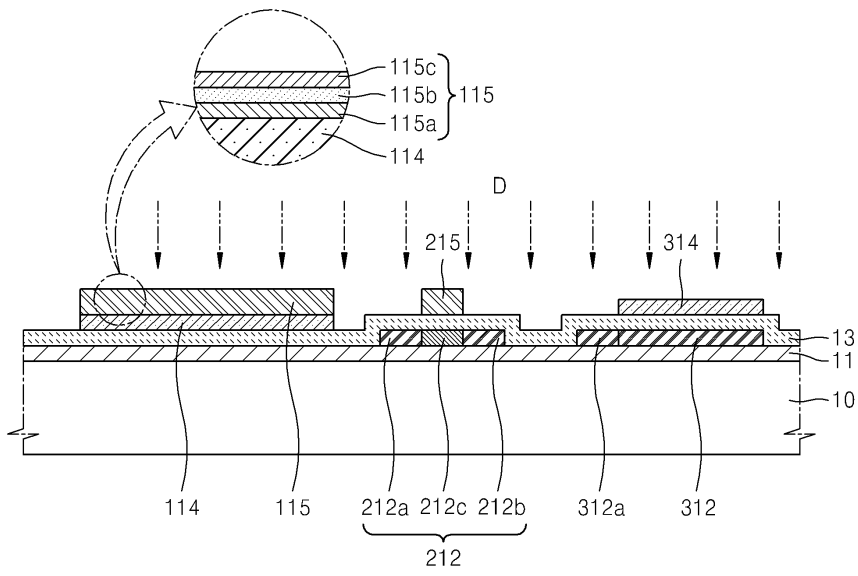
도면2a



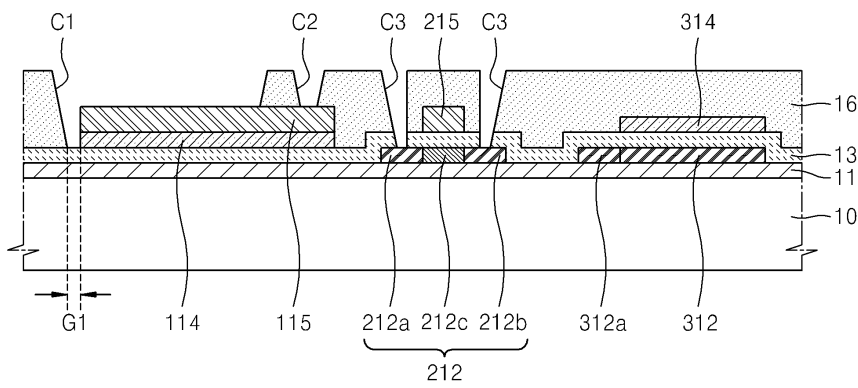
도면2b



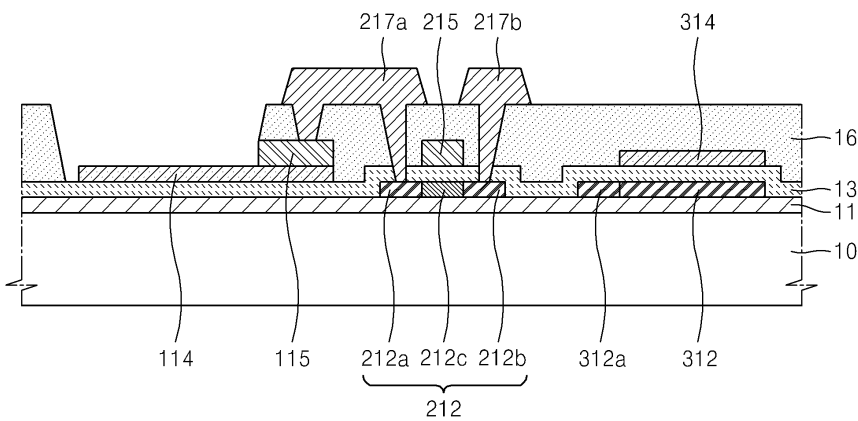
도면2c



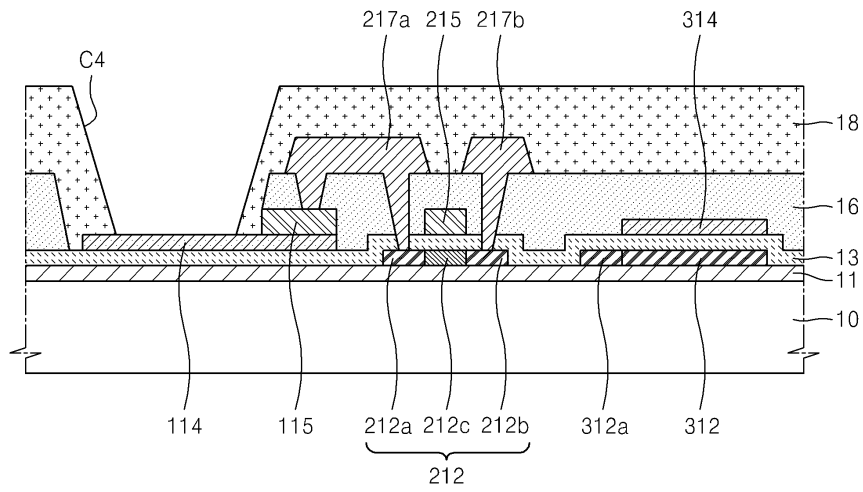
도면2d



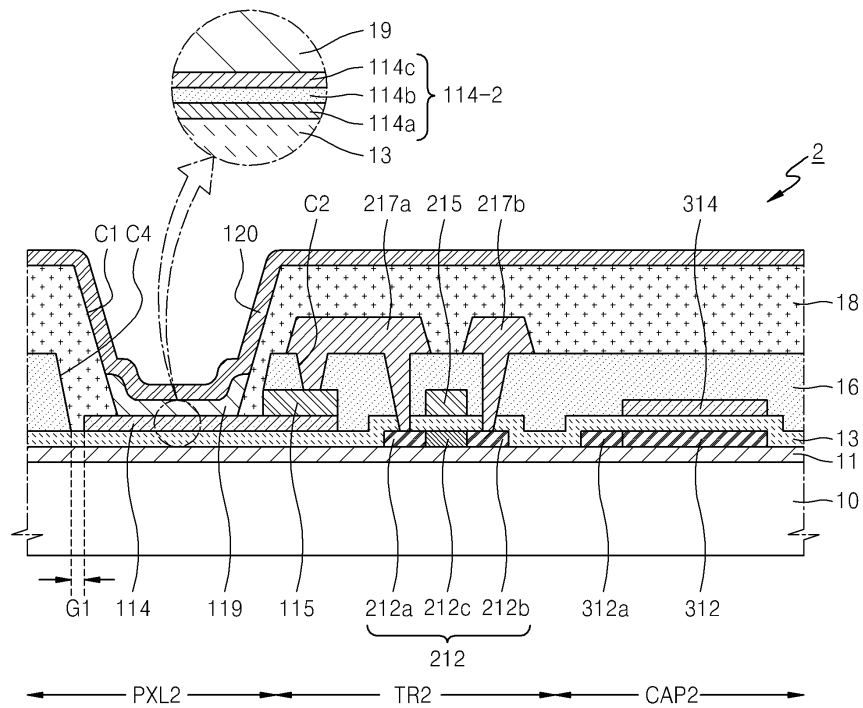
도면2e



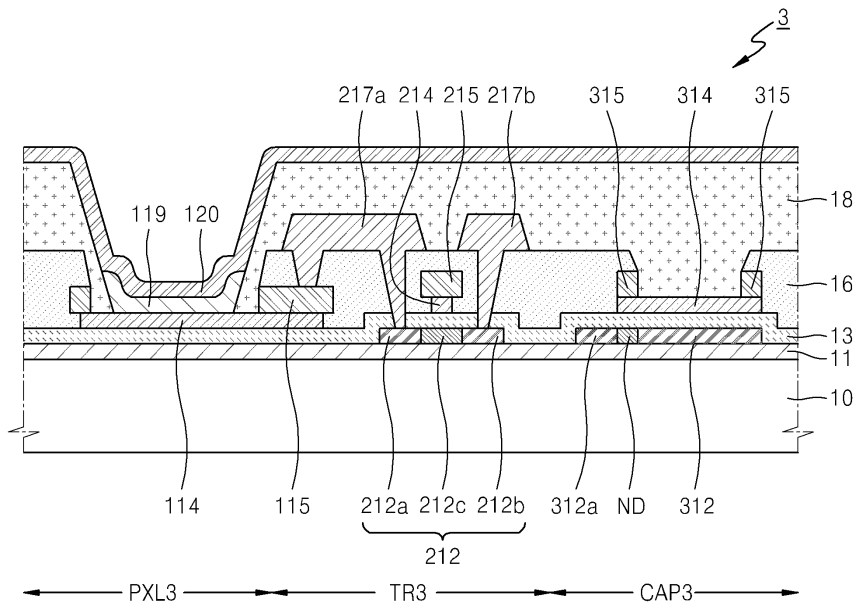
도면2f



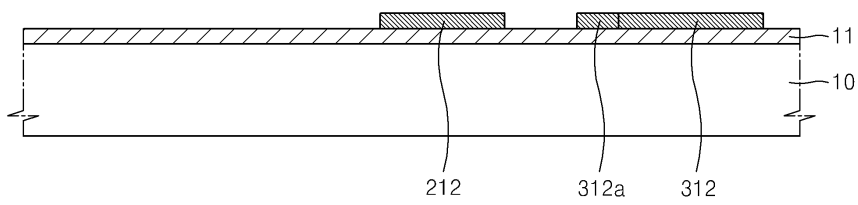
도면3



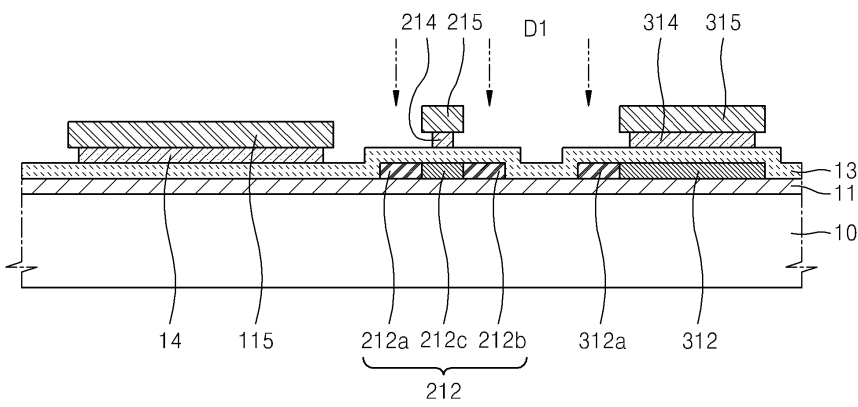
도면4



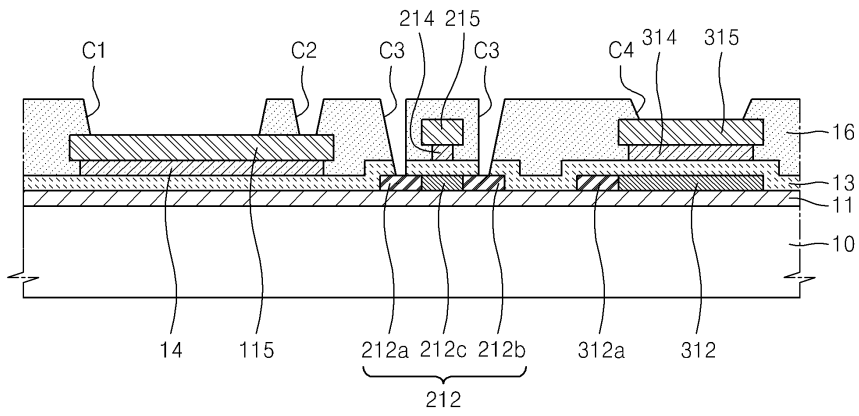
도면5a



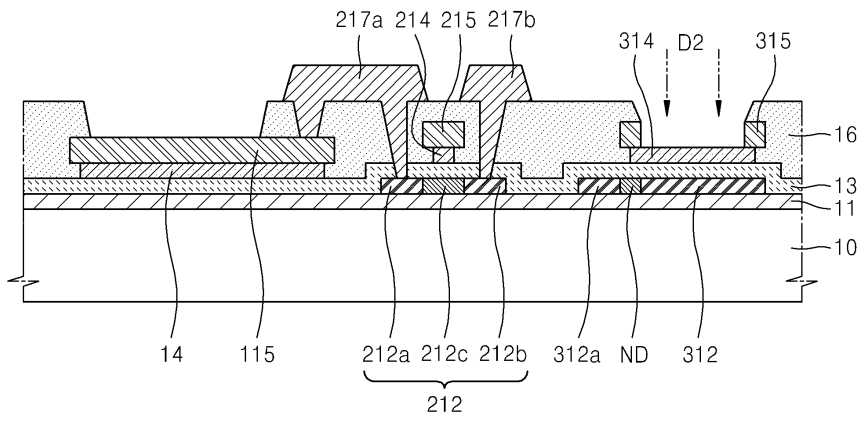
도면5b



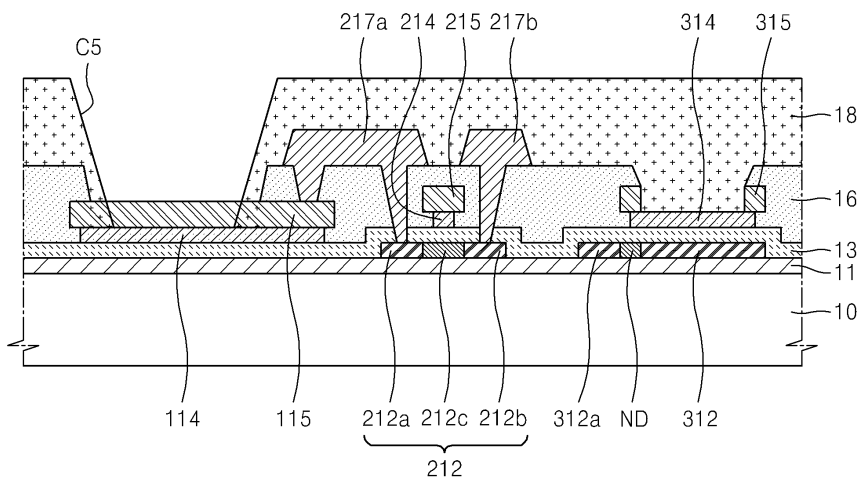
도면5c



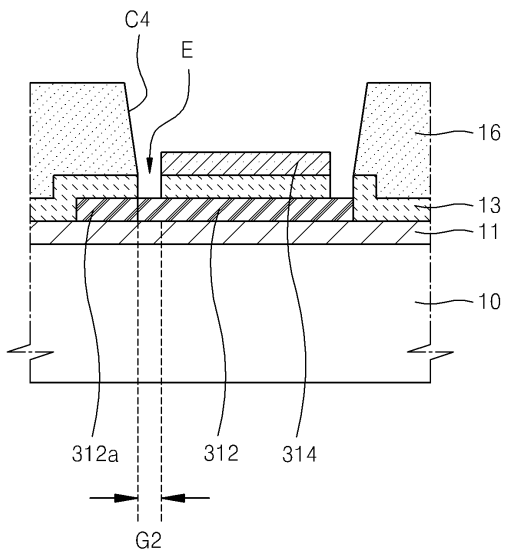
도면5d



도면5e



도면6



专利名称(译)	薄膜晶体管阵列基板，包括其的有机发光显示器及其制造方法		
公开(公告)号	<a href="#">KR1020130055446A</a>	公开(公告)日	2013-05-28
申请号	KR1020110121196	申请日	2011-11-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOU CHUN GI 유춘기 CHOI JOON HOO 최준후		
发明人	유춘기 최준후		
IPC分类号	H01L51/50 H01L29/786 H01L51/56		
CPC分类号	H01L27/124 H01L27/1255 H01L51/5206 H01L27/326 H01L27/3276 H01L27/1259 H01L27/3248 H01L51/5215 H01L2227/323		
其他公开文献	KR101880720B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的一个方面，提供了一种半导体器件，包括：有源层，栅电极，源电极和漏电极，设置在有源层和栅电极之间的第一绝缘层，以及设置在栅电极和源电极与漏电极之间的第二绝缘层。2个薄膜晶体管，包括绝缘层；像素电极通过形成在第二绝缘层中的开口连接到源电极和漏电极中的一个，像素电极设置在从薄膜晶体管延伸并包括透明导电氧化物的第一绝缘层上；第一电极设置在与有源层相同的层上，第二电极包括透明导电氧化物，第二电极设置在第一绝缘层和第二绝缘层之间；并且第三绝缘层覆盖源电极和漏电极并暴露像素电极。专利文献10-2013-0055446

