



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년04월09일  
 (11) 등록번호 10-1966688  
 (24) 등록일자 2019년04월02일

- (51) 국제특허분류(Int. Cl.)  
 HO1L 27/32 (2006.01) HO1L 51/52 (2006.01)
- (52) CPC특허분류  
 HO1L 27/3246 (2013.01)  
 HO1L 27/3258 (2013.01)
- (21) 출원번호 10-2017-0171093(분할)
- (22) 출원일자 2017년12월13일  
 심사청구일자 2017년12월13일
- (65) 공개번호 10-2017-0142145
- (43) 공개일자 2017년12월27일
- (62) 원출원 특허 10-2011-0000269  
 원출원일자 2011년01월03일  
 심사청구일자 2015년12월22일
- (56) 선행기술조사문헌  
 KR1020090086312 A\*  
 KR1020050000491 A\*  
 JP2007294413 A  
 JP2010244785 A  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
 삼성디스플레이 주식회사  
 경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자  
 김지영  
 서울특별시 동작구 남부순환로257가길 27-1, 한백  
 리즈빌 4차 403호 (사당동)  
 강진구  
 경기도 수원시 장안구 화산로 85, 천천푸르지오아  
 파트 126-904 (천천동)  
 (뒷면에 계속)
- (74) 대리인  
 특허법인가산

전체 청구항 수 : 총 9 항

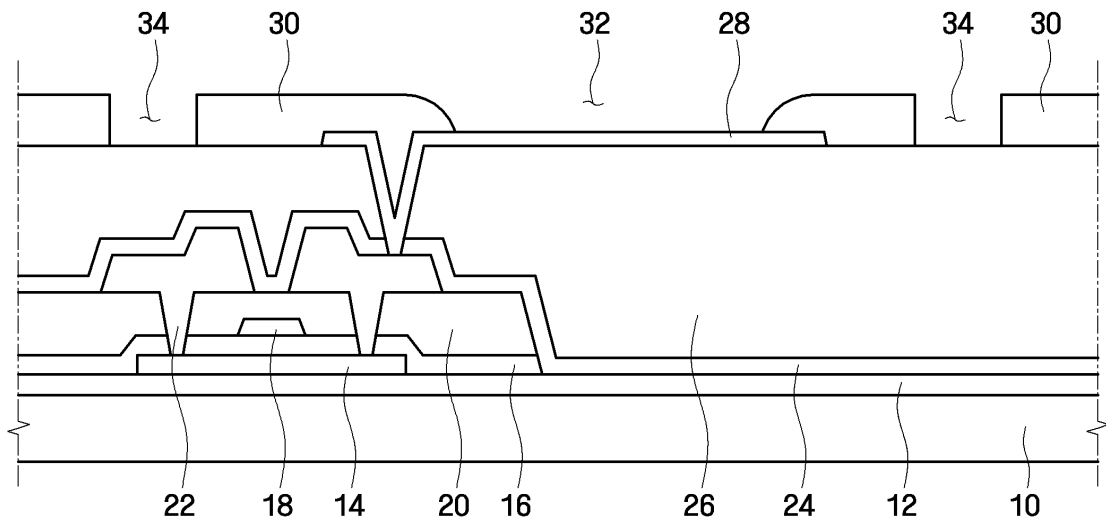
심사관 : 조성수

(54) 발명의 명칭 유기전계발광표시장치 및 그 제조방법

(57) 요약

유기전계발광표시장치 및 그 제조방법이 제공된다. 본 발명에 따른 유기전계발광표시장치는, 화소영역 및 트랜지스터 영역을 포함하는 기판과, 상기 기판의 트랜지스터 영역 상에 형성되며, 소스/드레인 전극의 상부에 위치하는 평탄화막 및 소스/드레인 전극과 전기적으로 연결되는 제1 전극의 일부를 외부로 노출시키는 개구부가 형성된 화소정의막을 가지는 박막 트랜지스터를 포함하되, 상기 화소정의막에는 상기 개구부 이외에 영역에 아웃게시홀이 형성되어 상기 평탄화막을 외부로 노출시킨다.

대표도 - 도1



(52) CPC특허분류

*H01L 51/5206* (2013.01)

*H01L 51/5212* (2013.01)

*H01L 51/5221* (2013.01)

*H01L 51/5237* (2013.01)

*H01L 51/5296* (2013.01)

(72) 발명자

**김재복**

서울특별시 관악구 신림로3길 40, 건영아파트 6동  
301호 (신림동)

**김효석**

서울특별시 서대문구 이화여대길 50-12, 럭키아파  
트 103-404 (대현동)

**명세서**

**청구범위**

**청구항 1**

화소영역 및 트랜지스터 영역을 포함하는 기관;

상기 기관의 트랜지스터 영역 상에 형성되며, 소스/드레인 전극의 상부에 위치하는 평탄화막 및 소스/드레인 전극과 전기적으로 연결되는 제1 전극의 일부를 외부로 노출시키는 개구부가 형성된 화소정의막을 가지는 박막 트랜지스터를 포함하되,

상기 화소정의막에는 상기 개구부 이외의 영역에 적어도 두 개의 아웃개싱홀이 형성되어 상기 평탄화막을 외부로 노출시키고,

상기 아웃개싱홀의 상부에는 상기 아웃개싱홀의 예지부를 덮으면서 적어도 일부분이 상기 화소정의막 상에 배치된 유기보호막이 형성되며,

상기 유기보호막 중 상기 화소정의막 상에 배치된 부분은 상기 화소정의막 상의 일부 영역에만 배치되고,

상기 화소 영역은 서로 대향하는 일면 및 타면을 포함하고,

상기 적어도 두 개의 아웃개싱홀은 상기 일면 및 상기 타면에 인접한 부분에만 형성되되,

상기 일면을 따라 배치되는 제1열 아웃개싱홀, 상기 타면을 따라 배치되는 제2열 아웃개싱홀 및 제3열 아웃개싱홀이 정의되고,

상기 유기보호막은 제1 서브 유기 보호막 및 제2 서브 유기 보호막을 포함하되,

상기 제1 서브 유기보호막은 상기 제1열 아웃개싱홀과 중첩되고, 상기 제2 서브 유기보호막은 상기 제2열 아웃개싱홀 및 상기 제3열 아웃개싱홀과 중첩되는 유기전계발광표시장치.

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

제1항에 있어서,

상기 아웃개싱홀의 예지부는 라운드 처리된 유기전계발광표시장치.

**청구항 5**

제1항에 있어서,

상기 제1 전극은 ITO 또는 IZO 중에서 선택된 하나 이상을 포함하는 물질로 형성되는 유기전계발광표시장치.

**청구항 6**

제1항에 있어서,

상기 화소영역의 상기 제1 전극 상부에 노즐 프린팅으로 형성되는 유기발광층; 및 상기 유기발광층의 상부에 형성되는 제2 전극을 더 포함하는 유기전계발광표시장치.

**청구항 7**

제6항에 있어서,

상기 아웃개싱홀은 상기 노즐 프린팅 시에 노즐의 이동 경로 이외의 영역에 형성되는 유기전계발광표시장치.

**청구항 8**

제1항에 있어서,

상기 유기보호막은 곡면으로 이루어지는 유기전계발광표시장치.

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

화소영역 및 트랜지스터 영역을 포함하는 기관의 상기 트랜지스터 영역 상에 평탄화막을 형성하는 단계;

상기 평탄화막 상에 위치하고 소스/드레인 전극과 전기적으로 연결되는 제1 전극을 형성하는 단계;

외부로 상기 제1 전극을 일부 노출시켜 상기 화소영역을 정의하는 개구부가 형성된 화소정의막을 제공하는 단계;

상기 평탄화막을 외부로 노출시키도록 상기 화소정의막의 상기 개구부 이외의 영역에 적어도 두 개의 아웃개싱홀을 형성하는 단계;

상기 아웃개싱홀의 상부에 상기 아웃개싱홀의 에지부를 덮는 유기보호막을 형성하는 단계;

상기 화소영역의 상기 제1 전극 상부에 노즐프린팅을 이용하여 유기발광층을 형성하는 단계를 포함하되,

상기 유기발광층을 형성하는 단계에서 상기 평탄화막에 의해 발생된 아웃개싱은 상기 유기보호막 및 아웃개싱홀을 통과하여 외부로 배출되며,

상기 아웃개싱홀을 형성하는 단계는,

상기 노즐프린팅 시에 노즐의 이동 경로 이외의 영역에 상기 아웃개싱홀을 형성하되, 상기 화소 영역은 서로 대향하는 일면 및 타면을 포함하고, 상기 적어도 두 개의 아웃개싱홀은 상기 일면 및 상기 타면에 인접한 부분에 만 형성되되,

상기 일면을 따라 배치되는 제1열 아웃개싱홀, 상기 타면을 따라 배치되는 제2열 아웃개싱홀 및 제3열 아웃개싱홀이 정의되고,

상기 유기보호막은 제1 서브 유기 보호막 및 제2 서브 유기 보호막을 포함하되,

상기 제1 서브 유기보호막은 상기 제1열 아웃개싱홀과 중첩되고, 상기 제2 서브 유기보호막은 상기 제2열 아웃개싱홀 및 상기 제3열 아웃개싱홀과 중첩되는 유기전계발광표시장치의 제조방법.

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

제13항에 있어서,  
 상기 아웃개싱홀을 형성하는 단계는,  
 상기 아웃개싱홀의 에지부를 라운드 처리하는 단계를 더 포함하는 유기전계발광표시장치의 제조방법.

**청구항 17**

제13항에 있어서,  
 상기 유기보호막은 곡면으로 이루어지는 유기전계발광표시장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기전계발광표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 평탄화막에서 발생하는 아웃개싱으로 인한 손상이 없는 유기전계발광표시장치 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 정보통신 산업이 급격히 발달됨에 따라 표시 장치의 사용이 급증하고 있으며, 최근들어 저전력, 경량, 박형, 고해상도의 조건을 만족할 수 있는 표시 장치가 요구되고 있다. 이러한 요구에 발맞추어 액정표시장치(Liquid Crystal Display)나 유기발광 특성을 이용하는 유기전계발광표시장치(Organic Light Emitting Display)들이 개발되고 있다.

[0003] 유기전계발광표시장치는 자체발광 특성을 갖는 차세대 표시 장치로서, 액정 표시 장치에 비해 시야각, 콘트라스트(contrast), 응답속도, 소비전력 등의 측면에서 우수한 특성을 가지며, 백라이트가 필요하지 않아 경량 및 박형으로 제작이 가능하다.

[0004] 유기전계발광표시장치는 화소 영역과 비화소 영역을 제공하는 기판과, 밀봉(encapsulation)을 위해 기판과 대향되도록 배치되며 에폭시와 같은 밀봉제(sealant)에 의해 기판에 합착되는 용기 또는 기판으로 구성된다. 기판의 화소 영역에는 주사 라인(scan line) 및 데이터 라인(data line) 사이에 매트릭스 방식으로 연결되어 화소를 구성하는 다수의 발광 소자가 형성되고, 비화소 영역에는 화소 영역의 주사 라인 및 데이터 라인으로부터 연장된 주사 라인 및 데이터 라인, 유기전계발광 소자의 동작을 위한 전원전압 공급 라인 그리고 입력 패드를 통해 외부로부터 제공된 신호를 처리하여 주사 라인 및 데이터 라인으로 공급하는 주사 구동부 및 데이터 구동부가 형성된다.

**발명의 내용**

**해결하려는 과제**

[0005] 한편, 유기전계발광표시장치는 기판 위에 반도체층, 게이트 전극 및 소스/드레인 전극이 형성된 후 그 상부를 평탄하게 덮기 위한 평탄화막 및 화소부를 정의하는 화소정의막이 형성되고, 그 상부에 유기발광층이 제공된다.

[0006] 상기 유기발광층은 노즐프린팅 방법을 통해 형성될 수 있는데, 상기 노즐프린팅 방법은 미세노즐이 화소부를 지나가면서 유기발광물질을 분사하여 유기발광층을 형성하게 된다. 노즐프린팅 후 소성과정이 수행되며, 상기 과정이 수회 반복될 수 있다.

[0007] 이때, 상기 소성과정에 의해 유기물로 형성된 평탄화막에서 아웃개싱이 발생할 수 있는데, 상기 평탄화막 상부는 무기물로 형성된 화소정의막이 존재하기 때문에 화소정의막에 의해 아웃개싱이 외부로 배출되지 못하여 내부에서 부풀어 오르거나 평탄화막이 변형되고, 이로 인해 화소정의막 및 전극이 변형되어 불량요인이 된다.

[0009] \*본 발명이 해결하고자 하는 과제는, 노즐프린팅과 병행되는 소성과정에 의해 발생한 평탄화막의 아웃개싱을 외부로 배출시켜 평탄화막 및 화소정의막의 변형을 방지하고 아웃개싱으로 인한 불량률이 낮은 유기전계발광표시장치 및 그 제조방법을 제공하고자 하는 것이다.

[0010] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과

제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0011] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 유기전계발광표시장치는, 화소영역 및 트랜지스터 영역을 포함하는 기판과, 상기 기판의 트랜지스터 영역 상에 형성되며, 소스/드레인 전극의 상부에 위치하는 평탄화막 및 소스/드레인 전극과 전기적으로 연결되는 제1 전극의 일부를 외부로 노출시키는 개구부가 형성된 화소정의막을 가지는 박막 트랜지스터를 포함하되, 상기 화소정의막에는 상기 개구부 이외에 영역에 아웃개싱홀이 형성되어 상기 평탄화막을 외부로 노출시킨다.
- [0012] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 유기전계발광표시장치는, 화소영역 및 트랜지스터 영역을 포함하는 기판과, 상기 기판의 트랜지스터 영역 상에 형성되며, 소스/드레인 전극의 상부에 위치하는 평탄화막 및 소스/드레인 전극과 전기적으로 연결되는 제1 전극의 일부를 외부로 노출시키는 개구부가 형성된 화소정의막을 가지는 박막 트랜지스터를 포함하되, 상기 화소정의막에는 상기 개구부 이외에 영역에 아웃개싱홀이 형성되어 상기 평탄화막을 외부로 노출시키고, 상기 아웃개싱홀의 상부에는 상기 아웃개싱홀의 에지부를 덮는 유기보호막이 형성된다.
- [0013] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법은, 화소영역 및 트랜지스터 영역을 포함하는 기판의 상기 트랜지스터 영역 상에 평탄화막을 형성하는 단계와, 상기 평탄화막 상에 위치하고 소스/드레인 전극과 전기적으로 연결되는 제1 전극을 형성하는 단계와, 외부로 상기 제1 전극을 일부 노출시켜 상기 화소영역을 정의하는 개구부가 형성된 화소정의막을 제공하는 단계와, 상기 평탄화막을 외부로 노출시키도록 상기 화소정의막의 상기 개구부 이외의 영역에 아웃개싱홀을 형성하는 단계와, 상기 화소영역의 상기 제1 전극 상부에 노즐프린팅을 이용하여 유기발광층을 형성하는 단계를 포함하되, 상기 유기발광층을 형성하는 단계에서 상기 평탄화막에 의해 발생된 아웃개싱은 상기 아웃개싱홀에 의해 외부로 배출된다.
- [0014] 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 제조방법은, 화소영역 및 트랜지스터 영역을 포함하는 기판의 상기 트랜지스터 영역 상에 평탄화막을 형성하는 단계와, 상기 평탄화막 상에 위치하고 소스/드레인 전극과 전기적으로 연결되는 제1 전극을 형성하는 단계와, 외부로 상기 제1 전극을 일부 노출시켜 상기 화소영역을 정의하는 개구부가 형성된 화소정의막을 제공하는 단계와, 상기 평탄화막을 외부로 노출시키도록 상기 화소정의막의 상기 개구부 이외의 영역에 아웃개싱홀을 형성하는 단계와, 상기 아웃개싱홀의 상부에 상기 아웃개싱홀의 에지부를 덮는 유기보호막을 형성하는 단계와, 상기 화소영역의 상기 제1 전극 상부에 노즐프린팅을 이용하여 유기발광층을 형성하는 단계를 포함하되, 상기 유기발광층을 형성하는 단계에서 상기 평탄화막에 의해 발생된 아웃개싱은 상기 유기보호막 및 아웃개싱홀을 통과하여 외부로 배출된다.
- [0015] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**도면의 간단한 설명**

- [0016] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 평면도이다.
- 도 3은 도 2에 따른 유기전계발광표시장치에 노즐프린팅으로 유기발광층을 형성하는 공정을 나타내는 도면이다.
- 도 4 내지 도 12는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 순차적으로 도시한 도면이다.
- 도 13은 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 단면도 중 일부이다.
- 도 14는 도 13에 따른 유기전계발광표시장치에 유기보호막이 형성된 모습을 도시한 도면이다.
- 도 15는 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 평면도이다.
- 도 16 및 도 17은 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 제조방법을 순차적으로 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로

다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.

- [0018] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0019] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "이루어지다(made of)"는 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0020] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0021] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- [0022] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0023] 이하, 도 1 내지 도 3을 참조하여 본 발명의 일 실시예에 대해 설명한다. 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도이고, 도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 평면도이고, 도 3은 도 2에 따른 유기전계발광표시장치에 노즐프린팅으로 유기발광층을 형성하는 공정을 나타내는 도면이다.
- [0024] 본 발명의 일 실시예에 따른 유기전계발광표시장치는 화소영역 및 트랜지스터 영역을 포함하는 기판(10)과, 상기 기판(10) 상에 위치하는 버퍼층(12)과, 상기 트랜지스터 영역의 상기 버퍼층(12) 상부에 위치하는 반도체층(14)과, 상기 반도체층(14)과 절연되는 게이트 전극(18)과, 상기 반도체층(14)과 상기 게이트 전극(18)을 절연시키는 게이트 절연막(16)과, 상기 게이트 전극(18)과 절연되며, 상기 반도체층(14)과 콘택홀을 통하여 전기적으로 연결되는 소스/드레인 전극(22)과, 상기 소스/드레인 전극(22) 상에 위치하는 평탄화막(26)과, 상기 평탄화막(26) 상에 위치하고 상기 소스/드레인 전극(22)과 전기적으로 연결되는 제1 전극(28)과, 상기 제1 전극(28) 상부에 형성되며 외부로 상기 제1 전극(28)을 일부 노출시키는 개구부(32)가 형성되어 상기 화소영역을 정의하는 화소정의막(30)을 포함하되, 상기 화소정의막(30)에는 상기 개구부(32) 이외에 영역에 아웃개싱홀(34)이 형성되어 상기 평탄화막(26)을 외부로 노출시킨다.
- [0025] 먼저, 기판(10)은 SiO<sub>2</sub>를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재료 형성할 수도 있다. 기판(10)을 형성하는 플라스틱 재는 절연성 유기물일 수 있는데, 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate), 폴리에테르이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylenen naphthalate), 폴리에틸렌 테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(PC), 셀룰로오스 트리 아세테이트(TAC), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP)로 이루어진 그룹으로부터 선택되는 유기물일 수 있다.
- [0026] 화상이 기판(10) 방향으로 구현되는 배면 발광형인 경우에 기판(10)은 투명한 재질로 형성해야 한다. 그러나 화상이 기판(10)의 반대 방향으로 구현되는 전면 발광형인 경우에 기판(10)은 반드시 투명한 재질로 형성할 필요는 없다. 이 경우 금속으로 기판(10)을 형성할 수 있다. 금속으로 기판(10)을 형성할 경우 기판(10)은 탄소, 철, 크롬, 망간, 니켈, 티타늄, 몰리브덴 및 스테인레스 스틸(SUS)로 이루어진 군으로부터 선택된 하나 이상을

포함할 수 있으나, 이에 한정되는 것은 아니다. 기판(10)은 금속 포일로 형성할 수 있다.

- [0027] 기판(10) 위에는 기판(10)의 평활성과 불순물의 침투를 차단하기 위한 버퍼층(12)이 더 형성될 수 있다. 상기 버퍼층(12)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 실리콘 산질화막(SiO<sub>2</sub>N<sub>x</sub>)의 단일층 또는 이들의 복층일 수 있다.
- [0028] 버퍼층(12)의 상부에는 반도체층(14)이 형성된다. 반도체층(14)은 실리콘(Si) 즉, 비정질 실리콘(a-Si)으로 구성될 수 있으며, 또는 폴리 실리콘(p-Si)으로도 구성될 수 있다. 그 외에도 게르마늄(Ge), 갈륨인(GaP), 갈륨비소(GaAs), 알루미늄비소(AIAs) 등으로 구성될 수 있으나, 이에 한정되는 것은 아니다. 또한, 반도체층(14)은 SOI(Silicon on Insulator)기판의 n형 불순물을 저농도로 확산시킨 실리콘 반도체층일 수 있으며, 그 외에도 반도체층(14)은 비정질 실리콘의 일부를 P형 또는 N형 불순물로 도핑한 형태일 수 있다.
- [0029] 반도체층(14)의 상부에는 상기 반도체층(14)을 커버하며, 상기 반도체층(14)과 게이트 전극(18)을 절연시키는 게이트 절연막(16)이 위치한다. 게이트 절연막(16)은 상기 버퍼층(12)과 마찬가지로 실리콘 산화막(SiO<sub>2</sub>), 실리콘 질화막(SiN<sub>x</sub>), 실리콘 산질화막(SiO<sub>2</sub>N<sub>x</sub>) 또는 이들의 다중층일 수 있다. 게이트 절연막(16)은 상기 버퍼층(12)과 동일한 재질로 형성될 수 있으며, 다른 재질로 제작될 수도 있다.
- [0030] 게이트 절연막(16) 상부에는 게이트 전극(18)이 형성된다. 게이트 전극(18)은 게이트 신호를 인가하여 각 화소 별로 발광을 제어할 수 있다. 게이트 전극(18)은 알루미늄(Al), 크롬-알루미늄(Cr-Al), 몰리브덴-알루미늄(Mo-Al) 또는 알루미늄-네오디뮴(Al-Nd)과 같은 알루미늄 합금의 단일층일 수 있으며, 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 적층된 다중층을 게이트 전극(18)으로 형성할 수도 있다.
- [0031] 게이트 전극(18) 상부에 층간절연막(20)을 형성한다. 층간절연막(20)은 게이트 전극(18)과 소스/드레인 전극(22)을 전기적으로 절연시키는 역할을 수행하며, 상기 버퍼층(12)과 마찬가지로 실리콘 산화막(SiO<sub>2</sub>), 실리콘 질화막(SiN<sub>x</sub>), 실리콘 산질화막(SiO<sub>2</sub>N<sub>x</sub>) 또는 이들의 다중층일 수 있다.
- [0032] 상기 층간절연막(20) 상부에 상기 반도체층(14)과 전기적으로 연결되는 소스/드레인 전극(22)을 형성한다. 여기서, 상기 소스/드레인 전극(22)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 몰리브덴텅스텐(MoW), 알루미늄(Al), 알루미늄-네오디뮴(Al-Nd), 티타늄(Ti), 질화티타늄(TiN), 구리(Cu), 몰리브덴 합금(Mo alloy), 알루미늄 합금(Al alloy), 및 구리 합금(Cu alloy) 중에서 선택되는 어느 하나로 형성될 수 있다. 상기 소스/드레인 전극(22)은 반도체층(14)에 의해 전기적으로 연결되어 제1 전극(28)에 전압을 인가한다.
- [0033] 소스/드레인 전극(22) 상부에는 추가적인 절연막(24)이 더 제공될 수 있으며, 상기 절연막(24) 상부에는 기판의 평탄화를 위한 평탄화막(26)이 제공된다. 노즐 프린팅을 이용한 패널 제작 시 기판(10)의 평탄도를 확보하는 것이 중요하기 때문에 평탄화막(26)을 사용하여 기판(10) 평탄도를 일정 수준 유지시킬 수 있다. 평탄화막(26) 재료로는 유기 아크릴계 물질을 사용할 수 있다.
- [0034] 제1 전극(28)은 상기 평탄화막(26) 상에 위치하고 상기 소스/드레인 전극(22)과 전기적으로 연결된다. 절연막(24) 및 평탄화막(26)을 관통하는 컨택홀을 통해 제1 전극(28)과 소스/드레인 전극(22)이 연결될 수 있다. 따라서, 앞서 설명한 바와 같이 소스/드레인 전극(22)으로부터 제1 전극(28)으로 구동전압이 인가될 수 있다.
- [0035] 제1 전극(28)은 투명 도전성 물질로 형성될 수 있으며, 보다 바람직하게는 상기 투명 도전성 물질은 ITO (Indium Tin Oxide), IZO(Indium Zinc Oxide), 탄소나노튜브(Carbon Nano Tube), 전도성 폴리머(Conductive Polymer) 및 나노와이어(Nanowire) 중에서 하나 이상을 포함할 수 있다. 즉, 상기 제1 전극(28)은 상기 투명 도전성 물질 중 하나 이상을 혼합한 재질로 형성될 수 있다.
- [0036] 제1 전극(28)의 상부에는 화소영역을 정의하는 화소정의막(PDL)(30)이 형성될 수 있다. 화소정의막(30)은 기판(10) 전체에 형성되어 평탄화막(26)을 커버한다. 화소정의막(30)은 상기 제1 전극(28)의 일부를 외부로 노출시키는 개구부(32)가 형성되어 화소영역을 정의하게 된다. 화소정의막(30)은 무기 물질 예를 들어, 실리콘 산화막(SiO<sub>2</sub>), 실리콘 질화막(SiN<sub>x</sub>), 실리콘 산질화막(SiO<sub>2</sub>N<sub>x</sub>) 또는 이들의 다중층으로 구성될 수 있다.
- [0037] 앞서 설명한 바와 같이, 평탄화막(26)은 유기 물질로 형성되기 때문에, 노즐 프린팅에 의한 소성과정 시에 아웃개싱이 발생하게 되는데, 평탄화막(26)의 상부에는 화소정의막(30)이 형성되어 있기 때문에 상기 아웃개싱이 외부로 배출되지 못하게 된다.
- [0038] 따라서, 소성공정에서 평탄화막(26)으로부터 발생된 아웃개싱을 외부로 배출시키기 위해서, 본 실시예에 따른 화소정의막(30)에는 아웃개싱홀(34)이 형성되어 있다. 아웃개싱홀(34)은 복수로 형성될 수 있으며, 아웃개싱홀

(34)은 상기 화소영역의 적어도 일면과 나란한 방향을 따라 일정한 간격으로 배치될 수 있다.

- [0039] 즉, 도 2에 도시된 바와 같이, 예를 들어 직사각 형태로 개구부(32)가 형성되어 직사각형의 화소영역이 정의된 경우 상기 화소영역의 적어도 일면(도 2 상으로 세로방향)으로 복수의 아웃개싱홀(34)이 형성될 수 있다.
- [0040] 이와 같이 화소정의막(30)에 평탄화막(26)의 상부면을 노출시키는 아웃개싱홀(34)이 형성됨으로써, 소성공정에서 유기 평탄화막(26)으로부터 발생하는 아웃개싱을 외부로 배출시킬 수 있으며, 이로 인해 평탄화막(26)의 내압을 감소시키고, 제1 전극(28) 또는 화소정의막(30)의 들뜸 현상으로 인한 불량 화소의 발생을 방지할 수 있다.
- [0041] 또한, 도 3에 도시된 바와 같이, 상기 개구부(32)에 의해 노출되니 제1 전극(28)의 상부에 노즐 프린팅 방법으로 유기발광층(36)을 형성할 경우, 노즐이 도시된 화살표 방향을 따라 왕복이동하면서 유기발광물질을 분사하게 되는데, 상기 아웃개싱홀(34)이 상기 노즐이 지나가는 경로 상에 형성될 경우에는 프린팅되는 유기발광층(36) 박막의 균일도에 영향을 줄 수 있기 때문에, 상기 아웃개싱홀(34)은 노즐 프린팅 시에 노즐의 이동경로 이외에 영역에 형성될 수 있다.
- [0042] 본 실시예에 따른 유기전계발광표시장치는 상기 화소영역의 상기 제1 전극(28) 상부에 노즐 프린팅으로 형성되는 유기발광층(36); 및 상기 유기발광층(36)의 상부에 형성되는 제2 전극(38)을 더 포함할 수 있다.
- [0043] 이어서, 도 4 내지 도 12를 참조하며, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다. 도 4 내지 도 12는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 순차적으로 도시한 도면이다.
- [0044] 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법은, 화소영역 및 트랜지스터 영역을 포함하는 기관 상부에 버퍼층을 형성하는 단계와, 상기 트랜지스터 영역의 상기 버퍼층 상부에 반도체층을 형성하는 단계와, 상기 반도체층 상부에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상부에 게이트 전극을 형성하는 단계와, 상기 게이트 전극과 절연되며, 상기 반도체층과 콘택홀을 통하여 전기적으로 연결되는 소스/드레인 전극을 형성하는 단계와, 상기 소스/드레인 전극 상부에 평탄화막을 형성하는 단계와, 상기 평탄화막 상에 위치하고 상기 소스/드레인 전극과 전기적으로 연결되는 제1 전극을 형성하는 단계와, 외부로 상기 제1 전극을 일부 노출시켜 상기 화소영역을 정의하는 개구부가 형성된 화소정의막을 제공하는 단계와, 상기 평탄화막을 외부로 노출시키도록 상기 화소정의막의 상기 개구부 이외의 영역에 아웃개싱홀을 형성하는 단계와, 상기 화소영역의 상기 제1 전극 상부에 노즐프린팅을 이용하여 유기발광층을 형성하는 단계를 포함하되, 상기 유기발광층을 형성하는 단계에서 상기 평탄화막에 의해 발생한 아웃개싱은 상기 아웃개싱홀에 의해 외부로 배출된다.
- [0045] 먼저 도 4를 참고하면, 기관(10)을 제공하고, 상기 기관(10) 상부에 버퍼층(12)을 형성한다. 화소영역 및 트랜지스터 영역은 임의로 구획된 영역이며, 화소영역은 유기발광층이 형성되어 실제로 광을 발생시키는 영역을 의미하며, 트랜지스터 영역은 상기 화소영역의 유기발광층에 구동전압을 인가하기 위하여 게이트 전극, 소스/드레인 전극 및 반도체층을 포함하는 박막트랜지스터가 형성되는 영역을 의미한다. 사용될 수 있는 기관(10)의 종류는 앞서 설명한 바와 같다. 기관(10) 상부에는 평활성 및 불순물 침투를 방지하기 위한 버퍼층(12)이 형성된다.
- [0046] 다음으로 도 5를 참고하면, 버퍼층(12) 상부에 반도체층(14)을 형성하고, 그 상부에는 게이트 절연막(16)을 형성한다. 반도체층(14)은 앞서 설명한 바와 같이 박막트랜지스터를 구성하기 위해, 트랜지스터 영역에 형성된다.
- [0047] 다음으로 도 6을 참고하면, 게이트 절연막(16) 상부에 상기 반도체층(14)과 전기적으로 절연된 게이트 전극(18)이 형성된다. 앞서 설명한 바와 같이 게이트 전극(18)은 단일한 금속 또는 복수의 금속층이 적층된 형태일 수 있다.
- [0048] 다음으로 도 7을 참고하면, 게이트 전극(18) 상부에 층간절연막(20)을 형성한다. 층간절연막(20)은 게이트 전극(18)과 소스/드레인 전극(22)을 전기적으로 절연시키는 역할을 수행한다. 기관(10) 전체에 층간절연막(20)을 형성하고 트랜지스터 영역을 제외한 나머지 영역에는 상기 층간절연막(20)을 제거할 수 있다. 또한, 소스/드레인 전극(22)이 반도체층(14)과 연결되도록 콘택홀을 형성한다.
- [0049] 다음으로 도 8을 참고하면, 소스/드레인 전극(22)을 형성하여 반도체층(14)과 전기적으로 연결시키고, 상기 소스/드레인 전극(22) 상부에는 추가적인 절연막(24)이 더 제공될 수 있다. 이로써 상기 반도체층(14), 상기 게이트 전극(18) 및 상기 소스/드레인 전극(22)을 포함하는 박막트랜지스터를 완성한다.
- [0050] 다음으로 도 9를 참고하면, 기관(10) 전체에 평탄화막(26)을 형성한다. 앞서 살펴본 바와 같이 평탄화막(26)은 유기 아크릴계 물질 중에서 하나 이상의 물질을 포함하여 형성될 수 있으며, 기관(10)의 평활성을 향상시킨다.

평탄화막(26)의 상기 소스/드레인 전극(22)와 대응되는 위치에 컨택홀을 형성하고, 상기 컨택홀에 의해 소스/드레인 전극(22)과 연결되는 제1 전극(28)을 형성한다. 제1 전극(28)의 일단은 트랜지스터 영역에 형성되며, 제1 전극(28)의 타단은 화소 영역에 걸쳐서 형성된다.

- [0051] 다음으로 도 10을 참고하면, 상기 제1 전극(28) 상부에 화소정의막(30)을 형성한다. 화소정의막(30)은 무기 물질로 이루어지며, 상기 제1 전극(28)의 일부 또는 전체를 외부로 노출시키는 개구부(32)가 형성됨으로써, 화소 영역을 정의한다.
- [0052] 다음으로 도 11을 참고하면, 상기 화소정의막(30)의 일부에 상기 평탄화막(26)을 외부로 노출시키는 아웃개싱홀(34)을 형성한다. 상기 아웃개싱홀(34)은 앞서 설명한 바와 같이 복수로 형성될 수 있으며, 상기 아웃개싱홀(34)은 상기 화소영역의 적어도 일면과 나란한 방향을 따라 일정한 간격으로 배치될 수 있다.
- [0053] 화소정의막(30)에 아웃개싱홀(34)을 형성하기 위해서, 다양한 식각 방법이 사용될 수 있으며, 건식 식각(Dry Etch) 방법이 사용될 수 있다.
- [0054] 화소정의막(30) 상에 형성되는 아웃개싱홀(34)은 도시된 바와 같이 에지부가 날카롭게 형성될 있으며, 특히 건식 식각 방법을 이용할 경우 에지부가 날카롭게 형성된다. 이로 인해, 상부에 제2 전극(38) 등이 형성될 경우 날카로운 에지부에 의해 단락되거나 손상될 가능성이 높다. 따라서, 아웃개싱홀(34)을 형성한 후, 상기 아웃개싱홀(34)의 에지부를 라운드 처리하는 단계를 더 포함할 수 있다. 예를 들어, 에지부의 라운드 처리는 별도의 추가 식각을 통해 달성될 수 있다.
- [0055] 다음으로 도 12를 참고하면, 상기 개구부(32)로 인해 외부로 노출된 제1 전극(28)의 상부에 유기발광층(36)을 제공하고, 그 상부에 제2 전극(38)을 형성한다. 앞서 설명한 바와 같이 상기 유기발광층(36)은 노즐 프린팅 방법에 의해 형성될 수 있다. 이와 같이 제1 전극(28)과 제2 전극(38) 사이에 제공된 유기발광층(36)이 자발광하여 원하는 영상정보를 외부로 표시할 수 있다.
- [0056] 상기 유기발광층(36)을 노즐 프린팅 방법에 의해 형성할 때, 용매 등을 제거하기 위해 반복적인 소성공정이 수행되고 이로 인해 평탄화막(26)에서 아웃개싱이 발생하게 되는데, 본 실시예에 따른 유기전계발광표시장치의 제조방법에 따라 제조된 유기전계발광표시장치는 아웃개싱홀(34)을 구비함으로써, 평탄화막(26)에서 발생한 아웃개싱이 외부로 배출되어, 평탄화막(26) 또는 평탄화막(26) 상부에 적층된 막에 변형 내지 손상이 가해지지 않는다.
- [0057] 또한, 아웃개싱홀(34)을 형성함에 있어서, 상기 노즐 프린팅 시에 노즐의 이동 경로 이외의 영역에 상기 아웃개싱홀(34)을 형성하여 유기발광층(36)의 노즐 프린팅 공정에 영향을 미치지 않도록 구성할 수 있다.
- [0058] 이어서, 도 13 내지 도 15를 참조하여, 본 발명의 다른 실시예에 따른 유기전계발광표시장치에 대해 설명한다. 도 13은 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 단면도 중 일부이고, 도 14는 도 13에 따른 유기전계발광표시장치에 유기보호막이 형성된 모습을 도시한 도면이다.
- [0059] 본 발명의 다른 실시예에 따른 유기전계발광표시장치는, 화소영역 및 트랜지스터 영역을 포함하는 기판(10)과, 상기 기판(10) 상에 위치하는 버퍼층(12)과, 상기 트랜지스터 영역의 상기 버퍼층(12) 상부에 위치하는 반도체층(14)과, 상기 반도체층(14)과 절연되는 게이트 전극(18)과, 상기 반도체층(14)과 상기 게이트 전극(18)을 절연시키는 게이트 절연막(16)과, 상기 게이트 전극(18)과 절연되며, 상기 반도체층(14)과 컨택홀을 통하여 전기적으로 연결되는 소스/드레인 전극(22)과, 상기 소스/드레인 전극(22) 상에 위치하는 평탄화막(26)과, 상기 평탄화막(26) 상에 위치하고 상기 소스/드레인 전극(22)과 전기적으로 연결되는 제1 전극(28)과, 상기 제1 전극(28) 상부에 형성되며 외부로 상기 제1 전극(28)을 일부 노출시키는 개구부(32)가 형성되어 상기 화소영역을 정의하는 화소정의막(30)을 포함하되, 상기 화소정의막(30)에는 상기 개구부(32) 이외에 영역에 아웃개싱홀(34)이 형성되어 상기 평탄화막(26)을 외부로 노출시키고, 상기 아웃개싱홀(34)의 상부에는 상기 아웃개싱홀(34)의 에지부를 덮는 유기보호막(40)이 형성된다.
- [0060] 본 실시예에 따른 유기전계발광표시장치는 이전 실시예에서와 동일한 구성을 가지며, 다만, 상기 아웃개싱홀(34)의 상부에는 상기 아웃개싱홀(34)의 에지부를 덮는 유기보호막(40)이 더 제공된다.
- [0061] 도 13에 도시된 바와 같이, 아웃개싱홀(34)을 건식 식각 방법으로 형성하게 되면 아웃개싱홀(34)의 에지부(E)가 형성되어 상부에 적층되는 제2 전극(38) 등의 단락을 유발할 위험이 있다. 따라서, 상기 아웃개싱홀(34)의 에지부(E)에 추가 식각을 수행하여 라운드 처리하는 단계를 더 포함할 수 있으나, 다른 방법으로 도 14에 도시된 바와 같이, 본 실시예에서는 추가적으로 아웃개싱홀(34)의 에지부를 덮는 유기보호막(40)을 더 포함한다. 유기보

호막(40)은 예를 들어 DL1000CR와 같은 유기물로 형성될 수 있으며, 에지부와 같은 날카로운 부분을 커버하기 때문에 제2 전극(38) 등의 단락을 방지할 수 있다. 유기보호막(40)은 아웃개싱홀(34)의 일부 또는 전체를 덮도록 형성될 수 있다. 또한, 유기보호막(40)은 에지부분이 형성되지 않고 전체적으로 곡면으로 이루어질 수 있다.

[0062] 도 15에 도시된 바와 같이, 유기보호막(40)은 평탄화막(26)과 마찬가지로 유기 물질로 구성되기 때문에, 아웃개싱홀(34)의 전체를 유기보호막(40)이 덮고 있다고 하더라도 화소정의막(30)과 달리 평탄화막(26)에서 발생한 아웃개싱을 외부로 배출시킬 수 있다.

[0063] 이어서, 도 16 및 도 17을 참조하며, 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다. 도 16 및 도 17은 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 제조방법을 순차적으로 도시한 도면이다.

[0064] 본 발명의 다른 실시예에 따른 유기전계발광표시장치의 제조방법은 화소영역 및 트랜지스터 영역을 포함하는 기판 상부에 버퍼층을 형성하는 단계와, 상기 트랜지스터 영역의 상기 버퍼층 상부에 반도체층을 형성하는 단계와, 상기 반도체층 상부에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상부에 게이트 전극을 형성하는 단계와, 상기 게이트 전극과 절연되며, 상기 반도체층과 콘택홀을 통하여 전기적으로 연결되는 소스/드레인 전극을 형성하는 단계와, 상기 소스/드레인 전극 상부에 평탄화막을 형성하는 단계와, 상기 평탄화막 상에 위치하고 상기 소스/드레인 전극과 전기적으로 연결되는 제1 전극을 형성하는 단계와, 외부로 상기 제1 전극을 일부 노출시켜 상기 화소영역을 정의하는 개구부가 형성된 화소정의막을 제공하는 단계와, 상기 평탄화막을 외부로 노출시키도록 상기 화소정의막의 상기 개구부 이외의 영역에 아웃개싱홀을 형성하는 단계와, 상기 아웃개싱홀의 상부에 상기 아웃개싱홀의 에지부를 덮는 유기보호막을 형성하는 단계와, 상기 화소영역의 상기 제1 전극 상부에 노즐프린팅을 이용하여 유기발광층을 형성하는 단계를 포함하되, 상기 유기발광층을 형성하는 단계에서 상기 평탄화막에 의해 발생한 아웃개싱은 상기 유기보호막 및 아웃개싱홀을 통과하여 외부로 배출된다.

[0065] 이전 실시예와 나머지 공정은 모두 동일하며, 다만 아웃개싱홀(34)을 형성한 후 상기 아웃개싱홀(34)의 상부에 상기 아웃개싱홀(34)의 에지부를 덮는 유기보호막(40)을 형성하는 단계가 더 수행된다.

[0066] 도 16 및 도 17에 도시된 바와 같이, 유기보호막(40)은 예를 들어 DL1000CR와 같은 유기물로 형성될 수 있으며, 에지부와 같은 날카로운 부분을 커버하기 때문에 제2 전극(38) 등의 단락을 방지할 수 있다. 유기보호막(40)은 아웃개싱홀(34)의 일부 또는 전체를 덮도록 형성될 수 있다. 또한, 유기보호막(40)은 에지부분이 형성되지 않고 전체적으로 곡면으로 이루어질 수 있다. 따라서, S로 표시된 영역에서와 같이 에지부가 커버될 수 있다.

[0067] 앞서 살펴본 바와 같이, 유기보호막(40)은 평탄화막(26)과 마찬가지로 유기 물질로 구성되기 때문에, 아웃개싱홀(34)의 전체를 유기보호막(40)이 덮고 있다고 하더라도 화소정의막(30)과 달리 평탄화막(26)에서 발생한 아웃개싱을 외부로 배출시킬 수 있다.

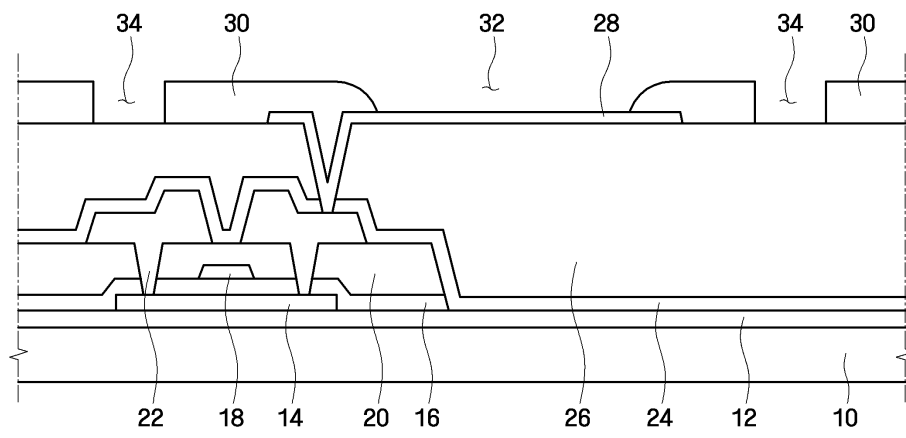
[0068] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

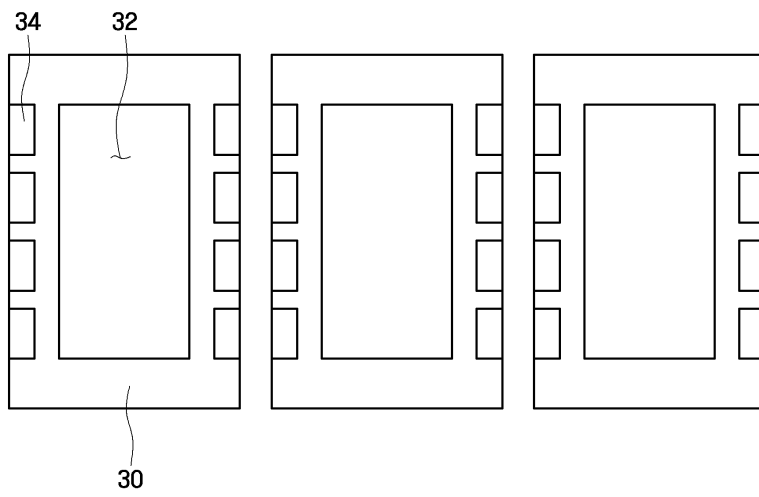
- |               |             |
|---------------|-------------|
| [0069] 10: 기판 | 12: 버퍼층     |
| 14: 반도체층      | 16: 게이트 절연막 |
| 18: 게이트 전극    | 20: 층간절연막   |
| 22: 소스/드레인 전극 | 24: 절연막     |
| 26: 평탄화막      | 28: 제1 전극   |
| 30: 화소정의막     | 32: 개구부     |
| 34: 아웃개싱홀     | 36: 유기발광층   |
| 38: 제2 전극     | 40: 유기보호막   |

도면

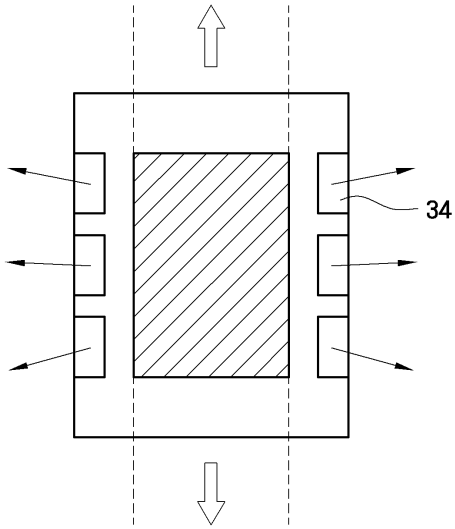
도면1



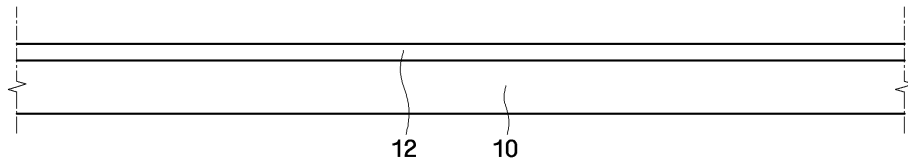
도면2



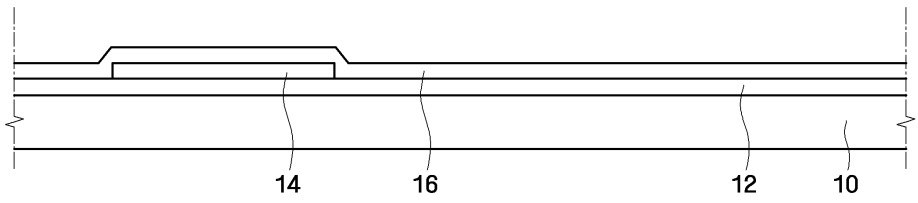
도면3



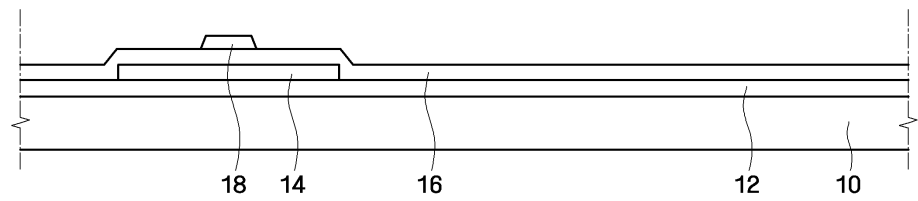
도면4



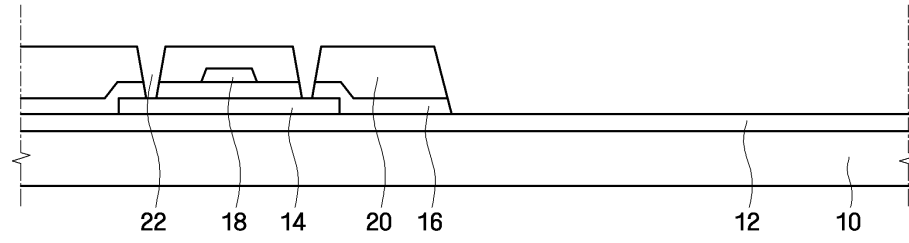
도면5



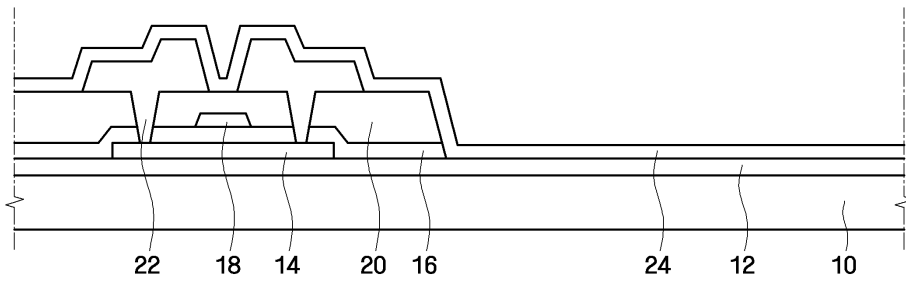
도면6



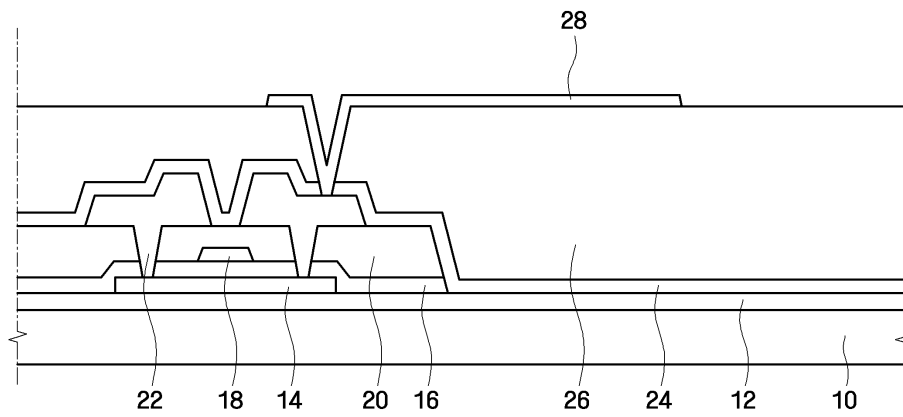
도면7



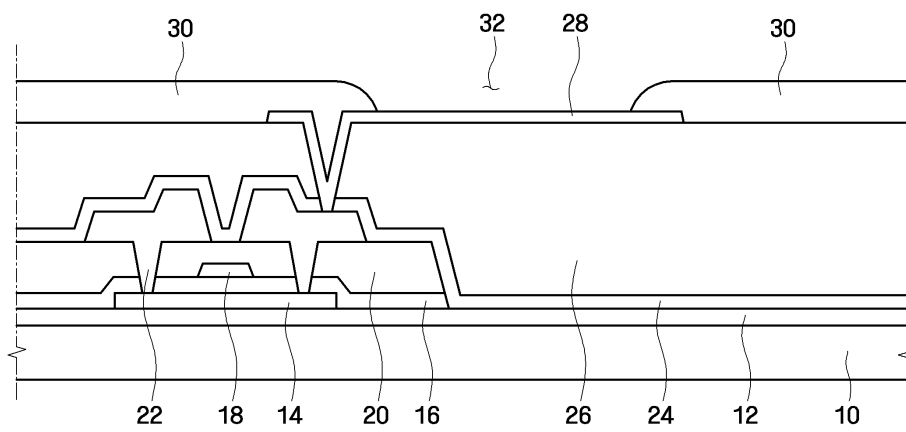
도면8



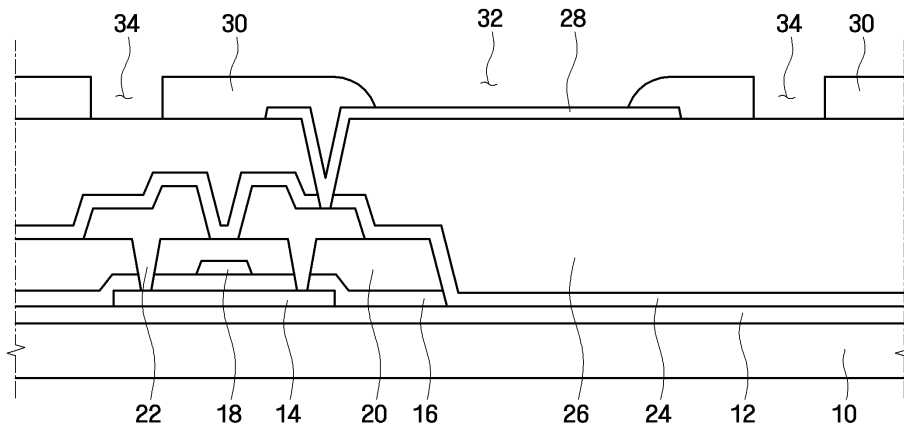
도면9



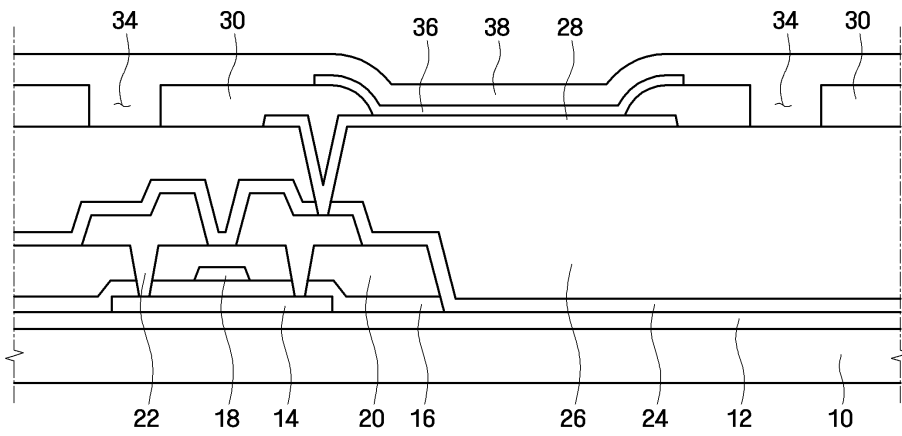
도면10



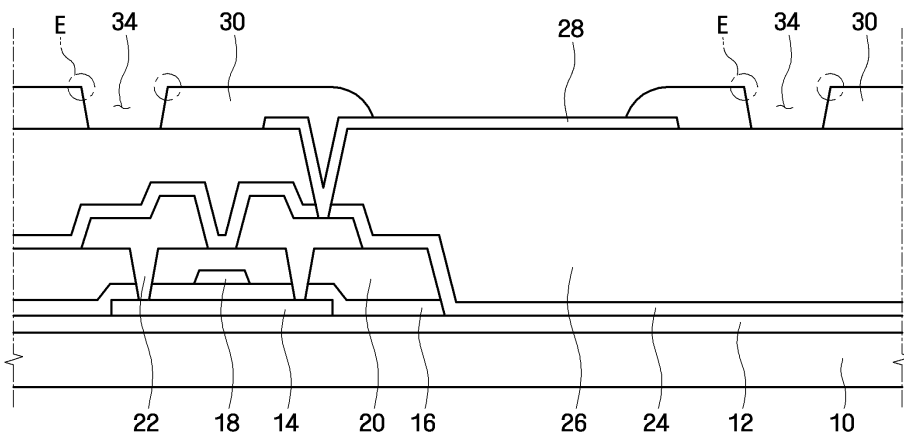
도면11



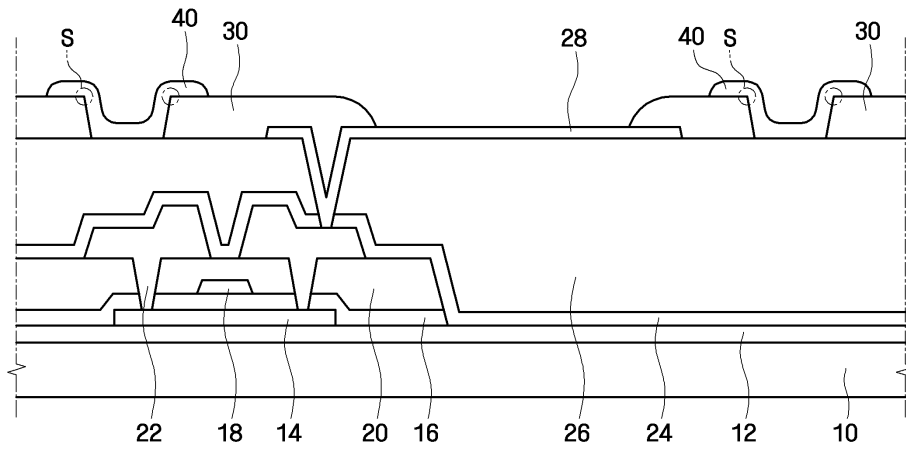
도면12



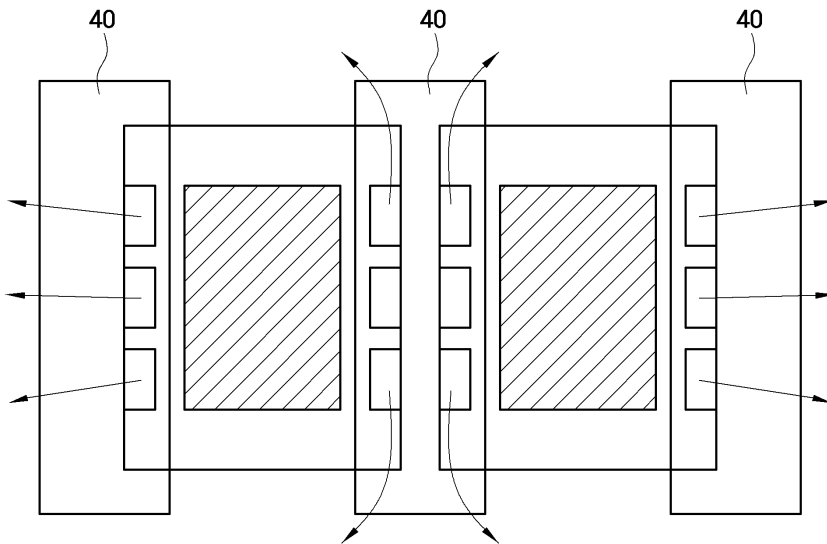
도면13



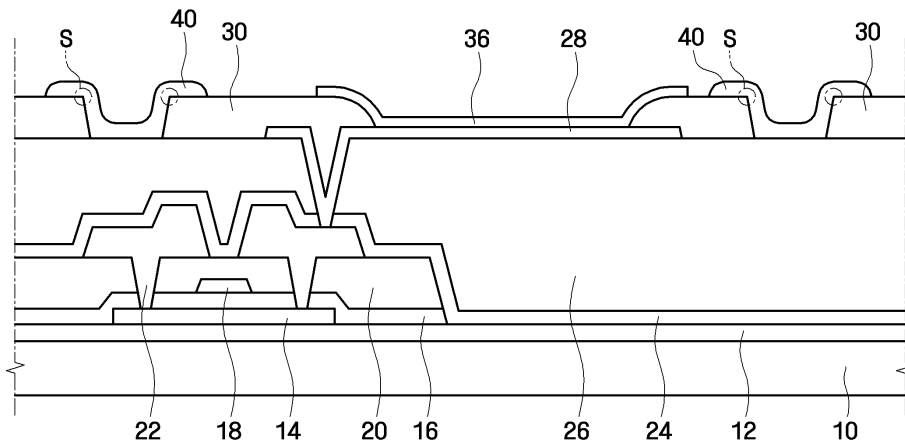
도면14



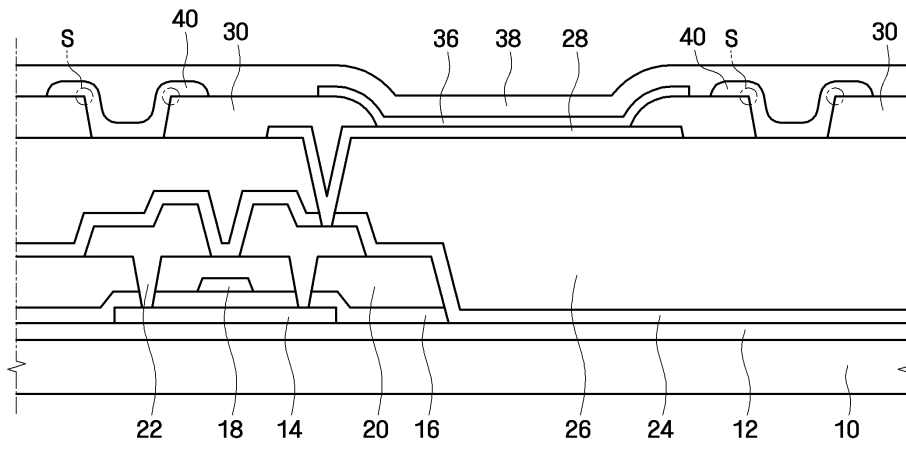
도면15



도면16



도면17



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR101966688B1</a>	公开(公告)日	2019-04-09
申请号	KR1020170171093	申请日	2017-12-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김지영 강진구 김재복 김효석		
发明人	김지영 강진구 김재복 김효석		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3246 H01L27/3258 H01L51/5206 H01L51/5212 H01L51/5221 H01L51/5237 H01L51/5296		
审查员(译)	Joseongsu		
其他公开文献	KR1020170142145A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供了一种有机发光显示装置及其制造方法。根据本发明的有机发光显示装置包括：基板，其包括像素区域和晶体管区域；以及平坦化层和形成在基板的晶体管区域上并且位于源/漏电极上方的源/漏电极。薄膜晶体管具有像素限定层，该像素限定层具有开口，该开口暴露出与外部连接的第一电极的一部分，除该像素限定层中的开口以外的区域中形成有除气孔，以使平坦化层暴露于外部。

