(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월08일
(11) 등록번호 10-1610941
(24) 등록일자 2016년04월04일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
(21) 출원번호 10-2014-0116994
(22) 출원일자 2014년09월03일
심사청구일자 2014년09월03일
(65) 공개번호 10-2016-0028213
(43) 공개일자 2016년03월11일
(56) 선행기술조사문헌
KR1020140084961 A
KR1020090060768 A
KR1020140030285 A
WO2013061383 A1

(73) 특허권자
(주)그린광학
충청북도 청주시 청원구 오창읍 각리1길 45
(72) 발명자
오데레사
충북 청주시 상당구 용암로 83, 5층
(74) 대리인
양영필

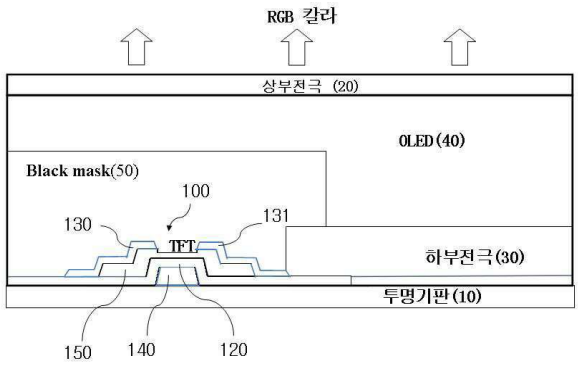
전체 청구항 수 : 총 7 항 심사관 : 김한수

(54) 발명의 명칭 **박막 트랜지스터로 구동되는 유기발광 디스플레이**

(57) 요 약

본 발명은 박막 트랜지스터로 구동되는 유기발광 디스플레이로서, 기판; 상기 기판 상에 형성된 트랜지스터부; 상기 트랜지스터부 상에 형성된 하부전극; 상기 하부전극 상에 형성된 유기발광층; 및 상기 유기발광층 상에 형성된 상부전극을 포함하며, 상기 트랜지스터부는, 기판과, 상기 기판 위에 배치되는 게이트 전극과, 상기 기판과 상기 게이트 전극 위에 배치되는 게이트 절연막과, 상기 게이트 절연막 위에 배치되는 채널층으로서 반도체와, 상기 반도체를 중심으로 좌우에 배치되는 소스 전극과 드레인 전극을 포함하고, 상기 게이트 절연막은 SiOC로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5인 것을 특징으로 하는 것이다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업
과제고유번호 R0002331
부처명 산업통상자원부
연구관리전문기관 한국산업기술진흥원
연구사업명 지역특화산업육성산업
연구과제명 디스플레이용 투명산화물반도체트랜지스터
기 여 율 1/1
주관기관 (주)그린광학
연구기간 2013.06.01 ~ 2015.05.30

명 세 서

청구범위

청구항 1

기판;

상기 기판 상에 형성된 트랜지스터부;

상기 트랜지스터부 상에 형성된 하부전극;

상기 하부전극 상에 형성된 유기발광층; 및

상기 유기발광층 상에 형성된 상부전극을 포함하며,

상기 트랜지스터부는,

기판과,

상기 기판 위에 배치되는 게이트 전극과,

상기 기판과 상기 게이트 전극 위에 배치되는 게이트 절연막과,

상기 게이트 절연막 위에 배치되는 채널층으로서 반도체와,

상기 반도체를 중심으로 좌우에 배치되는 소스 전극과 드레인 전극을 포함하고, 상기 게이트 절연막은 SiOC로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5이고, 하나의 박막 트랜지스터의 상기 게이트 전극에 인가되는 전압이 음(-)의 바이어스인 경우에는 p-타입 트랜지스터로 동작하는 동시에, 상기 게이트 전극에 인가되는 전압이 양(+)의 바이어스인 경우에는 n-타입 트랜지스터로 동작함으로써 단일 박막 트랜지스터에서 n-타입과 p-타입이 일체로서 동작하는 인버터 특성을 나타내는 것을 특징으로 하는 박막 트랜지스터로 구동되는 유기발광 디스플레이.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 기판은 투명기판으로서 휘어지거나 구부러질 수 있는 유연한 기판인 것을 특징으로 하는 박막 트랜지스터로 구동되는 유기발광 디스플레이.

청구항 4

기판;

상기 기판 상에 형성된 트랜지스터부;

상기 트랜지스터부 상에 형성된 하부전극;

상기 하부전극 상에 형성된 유기발광층; 및

상기 유기발광층 상에 형성된 상부전극을 포함하며,

상기 트랜지스터부는,

기판과,

상기 기판 위에 배치되는 게이트 전극과,

상기 기판과 상기 게이트 전극 위에 배치되는 게이트 절연막과,

상기 게이트 절연막 위에 배치되는 채널층으로서 반도체와,

상기 반도체를 중심으로 좌우에 배치되는 소스 전극과 드레인 전극과,

상기 소스 전극 또는 드레인 전극의 저항손실을 줄이고 전도효율과 전자이동도를 증대시키기 위해 증착된 보호막을 포함하고, 상기 게이트 절연막은 SiOC로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5이고, 상기 게이트 절연막과 소스 전극 또는 드레인 전극 사이에 보호막을 증착한 것을 특징으로 하는 유기발광 디스플레이.

청구항 5

제 4 항에 있어서,

상기 보호막은 SiOC로 이루어지며, 상기 보호막의 유전상수는 1.3~2.5 인 것을 특징으로 하는 유기발광 디스플레이.

청구항 6

제 4 항에 있어서,

상기 기판은 투명기판으로서 휘어지거나 구부러질 수 있는 유연한 기판인 것을 특징으로 하는 박막 트랜지스터로 구동되는 유기발광 디스플레이.

청구항 7

삭제

청구항 8

삭제

청구항 9

기판;

상기 기판 상에 형성된 트랜지스터부;

상기 트랜지스터부 상에 형성된 하부전극;

상기 하부전극 상에 형성된 유기발광층; 및

상기 유기발광층 상에 형성된 상부전극을 포함하며,

상기 트랜지스터부는,

기판과,

상기 기판 위에 배치되는 게이트 전극과,

상기 기판과 상기 게이트 전극 위에 배치되는 게이트 절연막과,

상기 게이트 절연막 위에 배치되는 채널층으로서 반도체와,

상기 반도체를 중심으로 좌우에 배치되는 소스 전극과 드레인 전극과,

상기 소스 전극 또는 드레인 전극의 저항손실을 줄이고 전도효율과 전자이동도를 증대시키기 위해 증착된 보호막을 포함하고, 상기 게이트 절연막은 SiOC로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5이고, 상기 기판과 상기 소스 전극 또는 드레인 전극 사이에 보호막을 증착하고 상기 채널층과 상기 소스 전극 또는 드레인 전극 사이에 보호막을 증착한 것을 특징으로 하는 유기발광 디스플레이.

청구항 10

기판;

상기 기판 상에 형성된 트랜지스터부;

상기 트랜지스터부 상에 형성된 하부전극;

상기 하부전극 상에 형성된 유기발광층; 및

상기 유기발광층 상에 형성된 상부전극을 포함하며,

상기 트랜지스터부는,

기판과,

상기 기판 위에 배치되는 게이트 전극과,

상기 기판과 상기 게이트 전극 위에 배치되는 게이트 절연막과,

상기 게이트 절연막 위에 배치되는 채널층으로서 반도체와,

상기 반도체를 중심으로 좌우에 배치되는 소스 전극과 드레인 전극과,

상기 소스 전극 또는 드레인 전극의 저항손실을 줄이고 전도효율과 전자이동도를 증대시키기 위해 증착된 보호막을 포함하고, 상기 게이트 절연막은 SiOC로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5이고, 상기 게이트 절연막과 소스 전극 또는 드레인 전극 사이에 보호막을 증착하고 채널층과 소스 전극 또는 드레인 전극 사이에 보호막을 증착한 것을 특징으로 하는 유기발광 디스플레이.

발명의 설명

기 술 분 야

[0001] 본 발명은 박막 트랜지스터로 구동되는 유기발광 디스플레이에 관한 것으로서, 더욱 상세하게는, SiOC 박막을 게이트 절연막으로 하여 게이트전극과 드레인 전극에 의해서 n-타입 트랜지스터와 p-타입 트랜지스터 구현이 동시에 가능한 양방향성 특성을 가지는 박막트랜지스터에 의해 구동되는 유기발광 디스플레이에 관한 것이다.

배 경 기 술

[0002] 본 발명의 기술분야는 반도체 장치 및 반도체 장치를 제작하기 위한 방법과 관련된다. 여기서 반도체 장치들은 반도체 절연막으로써 SiOC 반도체 특성을 이용한 일반적인 소자와 장치들을 말한다.

[0003] 구체적으로 메모리, 디스플레이, 투명디스플레이, OLED, 터치패널, 통신용 반도체, 산화물반도체, 유기물반도체 소자에 필요한 MOSFET (Metal/ Oxide/ Semiconductor - Field Effect Transistor) 구조의 트랜지스터를 제작하는데 있어서 이동도가 높으면서도 문턱전압이동(threshold voltage shift)과 안정성(stability)을 갖는 디바이스 제작에 있어 SiOC 박막을 적용하는 방법에 해당하는 기술이다.

[0004] 여기에서, 유기발광 디스플레이는 전극 사이의 얇은 발광층을 이용한 자발광 소자인 유기 발광 다이오드(Organic Light Emitting Diode: OLED)를 포함하여 이루어져, 종이와 같이 박막화가 가능하다.

[0005] 유기 발광 다이오드는 기판의 서브 화소 영역마다 형성된 박막 트랜지스터와 접속되는 양극(Anode)인 제 1 전극, 발광층(Emission Layer; EML) 및 음극(Cathode)인 제 2 전극을 포함하여 이루어진다.

[0006] 상기와 같은 유기발광 다이오드는 제 1, 제 2 전극에 전압을 인가하면 정공과 전자가 발광층 내에서 재결합하여 엑시톤(Exciton)을 형성하고, 엑시톤이 기저상태로 떨어지며 발광한다.

[0007] 유기발광 디스플레이에 사용되는 유기전계발광소자는 기판 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다.

[0008] 유기발광 표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다.

[0009] 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0010] 유기발광 디스플레이 장치의 표시패널에 배치된 서브 픽셀은 스위칭 트랜지스터, 구동 트랜지스터 및 커패시터를 포함하는 트랜지스터부와 트랜지스터부에 포함된 구동 트랜지스터에 연결된 하부전극, 유기 발광층 및 상부전극을 포함하는 유기 발광다이오드를 포함한다.

[0011] 한편, 유기발광소자 각각의 화소를 구동하기 위하여 평균휘도에 선수를 곱한 것만큼의 순간 휘도를 내야만 한다.

[0012] 따라서, 종래의 수동 구동 방식의 유기발광 소자에서는 선이 많을수록 더 높은 전압과 더 많은 전류를 순간적으로 인기해 주어야 하므로 소자의 열화를 가속시키고 소비 전력이 높아져 고해상도, 대면적 디스플레이는 적합하지 않은 문제점이 있다.

발명의 내용

해결하려는 과제

[0013] 본 발명은 전술한 바와 같은 종래의 문제점을 해결하고자 도출된 것으로서, 그의 목적은 산화물반도체를 채널층으로 갖는 소자설계에서 게이트 절연막으로 SiOC 박막을 사용하여 누설전류감소, 문턱전압 감소, 안정성을 확보하여 p-타입과 n-타입 특성을 모두 갖는 양방향성 특성의 박막 트랜지스터로 구동되는 유기발광 디스플레이와, 소스 또는 드레인의 접촉 저항성분을 줄이기 위해서 보호막을 증착한 박막 트랜지스터를 집적시켜 각 화소가 완전하게 온-오프 스위칭 되고, 아울러 화소 전류를 일정치로 유지시킴으로써 대조비, 소비 전력 등을 향상시키는 박막 트랜지스터로 구동되는 유기발광 디스플레이를 제공하기 위한 것이다.

과제의 해결 수단

[0014] 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이는, 기판; 상기 기판 상에 형성된 트랜지스터부; 상기 트랜지스터부 상에 형성된 하부전극; 상기 하부전극 상에 형성된 유기발광층; 및 상기 유기발광층 상에 형성된 상부전극을 포함하며, 상기 트랜지스터부는, 기판과, 상기 기판 위에 배치되는 게이트 전극과, 상기 기판과 상기 게이트 전극 위에 배치되는 게이트 절연막과, 상기 게이트 절연막 위에 배치되는 채널층으로서 반도체와, 상기 반도체를 중심으로 좌우에 배치되는 소스 전극과 드레인 전극을 포함하고, 상기 게이트 절연막은 SiOC로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5인 것을 특징으로 하는 것이다.

[0015] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이에 있어서, 하나의 박막 트랜지스터의 상기 게이트 전극에 인가되는 전압이 음(-)의 바이어스인 경우에는 p-타입 트랜지스터로 동작하는 동시에, 상기 게이트 전극에 인가되는 전압이 양(+)의 바이어스인 경우에는 n-타입 트랜지스터로 동작함으로써 단일 박막 트랜지스터에서 n-타입과 p-타입이 일체로서 동작하는 인버터 특성을 나타내는 것을 특징으로 하는 것이다.

[0016] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이에 있어서, 상기 기판은 투명기판으로서 휘어지거나 구부러질 수 있는 유연한 기판인 것을 특징으로 하는 것이다.

[0017] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이는, 기판; 상기 기판 상에 형성된 트랜지스터부; 상기 트랜지스터부 상에 형성된 하부전극; 상기 하부전극 상에 형성된 유기발광층; 및 상기 유기발광층 상에 형성된 상부전극을 포함하며, 상기 트랜지스터부는, 기판과, 상기 기판 위에 배치되는 게이트 전극과, 상기 기판과 상기 게이트 전극 위에 배치되는 게이트 절연막과, 상기 게이트 절연막 위에 배치되는 채널층으로서 반도체와, 상기 반도체를 중심으로 좌우에 배치되는 소스 전극과 드레인 전극과, 상기 소스 전극 또는 드레인 전극의 저항손실을 줄이고 전도효율과 전자이동도를 증대시키기 위해 증착된 보호막을 포함하고, 상기 게이트 절연막은 SiOC로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5인 것을 특징으로 하는 것이다.

[0018] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이에 있어서, 상기 보호막은 SiOC로 이루어지며, 상기 보호막의 유전상수는 1.3~2.5 인 것을 특징으로 하는 것이다.

[0019] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이에 있어서, 상기 기판은 투명기판으로서 휘어지거나 구부러질 수 있는 유연한 기판인 것을 특징으로 하는 것이다.

[0020] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이에 있어서, 상기 채널층인 반도체와 소스 전극 또는 드레인 전극 사이에 보호막을 증착한 것을 특징으로 하는 것이다.

[0021] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이에 있어서, 상기 게이트 절연막과 소스 전극 또는 드레인 전극 사이에 보호막을 증착한 것을 특징으로 하는 것이다.

[0022] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이에 있어서, 상기 기판과 상기 소스 전극 또는 드레인 전극 사이에 보호막을 증착하고 상기 채널층과 상기 소스 전극 또는 드레인 전극 사이에 보호막을

증착한 것을 특징으로 하는 것이다.

[0023] 또한, 본 발명에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이에 있어서, 상기 게이트 절연막과 소스 전극 또는 드레인 전극 사이에 보호막을 증착하고 채널층과 소스 전극 또는 드레인 전극 사이에 보호막을 증착한 것을 특징으로 하는 것이다.

발명의 효과

[0024] 본 발명에 의하면 게이트 절연막으로 SiOC 박막을 사용하고 p-타입과 n-타입 특성을 모두 갖는 양방향성 특성의 트랜지스터에 의해 구동되는 유기 발광 디스플레이는 각 화소가 완전하게 온-오프 스위칭 되고, 아울러 화소 전류를 일정치로 유지시킴으로써 대조비, 소비 전력 등을 향상시키게 된다.

[0025] 본 발명에 의한 유기발광 디스플레이는 낮은 전압과 순간적으로 낮은 전류를 인가해도 되며, 선택된 선에 관계없이 한 화면 시간 동안 계속 유기 발광소자의 구동이 가능하여 저소비 전력, 고해상도, 대면적화에 유리한 효과가 있다.

도면의 간단한 설명

[0026] 도1은 본 발명의 제1실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

도2는 도1에 도시된 유기발광 디스플레이에서 서브 픽셀의 회로 구성 예시도이다.

도3은 본 발명의 제2실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

도4는 본 발명의 제3실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

도5는 본 발명의 제4실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

도6은 본 발명의 제5실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

도7a, 도7b, 도7c, 7d는 본 발명의 실시예에 적용된 박막 트랜지스터의 동작 특성도이다.

도8은 본 발명에 포함된 박막 트랜지스터에 적용되는 SiOC 박막의 유전상수도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부된 도면을 참조하면서 본 발명의 실시예에 따른 SiOC 게이트 절연막을 사용한 박막 트랜지스터로 구동되는 유기발광 디스플레이에 대해 상세히 설명하기로 한다.

[0028] 도1은 본 발명의 제1실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

[0029] 도1에 도시된 유기발광 디스플레이는 기본적으로 투명기판(10)과 상부 전극(20), 하부 전극(30)과 상기 두 전극 내에 유기 발광층(OLED, 40)이 삽입되어 있는 구조로 되어 있고, 상기 상부 전극(20)은 음극(Cathod)이고, 상기 하부전극(30)은 양극(Anode)로 되어 있다.

[0030] 또한, 상기 투명기판(10)은 휘어지거나 구부러질수 있는 유연한 기판이 될 수 있고, 상기 유연한 기판은 수지층을 포함하는 것이 바람직하다.

[0031] 여기서, 상기 수지층은 PET(polyethylene terephthalate), PE(polyester), PEN(polyethylene naphthalate), PEEK(polyetheretherketone), PC(polycarbonate), PES(polyethersulphone),PI(polyimide), PAR(polyarylate), PCO(polycyclicolefin) 및 polynor-bornene 중 적어도 어느 하나로 마련될 수 있으나 이에 한정되지 않는다.

[0032] 고해상도, 대면적 디스플레이를 위해서는 도1에 도시된 바와 같이 각 화소에 TFT(thin film transistor)를 집적시켜 각 화소가 완전하게 on-off 되고, 아울러 화소 전류를 일정치로 유지시킴으로 써 대조비, 소비 전력 등을 향상시키는 능동 구동 방식을 사용하게 된다.

[0033] 능동 구동 방식 중에서 기존의 LCD에서 사용 중인 높은 전기 저항을 띠는 비정질 Si TFT보다는 고온에서 안정적이지 못한 유기 박막 재료에 영향을 주지 않는 저항이 낮고 저온에서 유리기판상에 직접 형성이 가능한 저온 poly Si TFT가 고려된다.

[0034] 산화물 반도체를 이용한 TFT는 상온에서 공정이 이루어지고 터널링현상에 의해서 문턱전압이동이 업고 on-off 특성이 우수하고 무엇보다 투명하기 때문에 미래의 투명디스플레이 소자에 적합하다.

[0035] 도1에 도시된 유기발광 디스플레이에서, 박막 트랜지스터(100)는 유기발광층(40)과는 블랙 마스크(50)에 차폐되고 하부전극(30)인 양극에는 박막 트랜지스터가 결합되어, 상기 유기발광 디스플레이의 단위 화소(서브 픽셀)를 이루는 유기발광소자를 구동하게 된다.

[0036] 유기 발광 디스플레이의 표시패널(PNL)은 매트릭스형태로 배치된 서브 픽셀(SP)을 갖는 표시부를 포함한다. 서브 픽셀들(SP)은 수동매트 릭스형(Passive Matrix) 또는 능동매트릭스형(Active Matrix)으로 형성될 수 있다. 서브 픽셀들(SP)이 능동매트릭스형으로 형성된 경우, 이는 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되거나 3T1C, 4T1C, 5T2C 등과 같이 트랜지스터 및 커패시터가 더 추가된 구조로 구성될 수도 있다.

[0037] 상기 도1에 도시된 박막 트랜지스터는 인버티드 스테거형 (inverted stagger, 반전 적층형) 트랜지스터로서 기판(10) 위에 게이트 전극(140)이 올려지고 게이트 절연막(120)이 올라간다. 그 위에 채널층(150)으로써 반도체가 형성된다.

[0038] 상기 기판(10)은 유기발광 디스플레이를 구성하는 상기 투명기판(10)과 공통으로 이용된다.

[0039] 상기 활성층인 채널층(150)이 만들어진 다음 소스(130)와 드레인(131) 전극이 적층이 되는 구조로 이루어져 있다.

[0040] 이때, 상기 게이트 절연막(120)은 SiOC 박막으로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5 인 것이 바람직하다.

[0041] SiOC 박막을 사용한 산화물 반도체 트랜지스터를 제작하는데 있어서 이동도가 높은 트래지스터를 제작하기 위해서는 게이트 절연막이 분극의 특성이 없어야 하는 것이 필수적이다.

[0042] SiOC케이트 절연막의 분극을 없애고 유전상수가 낮은 절연막을 제작하기 위해서 스퍼터 방법 ICP-CVD 방법, PE-CVD 방법이 있을 수 있으며, 스퍼터 방법에 의한 SiOC 박막의 제조방법의 일실시예는 다음과 같다.

[0043] 초기조건은 ~10^{-5} Torr, 공정조건은 ~1.2 Torr이며, SiOC 박막의 성분비를 조절하기 위해서 산소 가스를 이용하고 SiOC 타겟 (SiO_x: CH_x=95:5 M%)을 사용한다. 플라즈마를 만들기 위해서 사용하는 산소의 유량비는 12, 14, 16, 18, 20, 22, 24, 26 sccm 으로 변화시키며, RF 마그네트론 스퍼터링 방법으로 증착시키는데 있어서 파워는 250~300W 범위에서 10분 동안 증착시킨다.

[0044] 도8은 산소의 유량에 따른 SiOC 박막의 유전상수를 나타내는 도면이다. 산소의 유량비를 12, 14, 16, 18, 20, 22, 24, 26 sccm 증가시켜 가면서 SiOC 박막을 증착하며, 유전상수는 1.3~2.5의 범위인 것으로 나타난다. 분극의 가장 낮은 산소의 유량비가 16 sccm의 샘플에서 유전상수가 가장 낮게 나타난다. 산소의 유량비가 16 sccm 이하에서는 CH 알킬기의 증가에 의한 분극의 증가로 유전상수가 증가하며, 산소의 유량비가 16 sccm 이상인 경우 OH 수산기의 증가에 의한 분극의 증가로 유전상수가 증가한다.

[0045] 또한, 도1에 도시된 박막 트랜지스터에 있어서, 상기 채널층(150)인 반도체에 도핑되는 캐리어 농도는 1×10^{17} ~ 9×10^{18} atoms/cm^3 인 것이 바람직하며, 상기 게이트 절연막의 허용 누설전류의 범위는 10^{-12} ~10^{-10} A이하인 것을 특징으로 하는 것이다.

[0046] 상기 유전상수의 SiOC로 이루어진 게이트 절연막(120)의 특성에 의하여 상기 게이트 전극(140)에 인가되는 전압이 음(-)의 바이어스인 경우에는 상기 박막 트랜지스터는 p-타입 트랜지스터로 동작하고, 상기 게이트 전극(140)에 인가되는 전압이 양(+)의 바이어스인 경우에는 n-타입 트랜지스터로 동작하게 되는 것이다.

[0047] 도7a는 드레인 전압이 양의 바이어스와 음의 바이어스로 인가할 때의 드레인 전류를 나타내고 도7b는 게이트 전압에 따른 드레인 전류의 변화를 나타낸다.

[0048] 도7a는 드레인 전압이 음의방향에서 양의 방향으로 달라질 때 드레인 전류가 음의 방향에서 양의 방향으로 변하였다. 이때 도7b의 드레인 전류는 양의 방향(p형 반도체 특성)에서 음의 방향(n형 반도체 특성)으로 변하면서, 양방향성을 나타냈다. 도7b에서 전달특성을 나타내는 곡선상에 있어서 게이트전압이 음의 범위에서는 p형반도체의 특성이 나타나고, 역으로 게이트 전압이 양의 범위에서는 n형 반도체의 특성이 나타나고 있음을 알 수 있다. 일반적인 n형 반도체이나 p형 반도체에 대한 이동도를 도6b를 기준으로 해서 구해보면, 이동도가 1A cm2/Vs 정도가 나온다고 하면 양방향성 트랜지스터에 있어서는 n형 반도체특성과 p형 반도체 특성을 갖고 있는 바, 이동도는 그의 2배인 2A cm2/Vs가 된다.

[0049] 반도체소자 크기가 작아지면서 채널의 두께도 얇아지게 되는데, 게이트 절연막의 경우 많이 사용하는 SiO_2박막은 얇게 만드는데 한계가 있다.

[0050] 게이트 절연막으로서 분극의 감소효과에 의해 두께가 얇아지더라도 절연특성이 우수하고 누설전류가 훨씬 감소된 SiOC 박막을 사용할 경우 도7a, 도7b에 도시된 바와 같이, 도7a에서 드레인 전압을 음의 바이어스를 가하면 이에 대응하여 7b에서 p형 반도체 트랜지스터 특성이 나타나고, 도7a에서 드레인 전압을 양의 바이어스를 가하면 이에 대응하여 도7b에서 n형 반도체 트랜지스터 특성을 갖게 되어 결과적으로 인버터의 특성을 나타내게 된다.

[0051] 또한, 도7c는 p-타입 트랜지스터로 동작하는 경우에 인가되는 드레인 전압들에 따른 드레인 전류를 나타내는 도면이다.

[0052] 도7c를 참조하면, 반도체와 게이트 절연막 사이의 계면에서 소수 캐리어의 터널링이 이루어지기 위해서는 드레인 전압이 작을수록 유리하다.

[0053] 이때, 터널링이 되기 위한 조건으로 드레인 바이어스는 10^{-4} ~1 V 범위의 전압을 인가하는 것이 바람직하다.

[0054] 도7d는 SiOC 박막 트랜지스터의 일실시예에 대한 Id-Vg 전달 특성을 나타낸다.

[0055] 도7d에서 보는 바와 같이 드레인 전압(Vd)이 1V에서 터널링이 일어나서 p형 반도체 특성과 n형 반도체특성을 모두 갖는 양방향성 트랜지스터의 특성이 나타나기 시작하고 드레인 전압(Vd)이 0,01V에서 p형 반도체 특성과 n형 반도체특성을 모두 갖는 양방향성 트랜지스터의 특성이 뚜렷해지고 드레인 전압(Vd)이 0,001V에서 보다 더 양호한 p형 반도체 특성과 n형 반도체특성을 모두 갖는 양방향성 트랜지스터의 특성이 나타난다.

[0056] 반면, 드레인 전압(Vd)이 5V로만 되어도 터널링 효과는 나타나지 않고 트래핑(trapping) 효과에 의한 단방향 트랜지스터 특성이 나타나고 드레인 전압이 증가할수록 이러한 단방향 트랜지스터 특성이 더욱 뚜렷해짐을 알 수 있다.

[0057] 이로 인하여 트랜지스터의 동작을 가능하게 하는 캐리어의 이동도가 증가할 수 있으며, p채널과 n채널의 트랜지스터가 게이트 전압 0V를 기준으로 음의 방향과 양의 방향으로 양방향성을 갖게 되므로 이동도가 증가할 수 있고, 또한 문턱전압이동에 의한 안정성이 확보된다.

[0058] 한편, 상기 채널층(150)으로서의 반도체는 결정질 실리콘 반도체, 비정질 실리콘 반도체, 산화물 반도체, 그래핀, 그래핀 옥사이드 (GO)를 포함할 수 있다.

[0059] 여기에서, 상기 채널층(150)으로서의 반도체는 InSnGaZnO, InGaZnO, AlGaZnO, InSnZnO In-Al-ZnO, Sn GaZnO, SnAlZnO, InZnO, SnZnO, AgZnO, ITO, ZTO (Ti-ZnO), SiZnO, AlZnO, ZnMgO, SnMgO, InMgO, InO, SnO, ZnO, 그래핀, 그래핀 옥사이드(GO)중 어느 하나를 포함하는 것을 특징으로 하는 것이다.

[0060] 도2는 도1에 도시된 유기발광 디스플레이에서 서브 픽셀의 회로 구성 예시도이다.

[0061] 도2를 참조하여, 2T1C 구조를 갖는 서브 픽셀들(SP)의 경우, 도시된 것과 같은 구조를 가질 수 있는데 이에 대해 설명하면 다음과 같다.

[0062] 스위칭 트랜지스터(SW)는 스캔신호가 공급되는 스캔배선(SL1)에 게이트 전극이 연결되고 데이터신호가 공급되는 데이터배선(DL1)에 일단이 연결되며 제1노드(A)에 타단이 연결된다.

[0063] 구동 트랜지스터(DT)는 제1노드(A)에 게이트 전극이 연결되고 제2노드(B)에 일단이 연결되며 저 전위전원이 공급되는 제2전원배선(VSS)에 연결된 제3노드(C)에 타단이 연결된다. 커패시터(Cst)는 제1노드(A)에 일단이 연결되고 제3노드(C)에 타단이 연결된다.

[0064] 유기 발광다이오드(OLED)는 고 전위전원이 공급되는 제1전원배선(VDD)에 애노드 전극이 연결되고 제2노드(B) 및 구동 트랜지스터(DT)의 일단에 캐소드 전극이 연결된다.

[0065] 구동원리를 살펴보면 선택 신호에 따라 선택된 전극에 신호를 인가하면 스위칭 박막 트랜지스터가 열리고 데이터 전극에서 인가한 데이터 신호가 스위칭 박막 트랜지스터를 통과하여 구동 박막 트랜지스터와 저장 커패시터에 인가되며, 구동 박막 트랜지스터가 열리면 전원 공급 선인 파워 라인으로부터 전류가 구동 박막 트랜지스터를 통하여 유기 OLED 소자에 인가되어 발광하게 된다. 데이터 신호의 크기에 따라 구동 박막 트랜지스터가 열리는 정도가 달라서 구동 박막 트랜지스터를 통하여 흐르는 전류량을 조절하여 계속 표시를 할 수 있게 된다.

[0066] 커패시터에 충전된 데이터가 구동 박막 트랜지스터에 계속 인가되어 다음화면의 신호가 인가될 때까지 지속적으로 유기소자를 발광시킬 수가 있다.

[0067] 이러한 원리로 인하여 수동구동에 비해 낮은 전압과 순간적으로 낮은 전류를 인가해도 되며, 선택된 선에 관계없이 한 화면 시간 동안 계속 유기 발광소자의 구동이 가능하여 저소비 전력, 고해상도, 대면적화에 유리하다.

[0068] 도3은 본 발명의 제2실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

[0069] 도3에 도시된 유기발광 디스플레이는 기본적으로 투명기판(10)과 상부 전극(20), 하부 전극(30)과 상기 두 전극 내에 유기 발광층(OLED, 40)이 삽입되어 있는 구조로 되어 있다.

[0070] 또한, 도3에 도시된 박막 트랜지스터(100)는 채널층(150)인 반도체와 소스 전극(130) 또는 드레인(131) 전극 사이에 보호막(160, 161)을 증착한 것이다.

[0071] 반도체소자를 만드는데 있어서 금속전극의 접촉에 의한 저항손실이 일어나는 접촉부에 해당하는 모든 부분에 대하여 보호막을 사용하여 금속에 의한 저항손실을 없애 주어서 전류효율을 증대시키고 이동도를 높여주는 목적으로 보호막이 사용된다.

[0072] 도3을 참조하면, 소스 또는 드레인의 금속 전극(130, 131)과 반도체 채널층(150) 접촉시에 문제가 되는 저항성분을 줄이기 위해 상기 보호막(160, 161)을 증착한 것으로, 상기 보호막(160, 161)의 유전상수는 1.3~2.5 인 SiOC를 사용할 수 있다.

[0073] 도4는 본 발명의 제3실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

[0074] 도4에 도시된 유기발광 디스플레이는 기본적으로 투명기판(10)과 상부 전극(20), 하부 전극(30)과 상기 두 전극 내에 유기 발광층(OLED, 40)이 삽입되어 있는 구조로 되어 있다.

[0075] 도4에 포함된 박막 트랜지스터(100)는 인버티드 스테거(inverted stagger) 트랜지스터 구조에서 기판(10) 위에 게이트 전극(140)이 올라가고 게이트 절연막(120)이 SiOC 박막을 사용하여 만들어진다. 그 위에 소스전극(130)과 드레인 전극(131)을 만든 후에 전도성 채널층(150)이 올라가 있는 것을 포함한다.

[0076] 이때, 상기 게이트 절연막(120)은 SiOC 박막으로 이루어지며, 상기 게이트 절연막의 유전상수는 1.3~2.5 인 것이 바람직하다.

[0077] 또한, 도4에 도시된 트랜지스터는 게이트 절연막(120)과 소스 전극(130) 또는 드레인(131) 전극 사이에 보호막(160, 161)을 증착한 것이다.

[0078] 도4를 참조하면, 소스 또는 드레인의 금속 전극(130, 131)과 절연막 접촉시에 문제가 되는 저항성분을 줄이기 위해 상기 보호막(160, 161)을 증착한 것으로, 상기 보호막(160, 161)의 유전상수는 1.3~2.5 인 SiOC를 사용할 수 있다.

[0079] 도5는 본 발명의 제4실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

[0080] 도5에 도시된 유기발광 디스플레이는 기본적으로 투명기판(10)과 상부 전극(20), 하부 전극(30)과 상기 두 전극 내에 유기 발광층(OLED, 40)이 삽입되어 있는 구조로 되어 있다.

[0081] 도5에 포함된 박막 트랜지스터(100)는 기판(10) 위에 채널층(150)을 형성하고 상기 채널층(150) 좌우측에 각각 인접하여 소스전극(130)과 드레인 전극(131)이 배치되고, 상기 채널층 상부에 게이트전극(140)이 배치되는데 상기 채널층(150)과 상기 게이트 전극(140) 사이에 SiOC 게이트 절연막(120)이 증착된 구조이다.

[0082] 그리고, 상기 SiOC 게이트 절연막의 유전상수는 도3과 동일한 범위이다.

[0083] 또한, 도5에 도시된 트랜지스터(100)는 게이트 절연막(120)과 소스 전극(130) 또는 드레인(131) 전극 사이에 보호막(160, 161)을 증착하고 채널층(150)과 소스 전극(130) 또는 드레인(131) 전극 사이에 보호막(160, 161)을 증착한 것이다.

[0084] 도5를 참조하면, 소스 또는 드레인의 금속 전극(130, 131)과 게이트 절연막(120) 접촉과 금속전극과 반도체 채널층(150) 접촉시에 문제가 되는 저항성분을 줄이기 위해 상기 보호막(160, 161)을 증착한 것으로, 상기 보호막(160, 161)의 유전상수는 1.3~2.5 인 SiOC를 사용할 수 있다.

[0085] 도6은 본 발명의 제5실시예에 따른 박막 트랜지스터로 구동되는 유기발광 디스플레이의 단면도이다.

[0086] 도6에 도시된 유기발광 디스플레이는 기본적으로 투명기판(10)과 상부 전극(20), 하부 전극(30)과 상기 두 전극 내에 유기 발광층(OLED, 40)이 삽입되어 있는 구조로 되어 있다.

[0087] 도6에 포함된 박막 트랜지스터는 기판(10) 위에 채널층(150)을 형성하고 상기 채널층(150)과 보호막(160)을 경계로 하여 좌측 하부에 소스전극(130)을 배치하고, 상기 채널층(150)과 보호막을 경계로 하여 우측 하부에 드레인 전극(131)이 배치된다.

[0088] 또한, 상기 소스전극(130)과 드레인 전극(131)과 경계를 이루는 상기 보호막(160, 161)은 기판(150)과도 경계를 이루어 배치되는 것이다.

[0089] 상기 채널층(150) 상부에는 게이트전극(140)이 배치되는데 상기 채널층(150)과 상기 게이트 전극(140) 사이에 SiOC 게이트 절연막(120)이 증착된 구조이다.

[0090] 또한, 도6에 도시된 트랜지스터는 기판(10)과 소스 전극(130) 또는 드레인(131) 전극 사이에 보호막(160, 161)을 증착하고 채널층(150)과 소스 전극(130) 또는 드레인(131) 전극 사이에 보호막(160, 161)을 증착한 것이다.

[0091] 도6을 참조하면, 소스 또는 드레인의 금속 전극(130, 131)과 기판(10) 접촉과 금속전극과 반도체 채널층(150) 접촉시에 문제가 되는 저항성분을 줄이기 위해 상기 보호막(160, 161)을 증착한 것으로, 상기 보호막(160, 161)의 유전상수는 1.3~2.5 인 SiOC를 사용할 수 있다.

[0092] 한편, 본 발명에 포함된 박막 트랜지스터 제조방법이 다음과 같이 진행된다.

[0093] 박막 트랜지스터는 기판 위에 게이트 전극을 형성한 후에, 상기 기판과 상기 게이트 전극 위에 게이트 절연막을 성막하여 형성하게 된다.

[0094] 이후, 상기 게이트 절연막 위에 채널층으로서 반도체를 배치하여 형성하고, 상기 산화물 반도체를 중심으로 좌우에 소스 금속 전극과 드레인 금속 전극을 형성하여 완성한다.

[0095] 이때, 본 발명에 따른 박막 트랜지스터는, 상기 게이트 절연막을 성막함에 있어서, SiOC로 이루어지되, 상기 게이트 절연막의 유전상수는 1.3~2.5 범위로 제한하는 것이다.

[0096] 그리고, 상기 게이트 절연막을 스퍼터링으로 형성하는 단계에서 게이트 절연막의 SiOC 타겟의 조성 중 탄소함량이 0.1 ~10% 범위인 것이 바람직하다.

[0097] SiOC 박막의 유전상수를 상기 범위 내로 두기 위해서 SiOC 박막 내의 분극을 줄일 필요가 있다.

[0098] SiOC 박막 구성에 포함된 분극을 줄이기 위해서, 즉 탄소와 산소에 의해 증가될 수 있는 분극을 낮게 하기 위해서는, 탄소함량을 조절해야 하는 데, 이때 타겟의 탄소함량이 0.1% 이하일 경우에는 SiOC 박막 형성이 어렵게 되고, 한편 탄소함량이 10% 이상이 될 경우에는 탄소에 의한 분극이 커지게 되므로 상기 게이트 절연막의 유전상수를 1.3~2.5 범위로 제한하기 위해서는 SiOC 타겟의 조성 중 탄소함량이 0.1 ~10% 범위인 것이 바람직하다.

[0099] 또한, 본 발명에 따른 박막 트랜지스터 제조방법에 있어서, 상기 게이트 절연막을 형성하는 단계는 DC-스퍼터링 또는 RF-스퍼터링에 의해서 이루어지는 것을 특징으로 하는 것이다.

[0100] 여기에서, 상기 게이트 절연막을 성막 형성하는 단계에 게이트 절연막 증착 후 0℃~450℃에서 열처리하는 단계를 더 포함할 수 있다.

[0101] 이상에서 본 발명은 기재된 구체적인 실시예에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허청구범위에 속함은 당연한 것이다.

부호의 설명

[0102]

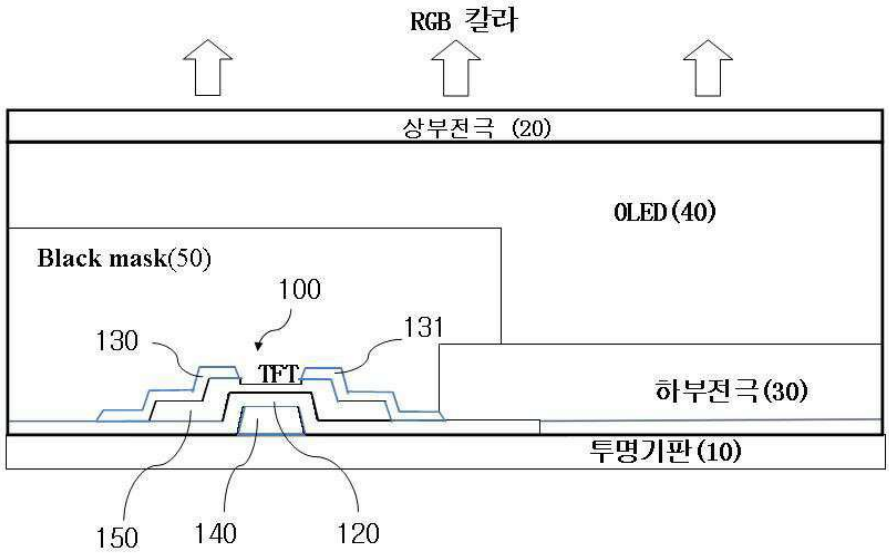
10 : 기판	20 : 상부전극
30 : 하부전극	40 : 유기발광층(OLED)
50 : 블랙마스크	120 : SiOC 박막
130 : 소스 전극	131 : 드레인 전극

140 : 게이트 전극 150 : 채널층

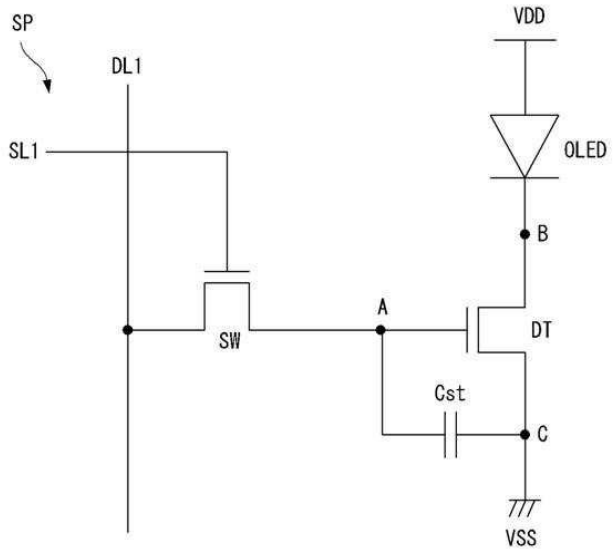
160, 161 : 보호막

도면

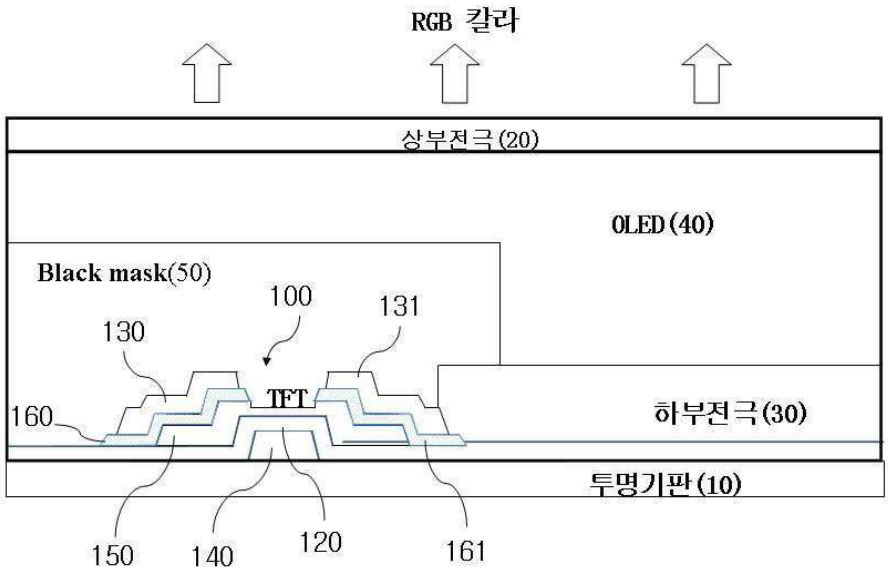
도면1



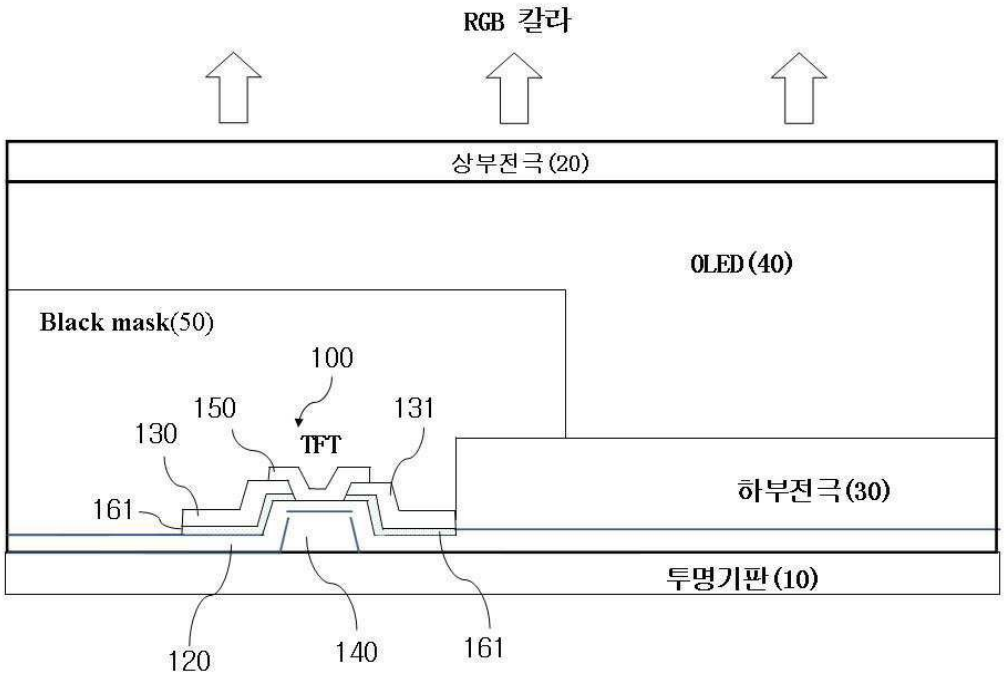
도면2


SP
DL1
SL1
VDD
OLED
B
A
SW
DT
Cst
C
VSS

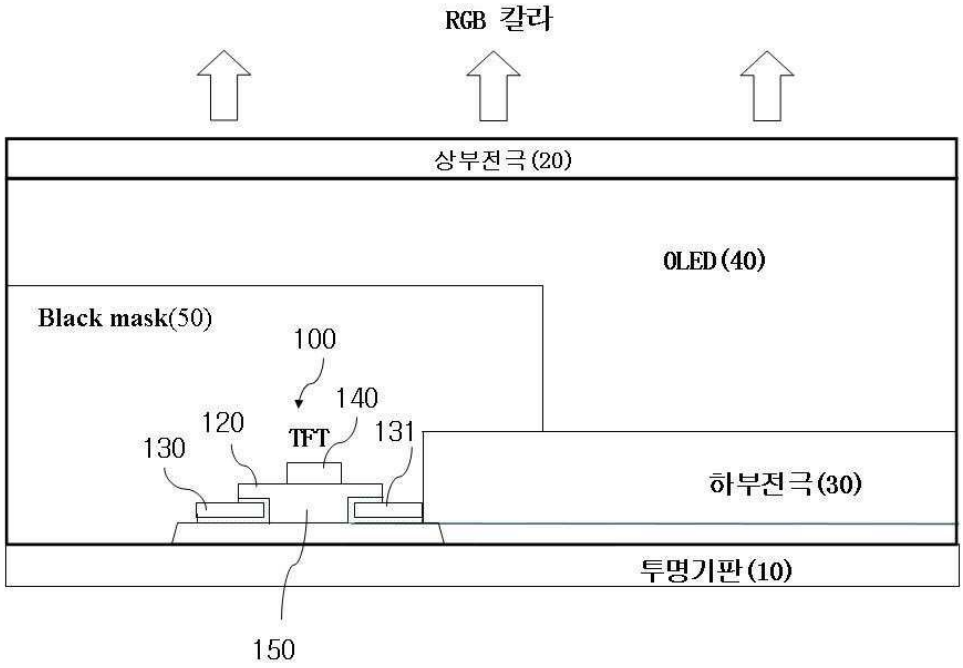
도면3


RGB 칼라
상부전극(20)
OLED(40)
Black mask(50)
100
131
130
TFT
160
하부전극(30)
투명기판(10)
150
140
120
161

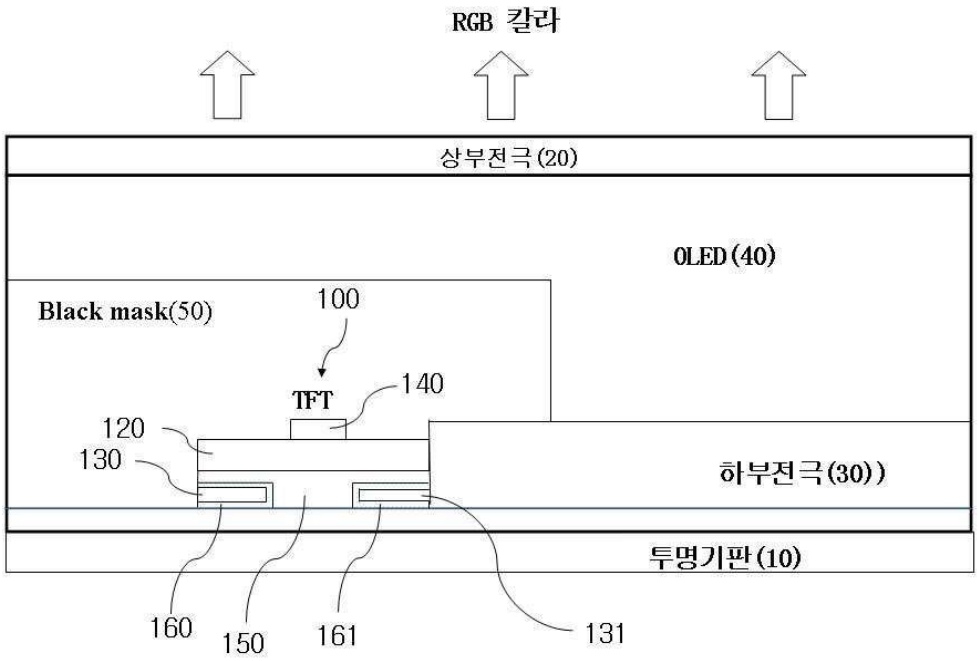
도면4


RGB 칼라
상부전극(20)
OLED(40)
Black mask(50)
100
150
131
130
TFT
161
하부전극(30)
투명기판(10)
120
140
161

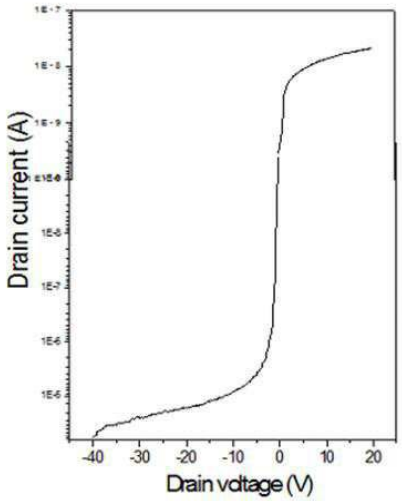
도면5


RGB 칼라
상부전극(20)
OLED(40)
Black mask(50)
100
140
120
131
130
TFT
하부전극(30)
투명기판(10)
150

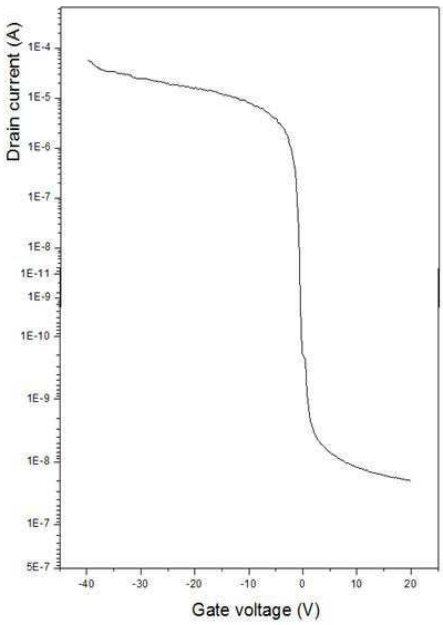
도면6


RGB 칼라
상부전극(20)
OLED(40)
Black mask(50)
100
TFT
140
120
130
하부전극(30))
투명기판(10)
160
150
161
131

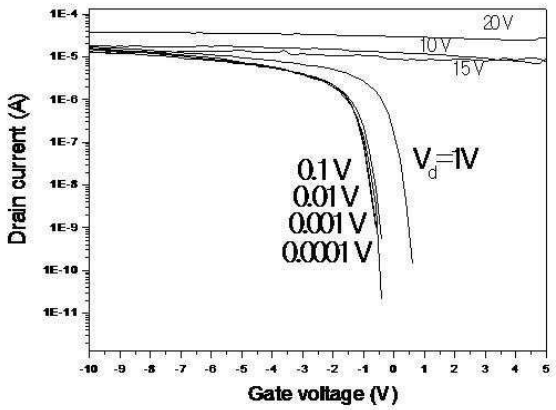
도면7a


Drain current (A)
Drain vdtage (V)
-40
-30
-20
-10
0
10
20

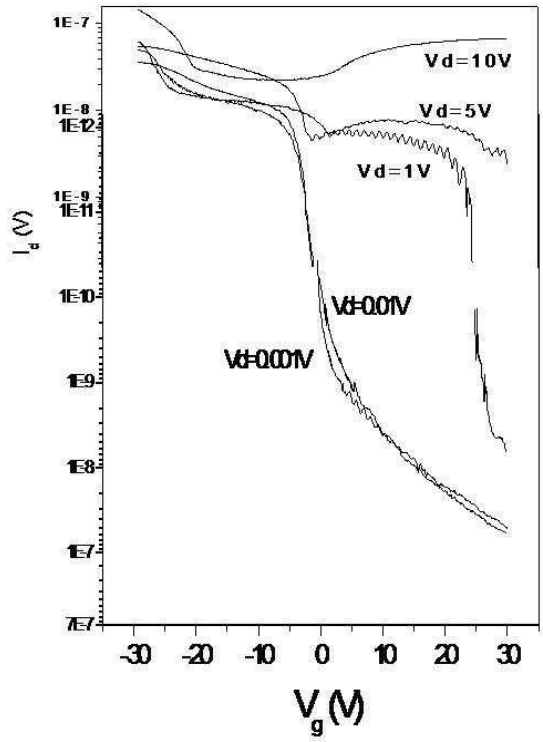
도면7b


Drain current (A)
1E-4
1E-5
1E-6
1E-7
1E-8
1E-11
1E-9
1E-10
1E-9
1E-8
1E-7
5E-7
-40
-30
-20
-10
0
10
20
Gate voltage (V)

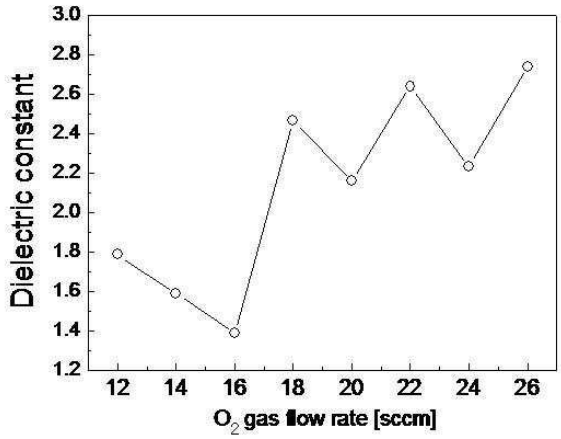
도면7c


20 V
10 V
15 V
V_d=1V
0.1 V
0.01 V
0.001 V
0.0001 V
Drain current (A)
1E-4
1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
-10
-9
-8
-7
-6
-5
-4
-3
-2
-1
0
1
2
3
4
5
Gate voltage (V)

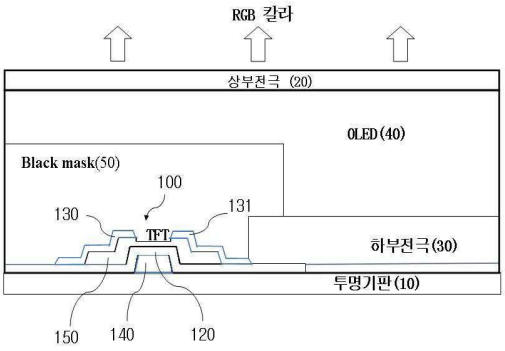
도면7d


Vd=10V
Vd=5V
Vd=1V
Vd=0.01V
Vd=0.001V
I_d (V)
V_g (V)

도면8


Dielectric constant
O_2 gas flow rate [sccm]

专利名称(译)	标题：由薄膜晶体管驱动的有机发光显示器		
公开(公告)号	KR101610941B1	公开(公告)日	2016-04-08
申请号	KR1020140116994	申请日	2014-09-03
[标]申请(专利权)人(译)	绿色OPTICS		
申请(专利权)人(译)	有限公司绿光		
当前申请(专利权)人(译)	有限公司绿光		
[标]发明人	OH TERESA 오데레사		
发明人	오데레사		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/124 H01L27/3244 H01L29/4908 H01L29/78618 H01L51/0097 H01L2251/5338		
其他公开文献	KR1020160028213A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种由薄膜晶体管操作的OLED显示器，该OLED显示器包括：基板； 在基板上形成的晶体管部分； 在晶体管部分上形成的底部电极； 形成在底部电极上的有机发光层； 顶电极形成在有机发光层上。 晶体管部分包括：基板； 栅电极布置在基板上； 设置在基板和栅电极上的栅绝缘膜； 半导体作为布置在栅极绝缘膜上的沟道层； 源电极和漏电极布置在半导体的左侧和右侧。 栅绝缘膜由SiOC形成，并且栅绝缘膜的介电常数为1.3-2.5。