



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년09월02일

(11) 등록번호 10-1549284

(24) 등록일자 2015년08월26일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/30 (2006.01) HO1L 51/50 (2006.01)
- (21) 출원번호 10-2011-0115577
- (22) 출원일자 2011년11월08일  
심사청구일자 2013년05월15일
- (65) 공개번호 10-2013-0050490
- (43) 공개일자 2013년05월16일
- (56) 선행기술조사문헌  
JP2006023515 A\*  
KR1020070113118 A\*  
US20060221662 A1  
US20070046593 A1  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자  
윤중선  
경기 파주시 탄현면 소금쟁이길 100, 203호 (민들레빌)  
강지현  
대구광역시 북구 검단로 255, 102동 1308호 (검단동, 민들레아파트)
- (74) 대리인  
특허법인로얄

전체 청구항 수 : 총 8 항

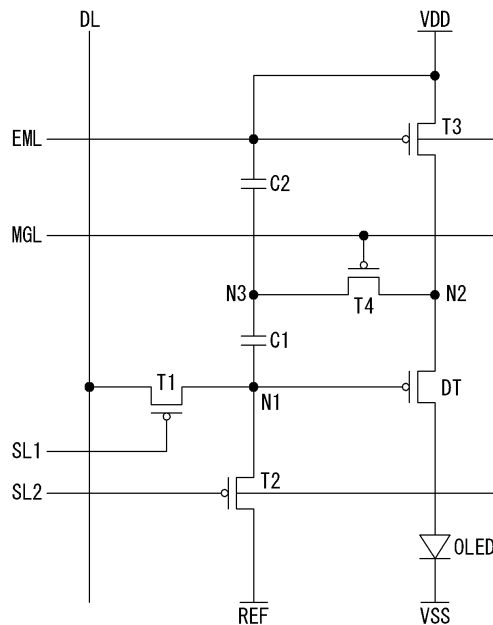
심사관 : 신영교

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다. 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 데이터 라인, 상기 데이터 라인과 교차되는 제1 스캔 라인, 상기 제1 스캔 라인과 나란한 제2 스캔 라인, 컨트롤 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 (뒷면에 계속)

대표도 - 도1



형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속된 구동 TFT; 상기 구동 TFT의 드레인 전극에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 제1 스캔 라인의 제1 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT; 상기 제2 스캔 라인의 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드와 기준 전압을 공급하는 기준 전압원을 접속시키는 제2 TFT; 상기 발광 라인의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 고전위 전압을 공급하는 고전위 전압원을 접속시키는 제3 TFT; 상기 컨트롤 라인의 컨트롤 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제4 TFT; 상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및 상기 제3 노드와 고전위 전압원 사이에 접속된 제2 캐패시터를 포함하는 것을 특징으로 한다.

---

**특허청구의 범위**

**청구항 1**

데이터 라인, 제1 스캔 라인, 제2 스캔 라인, 컨트롤 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고,

상기 화소들 각각은,

게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속된 구동 TFT;

상기 구동 TFT의 드레인 전극에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드;

상기 제1 스캔 라인의 제1 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT;

상기 제2 스캔 라인의 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드와 기준 전압을 공급하는 기준 전압원을 접속시키는 제2 TFT;

상기 발광 라인의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 고전위 전압을 공급하는 고전위 전압원을 접속시키는 제3 TFT;

상기 컨트롤 라인의 컨트롤 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제4 TFT;

상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및

상기 제3 노드와 고전위 전압원 사이에 접속된 제2 캐패시터를 포함하고,

상기 컨트롤 신호의 펄스 시작 시점은 상기 제1 스캔 신호의 펄스 시작 시점과 서로 동기되고, 상기 발광 신호의 펄스 종료 시점은 상기 컨트롤 신호의 펄스 종료 시점보다 앞서는 유기발광다이오드 표시장치.

**청구항 2**

제 1 항에 있어서,

상기 제2 스캔 신호, 및 발광 신호 각각의 펄스 시작 시점은 상기 제1 스캔 신호와 컨트롤 신호 각각의 펄스 시작 시점보다 앞서고,

상기 제2 스캔 신호의 펄스 시작 시점은 상기 발광 신호의 펄스 시작 시점보다 앞서는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 3**

제 2 항에 있어서,

상기 제1 스캔 신호의 펄스 시작 시점과 상기 제2 스캔 신호의 펄스 종료 시점은 서로 동기되는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 4**

제 3 항에 있어서,

상기 제1 스캔 신호의 펄스 종료 시점은 상기 발광 신호의 펄스 종료 시점보다 앞서는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 5**

삭제

**청구항 6**

제 2 항에 있어서,

상기 제2 스캔 신호의 펄스 폭은 상기 제1 스캔 신호의 펄스 폭보다 넓은 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 7**

제 6 항에 있어서,

상기 컨트롤 신호의 펄스 폭은 상기 제1 스캔 신호의 펄스 폭보다 넓은 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 8**

제 1 항에 있어서,

상기 제1 TFT의 게이트 전극은 상기 제1 스캔 라인에 접속되고, 소스 전극은 상기 데이터 라인에 접속되며, 드레인 전극은 상기 제1 노드에 접속되고,

상기 제2 TFT의 게이트 전극은 상기 제2 스캔 라인에 접속되며, 소스 전극은 상기 제1 노드에 접속되고, 드레인 전극은 상기 기준 전압원에 접속되며,

상기 제3 TFT의 게이트 전극은 상기 발광 라인에 접속되며, 소스 전극은 상기 고전위 전압원에 접속되고, 드레인 전극은 상기 제2 노드에 접속되며,

상기 제4 TFT의 게이트 전극은 상기 컨트롤 라인에 접속되고, 소스 전극은 상기 제2 노드에 접속되며, 드레인 전극은 상기 제3 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

**청구항 9**

제 1 항에 있어서,

상기 기준 전압은 상기 고전위 전압보다 상기 구동 TFT의 문턱전압만큼 낮은 전압과 상기 저전위 전압 사이의 레벨의 전압 레벨을 갖는 것을 특징으로 하는 유기발광다이오드 표시장치.

**명세서**

**기술분야**

[0001] 본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기발광다이오드 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광다이오드 표시장치 중에서 다수의 화소가 매트릭스 형태로 위치하여 영상을 표시하는 액티브 매트릭스 타입 유기발광다이오드 표시장치가 널리 사용된다.

[0003] 액티브 매트릭스 타입 유기발광다이오드 표시장치의 표시패널은 매트릭스 형태로 배치된 다수의 화소들을 포함한다. 화소들 각각은 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 공급하는 스캔 TFT(Thin Film Transistor)와 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(Organic Light Emitting Diode)에 공급되는 전류의 양을 조절하는 구동 TFT를 포함한다. 이때, 유기발광다이오드에 공급되는 구동 TFT의 드레인-소스간 전류(Ids)는 수학식 1과 같이 표현될 수 있다.

**수학식 1**

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005]

수학식 1에서, k'는 구동 TFT의 구조와 물리적 특성에 의해 결정되는 비례 계수, Vgs는 구동 TFT의 게이트-소스 간 전압, Vth는 구동 TFT의 문턱전압을 의미한다.

[0006]

한편, 표시패널의 제조 공정상 오차로 인해, 화소들 각각의 구동 TFT의 문턱전압(Vth)은 서로 다른 값을 가질 수 있다. 이 경우, 구동 TFT의 드레인-소스간 전류(IDs)는 구동 TFT의 문턱전압(Vth)에 의존하므로, 동일한 데이터 전압을 화소들 각각에 공급하더라도 유기발광다이오드에 공급되는 전류(IDs)는 화소마다 달라진다. 따라서, 동일한 데이터 전압을 화소들 각각에 공급하더라도 화소들 각각의 유기발광다이오드가 발광하는 빛의 휘도가 달라지는 문제점이 발생한다. 이를 해결하기 위해, 구동 TFT의 문턱전압을 보상하는 여러 형태의 화소 구조가 제안되고 있다.

[0007]

하지만, 최근에 유기발광다이오드 표시장치는 입체영상 구현을 구현하거나 화질을 향상시키기 위해 240Hz 이상의 프레임 주파수로 고속 구동하도록 제조되고 있다. 이 경우, 문턱전압 센싱 기간이 짧아지게 되므로 구동 TFT의 문턱전압 센싱의 정확도가 낮아지는 문제가 발생한다. 또한, 최근에 유기발광다이오드 표시장치는 수요자의 요구에 따라 대면적 고해상도로 제조되고 있다. 이 경우, 배선의 길이가 길어지기 때문에 배선 저항이 높아져 RC 딜레이(delay)가 발생할 수 있으며, 이로 인해 문턱전압 센싱 신호의 펄스가 딜레이되어 문턱전압 센싱 기간이 짧아지게 되므로 구동 TFT의 문턱전압 센싱의 정확도가 낮아지는 문제가 발생한다.

**발명의 내용**

**해결하려는 과제**

[0008]

본 발명은 구동 TFT의 문턱전압 센싱의 정확도를 높일 수 있는 유기발광다이오드 표시장치를 제공한다.

**과제의 해결 수단**

[0009]

본 발명의 실시예에 따른 유기발광다이오드 표시장치는 데이터 라인, 상기 데이터 라인과 교차되는 제1 스캔 라인, 상기 제1 스캔 라인과 나란한 제2 스캔 라인, 컨트롤 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속된 구동 TFT; 상기 구동 TFT의 드레인 전극에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 제1 스캔 라인의 제1 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT; 상기 제2 스캔 라인의 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드와 기준 전압을 공급하는 기준 전압원을 접속시키는 제2 TFT; 상기 발광 라인의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 고전위 전압을 공급하는 고전위 전압원을 접속시키는 제3 TFT; 상기 컨트롤 라인의 컨트롤 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제4 TFT; 상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및 상기 제3 노드와 고전위 전압원 사이에 접속된 제2 캐패시터를 포함하는 것을 특징으로 한다.

**발명의 효과**

[0010]

본 발명은 2 수평기간 이상의 기간 동안 구동 TFT의 문턱전압을 센싱한다. 그 결과, 본 발명은 대면적 고해상도의 유기발광표시장치가 240Hz 이상의 프레임 주파수로 고속 구동하는 경우에도 구동 TFT의 문턱전압을 정확히 센싱할 수 있다.

[0011]

또한, 본 발명은 고전위 전압원과 구동 TFT 사이에 제4 TFT를 접속시키고, 발광 신호를 이용하여 제4 TFT의 온/오프를 제어한다. 그 결과, 본 발명은 고전위 전압의 전압 강하가 반영된 전압을 이용하여 문턱전압을 보상하

므로, 고전위 전압의 전압 강하를 보상할 수 있다.

**도면의 간단한 설명**

- [0012] 도 1은 본 발명의 실시예에 따른 화소의 등가회로도.
- 도 2는 화소에 입력되는 신호들을 보여주는 파형도.
- 도 3은 노드들의 전압 변화를 보여주는 표.
- 도 4는 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프.
- 도 5는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 나타내는 블록도.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 이하 첨부된 도면을 참조하여 유기발광다이오드 표시장치를 중심으로 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0014] 도 1은 본 발명의 실시예에 따른 화소의 등가회로도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 표시패널(10)의 화소(P)는 구동 TFT(Thin Film Transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 및 캐패시터(capacitor)들을 포함한다.
- [0015] 구동 TFT(DT)는 게이트 전극에 인가된 전압 량에 따라, 드레인-소스간 전류(Ids)의 양을 다르게 조절한다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 소스 전극은 제2 노드(N2)에 접속되며, 드레인 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속된다.
- [0016] 유기발광다이오드(OLED)의 애노드 전극은 구동 TFT(DT)의 드레인 전극에 접속되고, 캐소드 전극은 저전위 전압(VSS)이 공급되는 저전위 전압원에 접속된다. 유기발광다이오드(OLED)는 구동 TFT(DT)의 드레인-소스간 전류(Ids)에 따라 발광된다.
- [0017] 제어 회로는 제1 내지 제4 TFT(T1, T2, T3, T4)를 포함한다. 제1 TFT(T1)는 제1 스캔 라인(SL1)으로부터 공급되는 제1 스캔 신호(SCAN1)에 응답하여 턴-온되어 제1 노드(N1)와 데이터 전압(DATA)이 공급되는 데이터 라인(DL)을 접속시킨다. 제1 TFT(T1)의 게이트 전극은 제1 스캔 라인(SL1)에 접속되고, 소스 전극은 데이터 라인(DL)에 접속되며, 드레인 전극은 제1 노드(N1)에 접속된다.
- [0018] 제2 TFT(T2)는 제2 스캔 라인(SL2)으로부터 공급되는 제2 스캔 신호(SCAN2)에 응답하여 턴-온되어 제1 노드(N1)와 기준 전압(REF)을 공급하는 기준 전압원을 접속시킨다. 제2 TFT(T2)의 게이트 전극은 제2 스캔 라인(SL2)에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 기준 전압원에 접속된다.
- [0019] 제3 TFT(T3)는 발광 라인(EML)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 고전위 전압(VDD)을 공급하는 고전위 전압원을 접속시킨다. 제3 TFT(T3)의 게이트 전극은 발광 라인(EML)에 접속되고, 소스 전극은 고전위 전압원에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0020] 제4 TFT(T4)는 컨트롤 라인(MGL)의 컨트롤 신호(MG)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제4 TFT(T4)의 게이트 전극은 컨트롤 라인(MGL)에 접속되고, 소스 전극은 제2 노드(N2)에 접속되며, 드레인 전극은 제3 노드(N3)에 접속된다.
- [0021] 제1 캐패시터(C1)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속되고, 제1 노드(N1)와 제3 노드(N3) 사이의 차전압을 저장한다. 제2 캐패시터(C2)는 제3 노드(N3)와 고전위 전압원 사이에 접속되고, 제3 노드(N3)와 고전위 전압원의 차전압을 저장한다.
- [0022] 한편, 제1 노드(N1)는 구동 TFT(DT)의 게이트 전극, 제1 TFT(T1)의 드레인 전극, 제2 TFT(T2)의 소스 전극, 및 제1 캐패시터(C1)의 일측 전극 간의 접점이다. 제2 노드(N2)는 구동 TFT(DT)의 소스 전극, 제3 TFT(T3)의 드레인 전극, 및 제2 캐패시터(C2)의 일측 전극 간의 접점이다. 제3 노드(N3)는 제3 TFT(T3)의 소스 전극, 제4 TFT(T4)의 드레인 전극, 및 제1 캐패시터(C1)의 타측 전극 간의 접점이다.

인 전극, 및 제4 TFT(T4)의 소스 전극 간의 접촉이다. 제3 노드(N3)는 제4 TFT(T4)의 드레인 전극, 제1 캐패시터(C1)의 타측 전극, 및 제2 캐패시터(C2)의 일측 전극 간의 접촉이다. 제2 캐패시터(C2)의 타측 전극은 고전위 전압원에 접속된다.

[0023] 제1 내지 제4 TFT(T1, T2, T3, T4), 및 구동 TFT(DT)의 반도체 층은 a-Si, Poly-Si, 산화물 반도체 중 어느 하나로 형성될 수 있다. 또한, 본 발명의 실시예에서 제1 내지 제4 TFT(T1, T2, T3, T4), 및 구동 TFT(DT)가 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현된 것을 중심으로 설명하였지만, 이에 한정되지 않으며, N 타입 MOSFET으로도 구현될 수 있다.

[0024] 구동 TFT(DT)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 고전위 전압원은 직류 고전위 전압(VDD)을 공급하도록 설정되고, 저전위 전압원은 직류 저전위 전압(VSS)을 공급하도록 설정될 수 있다. 기준 전압(REF)은 고전위 전압(VDD)과 저전위 전압(VSS) 사이의 전압 레벨을 갖도록 설정될 수 있다. 기준 전압(REF)은 고전위 전압(VDD)보다 구동 TFT(DT)의 문턱전압(Vth)만큼 낮은 전압과 저전위 전압(VSS) 사이의 레벨의 전압 레벨을 갖도록 설정될 수 있다.

[0025] 도 2는 화소에 입력되는 신호들을 보여주는 파형도이다. 도 2에는 표시패널(10)의 어느 한 화소(P)에 입력되는 제1 및 제2 스캔 신호(SCAN1, SCAN2), 컨트롤 신호(MG), 및 발광 신호(EM)가 나타나 있다. 또한, 도 2에는 데이터 라인(DL)을 통해 공급되는 데이터 전압(DATA)이 나타나 있다.

[0026] 도 2를 참조하면, 구동 TFT(DT)는 데이터 전압(DATA)에 따라 유기발광다이오드(OLED)에 공급되는 전류의 양을 조절한다. 데이터 전압(DATA)은 1 수평기간(1H)을 주기로 발생한다.

[0027] 제1 및 제2 스캔 신호(SCAN1, SCAN2), 컨트롤 신호(MG), 및 발광 신호(EM)는 화소(P)의 제1 내지 제4 TFT(T1, T2, T3, T4)를 제어하기 위한 신호들이다. 제1 및 제2 스캔 신호(SCAN1, SCAN2), 컨트롤 신호(MG), 및 발광 신호(EM) 각각은 1 프레임 기간을 주기로 발생한다. 제1 및 제2 스캔 신호(SCAN1, SCAN2) 각각의 펄스는 게이트 로우 전압(VGL)으로 발생한다. 이에 비해, 컨트롤 신호(MG)와 발광 신호(EM) 각각의 펄스는 게이트 하이 전압(VGH)으로 발생한다. 게이트 하이 전압(VGH)은 대략 14V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -12V 내지 -5V로 설정될 수 있다.

[0028] 제2 스캔 신호(SCAN2), 및 발광 신호(EM) 각각의 펄스 시작 시점은 제1 스캔 신호(SCAN1)와 컨트롤 신호(MG) 각각의 펄스 시작 시점보다 앞선다. 또한, 제2 스캔 신호(SCAN2)의 펄스 시작 시점은 발광 신호(EM)의 펄스 시작 시점보다 앞선다. 또한, 제1 스캔 신호(SCAN1)의 펄스 시작 시점, 제2 스캔 신호(SCAN2)의 펄스 종료 시점, 및 컨트롤 신호(MG)의 펄스 시작 시점은 서로 동기된다. 또한, 제1 스캔 신호(SCAN1)의 펄스 종료 시점은 발광 신호(EM)의 펄스 종료 시점보다 앞서고, 발광 신호(EM)의 펄스 종료 시점은 컨트롤 신호(MG)의 펄스 종료 시점보다 앞선다.

[0029] 제2 스캔 신호(SCAN2)의 펄스 폭은 제1 스캔 신호(SCAN1)의 펄스 폭보다 넓다. 예를 들어, 도 2와 같이 제1 스캔 신호(SCAN1)의 펄스 폭은 1 수평기간(1H), 제2 스캔 신호(SCAN2)의 펄스 폭은 2 수평기간(2H)으로 설정될 수 있다. 1 수평기간은 표시패널에서 1 수평라인의 픽셀들에 데이터가 기입되는 1 라인 스캐닝 시간을 의미한다. 또한, 컨트롤 신호(MG)의 펄스 폭은 제1 스캔 신호(SCAN1)의 펄스 폭보다 넓다.

[0030] 도 3은 노드들의 전압 변화를 보여주는 표이다. 이하에서, 도 1 내지 도 3을 참조하여 t1 내지 t4 기간 동안 본 발명의 실시예에 따른 화소(P)의 동작을 상세히 설명한다. t1 기간은 제1 노드(N1)를 초기화하는 기간이고, t2 기간은 구동 TFT(DT)의 문턱전압을 센싱하는 기간이며, t3 기간은 데이터 전압이 공급되는 기간이며, t4 기간은 유기발광다이오드(OLED)가 발광하는 기간이다.

[0031] 첫 번째로, t1 기간 동안 제2 스캔 신호(SCAN2)의 펄스가 시작된다. 즉, t1 기간 동안 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급된다. 또한, t1 기간 동안 게이트 로우 전압(VGL)의 컨트롤 신호(MG)가 컨트롤 라인(MGL)을 통해 공급되고, 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다.

[0032] 제1 TFT(T1)는 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)에 응답하여 턴-온되어 제1 노드(N1)와 기준 전압원을 접속시킨다. 제2

TFT(T2)의 턴-온으로 인해, 제1 노드(N1)는 기준 전압(REF)으로 방전된다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 고전위 전압원을 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해, 제2 노드(N2)는 고전위 전압(VDD)으로 충전된다. 제4 TFT(T4)는 게이트 로우 전압(VGL)의 컨트롤 신호(MG)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제4 TFT(T4)의 턴-온으로 인해, 제3 노드(N3)는 고전위 전압(VDD)으로 충전된다. 결국, t1 기간 동안 제1 노드(N1)는 기준 전압(REF)으로 방전되고, 제2 및 제3 노드(N2, N3)는 고전위 전압(VDD)으로 충전된다.

[0033] 두 번째로, t2 기간 동안 제2 스캔 신호(SCAN2)의 펄스가 유지되고, 발광 신호의 펄스가 시작된다. 즉, t2 기간 동안 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급된다. 또한, t2 기간 동안 게이트 로우 전압(VGL)의 컨트롤 신호(MG)가 컨트롤 라인(MGL)을 통해 공급되고, 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다.

[0034] 제1 TFT(T1)는 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)에 응답하여 턴-온되어 제1 노드(N1)와 기준 전압원을 접속시킨다. 제2 TFT(T2)의 턴-온으로 인해, 제1 노드(N1)는 기준 전압(REF)을 유지한다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)의 턴-오프로 인해, 제2 노드(N2)는 플로팅(floating)된다. 제4 TFT(T4)는 게이트 로우 전압(VGL)의 컨트롤 신호(MG)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제4 TFT(T4)의 턴-온으로 인해, 제3 노드(N3)는 제2 노드(N2)와 실질적으로 동등한 전위로 플로팅된다.

[0035] t2 기간 동안 제2 노드(N2)의 플로팅으로 인해, 구동 TFT(DT)의 문턱전압(Vth)은 제2 노드(N2)와 제3 노드(N3)에 센싱된다. 구동 TFT(DT)의 게이트 전극과 접속된 제1 노드(N1)와 소스 전극과 접속된 제2 노드(N2)의 전압차(Vgs)가 문턱전압(Vth)보다 크므로, 구동 TFT(DT)는 게이트 전극과 소스 전극 간의 전압차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성한다. 따라서, 제2 노드(N2)의 전압은 기준 전압(REF)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(REF-Vth)까지 낮아진다. 또한, 제4 TFT(T4)의 턴-온으로 인해 제3 노드(N3)도 제2 노드(N2)와 실질적으로 동등한 전위를 갖게 되므로, 제3 노드(N3)의 전압도 기준 전압(REF)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(REF-Vth)까지 낮아진다.

[0036] 결국, t2 기간 동안 제2 노드(N2)와 제3 노드(N3)는 구동 TFT(DT)의 문턱전압(Vth)을 센싱한다. 도 2에서 t2 기간은 2 수평기간인 것을 중심으로 설명하였지만, 이에 한정되지 않음에 주의하여야 한다. 즉, t2 기간은 사전 실험을 통해 2 수평기간 이상으로 적절하게 설정될 수 있다. 본 발명은 2 수평 기간 이상의 기간 동안 구동 TFT(DT)의 문턱전압(Vth)을 센싱하므로, 대면적 고해상도의 유기발광표시장치가 240Hz 이상의 프레임 주파수로 고속 구동하는 경우에도 구동 TFT(DT)의 문턱전압 센싱의 정확도를 높일 수 있다.

[0037] 세 번째로, t3 기간 동안 제1 스캔 신호(SCAN1)와 컨트롤 신호(MG) 각각의 펄스가 시작되고, 제2 스캔 신호(SCAN2)의 펄스가 종료되며, 발광 신호(EM)의 펄스가 유지된다. 즉, t3 기간 동안 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급된다. 또한, t3 기간 동안 게이트 하이 전압(VGH)의 컨트롤 신호(MG)가 컨트롤 라인(MGL)을 통해 공급되고, 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다.

[0038] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)에 응답하여 턴-온되어 제1 노드(N1)를 데이터 라인(DL)에 접속시킨다. 제2 TFT(T2)는 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)에 의해 턴-오프된다. 제1 TFT(T1)의 턴-온과 제2 TFT(T2)의 턴-오프로 인해, 제1 노드(N1)는 데이터 전압(DATA)으로 충전된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)의 턴-오프로 인해, 제2 노드(N2)는 플로팅된다. 제4 TFT(T4)는 게이트 하이 전압(VGH)의 컨트롤 신호(MG)에 의해 턴-오프된다. 제4 TFT(T4)의 턴-오프로 인해, 제3 노드(N3)는 제2 노드(N2)와 접속이 차단되고 플로팅된다.

[0039] t3 기간 동안 제3 노드(N3)의 플로팅으로 인해, 제1 노드(N1)의 전압 변화량이 제2 캐패시터(C2)에 의해 제3 노드(N3)에 반영된다. 즉, 제3 노드(N3)에는 제1 노드(N1)의 전압 변화량인 'REF-DATA'가 반영된다. 다만, 제3 노드(N3)는 직렬로 연결된 제1 및 제2 캐패시터(C1, C2)의 사이에 접속되어 있으므로, 수학적 2와 같이 C'의 비율로 전압 변화량이 반영된다.

수학식 2

$$C' = \frac{CA2}{CA1 + CA2}$$

[0040]

[0041]

수학식 2에서, CA1은 제1 캐패시터(C1)의 용량, CA2는 제2 캐패시터(C2)의 용량을 의미한다. 결국, 제3 노드(N3)에는 제1 노드(N1)의 전압 변화량인 'C'(REF-DATA)'가 반영되므로, 제3 노드(N3)의 전압은 'REF-Vth-C'(REF-DATA)'로 변화된다.

[0042]

네 번째로, t4 기간 동안 제1 스캔 신호(SCAN1)의 펄스가 종료된다. 제1 스캔 신호(SCAN1)의 펄스가 종료된 후에, 발광 신호(EM)의 펄스가 종료된다. 발광 신호(EM)의 펄스가 종료된 후에, 컨트롤 신호(MG)의 펄스가 종료된다. 즉, t4 기간 동안 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급된다. 또한, t4 기간 동안 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 반전되는 컨트롤 신호(MG)가 컨트롤 라인(MGL)을 통해 공급되고, 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 반전되는 발광 신호(EM)가 발광 라인(EM L)을 통해 공급된다. 발광 신호(EM)는 컨트롤 신호(MG)에 앞서 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 반전된다.

[0043]

제1 TFT(T1)는 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)에 의해 턴-오프된다. 제1 TFT(T1)와 제2 TFT(T2)의 턴-오프로 인해, 제1 노드(N1)는 플로팅된다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-온된다. 제3 TFT(T3)의 턴-온으로 인해, 제2 노드(N2)는 고전위 전압(VDD)으로 충전된다. 제4 TFT(T4)는 게이트 로우 전압(VGL)의 컨트롤 신호(MG)에 의해 턴-온된다. 제4 TFT(T4)의 턴-온으로 인해, 제3 노드(N3)는 제2 노드(N2)와 접속되므로, 제3 노드(N3)는 고전위 전압(VDD)으로 충전된다.

[0044]

t4 기간 동안 제1 노드(N1)의 플로팅으로 인해, 제3 노드(N3)의 전압 변화량이 제1 캐패시터(C1)에 의해 제1 노드(N1)에 반영된다. 즉, 제1 노드(N1)에는 제3 노드(N3)의 전압 변화량인 'REF-Vth-C'(REF-DATA)-VDD'가 반영된다. 따라서, 제1 노드(N1)의 전압은 'DATA-{REF-Vth-C'(REF-DATA)-VDD}'로 변화된다.

[0045]

한편, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 3과 같이 표현된다.

수학식 3

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0046]

[0047]

수학식 3에서, k'는 구동 TFT(DT)의 구조와 물리적 특성에 의해 결정되는 비례 계수로서, 구동 TFT(DT)의 전자 이동도(mobility), 채널 폭, 및 채널 길이 등에 의해 결정된다. Vgs는 구동 TFT(DT)의 게이트 전압(Vg)과 소스 전압(Vs) 간의 차, Vth는 구동 TFT(DT)의 문턱전압을 의미한다. t4 기간 동안 'Vgs-Vth'는 수학식 4와 같다.

수학식 4

$$V_{gs} - V_{th} = [DATA - \{REF - V_{th} - C'(REF - DATA) - VDD\} - VDD] - V_{th}$$

[0048]

[0049]

수학식 4를 정리하면, 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 5와 같이 도출된다.

수학식 5

$$I_{ds} = k' [(C'-1) \cdot (REF-DATA)]^2$$

[0050]

결국, t4 기간 동안 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 5와 같이 구동 TFT(DT)의 문턱전압(Vth)에 의존하지 않게 된다. 즉, 본 발명은 구동 TFT(DT)의 문턱전압을 보상할 수 있다.

[0052]

한편, 고전위 전압원은 다수의 화소(P)들에 고전위 전압(VDD)을 공급한다. t4 기간 동안 게이트 로우 전압(VGL)의 발광 펄스(EM)에 응답하여 제3 TFT(T3)가 턴-온되는 경우, 고전위 전압(VDD)과 저전위 전압(VSS) 사이의 전류패스를 따라 존재하는 구동 TFT(DT), 유기발광다이오드(OLED) 등의 기생저항으로 인해 고전위 전압(VDD)은 전압 강하된다. 수학식 4를 참조하여 설명하면, 종래에 게이트 전압(Vg)의 'VDD'는 고전위 전압(VDD)이 전압 강하되기 이전의 전압이고, 소스 전압(Vs)의 'VDD'는 유기발광다이오드(OLED)의 발광으로 인해 전압 강하된 전압이었다. 게이트 전압(Vg)의 'VDD'와 소스 전압(Vs)의 'VDD'가 다르기 때문에 수학식 4에서 'VDD'가 삭제되지 않으므로, 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 고전위 전압(VDD)에 의존적이게 되는 문제가 발생하였다. 하지만, 본 발명의 실시예에 따른 화소(P)는 수학식 4의 'Vgs-Vth'에서 게이트 전압(Vg)에 샘플링된 'VDD'와 소스 전압(Vs)인 'VDD'가 모두 전압 강하가 반영된 전압이기 때문에 수학식 4에서 'VDD'가 삭제되므로, 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 고전위 전압(VDD)에 의존적이지 않게 된다. 즉, 본 발명은 고전위 전압(VDD)의 전압 강하를 보상할 수 있다.

[0053]

도 4는 구동 TFT의 문턱전압 변동에 따른 구동 TFT의 드레인-소스간 전류와 그 오차를 보여주는 그래프이다. 도 4를 참조하면, 가로 축에는 구동 TFT(DT)의 문턱전압 변동 범위(Vth Variation)가 나타나 있고, 왼쪽 세로 축에는 구동 TFT(DT)의 드레인 소스간 전류(Ids)가 나타나 있으며, 오른쪽 세로 축에는 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)가 나타나 있다.

[0054]

구동 TFT(DT)의 열화로 인해, 구동 TFT(DT)의 문턱전압(Vth)은 화소(P)별로 기준 값 대비 -1.0V 내지 +1.0V로 쉬프트(shift)될 수 있다. 따라서, 최근 유기발광다이오드 표시장치는 화소(P)별로 구동 TFT(DT)의 문턱전압(Vth)을 센싱하여 문턱전압(Vth)을 보상함으로써, 유기발광다이오드(OLED)가 문턱전압(Vth)에 의존하지 않고 발광할 수 있도록 하고 있다. 하지만, 구동 TFT(DT)의 문턱전압(Vth) 센싱의 정확도가 낮은 경우 문턱전압(Vth) 보상 값이 실제 구동 TFT(DT)의 문턱전압(Vth)과 다르므로, 수학식 4에서 'Vth'가 삭제되지 않으므로, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인 소스간 전류(Ids)에 오차가 발생하게 된다.

[0055]

도 4에서는 본 발명의 실시예에 따른 화소 구조에서 구동 TFT(DT)의 문턱전압 변동에 따른 구동 TFT(DT)의 드레인-소스간 전류(Ids)와 그 오차(error)를 살펴보았다. 구동 TFT(DT)의 문턱전압 변동이 -1.0V 내지 +1.0V의 경우, 구동 TFT(DT)의 드레인 소스간 전류(Ids)는 대략 1.26  $\mu$ A 내지 1.36  $\mu$ A의 값을 갖는다. 이 경우, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)는 -5% 내지 +2.5%로 발생하였다. 즉, 본 발명의 실시예에 따른 화소 구조의 경우, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)를 -5% 내지 +2.5%로 줄일 수 있다. 결국, 본 발명과 같이 문턱전압(Vth) 센싱 기간을 2 수평기간 이상으로 충분히 할 경우 구동 TFT(DT)의 문턱전압(Vth)을 정확히 센싱할 수 있으므로, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차는 도 4와 같이 최소화될 수 있다.

[0056]

도 5는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 나타내는 블록도이다. 도 5를 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 컨트롤러(40), 및 호스트 시스템(50) 등을 구비한다.

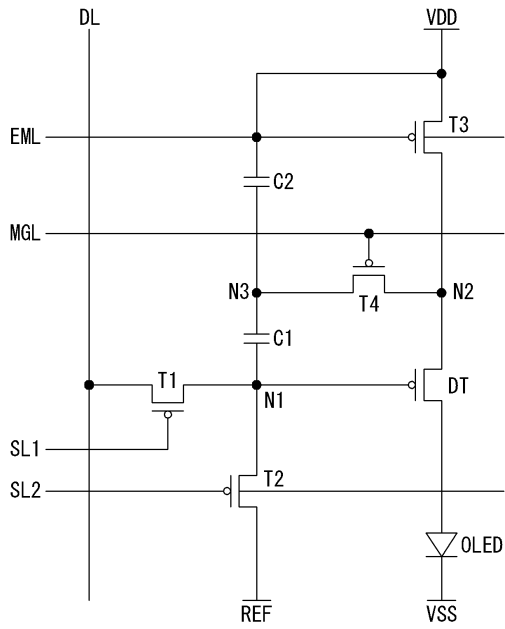
[0057]

표시패널(10)에는 데이터 라인(DL)들과 제1 스캔 라인(SL1)들이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 제1 스캔 라인(SL1)들과 나란하게 제2 스캔 라인(SL2)들, 컨트롤 라인(MGL)들, 및 발광 라인(EML)들이 형성된다. 또한, 표시패널(10)에는 매트릭스 형태로 배치된 화소(P)들이 형성된다. 표시패널(10)의 화소(P)들 각각에 대한 자세한 설명은 도 1을 결부하여 상세히 설명하였다.

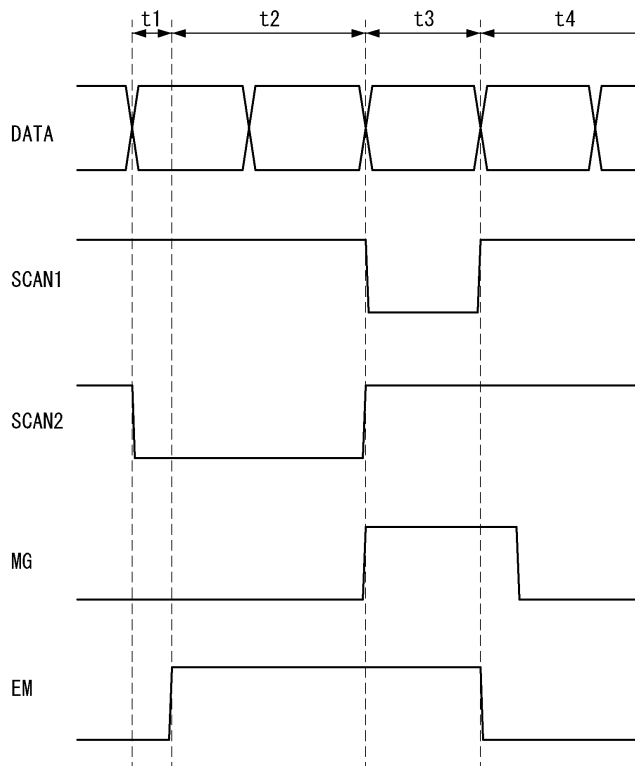


도면

도면1



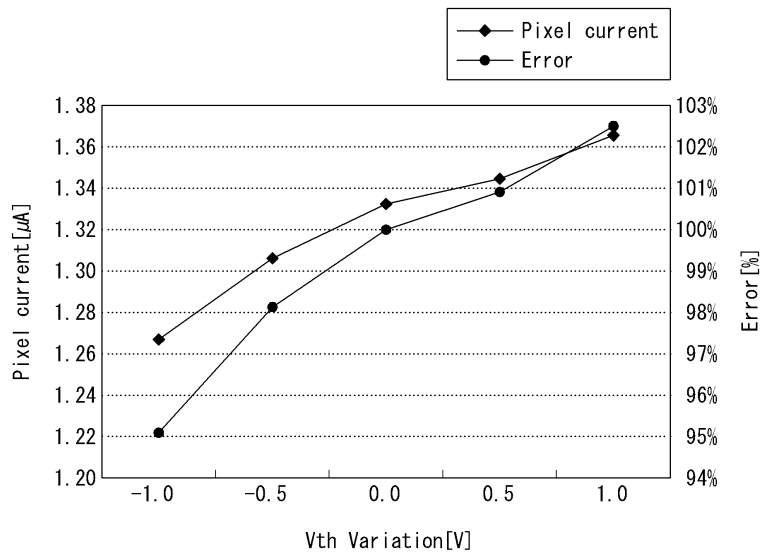
도면2



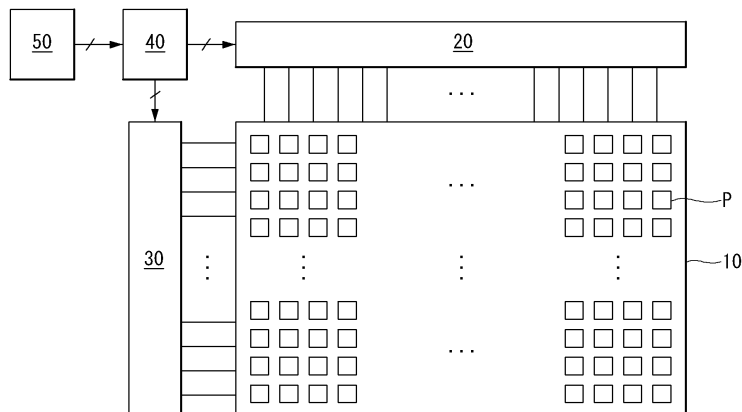
도면3

기간	N1	N2	N3
t1	REF	VDD	VDD
t2	REF	REF-Vth	REF-Vth
t3	DATA	REF-Vth	REF-Vth -C' (REF-DATA)
t4	DATA-[REF-Vth -C' (REF-DATA)-VDD]	VDD	VDD

도면4



도면5



专利名称(译)	标题 : OLED显示器件		
公开(公告)号	<a href="#">KR101549284B1</a>	公开(公告)日	2015-09-02
申请号	KR1020110115577	申请日	2011-11-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON JOONG SUN 윤중선 KANG JI HYUN 강지현		
发明人	윤중선 강지현		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/0223 G09G2320/043		
其他公开文献	KR1020130050490A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本实施例涉及一种有机发光二极管显示装置，包括：显示面板，被配置为包括以矩阵形式设置的多个像素，其中每个像素包括：驱动TFT，有机发光二极管，控制电路包括第一至第四TFT，电容器。这里描述的实施例可以提高感测驱动TFT的阈值电压的准确度，即使有机发光二极管显示装置驱动诸如240Hz的高频，因为感测周期足够长以感测驱动TFT的阈值电压。而且，这里描述的实施例可以通过使用下降的高电位电压来补偿由于补偿驱动TFT的漏电极和源电极之间的电流而导致的高电位电压的下降。

