



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월17일
(11) 등록번호 10-2123979
(24) 등록일자 2020년06월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01) HO1L 27/32 (2006.01)
HO1L 51/52 (2006.01)
(21) 출원번호 10-2013-0152657
(22) 출원일자 2013년12월09일
심사청구일자 2018년10월01일
(65) 공개번호 10-2015-0066971
(43) 공개일자 2015년06월17일
(56) 선행기술조사문헌
KR1020080001168 A*
KR1020130105144 A*
KR1020080091976 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
심중식
경기 고양시 일산서구 호수로 710, 1702동 1602호
(주엽동, 강선마을17단지아파트)
오창호
서울 서초구 서래로10길 26, 101동 402호 (반포동, 라인아파트)
(뒷면에 계속)
(74) 대리인
특허법인(유한)유일하이스트

전체 청구항 수 : 총 18 항

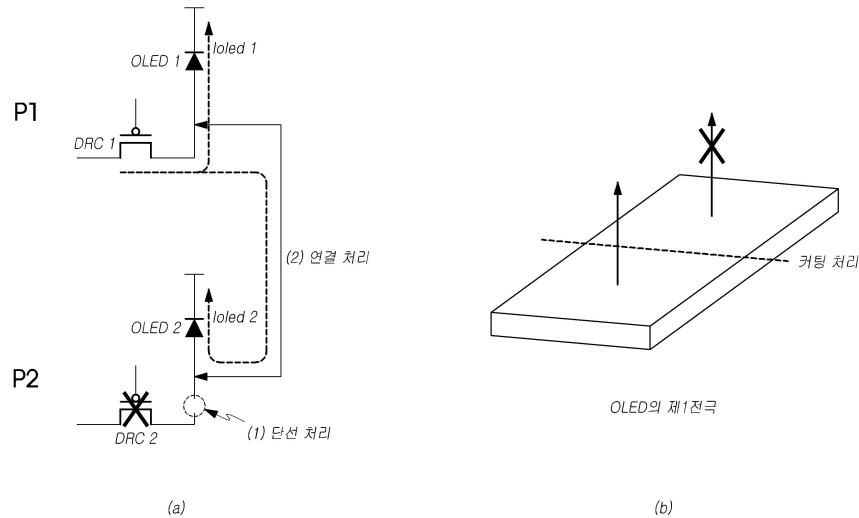
심사관 : 하정균

(54) 발명의 명칭 리페어 구조를 갖는 유기발광표시장치

(57) 요약

본 발명은 다수의 화소 중 임의의 두 화소인 제1화소 및 제2화소 각각의 화소영역에 유기발광다이오드와 구동회로가 배치되는 표시패널을 포함하되, 표시패널에는, 제1화소의 유기발광다이오드의 제1전극과 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연된 플로팅 패턴이 형성되어 있거나, 제1화소의 유기발광다이오드의 제1전극과 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결해주는 연결 패턴이 형성되어 있는 것을 특징으로 하는 유기발광표시장치에 관한 것이다.

대표도



(72) 발명자

박준민

경기 파주시 월롱면 엘지로 245, 정다운마을 101동
523호 (파주LCD산업단지)

강해윤

경기 파주시 문산읍 당동1로 11, 605동 102호 (자
연엔꿈에그린6단지아파트)

이시규

대전 서구 갈마로 160, 102동 201호 (괴정동, KT빌
리지아파트)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널;

상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및

상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되,

상기 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치되고,

상기 다수의 화소 중 제1화소 및 제2화소에서,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연된 플로팅 패턴이 형성되어 있거나,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결해주는 연결 패턴이 형성되어 있고,

상기 제1화소 및 상기 제2화소의 각 화소영역은 서로 인접하되, 상기 제1화소의 발광영역과 상기 제2화소의 발광영역이 인접하게 배치되면 상기 제1화소의 발광영역과 상기 제2화소의 발광영역은 상기 제1화소의 회로영역과 상기 제2화소의 회로영역 사이에 배치되거나, 상기 제1화소의 회로영역과 상기 제2화소의 회로영역이 인접하여 배치되면 상기 제1화소의 회로영역과 상기 제2화소의 회로영역은 상기 제1화소의 발광영역과 상기 제2화소의 발광영역 사이에 배치되고,

상기 제1화소의 발광영역과 상기 제2화소의 발광영역이 인접하여 배치된 경우, 상기 플로팅 패턴은,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연되고, 상기 제1화소 및 상기 제2화소의 각 화소영역에 걸쳐져 형성되고,

상기 제1화소 및 상기 제2화소의 각 화소영역에 중첩되는 둘 이상의 지점 각각에 상기 플로팅 패턴이 형성되어 있거나,

상기 제1화소 및 상기 제2화소의 각 화소영역에 중첩되는 둘 이상의 지점 중 한 지점에 상기 연결 패턴이 형성되어 있고 나머지 지점에는 상기 플로팅 패턴이 형성되고,

상기 제1화소 및 상기 제2화소의 각 화소영역에 중첩된 둘 이상의 지점 중 한 지점에 상기 연결 패턴이 형성된 경우, 상기 제1화소 또는 상기 제2화소의 유기발광다이오드의 제1전극은, 상기 연결 패턴에 연결된 부분과 상기 연결 패턴에 미연결된 부분으로 분할되도록 커팅되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 플로팅 패턴은,

상기 제1화소의 발광영역과 상기 제2화소의 발광영역의 경계영역에 형성되어 있거나, 상기 제1화소 또는 상기 제2화소의 회로영역 안에 형성되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 연결 패턴은,

상기 플로팅 패턴에 대한 레이저 웰딩 처리를 통해 웰딩(Welding) 되어 형성된 것을 특징으로 하는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 연결 패턴이 형성된 경우,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제1화소의 구동회로가 전기적으로 단선되어 있거나, 상기 제2화소의 유기발광다이오드의 제1전극과 상기 제2화소의 구동회로가 전기적으로 단선되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 5

제4항에 있어서,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제1화소의 구동회로가 전기적으로 단선되어 있는 경우, 상기 제1화소의 유기발광다이오드의 제1전극과 상기 제1화소의 구동회로 간의 연결 지점이 커팅되어 있거나, 상기 제1화소의 유기발광다이오드의 제1전극이 커팅되어 있거나, 상기 제1화소의 구동회로 내 구동 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 커팅 되어 있고,

상기 제2화소의 유기발광다이오드의 제1전극과 상기 제2화소의 구동회로가 전기적으로 단선되어 있는 경우, 상기 제2화소의 유기발광다이오드의 제1전극과 상기 제2화소의 구동회로 간의 연결 지점이 커팅되어 있거나, 상기 제2화소의 유기발광다이오드의 제1전극이 커팅되어 있거나, 상기 제2화소의 구동회로 내 구동 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 커팅 되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 제1화소의 유기발광다이오드의 제1전극이 커팅되어 있는 경우, 상기 제1화소의 유기발광다이오드의 제1전극이 상기 제1화소의 구동회로가 배치된 영역까지 연장되어 있는 부분이 커팅되어 있고,

상기 제2화소의 유기발광다이오드의 제1전극이 커팅되어 있는 경우, 상기 제2화소의 유기발광다이오드의 제1전극이 상기 제2화소의 구동회로가 배치된 영역까지 연장되어 있는 부분이 커팅되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 7

제4항에 있어서,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제1화소의 구동회로가 전기적으로 단선된 경우, 상기 제2화소의 구동회로가 상기 연결 패턴을 통해 상기 제1화소의 유기발광다이오드와 상기 제2화소의 유기발광다이오드를 병렬 구동하고,

상기 제2화소의 유기발광다이오드의 제1전극과 상기 제2화소의 구동회로가 전기적으로 단선된 경우, 상기 제1화소의 구동회로가 상기 연결 패턴을 통해 상기 제1화소의 유기발광다이오드와 상기 제2화소의 유기발광다이오드를 병렬 구동하는 것을 특징으로 하는 유기발광표시장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

제1항에 있어서,

상기 플로팅 패턴은,

게이트 레이어 또는 소스-드레인 레이어에 형성되거나, 상기 게이트 레이어 및 상기 소스-드레인 레이어에 걸쳐

형성된 것을 특징으로 하는 유기발광표시장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

제1항에 있어서,

상기 제1화소 또는 상기 제2화소의 유기발광다이오드의 제1전극은,

세로방향 또는 가로방향 또는 사선방향으로 직선 형태로 커팅되어 있거나, 곡선 형태로 커팅되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 14

데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널;

상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및

상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되,

상기 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치되고,

상기 다수의 화소 중 제1화소 및 제2화소에서,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연된 플로팅 패턴이 형성되어 있거나,

상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결해주는 연결 패턴이 형성되어 있고,

상기 제1화소 및 상기 제2화소의 각 화소영역은 서로 인접하되, 상기 제1화소의 발광영역과 상기 제2화소의 발광영역이 인접하게 배치되면 상기 제1화소의 발광영역과 상기 제2화소의 발광영역은 상기 제1화소의 회로영역과 상기 제2화소의 회로영역 사이에 배치되거나, 상기 제1화소의 회로영역과 상기 제2화소의 회로영역이 인접하여 배치되면 상기 제1화소의 회로영역과 상기 제2화소의 회로영역은 상기 제1화소의 발광영역과 상기 제2화소의 발광영역 사이에 배치되고,

상기 제1화소의 회로영역과 상기 제2화소의 발광영역이 인접하여 배치된 경우,

상기 제2화소의 유기발광다이오드의 제1전극은 상기 제1화소의 화소영역까지 연장되어 형성되고,

상기 플로팅 패턴은 상기 제1화소의 화소영역에서 상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극이 인접한 지점에 형성되고,

상기 플로팅 패턴은,

상기 제1화소의 구동회로 내 스토리지 캐패시터가 형성된 부분에서 보호층 제거 영역에 형성된 것을 특징으로 하는 유기발광표시장치.

청구항 15

제14항에 있어서,

상기 플로팅 패턴은,

상기 제1화소의 유기발광다이오드의 제1전극과는 제1컨택홀에 의해 연결되고, 상기 제1화소의 화소영역까지 연장된 상기 제2화소의 유기발광다이오드의 제1전극과는 제1절연층에 의해 절연된 것을 특징으로 하는 유기발광표시장치.

청구항 16

제15항에 있어서,
 상기 제1컨택홀은, 제1절연층 홀인 것을 특징으로 하는 유기발광표시장치.

청구항 17

제14항에 있어서,
 상기 플로팅 패턴은, 소스-드레인 물질인 것을 특징으로 하는 유기발광표시장치.

청구항 18

삭제

청구항 19

제14항에 있어서,
 상기 연결 패턴이 형성된 경우,
 상기 제1화소 또는 상기 제2화소의 유기발광다이오드의 제1전극이 상기 제1화소 또는 상기 제2화소의 회로영역
 까지 연장된 부분이 커팅되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 20

데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널;
 상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및
 상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되,
 상기 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치되고,
 상기 다수의 화소 중 제1화소 및 제2화소에서,
 상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와
 절연된 플로팅 패턴이 형성되어 있거나,
 상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결
 해주는 연결 패턴이 형성되어 있고,
 상기 제1화소 및 상기 제2화소의 각 화소영역은 서로 인접하되, 상기 제1화소의 발광영역과 상기 제2화소의 발
 광영역이 인접하게 배치되면 상기 제1화소의 발광영역과 상기 제2화소의 발광영역은 상기 제1화소의 회로영역과
 상기 제2화소의 회로영역 사이에 배치되거나, 상기 제1화소의 회로영역과 상기 제2화소의 회로영역이 인접하여
 배치되면 상기 제1화소의 회로영역과 상기 제2화소의 회로영역은 상기 제1화소의 발광영역과 상기 제2화소의 발
 광영역 사이에 배치되고,
 상기 제1화소의 회로영역과 상기 제2화소의 회로영역이 인접하여 배치된 경우,
 상기 제2화소의 유기발광다이오드의 제1전극이 상기 제2화소의 회로영역을 지나쳐 상기 제1화소의 회로영역까지
 연장되어 형성되고, 상기 플로팅 패턴이 상기 제1화소의 회로영역에 형성되거나,
 상기 제1화소의 유기발광다이오드의 제1전극이 상기 제1화소의 회로영역을 지나쳐 상기 제2화소의 회로영역까지
 연장되어 형성되고, 상기 플로팅 패턴이 상기 제2화소의 회로영역에 형성된 것을 특징으로 하는 유기발광표시장
 치.

청구항 21

제1항에 있어서,
 상기 연결 패턴이 형성된 경우, 상기 제1화소 및 상기 제2화소 각각에서의 휘도를 보상하되, 상기 제1화소 또는
 상기 제2화소의 구동회로가 정해진 휘도에 대응되는 전류 값보다 큰 전류 값의 전류를 출력하도록 데이터 전압

보상량을 결정하는 보상부를 포함하는 유기발광표시장치.

청구항 22

제1항에 있어서,

상기 플로팅 패턴은,

일단이 상기 제1화소의 유기발광다이오드의 제1전극과 연결되고 타단이 상기 제2화소의 유기발광다이오드의 제1전극과 연결되는 리페어 라인 상의 단선 지점에 형성되어 있는 것을 특징으로 하는 유기발광표시장치.

청구항 23

제1항에 있어서,

상기 제1화소 및 상기 제2화소는, 동일 색상 화소인 것을 특징으로 하는 유기발광표시장치.

청구항 24

삭제

발명의 설명

기술 분야

[0001] 본 발명은 리페어 구조를 갖는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광표시장치는 유기발광다이오드가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 계조에 따라 제어한다.

[0004] 이러한 유기발광표시장치의 각 화소는, 유기발광다이오드와, 유기발광다이오드를 구동하기 위한 구동회로가 배치되는 화소 구조를 갖는다.

[0005] 이러한 화소 구조를 갖는 다수의 화소가 정의된 표시패널을 제조하기 위해서는, 매우 많은 공정을 거쳐야 하고, 이때, 공정 기인성 이물(들)이 화소에서 발생할 수 있는데, 이 경우, 해당 화소는 휘점이 되거나 암점이 되는 불량 화소가 된다.

[0006] 이와 같은 화소 불량은 화질을 심각하게 저하할 수 있으며, 심각한 경우에는, 표시패널 자체를 폐기시켜야 한다.

[0007] 따라서, 화소 불량에 대한 리페어(Repair)를 효율적으로 할 수 있는 방안이 매우 절실한 실정이다.

발명의 내용

해결하려는 과제

[0008] 이러한 배경에서, 본 발명의 목적은, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와, 화소 불량이 리페어 된 유기발광표시장치를 제공하는 데 있다.

[0009] 본 발명의 다른 목적은, 화소 불량의 원인 중 회로부 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와 회로부 불량이 리페어 된 유기발광표시장치를 제공하는 데 있다.

[0010] 본 발명의 또 다른 목적은, 화소 불량의 원인 중 발광부 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와 발광부 불량이 리페어 된 유기발광표시장치를 제공하는 데 있다.

[0011] 본 발명의 또 다른 목적은, 회로부 불량 또는 발광부 불량에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치를 제공하는 데 있다.

과제의 해결 수단

[0012] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널; 상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및 상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되, 상기 다수의 화소 각각에는 유기발광다이오드와 구동회로가 배치되고, 상기 다수의 화소 중 제1화소 및 제2화소에서, 상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연된 플로팅 패턴이 형성되어 있거나, 상기 제1화소의 유기발광다이오드의 제1전극과 상기 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결해주는 연결 패턴이 형성되어 있는 것을 특징으로 하는 유기발광표시장치를 제공한다.

[0013] 다른 측면에서, 본 발명은, 데이터 라인들과 게이트 라인들이 형성되어 정의된 다수의 화소가 배치되는 표시패널; 상기 데이터 라인들로 데이터 전압을 공급하는 데이터 구동부; 및 상기 게이트 라인들로 스캔 신호를 공급하는 게이트 구동부를 포함하되, 상기 다수의 화소 각각은 발광영역과 비 발광영역으로 이루어져 유기발광다이오드와 구동회로가 배치되고, 상기 표시패널에는, 상기 유기발광다이오드의 제1전극이 커팅되어 발광영역의 면적이 동일한 색을 발광하는 다른 화소의 발광영역의 면적보다 작은 적어도 하나의 화소가 존재하는 것을 특징으로 하는 유기발광표시장치를 제공한다.

발명의 효과

[0014] 이상에서 설명한 바와 같이 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와, 화소 불량이 리페어 된 유기발광표시장치를 제공하는 효과가 있다.

[0015] 또한, 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와 회로부 불량이 리페어 된 유기발광표시장치를 제공하는 효과가 있다.

[0016] 또한, 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치와 발광부 불량이 리페어 된 유기발광표시장치를 제공하는 효과가 있다.

[0017] 또한, 본 발명에 의하면, 회로부 불량 또는 발광부 불량에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 실시예들에 따른 유기발광표시장치의 개략적인 시스템을 나타낸 도면이다.
- 도 2는 실시예들에 따른 유기발광표시장치의 기본적인 화소 구조를 나타낸 도면이다.
- 도 3 및 도 4는 실시예들에 따른 유기발광표시장치의 화소의 등가회로도의 예시도이다.
- 도 5는 실시예들에 따른 유기발광표시장치의 2가지 화소 불량 유형을 나타낸 도면이다.
- 도 6은 실시예들에 따른 유기발광표시장치의 화소 불량 유형별 리페어 방식을 설명하기 위한 개념도이다.
- 도 7은 제1실시예에 따른 유기발광표시장치에서, 리페어 라인을 이용하여 회로부 불량에 대한 리페어가 가능한 리페어 구조와 이를 이용한 회로부 불량에 대한 리페어 처리를 나타낸 도면이다.
- 도 8은 실시예들에 따른 유기발광표시장치의 화소 배치의 3가지 타입을 나타낸 도면이다.
- 도 9는 제2실시예에 따른 유기발광표시장치의 평면도이다.
- 도 10은 제2실시예에 따른 유기발광표시장치의 개략적인 단면도이다.
- 도 11은 제2실시예에 따른 유기발광표시장치의 플로팅 패턴의 형성 예시도이다.
- 도 12는 제2실시예에 따른 유기발광표시장치의 리페어 처리 후 평면도이다.
- 도 13은 제2실시예에 따른 유기발광표시장치의 리페어 처리 후 개략적인 단면도이다.
- 도 14는 제3실시예에 따른 유기발광표시장치의 평면도이다.
- 도 15는 제3실시예에 따른 유기발광표시장치의 리페어 처리 후 평면도이다.
- 도 16은 제3실시예에 따른 유기발광표시장치의 리페어 처리 후 다른 평면도이다.

- 도 17은 제4실시예에 따른 유기발광표시장치의 평면도이다.
- 도 18은 제4실시예에 따른 유기발광표시장치의 개략적인 단면도이다.
- 도 19는 제4실시예에 따른 유기발광표시장치의 부분 상세 평면도이다.
- 도 20은 제4실시예에 따른 유기발광표시장치의 부분 상세 단면도이다.
- 도 21은 제4실시예에 따른 유기발광표시장치의 리페어 처리를 설명하기 위한 평면도이다.
- 도 22는 제4실시예에 따른 유기발광표시장치의 리페어 처리 후 개략적인 단면도이다.
- 도 23은 제4실시예에 따른 유기발광표시장치의 리페어 처리 후 단면도이다.
- 도 24는 제5실시예에 따른 유기발광표시장치의 평면도이다.
- 도 25는 제5실시예에 따른 유기발광표시장치의 리페어 처리 후 평면도이다.
- 도 26은 제6실시예에 따른 유기발광표시장치의 평면도이다.
- 도 27은 제7실시예에 따른 유기발광표시장치의 평면도이다.
- 도 28 및 도 29는 제8실시예에 따른 유기발광표시장치의 발광부 불량에 따른 리페어 처리 후 평면도이다.
- 도 30은 제8실시예에 따른 유기발광표시장치의 발광부 불량에 따른 리페어 처리 시, 커팅 라인의 예시도이다.
- 도 31은 제8실시예에 따른 유기발광표시장치의 발광부 불량에 따른 리페어 처리 후 발광영역 감소를 나타낸 도면이다.
- 도 32은 제9실시예에 따른 유기발광표시장치의 크로스 불량에 따른 리페어 개념도이다.
- 도 33은 제10실시예에 따른 유기발광표시장치의 휘도 보상을 위한 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조 부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0020] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0021] 도 1은 실시예들에 따른 유기발광표시장치(100)의 개략적인 시스템을 나타낸 도면이다.
- [0022] 도 1을 참조하면, 실시예들에 따른 유기발광표시장치(100)는, 일방향으로 형성되는 다수의 데이터 라인(DL1~DLm)과 다수의 데이터 라인(DL1~DLm)과 교차하는 타방향으로 형성되는 다수의 게이트 라인(GL1~GLn)의 교차 영역마다 배치되는 다수의 화소(P: Pixel)를 포함하는 표시패널(110)과, 다수의 데이터 라인(DL1~DLm)을 통해 데이터 전압을 공급하는 데이터 구동부(120)와, 다수의 게이트 라인(GL1~GLn)을 통해 스캔신호를 공급하는 게이트 구동부(130)와, 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하는 타이밍 컨트롤러(140) 등을 포함한다.
- [0023] 전술한 표시패널(110)에 배치되는 다수의 화소(P) 각각은, 유기발광다이오드(OLED: Organic Light-Emitting Diode)와 이를 구동하기 위한 구동회로(DRC: DRiving Circuit)가 배치된다.
- [0024] 각 화소에 배치된 구동회로는 유기발광다이오드(OLED)로 전류를 공급하는 구동 트랜지스터(DT: Driving Transistor)와, 구동 트랜지스터(DT)의 게이트 노드에 데이터 전압을 인가해주는 스위칭 트랜지스터 등의 트랜지스터와, 한 프레임 동안 데이터 전압을 유지시켜 주는 역할을 하는 스토리지 캐패시터(Storage Capacitor)를 기본적으로 포함하고, 구동 트랜지스터(DT)의 소스 노드(또는 드레인 노드)에 기준전압(Vref: Reference

Voltage)을 인가해주는 센싱 트랜지스터(Sensing Transistor) 등을 더 포함할 수도 있다. 이러한 각 화소 구조에 대하여, 도 2 및 도 3을 참조하여 더욱 상세하게 설명한다.

- [0025] 전술한 데이터 구동부(120)는 다수의 데이터 구동 집적회로(소스 구동 집적회로라고도 함)를 포함할 수 있는데, 이러한 다수의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 형성될 수도 있고, 표시패널(110)에 집적화되어 형성될 수도 있다.
- [0026] 전술한 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 표시패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 표시패널(110)의 양측에 위치할 수도 있다.
- [0027] 또한, 게이트 구동부(130)는, 다수의 게이트 구동 집적회로를 포함할 수 있는데, 이러한 다수의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 형성될 수도 있고, 표시패널(110)에 집적화되어 형성될 수도 있다.
- [0028] 전술한 타이밍 컨트롤러(140)는 데이터 구동부(120) 및 게이트 구동부(130)의 구동 타이밍을 제어하고 이를 위해 각종 제어 신호를 출력한다.
- [0029] 이하에서는, 위에서 간략하게 설명한 각 화소 내 화소구조에 대하여 더욱 상세하게 설명한다.
- [0030] 도 2는 실시예들에 따른 유기발광표시장치(100)의 기본적인 화소 구조를 나타낸 도면이다.
- [0031] 도 2를 참조하면, 실시예들에 따른 유기발광표시장치(100)의 표시패널(110)에 정의된 다수의 화소(P) 각각의 화소영역(PA: Pixel Area)은, 유기발광다이오드(OLED)에 빛이 나오는 발광영역(EA: Emission Area)과, 유기발광다이오드(OLED)를 구동하기 위한 구동회로(DRC)가 배치되는 회로영역(CA: Circuit Area)으로 이루어질 수 있다.
- [0032] 발광영역(EA)은 유기발광다이오드(OLED)를 포함하는 발광부가 배치된다.
- [0033] 회로영역(CA)은 유기발광다이오드(OLED)를 구동하기 위한 구동회로(DRC)를 포함하는 회로부가 배치되고, 비 발광영역에 해당한다.
- [0034] 한편, 도 2에서는, 발광영역(EA)과 회로영역(CA)이 분리되는 영역처럼 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 경우에 따라서는, 발광영역(EA)과 회로영역(CA)이 중첩될 수도 있다. 예를 들어, 상부 발광 방식의 경우, 발광부 하부에 회로부가 배치되어 형성되어 발광영역(EA)과 회로영역(CA)이 중첩되어 있을 수도 있다.
- [0035] 전술한 바와 같이, 각 회로영역(CA)에 배치되는 구동회로(DRC)는, 일 예로, 유기발광다이오드(OLED)로 전류를 공급하는 구동 트랜지스터(DT: Driving Transistor)와, 구동 트랜지스터(DT)의 게이트 노드에 데이터 전압을 인가해주는 스위칭 트랜지스터(이하, 제2트랜지스터(T2)라고 함)등의 트랜지스터와, 한 프레임 동안 데이터 전압을 유지시켜 주는 역할을 하는 스토리지 캐패시터(Cstg)를 기본적으로 포함하고, 구동 트랜지스터(DT)의 소스 노드(또는 드레인 노드)에 기준전압(Vref: Reference Voltage)을 인가해주는 센싱 트랜지스터(이하, 제1트랜지스터(T1)라고 함) 등을 포함한다.
- [0036] 이와 같이, 3개의 트랜지스터(DT, T1, T2)와 1개의 캐패시터(Cstg)를 갖는 3T(Transistor) 1C(Capacitor) 구조를 갖는 화소의 2가지 화소 구조를 도 3 및 도 4에 예시한다.
- [0037] 도 3 및 도 4는 실시예들에 따른 유기발광표시장치(100)의 화소의 등가회로도 예시도이다.
- [0038] 도 3를 참조하면, 각 화소영역(PA) 내 회로영역(CA)에는, 유기발광다이오드(OLED)로 전류를 공급하기 위한 구동 트랜지스터(DT)와, 구동 트랜지스터(DT)의 제1노드(N1)와 기준전압(Vref: Reference Voltage)의 공급을 위한 기준전압 라인(RVL: Reference Voltage Line) 사이에 연결되는 제1트랜지스터(T1)와, 구동 트랜지스터(DT)의 제2노드(N2)와 데이터 라인(DL) 사이에 연결되는 제2트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되어 한 프레임 동안의 전압을 유지해주는 역할을 하는 스토리지 캐패시터(Cstg) 등을 포함할 수 있다.
- [0039] 제1트랜지스터(T1)는, 제1게이트 라인(GL')을 통해 공급된 제1스캔신호(이하, 센싱신호(SENSE)"라 함)에 의해 제어되어 구동 트랜지스터(DT)의 제1노드(N1)에 기준전압(Vref)을 인가해주는 역할을 한다. 이러한 제1트랜지스터(T1)는, 화소 보상을 위해 해당 화소가 센싱 모드로 동작할 때 구동 트랜지스터(DT)의 제1노드(N1)의 전압을 센싱하기 위해 이용될 수도 있다. 이러한 의미에서, 제1트랜지스터(T1)을 센싱 트랜지스터(Sensing Transisto

r)라고도 한다.

- [0040] 제2트랜지스터(T2)는, 제2게이트 라인(GL)을 통해 공급된 제2스캔신호(이하, "스캔신호(SCAN)"라 함)에 의해 제어되어 데이터 전압(Vdata)를 구동 트랜지스터(DT)의 제2노드(N2)에 인가해주는 역할을 한다. 구동 트랜지스터(DT)의 제2노드(N2)에 인가된 데이터 전압에 의해 구동 트랜지스터(DT)의 턴 온 또는 턴 오프가 결정되어 유기발광다이오드(OLED)로 전류가 공급되는 것을 제어할 수 있다. 이러한 의미에서, 제2트랜지스터(T2)는 스위칭 트랜지스터(Switching Transistor)라고도 한다.
- [0041] 다시 말해, 도 3의 화소 구조에서는, 2개의 게이트 라인(GL, GL')이 필요하며, 제1트랜지스터(T1) 및 제2트랜지스터(T2)는 각각 다른 게이트 라인(GL, GL')을 통해 각각 다른 게이트신호(센싱신호, 스캔신호)에 의해 제어된다. 이러한 의미에서, 도 3의 화소 구조를 "2 스캔 기반의 화소 구조"라고 한다.
- [0042] 이와 같이, 각 화소가 2 스캔 기반의 화소 구조를 갖는 경우, 도 1에서 도시된 게이트 구동부(130)는, 스캔신호를 출력하는 게이트 구동부와 센싱신호를 출력하는 게이트 구동부로 분리되어 구현될 수 있으며, n개의 게이트 라인(GL1~GLn)은 스캔신호를 공급하기 위한 게이트 라인(GL1~GLn)과 센싱신호를 공급하기 위한 게이트 라인(GL1'~GLn')으로 나누어져 형성될 수 있다.
- [0043] 한편, 도 4를 참조하면, 각 화소영역(PA) 내 회로영역(CA)에는, 유기발광다이오드(OLED)로 전류를 공급하기 위한 구동 트랜지스터(DT)와, 구동 트랜지스터(DT)의 제1노드(N1)와 기준전압(Vref: Reference Voltage)의 공급을 위한 기준전압 라인(RVL: Reference Voltage Line) 사이에 연결되는 제1트랜지스터(T1)와, 구동 트랜지스터(DT)의 제2노드(N2)와 데이터라인(DL) 사이에 연결되는 제2트랜지스터(T2)와, 구동 트랜지스터(DT)의 제1노드(N1)와 제2노드(N2) 사이에 연결되는 스토리지 캐패시터(Cstg) 등을 포함한다는 점에서, 도 3의 화소 구조와 동일하다.
- [0044] 하지만, 제1트랜지스터(T1) 및 제2트랜지스터(T2)는, 하나의 게이트라인(GL)을 통해 공급된 1개의 스캔신호(SCAN)에 의해 공통으로 제어된다는 점에서, 도 4의 화소 구조는 도 3의 "2 스캔 기반의 화소 구조"와 차이점이 있다.
- [0045] 도 4의 화소 구조에서는, 1개의 게이트라인(GL)만 필요하며, 제1트랜지스터(T1) 및 제2트랜지스터(T2)는 1개의 공통 게이트라인(GL)을 통해 동일한 게이트신호(스캔신호)에 의해 제어된다. 이러한 의미에서, 도 4의 화소 구조를 "1 스캔 기반의 화소 구조"라고 한다.
- [0046] 실시예들에서 언급되는 구동 트랜지스터(DT)는 N 타입의 트랜지스터일 수도 있고, P 타입의 트랜지스터일 수도 있다. 또한, 제1트랜지스터(T1) 및 제2트랜지스터(T2)도 N 타입의 트랜지스터로 예시되었지만, P 타입으로 구현될 수도 있다.
- [0047] 전술한 바와 같이, 각 화소영역(PA) 내 회로영역(CA)은, 여러 개의 트랜지스터(DT, T1, T2) 및 캐패시터(Cstg)가 형성되기 때문에, 제조 공정이 복잡해지고 이로 인해, 회로영역(CA)의 불량이 발생할 수 있다.
- [0048] 한편, 각 화소영역(PA) 내 발광영역(EA)에서도 불량이 발생할 수도 있다.
- [0049] 이러한 회로영역(CA) 및 발광영역(EA) 내 불량은, 해당 화소를 휘점화 또는 암점화시켜 불량 화소가 되게 하는 주요인이 된다.
- [0050] 이와 같이, 본 명세서에서는, 화소 불량을 2가지 유형으로 나누어 정의하고, 화소 불량 유형마다 그에 맞는 리페어 처리와 이를 가능하게 하는 구조를 제안한다.
- [0051] 본 명세서에서 기재된 리페어(Repair)는, 제품 출하 이전에 패널 제작 공정 시에 이루어질 수도 있고, 제품 출하 이후에 고객으로부터 애프터 서비스 요청에 따라 이루어질 수도 있다.
- [0052] 먼저, 화소 불량 유형을 도 5를 참조하여 설명한다.
- [0053] 도 5는 실시예들에 따른 유기발광표시장치(100)의 2가지 화소 불량 유형을 나타낸 도면이다.
- [0054] 도 5를 참조하면, 실시예들에 따른 유기발광표시장치(100)의 화소 불량은, 회로영역(CA)에 배치되는 각종 트랜지스터(DT, T1, T2), 캐패시터, 배선 등에서 문제가 발생하는 회로부 불량과, 발광영역(EA)에 배치되는 유기발광다이오드(OLED)에서 문제가 발생하는 발광부 불량으로 크게 나눌 수 있다. 물론, 하나의 화소에서 회로부 불량과 발광부 불량이 모두 발생할 수도 있다.
- [0055] 도 5의 (a)를 참조하면, 회로부 불량은, 회로영역(CA)에 배치되는 각종 트랜지스터(DT, T1, T2), 캐패시터, 배

선 등 중 하나 이상이 단락(Short), 단선(Disconnection) 또는 오픈(Open) 되어 발생하는 화소 불량량의 한 종류이다. 이 경우, 해당 화소는 휘점화 또는 암점화되어 불량 화소가 된다.

- [0056] 만약, 회로영역(CA)에 배치되는 각종 트랜지스터(DT, T1, T2), 캐패시터, 배선 등 중 하나 이상이 공정상 이물 등에 의해 단락(Short)되면, 유기발광다이오드(OLED)에 엄청난 전류가 흘러 해당 화소가 휘점이 되고, 회로영역(CA)에 배치되는 각종 트랜지스터(DT, T1, T2), 캐패시터, 배선 등 중 하나 이상이 공정상 이물 또는 공정상의 결손 등에 의해 단선(Disconnection) 또는 오픈(Open) 되면, 유기발광다이오드(OLED)에 전류가 흐르지 않거나 원하는 수준보다 상당히 적게 흘러 해당 화소가 암점 또는 약 암점이 되어, 해당 화소의 화소 불량량이 발생한다.
- [0057] 도 5의 (b)를 참조하면, 발광부 불량은, 화소 불량량의 다른 한 종류 또는 원인으로, 발광영역(EA)에 배치되는 유기발광다이오드(OLED)의 양 극(애노드, 캐소드)이 공정상의 이물 등에 의해 단락(Short)이 되어 발생하거나, 유기발광다이오드(OLED)의 양 극(애노드, 캐소드) 중 어느 하나 이상에서 결손이 생겨 발생할 수 있다. 이뿐만 아니라, 발광부 불량은 얘기치 못하는 그 어떠한 이유에 의해서도 발생할 수 있다.
- [0058] 유기발광다이오드(OLED)가 정상적으로 발광을 하지 못하는 모든 상태를 발광부 불량 상태로 볼 수 있다.
- [0059] 이와 같은 발광부 불량량이 발생한 경우, 유기발광다이오드(OLED)에 전류가 엄청나게 흐르거나 흐리지 않거나 또는 약하게 흘러, 해당 화소는, 휘점화 또는 암점화 또는 약 암점화가 되어, 불량 화소가 된다.
- [0060] 전술한 바와 같은 화소 불량량의 2가지 유형(회로부 불량, 발광부 불량)별로 그에 맞는 리페어 처리가 필요하다.
- [0061] 이에, 본 명세서에서는, 회로부 불량량이 발생한 화소의 리페어와 이를 위한 구조에 대한 다양한 실시예들과, 발광부 불량량이 발생한 화소의 리페어와 이를 위한 구조에 대한 실시예를 개시한다.
- [0062] 본 명세서에서 기재된 화소 불량(회로부 불량, 발광부 불량)에 대한 리페어 처리는, 제품 출하 이전 패널 제작 공정 단계에서 이루어질 수도 있고, 제품 출하 이후 고객의 애프터 서비스(A/S) 요청에 따라 이루어질 수도 있다.
- [0063] 먼저, 도 6를 참조하여, 회로부 불량량이 발생한 화소의 리페어와, 발광부 불량량이 발생한 화소의 리페어를 개념적으로 간략하게 설명한다.
- [0064] 도 6은 실시예들에 따른 유기발광표시장치(100)의 화소 불량 유형별 리페어 방식을 설명하기 위한 개념도이다.
- [0065] 도 6의 (a)는 회로부 불량량이 발생한 화소의 리페어를 설명하기 위한 예시 도면이고, 도 6의 (b)는 발광부 불량이 발생한 화소의 리페어를 설명하기 위한 개념도이다.
- [0066] 도 6의 (a)를 참조하면, 표시패널(110)에 배치된 다수의 화소 중 임의의 두 화소인 제1화소(P1) 및 제2화소(P2)에는 유기발광다이오드(OLED 1, OLED 2)와 구동회로(DRC 1, DRC 2)가 각각 배치된다.
- [0067] 단, 도 6의 (a)에서, 제1화소(P1)의 유기발광다이오드(OLED 1)에 연결된 것으로 표시된 1개의 트랜지스터는 제1화소(P1)의 구동 트랜지스터(DT)만을 표시하는 것이 아니라, 제1화소(P1)의 구동회로(DRC 1)를 대표하여 표시한 것이다.
- [0068] 또한, 제1화소(P1) 및 제2화소(P2)는 동일 색상 화소일 수도 있으며, 경우에 따라서는, 다른 색상 화소일 수도 있다.
- [0069] 도 6의 (a)를 참조하면, 제2화소(P2)의 구동회로(DRC 2)에서 회로부 불량량이 발생한 경우, 회로부 불량에 대한 리페어는, 회로부 불량량이 발생한 제2화소(P2)의 구동회로(DRC 2)와 유기발광다이오드(OLED 2)를 전기적으로 단선시키는 "단선 처리(예: 커팅 처리)"와, 제2화소(P2)의 유기발광다이오드(OLED 2)가 다른 화소(P1)의 구동회로(DRC 1)로부터 전류를 공급받을 수 있도록, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)를 전기적으로 연결해주는 "연결 처리(예: 웰딩 처리)"를 포함할 수 있다.
- [0070] 이에 따라, 제1화소(P1)의 구동회로(DRC 1)에서 출력된 전류(I1)는, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)로 나누어져 병렬로 공급된다(I1=Ioled1+Ioled2). 즉, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)는, 제1화소(P1)의 구동회로(DRC 1)를 공유한다.
- [0071] 도 6의 (b)를 참조하면, 어떤 한 화소(P)의 유기발광다이오드(OLED)에서 발광부 불량량이 발생한 경우, 발광부 불량에 대한 리페어는, 발광부 불량량이 발생한 유기발광다이오드(OLED)의 제1전극(예: 애노드 또는 캐소드)에서 공정상의 이물 등에 의해 발광부 불량을 발생한 부분을 커팅(Cutting)하는 "커팅 처리"를 포함할 수 있다.

- [0072] 이러한 발광부 불량에 대한 리페어에 따라, 해당 화소(P)의 화소영역(PA) 내 발광영역(EA)이 감소할 수 있고, 이는, 해당 화소의 휘도를 떨어뜨릴 수 있다. 하지만, 이러한 휘도 감소는 해당 화소로 공급되는 데이터 전압을 변경하는 방식 등을 통해 내부 또는 외부 보상을 하여, 휘도 감소를 보상해줄 수 있다.
- [0073] 이상에서 전술한 바와 같이, 화소 불량(회로부 불량, 발광부 불량)에 대한 리페어 시, 일 예로, 커팅 처리와 웰딩 처리가 이용된다.
- [0074] 따라서, 화소 불량에 대한 리페어 처리(커팅 처리, 웰딩 처리)가 주변 회로 등을 훼손시키지 않으면서 정확하고 쉽게 이루어지기 위해서는, 커팅 처리가 될 수 있는 위치와 웰딩 처리가 될 수 있는 위치가 면밀하게 정해져야 할 것이다.
- [0075] 커팅 처리가 될 수 있는 위치는, 회로부 불량에 대한 리페어 처리와 관련된 경우, 회로부 불량이 발생한 해당 화소의 구동회로와 유기발광다이오드를 전기적으로 단선시키기 위한 위치이고, 발광부 불량에 대한 리페어 처리와 관련된 경우, 해당 화소의 유기발광다이오드의 제1전극에서 발광부 불량이 있는 영역 또는 지점을 커팅해낼 수 있는 위치를 의미한다. 아래에서, 커팅 처리가 될 수 있는 위치는, 커팅 포인트(CP: Cutting Point)라고 기재한다.
- [0076] 웰딩 처리가 될 수 있는 위치는, 회로부 불량이 발생한 해당 화소의 유기발광다이오드가 다른 화소의 구동회로에서 출력된 전류를 다른 화소의 유기발광다이오드와 함께 공유하도록, 회로부 불량이 발생한 해당 화소의 유기발광다이오드의 제1전극과 다른 화소의 유기발광다이오드의 제1전극이 병렬로 연결되도록 해주는 위치를 의미한다. 아래에서, 웰딩 처리가 될 수 있는 위치는 웰딩 포인트(WP: Welding Point)라고 기재한다.
- [0077] 이러한 커팅 포인트(CP)와 웰딩 포인트(WP)는, 화소의 구조, 배치 등에 따라서, 그 위치 또는 개수 등이 달라질 수 있을 것이다.
- [0078] 예를 들어, 커팅 포인트(CP)는, 회로 관점에서 보면, 회로부 불량이 있는 화소의 유기발광다이오드의 제1전극(예: 애노드)과 구동회로 간의 전기적 연결 지점일 수 있으며, 구조적 관점에서 보면, 회로부 불량이 있는 화소의 유기발광다이오드의 제1전극 상의 어느 한 지점일 수 있고, 회로부 불량이 있는 화소의 구동회로 내 구동 트랜지스터가 턴 온 되지 못하도록 구동 트랜지스터의 소스 전극 또는 드레인 전극 상의 어느 한 지점이 될 수도 있다.
- [0079] 커팅 포인트(CP)는, 전술한 지점들뿐만 아니라, 화소 불량이 있는 화소의 구동회로가 유기발광다이오드로 전류를 공급하지 못하도록 하는 그 어떠한 지점이 될 수 있다.
- [0080] 예를 들어, 웰딩 포인트(WP)는, 일단이 회로부 불량이 있는 화소의 유기발광다이오드의 제1전극과 연결되고 타단이 회로부 불량이 없는 다른 화소의 유기발광다이오드의 제1전극과 연결되는 리페어 라인(RL: Repair Line) 상의 어느 한 단선 지점(예: 캐패시터가 형성될 수 있음)이거나, 회로부 불량이 있는 화소의 유기발광다이오드의 제1전극과 회로부 불량이 없는 다른 화소의 유기발광다이오드의 제1전극이 서로 인접한 영역에 있을 수 있다.
- [0081] 위에서 언급한 리페어 라인 상의 어느 한 단선 지점에는 캐패시터가 형성될 수 있다. 또한, 회로부 불량이 있는 화소의 유기발광다이오드의 제1전극과 회로부 불량이 없는 다른 화소의 유기발광다이오드의 제1전극이 서로 인접한 영역은, 일 예로, 회로부 불량이 있는 화소의 유기발광다이오드의 제1전극과 회로부 불량이 없는 다른 화소의 유기발광다이오드의 제1전극이 인접해 있는 경우, 회로부 불량이 있는 화소의 발광영역(EA)과 회로부 불량이 없는 다른 화소의 발광영역(EA)의 경계 영역에 있을 수 있고, 회로부 불량이 있는 화소의 유기발광다이오드의 제1전극이 회로부 불량이 없는 다른 화소의 유기발광다이오드의 제1전극이 아니라 구동회로와 인접해 있는 경우, 회로부 불량이 있는 화소 또는 회로부 불량이 없는 화소의 회로영역(CA) 안에 있을 수도 있다.
- [0082] 위에서 언급한 웰딩 포인트(WP)는, 예시된 위치뿐만 아니라, 회로부 불량이 있는 화소의 유기발광다이오드의 제1전극이 회로부 불량이 없는 유기발광다이오드의 제1전극과 연결될 수 있는 그 어떠한 위치도 가능하다.
- [0083] 표시패널(110)의 웰딩 포인트(WP)마다 특정 패턴이 형성되어 있을 수 있다.
- [0084] 이와 같이, 표시패널(110)의 웰딩 포인트(WP)마다 형성되는 특정 패턴을 플로팅 패턴(Floating Pattern)이라고 한다.
- [0085] 이러한 플로팅 패턴은, 두 화소 각각의 유기발광다이오드의 제1전극이 전기적으로 단선된 상태로 있게 한다.
- [0086] 이를 위해, 플로팅 패턴은, 두 화소 각각의 유기발광다이오드의 제1전극 중 적어도 하나와 절연되어 있을 수 있

다.

- [0087] 한편, 플로팅 패턴이 레이저 웰딩(Laser Welding) 등의 웰딩 처리를 통해 웰딩(Welding)이 되어, 두 화소 각각의 유기발광다이오드의 제1전극이 전기적으로 서로 연결이 되도록 하는 "연결 패턴(Connection Pattern)"이 형성되어 있을 수 있다.
- [0088] 이러한 연결 패턴이 형성된 경우, 두 화소를 제1화소와 제2화소라고 할 때, 제1화소의 유기발광다이오드의 제1전극과 제1화소의 구동회로가 전기적으로 단선되어 있거나, 제2화소의 유기발광다이오드의 제1전극과 제2화소의 구동회로가 전기적으로 단선(Disconnection) 되어 있다.
- [0089] 예를 들어, 연결 패턴이 형성되어 있고, 제1화소의 유기발광다이오드의 제1전극과 제1화소의 구동회로가 전기적으로 단선되어 있는 경우, 제1화소의 유기발광다이오드의 제1전극과 제1화소의 구동회로 간의 전기적 연결 지점이 커팅되어 있거나, 제1화소의 유기발광다이오드의 제1전극이 커팅되어 있거나, 제1화소의 구동회로 내 구동 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 커팅 되어 있을 수 있다.
- [0090] 위에서 언급된 커팅 포인트(CP)들 중에서, 제1화소의 유기발광다이오드의 제1전극이 커팅되어 있는 경우, 제1화소의 유기발광다이오드의 제1전극의 커팅 위치는, 리페어 구조에 따라 다를 수 있다. 일 예로, 제1화소의 유기발광다이오드의 제1전극이 제1화소의 구동회로가 배치된 회로영역(CA)까지 연장되어 있는 부분이 커팅되어 있을 수 있다.
- [0091] 한편, 연결 패턴이 형성되어 있고, 제2화소의 유기발광다이오드의 제1전극과 제2화소의 구동회로가 전기적으로 단선되어 있는 경우, 제2화소의 유기발광다이오드의 제1전극과 제2화소의 구동회로 간의 연결 지점이 커팅되어 있거나, 제2화소의 유기발광다이오드의 제1전극이 커팅되어 있거나, 제2화소의 구동회로 내 구동 트랜지스터의 소스 전극 또는 드레인 전극 중 하나가 커팅 되어 있을 수 있다.
- [0092] 위에서 언급된 커팅 포인트(CP)들 중에서, 제2화소의 유기발광다이오드의 제1전극이 커팅되어 있는 경우, 제2화소의 유기발광다이오드의 제1전극의 커팅 위치는, 리페어 구조에 따라 다를 수 있다. 일 예로, 제2화소의 유기발광다이오드의 제1전극이 제2화소의 구동회로가 배치된 회로영역(EA)까지 연장되어 있는 부분이 커팅되어 있을 수 있다.
- [0093] 전술한 바와 같이, 제1화소의 유기발광다이오드의 제1전극과 제2화소의 유기발광다이오드의 제1전극을 전기적으로 단선시키기 위해 제1화소의 유기발광다이오드의 제1전극과 제2화소의 유기발광다이오드의 제1전극 중 적어도 하나와 절연되어 형성된 플로팅 패턴이 웰딩되어, 제1화소의 유기발광다이오드의 제1전극과 제2화소의 유기발광다이오드의 제1전극을 전기적으로 연결해주는 연결 패턴이 형성된 경우, 제1화소의 유기발광다이오드의 제1전극과 제1화소의 구동회로가 전기적으로 단선되어 있거나, 제2화소의 유기발광다이오드의 제1전극과 상기 제2화소의 구동회로가 전기적으로 단선되어 있을 수 있다.
- [0094] 만약, 제1화소의 유기발광다이오드의 제1전극과 제1화소의 구동회로가 전기적으로 단선된 경우, 제2화소의 구동회로가 연결 패턴을 통해 제1화소의 유기발광다이오드와 제2화소의 유기발광다이오드를 병렬 구동할 수 있다.
- [0095] 만약, 제2화소의 유기발광다이오드의 제1전극과 상기 제2화소의 구동회로가 전기적으로 단선된 경우, 제1화소의 구동회로가 연결 패턴을 통해 제1화소의 유기발광다이오드와 제2화소의 유기발광다이오드를 병렬 구동할 수 있다.
- [0096] 이상에서 설명한 플로팅 패턴의 형성을 표시패널(110) 전 영역 관점에서 살펴보면, 표시패널(110)의 모든 화소가 회로부 불량 발생하지 않은 정상 화소인 경우에는, 표시패널(110)에는 두 화소 각각의 유기발광다이오드의 제1전극이 전기적으로 서로 연결이 되도록 하는 연결 패턴이 하나도 형성되어 있지 않고, 두 화소 각각의 유기발광다이오드의 제1전극이 전기적으로 단선된 상태를 유지하도록 해주는 플로팅 패턴들만 표시패널(110)에 형성되어 있을 수 있다. 즉, 모든 화소가 회로부 불량 발생하지 않은 정상 화소인 경우, 두 화소 각각의 유기발광다이오드의 제1전극이 전기적으로 서로 연결된 곳이 전혀 없다.
- [0097] 만약, 표시패널(110)의 모든 화소 중 적어도 하나의 화소에서 회로부 불량이 발생하여 본 실시예들에 따른 리페어 처리가 이루어진 경우에는, 표시패널(110)에 존재했던 모든 플로팅 패턴들 중 적어도 하나의 플로팅 패턴이 웰딩되어 연결 패턴으로 형성되어 있을 수 있다. 즉, 모든 화소 중에서 회로부 불량이 있는 화소가 적어도 하나 있는 경우, 두 화소 각각의 유기발광다이오드의 제1전극이 전기적으로 서로 연결된 곳이 적어도 하나 있다.
- [0098] 아래에서는, 리페어 처리를 할 수 있도록 해주는 리페어 구조와 이를 이용한 리페어 처리에 대하여, 도면들을

참조하여, 화소 불량률의 유형별로 더욱 상세하게 설명한다.

- [0099] 먼저, 회로부 불량률과 관련하여, 리페어 라인(Repair Line)에 기반하여 회로부 불량률에 대한 리페어가 가능하도록 해주는 리페어 구조와 이를 이용한 회로부 불량률에 대한 리페어 처리에 대한 실시예(제1실시예)를 설명한다.
- [0100] 이어서, 별도의 리페어 라인 없이 회로부 불량률에 대한 리페어가 가능하도록 해주는 리페어 구조와 이를 이용한 회로부 불량률에 대한 리페어 처리에 대한 다양한 실시예(제2실시예~제7실시예)를 설명한다.
- [0101] 다음으로, 발광부 불량률에 대한 리페어가 가능하도록 해주는 리페어 구조와 이를 이용한 발광부 불량률에 대한 리페어 처리에 대한 실시예(제8실시예)를 설명한다.
- [0102] 또 다음으로, 회로부 불량률이 있는 화소와 발광부 불량률이 있는 화소가 인접해 있는 경우, 리페어가 가능하도록 해주는 리페어 구조와 이를 이용한 리페어 처리에 대한 실시예(제9실시예)를 설명한다.
- [0103] 또 다음으로, 회로부 불량률에 대한 리페어가 된 화소에서의 휘도 감소 보상에 대한 실시예(제10실시예)를 설명한다.
- [0104] 단, 아래에서는, 설명의 편의를 위해, 표시패널(110)에 배치된 다수의 화소 중에서 임의의 2개의 화소인 제1화소(P1)와 제2화소(P2)에 대하여, 리페어 처리가 가능하도록 설계된 리페어 구조를 갖는 유기발광표시장치(100)와, 이러한 리페어 구조를 활용한 리페어 처리, 그리고, 이러한 리페어 처리를 통해 변경된 구조를 갖는 유기발광표시장치(100)에 대하여 설명한다.
- [0105] 그리고, 임의의 2개의 화소(P1, P2) 모두는 화소 불량률이 발생하지 않은 정상 화소일 수도 있고, 또는, 표시패널(110)에서의 다수의 화소 중 적어도 하나의 화소에서 화소 불량률이 발생한 경우에, 설명의 편의를 위해, 다수의 화소 중 화소 불량률이 발생한 적어도 하나의 화소를 제2화소(P2)로 가정한다.
- [0106] 그리고, 표시패널(110)에 배치된 다수의 화소 중에서 임의의 2개의 화소인 제1화소(P1)와 제2화소(P2)는, 표시패널(110)에 배치된 다수의 화소를 대변하는 화소일 수 있다.
- [0107] 즉, 제1화소(P1)와 제2화소(P2)가 모두 정상 화소라면, 표시패널(110)에 배치된 모든 화소가 정상 화소인 것으로 간주하면 되고, 제1화소(P1)와 제2화소(P2) 중 제2화소(P2)에서 화소 불량률이 발생한 경우라면, 표시패널(110)에 배치된 모든 화소 중 적어도 하나의 화소에서 화소 불량률이 발생한 것으로 간주하면 된다. 또한, 제1화소(P1)와 제2화소(P2) 중 화소 불량률이 발생한 제2화소(P2)에서 리페어가 되었다면, 표시패널(110)에 배치된 모든 화소 중 적어도 하나의 화소에서 화소 불량률에 대한 리페어가 되었다고 간주하면 된다.
- [0108] 도 7은 제1실시예에 따른 유기발광표시장치(100)에서, 리페어 라인(RL: Repair Line)을 이용하여 회로부 불량률에 대한 리페어가 가능한 리페어 구조와 이를 이용한 회로부 불량률에 대한 리페어 처리를 나타낸 도면이다.
- [0109] 도 7의 (a)는, 제1실시예에 따른 유기발광표시장치(100)에서, 리페어 라인(RL: Repair Line)에 기반하여 회로부 불량률에 대한 리페어가 가능한 리페어 구조를 나타낸 도면으로서, 표시패널(110)에 배치된 다수의 화소 중 임의의 제1화소(P1)와 제2화소(P2) 모두가 화소 불량률이 발생하지 않은 정상 상태인 것을 나타낸 도면이다. 이러한 상태의 표시패널(110)은, 패널 제작 공정 중 화소 불량률 테스트 결과, 제1화소(P1)와 제2화소(P2)에서 화소 불량률이 발생하지 않은 것이거나, 화소 불량률이 없는 상태로 제품 출하된 것일 수도 있다.
- [0110] 도 7의 (a)를 참조하면, 제1실시예에 따른 유기발광표시장치(100)는, 다수의 화소가 배치된 표시패널(110)을 포함하되, 표시패널(110)에 배치된 다수의 화소 중 임의의 두 화소인 제1화소(P1) 및 제2화소(P2) 각각의 화소영역(PA)에 유기발광다이오드(OLED)와 구동회로(DRC)가 배치된다.
- [0111] 즉, 제1화소(P1)의 화소영역(PA)에서, 화소영역(PA) 내 발광영역(EA)에 유기발광다이오드(OLED 1)가 배치되고, 화소영역(PA) 내 회로영역(CA)에 유기발광다이오드(OLED 1)를 구동하기 위한 구동회로(DRC 1)가 배치된다. 또한, 제2화소(P2)의 화소영역(PA)에서, 화소영역(PA) 내 발광영역(EA)에 유기발광다이오드(OLED 2)가 배치되고, 화소영역(PA) 내 회로영역(CA)에 유기발광다이오드(OLED 2)를 구동하기 위한 구동회로(DRC 2)가 배치된다.
- [0112] 도 7의 (a)를 참조하면, 제1화소(P1)와 제2화소(P2) 각각에는, 하나의 웰딩 포인트(WP)와 하나의 커팅 포인트(CP)가 있다. 즉, 제1화소(P1)에는 웰딩 포인트 WP1과 커팅 포인트 CP1이 있으며, 제2화소(P2)에는 웰딩 포인트 WP2와 커팅 포인트 CP2가 있다.
- [0113] 도 7의 (a)를 참조하면, 제1화소(P1)와 제2화소(P2) 각각의 웰딩 포인트(WP1, WP2)에는 플로팅 패턴(Floating

Pattern)이 적어도 하나 형성되어 있다.

- [0114] 이러한 플로팅 패턴은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(예: 애노드 또는 캐소드)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기적으로 단선시키는 역할을 하는 구조물이다.
- [0115] 이러한 플로팅 패턴은, 일 예로, 일단은 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(또는 구동회로(DRC 1)의 출력지점)과 연결되고, 타단은 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(또는 구동회로(DRC 2)의 출력지점)과 연결되며, 중간에 어느 한 지점이 단선된 상태로 되어 있는 리페어 라인(RL2)일 수 있다.
- [0116] 또한, 이러한 플로팅 패턴은, 위에서 언급한 리페어 라인(RL2)이 아니라, 리페어 라인(RL2)에서 단선 지점의 부분을 의미할 수도 있다.
- [0117] 또한, 이러한 플로팅 패턴은, 리페어 라인(RL2) 상의 단선 지점에서 캐패시터(CAP: CAPacitor)를 형성할 수도 있다.
- [0118] 도 7의 (a)에서, 리페어 라인 R2는, 일단이 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 연결되고, 타단이 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극과 연결되며, 중간에 어느 한 지점(WP1)에 캐패시터(CAP)가 형성되어 단선된 상태로 되어 있는 리페어 라인으로서, 제2화소(P2)의 구동회로(DRC 2)에서 회로부 불량 발생 시, 제2화소(P2)의 회로부 불량에 대한 리페어를 위한 리페어 라인이다.
- [0119] 이와 마찬가지로, 리페어 라인 R3은, 일단이 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극과 연결되고, 타단이 제2화소(P2)와는 다른 제3화소(P3)의 유기발광다이오드(OLED 3)의 제1전극과 연결되며, 중간에 어느 한 지점(WP2)에 캐패시터(CAP)가 형성되어 단선된 상태로 되어 있는 리페어 라인으로서, 제3화소(P3)의 구동회로(DRC 3)에서 회로부 불량 발생 시, 제3화소(P3)의 회로부 불량에 대한 리페어를 위한 리페어 라인이다.
- [0120] 이와 마찬가지로, 리페어 라인 R1은, 제1화소(P1)의 구동회로(DRC 1)에서 회로부 불량 발생 시, 제1화소(P1)의 회로부 불량에 대한 리페어를 위한 리페어 라인이다.
- [0121] 회로부 불량 발생 시 화소의 구동 회로와 유기발광다이오드를 전기적으로 단선시키는 것을 고려할 때, 각 화소의 구동 회로와 유기발광다이오드 간의 전기적인 연결 지점은 커팅 포인트(CP)일 수 있다.
- [0122] 즉, 제1화소(P1)의 구동 회로(DRC 1)와 유기발광다이오드(OLED 1)를 전기적으로 단선시키기 위하여, 제1화소(P1)의 구동 회로(DRC 1)와 유기발광다이오드(OLED 1) 간의 전기적인 연결 지점은 커팅 포인트 CP1일 수 있다. 제2화소(P2)의 구동 회로(DRC 2)와 유기발광다이오드(OLED 2)를 전기적으로 단선시키기 위하여, 제2화소(P2)의 구동 회로(DRC 2)와 유기발광다이오드(OLED 2) 간의 전기적인 연결 지점은 커팅 포인트 CP2일 수 있다.
- [0123] 도 7의 (a)를 참조하면, 제1화소(P1)와 제2화소(P2) 모두는, 회로부 불량 발생 시, 웰딩 포인트에 대한 웰딩 처리가 되지 않은 상태이다. 따라서, 제1화소(P1)의 구동회로(DRC 1)는 제1화소(P1)의 유기발광다이오드(OLED 1)로만 전류를 공급하여 제1화소(P1)의 유기발광다이오드(OLED 1)를 구동시킨다($I1=I_{oled1}$). 또한, 제2화소(P2)의 구동회로(DRC 2)는 제2화소(P2)의 유기발광다이오드(OLED 2)로만 전류를 공급하여 제2화소(P2)의 유기발광다이오드(OLED 2)를 구동시킨다($I2=I_{oled2}$).
- [0124] 한편, 도 7의 (b)를 참조하면, 제1화소(P1)와 제2화소(P2) 중 제2화소(P2)의 구동회로(DRC 2)에서 회로부 불량이 발생하게 되면, 회로부 불량 발생 시 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 간의 전기적인 연결 지점에 해당하는 커팅 포인트 CP2에 대한 "커팅 처리"를 통해, 회로부 불량 발생 시 제2화소(P2)의 구동회로(DRC 2)와 유기발광다이오드(OLED 2)를 전기적으로 단선시킨다.
- [0125] 또한, 제2화소(P2)의 회로부 불량에 대한 리페어 처리를 위한 리페어 라인 RL2 상의 웰딩 포인트 WP1에서 "웰딩 처리"를 하여, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기적으로 연결시켜 준다.
- [0126] 여기서, 리페어 라인 RL2 상의 웰딩 포인트 WP1에 형성되어 있던 "플로팅 패턴"인 캐패시터(CAP)가 웰딩에 의해 캐패시터(CAP)의 양단이 연결되어 일반적인 신호 라인과 같은 "연결 패턴"이 형성된다. 여기서, 연결 패턴은 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기적으로 연결해주는 금속 등의 패턴으로서 플로팅 패턴의 변형으로도 볼 수 있다.
- [0127] 이러한 커팅 처리 및 웰딩 처리에 따라, 제2화소(P2)의 회로부 불량에 대한 리페어가 되면, 유기발광표시장치(100)는, 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2)가 전기적으로 끊어진 상태이고, 제1화소(P1)의 구동회로(DRC 1), 제1화소(P1)의 유기발광다이오드(OLED 1) 및 제2화소(P2)의 유기발광다이오드(OLED

2)가 모두 전기적으로 연결될 수 있는 상태이며, 제2화소(P2)의 회로부 불량에 대한 리페어 처리 결과에 따른 연결 패턴이 형성된 상태이다.

- [0128] 이러한 리페어 처리 후 상태는, 표시패널(110)의 제조가 완료된 상태일 수도 있고, 유기발광다이오드(OLED 1, OLED 2)의 제2전극 등 표시패널(110) 또는 유기발광표시장치(100)의 일부 구성에 대한 제조 공정이 아직 남아 있는 상태일 수도 있다.
- [0129] 전술한 바와 같이, 제2화소(P2)의 회로부 불량에 대한 리페어가 되고 난 이후, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)는 제1화소(P1)의 구동회로(DRC 1)를 공유하는 형태가 되고, 제1화소(P1)의 구동회로(DRC 1)는 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)를 병렬 구동할 수 있는 상태이다.
- [0130] 이에 따라, 제2화소(P2)의 회로부 불량에 대한 리페어 처리(웰딩 처리, 커팅 처리)가 된 이후 상태에서는, 제1화소(P1)의 구동회로(DRC 1)에서 출력된 전류(I1)가 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)로 나누어져 공급된다($I1=I_{oled1}+I_{oled2}$).
- [0131] 도 7도 7이상에서 전술한 바와 같이, 리페어 라인을 별도로 형성해두고 기존 화소 구조와 효율적인 웰딩 처리 및 커팅 처리를 위한 웰딩 포인트(WP) 및 커팅 포인트(CP)를 정의해둠으로써, 기존에는 불가능했던 화소 불량에 대한 리페어가 가능해져서, 불량 화소가 정상 화소로 동작하도록 해줄 수 있다.
- [0132] 다만, 전술한 회로부 불량에 대한 리페어 처리는, 캐패시터 등의 플로팅 패턴이 형성된 웰딩 포인트(WP)가 있는 별도의 리페어 라인이 표시패널(110)에 형성되는 리페어 구조로 인해, 패널 설계 및 제조 공정 등에 약간의 제약 사항이 따를 수 있다.
- [0133] 가령, 별도의 리페어 라인은, 표시패널(110)의 베젤(Bezel) 영역에 형성되거나 화소 열 사이마다 형성되어, 화소 구조 설계를 어렵게 하는 요인이 되거나, 개구율을 떨어뜨리는 요인이 될 수 있다. 이는 표시패널(110)의 제조 수율을 저하시킬 수 있다.
- [0134] 이에, 본 명세서에서는, 리페어 라인 없이 리페어가 가능한 리페어 구조와, 이를 활용한 리페어 방식에 대하여 다양한 실시예들을 개시한다.
- [0135] 리페어 라인 없이 리페어가 가능한 리페어 구조와, 이를 활용한 리페어 방식은, 화소 불량이 발생한 화소(제2화소)와 이 화소의 유기발광다이오드로 전류를 나누어 공급해줄 수 있는 구동회로가 있는 화소(제1화소) 간의 배치 관계(위치 관계)가 어떻게 되어 있느냐에 따라 달라질 수 있다. 따라서, 아래에서는, 화소 불량에 대한 리페어에 관여하는 두 화소(P1, P2) 간의 배치 관계의 유형별로 리페어 구조와 이를 활용한 리페어 방식 등에 대한 실시예를 설명한다.
- [0136] 먼저, 화소 불량에 대한 리페어에 관여하는 두 화소(P1, P2) 간의 배치 관계를 도 8을 참조하여 살펴본다.
- [0137] 도 8은 실시예들에 따른 유기발광표시장치(100)의 화소 배치의 3가지 타입을 나타낸 도면이다.
- [0138] 도 8의 (a), (b) 및 (c)에 도시된 바와 같이, 실시예들에 따른 유기발광표시장치(100)의 화소 배치는, 유기발광다이오드가 있는 발광영역(EA)끼리 서로 인접해 있는 유형과, 구동회로가 있는 회로영역(CA)과 유기발광다이오드가 있는 발광영역(EA)이 서로 인접해 있는 유형과, 구동회로가 있는 회로영역(CA)끼리 서로 인접해 있는 유형이 있다.
- [0139] 즉, 제1화소(P1)의 화소영역(PA 1)과 제2화소(P2)의 화소영역(PA 2)은 서로 인접하되, 도 8의 (a)와 같이, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 배치되거나, 도 8의 (b)와 같이, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 배치되거나, 도 8의 (c)와 같이, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 구동회로(DRC 2)가 인접하여 배치될 수 있다.
- [0140] 한편, 도 8의 (b)의 화소 배치 유형은 표시패널(110)의 모든 화소 배치에 적용될 수 있다. 하지만, 도 8의 (a) 및 도 8의 (c)의 화소 배치 유형은 표시패널(110)의 모든 화소 배치에 적용될 수 없다. 가령, 도 8의 (a)의 화소 배치가 이루어진 이후, 제2화소(P2)와 이에 이어서 배치되는 제3화소는 도 8의 (c)의 화소 배치가 된다. 또한, 도 8의 (c)의 화소 배치가 이루어진 이후, 제2화소(P2)와 이에 이어서 배치되는 제3화소는 도 8의 (a)의 화소 배치가 된다.
- [0141] 아래에서는, 리페어 라인 없는 리페어 구조와 이를 활용한 리페어 방식에 대한 실시예로서, 제1화소(P1)의 발광

영역(EA 1)과 제2화소(P2)의 발광영역(EA 1)이 인접하여 배치된 경우에 대한 제2, 제3실시예를 도 9 내지 도 16을 참조하여 설명한다. 이어서, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 발광영역(EA 1)이 인접하여 배치되는 경우에 대한 제4실시예를 도 17 내지 도 23을 참조하여 설명한다. 또한, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 회로영역(CA 2)이 인접하여 배치되는 경우에 대한 제5실시예를 도 24 및 도 25를 참조하여 설명한다.

- [0142] 도 9 및 도 10은 제2실시예에 따른 유기발광표시장치(100)의 평면도 및 개념적인 단면도이다.
- [0143] 도 9 및 도 10을 참조하면, 제2실시예에 따른 유기발광표시장치(100)의 표시패널(110)에는, 다수의 화소 중 임의의 두 화소인 제1화소(P1)와 제2화소(P2)가 도 8의 (a)의 배치 유형(각 화소의 발광영역이 인접한 배치 유형)으로 배치되어 있다.
- [0144] 즉, 도 9에 도시된 바와 같이, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 배치될 수 있다.
- [0145] 도 9 및 도 10을 참조하면, 리페어 처리 시 웰딩되는 플로팅 패턴(900)이 웰딩 포인트(WP)에 형성된다.
- [0146] 한편, 도 10을 참조하면, 제2실시예에 따른 화소 배치 유형에서, 리페어 처리 시 웰딩되는 플로팅 패턴(900)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1010)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020) 중 적어도 하나와 절연되어 형성되어 있을 수 있다.
- [0147] 단, 도 10의 예시에서는, 플로팅 패턴(900)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1010)과도 절연되고, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020)과도 절연되어 있다.
- [0148] 이와 같이, 플로팅 패턴(900)이, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1010)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020) 중 적어도 하나와 절연되어 형성됨으로써, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극은, 전기적으로 연결되어 있지 않은 상태가 된다.
- [0149] 또한, 플로팅 패턴(900)은, 도 9 및 도 10에 도시된 바와 같이, 제1화소(P1)의 화소영역(PA 1) 및 제2화소(P2)의 화소영역(PA 1) 간의 경계 부근에서 제1화소(P1)의 화소영역(PA 1) 및 제2화소(P2)의 화소영역(PA 1)과 겹쳐져 형성될 수 있다.
- [0150] 즉, 제2실시예에 따른 화소 배치 유형의 경우, 회로부 불량에 대한 리페어 처리를 위한 웰딩 포인트(WP)는, 제1화소(P1)의 화소영역(PA 1) 내 발광영역(EA 1)과 제2화소(P2)의 화소영역(PA 1) 내 발광영역(EA 2)에 겹쳐져 중첩되어 있을 수 있다.
- [0151] 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 배치되는 제2 실시예의 경우, 전술한 바와 같이, 두 화소영역(두 발광영역)의 경계 부근에 웰딩 포인트(WP)가 존재하고, 웰딩 포인트(WP)에 작은 플로팅 패턴(900)만을 형성하면 되기 때문에, 웰딩 포인트(WP)에 플로팅 패턴을 형성하기 위하여, 베젤(Bezel) 영역이나 화소열 사이에 별도의 리페어 라인(RL)을 형성하지 않아도 되기 때문에, 패널 설계 및 제조공정이 간단해지고 쉬워지는 장점이 있다.
- [0152] 한편, 도 9 및 도 10을 참조하면, 제1화소(P1) 및 제2화소(P2) 각각에는, 자신의 구동회로에서 회로부 불량이 발생한 경우, 자신의 유기발광다이오드와 구동회로 간의 회로적인 연결을 끊기 위한 커팅 포인트(CP1, CP2)가 존재할 수 있다.
- [0153] 회로적인 관점에서, 도 9를 참조하면, 제1화소(P1)의 회로부 불량에 대한 리페어 처리 시, 제1화소(P1)의 구동회로(DRC 1)에서 유기발광다이오드(OLED 1)로 전류가 공급되는 경로 상의 그 어떠한 지점에도 커팅 포인트(CP 1)가 위치할 수 있다. 또한, 제2화소(P2)의 회로부 불량에 대한 리페어 처리 시, 제2화소(P2)의 구동회로(DRC 2)에서 유기발광다이오드(OLED 2)로 전류가 공급되는 경로 상의 그 어떠한 지점에도 커팅 포인트(CP2)가 위치할 수 있다.
- [0154] 구조적인 관점에서, 제2화소(P1)에 대해서만 살펴보면, 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 간의 연결을 단선시키기 위한 커팅 처리가 이루어지는 커팅 포인트(CP2)는, 커팅 처리가 정확하고 쉽게 이루어질 수 있는 위치에 있어야 한다.
- [0155] 이러한 점을 고려하면, 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 간의 연결을 단선시키기 위한 커팅 처리가 이루어지는 커팅 포인트(CP2)는, 일 예로, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극

(1020)이 회로영역(CA 2)까지 연장된 부분에 위치할 수 있다.

- [0156] 이러한 위치뿐만 아니라, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020)과, 회로영역(CA 2)에 배치된 트랜지스터(도 3 및 도 4의 화소 구조의 경우, 구동 트랜지스터(DT 2)일 수 있음)가 연결된 그 어떠한 위치이어도 무관하다.
- [0157] 이와 마찬가지로, 제1화소(P1)의 유기발광다이오드(OLED 1)와 구동회로(DRC 1) 간의 연결을 단선시키기 위한 커팅 처리가 이루어지는 커팅 포인트(CP1)는, 일 예로, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1010)이 회로영역(CA 1)까지 연장된 부분에 위치할 수 있다.
- [0158] 이러한 위치뿐만 아니라, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1010)과, 회로영역(CA 1)에 배치된 트랜지스터(도 3 및 도 4의 화소 구조의 경우, 구동 트랜지스터(DT 1)일 수 있음)가 연결된 그 어떠한 위치이어도 무관하다.
- [0159] 한편, 제1화소(P1)의 화소영역(PA 1) 및 제2화소(P2)의 화소영역(PA 1) 간의 경계 부근에서 중첩되게 형성된 플로팅 패턴(900)이 형성된 스택(Stack)을 개념적으로 간략하게 도시한 도 11을 참조하여 설명한다.
- [0160] 도 11은 제2실시예에 따른 유기발광표시장치(100)의 플로팅 패턴(900)의 형성 예시도이다.
- [0161] 도 11의 (a)를 참조하면, 플로팅 패턴(900)은 게이트 레이어(Gate Layer)에 형성될 수 있다.
- [0162] 이 경우, 제1화소(P1)의 회로영역(CA 1)에 배치되는 트랜지스터(DT 1)의 게이트 전극(1111)과 제2화소(P2)의 회로영역(CA 2)에 배치되는 트랜지스터(DT 2)의 게이트 전극(1112)이 기판(1100) 상에 형성될 때, 플로팅 패턴(900)이 함께 형성될 수도 있다. 이때, 플로팅 패턴(900)은 게이트 전극(1111, 1112)과 동일한 물질일 수 있다.
- [0163] 도 11의 (b)를 참조하면, 플로팅 패턴(900)은 소스-드레인 레이어(Source-Drain Layer)에 형성될 수도 있다.
- [0164] 이 경우, 제1화소(P1)의 회로영역(CA 1)에 배치되는 트랜지스터(DT 1)의 게이트 전극(1111)과 제2화소(P2)의 회로영역(CA 2)에 배치되는 트랜지스터(DT 2)의 게이트 전극(1112)이 기판(1100) 상에 형성되고, 그 위에, 게이트 절연층(1120)이 형성된 이후, 제1화소(P1)의 회로영역(CA 1)에 배치되는 트랜지스터(DT 1)의 소스-드레인 전극(1131)과 제2화소(P2)의 회로영역(CA 2)에 배치되는 트랜지스터(DT 2)의 소스-드레인 전극(1132)이 형성될 때, 플로팅 패턴(900)이 함께 형성될 수도 있다. 이때, 플로팅 패턴(900)은 소스-드레인 전극(1131, 1132)과 동일한 물질일 수 있다.
- [0165] 도 11의 (c)를 참조하면, 플로팅 패턴(900)은 게이트 레이어와 소스-드레인 레이어에 걸쳐 형성될 수도 있다.
- [0166] 이 경우, 제1화소(P1)의 회로영역(CA 1)에 배치되는 트랜지스터(DT 1)의 게이트 전극(1111)과 제2화소(P2)의 회로영역(CA 2)에 배치되는 트랜지스터(DT 2)의 게이트 전극(1112)이 기판(1100) 상에 형성될 때, 플로팅 패턴(900)의 일부분이 함께 형성되고, 그 위에, 게이트 절연층(1120)이 형성된 이후, 제1화소(P1)의 회로영역(CA 1)에 배치되는 트랜지스터(DT 1)의 소스-드레인 전극(1131)과 제2화소(P2)의 회로영역(CA 2)에 배치되는 트랜지스터(DT 2)의 소스-드레인 전극(1132)이 형성될 때, 플로팅 패턴(900)의 다른 한 부분과 함께 형성될 수도 있다. 이때, 플로팅 패턴(900)은 게이트 물질 층과 소스-드레인 물질 층으로 되어 있다.
- [0167] 도 12는 제2실시예에 따른 유기발광표시장치(100)의 리페어 처리 후 평면도이고, 도 13은 제2실시예에 따른 유기발광표시장치의 리페어 처리 후 개략적인 단면도이다.
- [0168] 도 12 및 도 13을 참조하면, 제2화소(P2)의 구동회로(DRC 2)에서 회로부 불량 발생 시, 제2화소(P2)의 회로부 불량을 리페어하기 위하여, 커팅(Cutting) 처리를 통해 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 간의 연결을 단선시킨다.
- [0169] 도 13을 참조하면, 커팅 처리가 이루어지는 커팅 포인트(CP2)는, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020)이 회로영역(CA 2)까지 연장된 부분에 위치할 수 있다.
- [0170] 도 13을 참조하면, 이러한 커팅 포인트(CP2)에서 커팅 처리를 하여, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020)에서 회로영역(CA 2)까지 연장된 부분이 커팅됨으로써, 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 내 트랜지스터(DT 2) 간의 전기적인 연결이 끊어진다.
- [0171] 도 13을 참조하면, 제2화소(P2)의 구동회로(DRC 2)와 회로적으로 끊어진 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020)을 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1010)과 전기적으로 연결시키기 위하여, 웰딩 포인트(WP)에 형성된 플로팅 패턴(900)에 대한 웰딩(Welding) 처리를 한다 이에 따라, 웰딩된 플로팅

패턴(900)인 연결 패턴(1200)이 형성된다.

- [0172] 이러한 연결 패턴(1200)은 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020)과, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1010)을 회로적으로 연결시켜서, 제1화소(P1)의 구동회로(DRC 1)로부터 전류를 공급받을 수 있다.
- [0173] 도 12 및 도 13을 참조하여 전술한 리페어 처리(커팅 처리+웰딩 처리)는, 제품 출하 이전 패널 제조 공정 단계에서 이루어질 수 있다. 이 경우, 표시패널(110)의 모든 화소에 배치되는 유기발광다이오드(OLED)의 제1전극(예: 애노드 또는 캐소드)이 형성되고, 유기발광다이오드(OLED)의 제2전극(예: 캐소드 또는 애노드)이 형성되기 이전에, 화소 불량 테스트를 거쳐 이루어질 수 있다.
- [0174] 물론, 리페어 처리(커팅 처리+웰딩 처리)는, 제품 출하 이전 패널 제조 공정 단계 또는 제품 출하 이후 애프터 서비스 처리 단계에서 이루어지더라도, 표시패널(110)의 모든 화소에 배치되는 유기발광다이오드(OLED)의 제1전극(예: 애노드 또는 캐소드)과 제2전극(예: 캐소드 또는 애노드) 등이 모두 형성된 상태에서, 이루어질 수도 있다.
- [0175] 아래에서는, 도 14 내지 도 16을 참조하여, 화소 배치 유형이 제2실시예에 따른 화소 배치 유형과 동일하더라도, 플로팅 패턴이 복수의 지점에 형성된다는 점에서 차이점이 있는 리페어 구조와 이를 활용한 리페어 처리에 대하여 제3실시예로 설명한다.
- [0176] 도 14는 제3실시예에 따른 유기발광표시장치(100)의 평면도이다.
- [0177] 도 14를 참조하면, 제3실시예에 따른 유기발광표시장치(100)는, 제2실시예에 따른 유기발광표시장치(100)의 화소 배치 유형과 동일하게, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접하여 형성되지만, 1개의 웰딩 포인트(WP)만 있는 제2실시예에 따른 유기발광표시장치(100)와는 다르게, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접한 경계 부근에 2개의 웰딩 포인트(WP1, WP2)가 있다.
- [0178] 즉, 제3실시예에 따른 유기발광표시장치(100)는, 제2실시예에 따른 유기발광표시장치(100)와 비교하여, 화소 배치 유형은 동일하지만, 웰딩 포인트 개수가 다르다. 이로 인해, 플로팅 패턴 개수도 서로 다르다.
- [0179] 플로팅 패턴 형성과 관련하여, 제3실시예에 따른 유기발광표시장치(100)에서, 리페어 처리 시 웰딩되는 2개의 플로팅 패턴(1410, 1420)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1010)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1020) 중 적어도 하나와 절연되어 형성되고, 제1화소(P1)의 화소영역(PA 1) 및 제2화소(P2)의 화소영역(PA 1) 간의 경계 부근에서 중첩되어 형성된다.
- [0180] 단, 도 14에서는, 2개의 플로팅 패턴(1410, 1420)이 각기 다른 지점(WP1, WP2)에 형성되어 있는 것으로 도시되어 있지만, 이는 설명의 편의를 위한 것일 뿐, 경우에 따라서는, 3개 이상의 지점(WP1, WP2, WP3, ...)에 3개 이상의 플로팅 패턴(1410, 1420, ...)이 형성될 수도 있다.
- [0181] 도 15는 제3실시예에 따른 유기발광표시장치(100)의 리페어 처리 후 평면도이다.
- [0182] 도 15를 참조하면, 도 14에 도시된 제3실시예에 따른 유기발광표시장치(100)의 제1화소(P1)와 제2화소(P2) 중 제2화소(P2)에서 회로부 불량이 발생한 경우, 제2화소(P2)의 회로부 불량에 대한 리페어가 필요하다.
- [0183] 도 15를 참조하면, 제2화소(P2)의 구동회로(DRC 2)와 유기발광다이오드(OLED 2) 간의 전기적인 연결을 단선시키기 위해, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극에서 제2화소(P2)의 구동회로(DRC 2)와 연결되는 지점(커팅 포인트 CP2)을 커팅(Cutting) 시킨다.
- [0184] 그리고, 도 15를 참조하면, 제2화소(P2)의 유기발광다이오드(OLED 2)가 제1화소(P1)의 구동 회로(DRC 1)에 의해 구동되도록, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극 중 적어도 하나와 절연되어 2개의 웰딩 포인트(WP1, WP2)에 형성된 2개의 플로팅 패턴(1410, 1420) 중 적어도 하나에 대한 웰딩(Welding)을 통해 연결 패턴(1500)을 형성시킬 수 있다.
- [0185] 연결 패턴(1500)이 형성됨에 따라, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극이 전기적으로 연결된다.
- [0186] 이에 따라, 리페어 처리가 된 이후, 제3실시예에 따른 유기발광표시장치(100)는, 도 15에 도시된 바와 같이, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기

적으로 연결해주는 연결 패턴(1500)이 형성되어 있다.

- [0187] 한편, 제3실시예에 따른 유기발광표시장치(100)는, 회로부 불량뿐만 아니라 발광부 불량에 대해서도 동시에 리페어 처리를 해줄 수 있다.
- [0188] 예를 들어, 제2화소(P2)의 구동회로(DRC 2)에서 회로부 불량이 발생하고, 동시에, 제2화소(P2)의 유기발광다이오드(OLED 2)에서 발광부 불량이 발생한 경우, 제3실시예에 따른 유기발광표시장치(100)에서는, 회로부 불량에 대한 리페어 처리를 위해, 둘 이상의 지점(WP1, WP2) 중 적어도 하나의 지점에 형성된 플로팅 패턴(1410, 1420)을 웰딩시켜 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기적으로 연결해주는 연결 패턴(1500)을 형성시키고, 발광부 불량에 대한 리페어 처리를 위해, 제2화소(P2)의 유기발광다이오드(OLED 2)에서 발광부 불량이 발생한 지점이 회로적으로 제거되도록, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 커팅한다. 이에 따라, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극의 일부(커팅 후 남아 있는 부분)가 전기적으로 연결된다.
- [0189] 발광부 불량 지점을 제거해버리는 커팅 처리 시, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극은, 발광부 불량이 발생한 위치에 따라, 가로 방향 또는 세로 방향으로 커팅될 수 있다.
- [0190] 이와 같이, 회로부 불량과 회로부 불량이 동시에 발생한 경우, 리페어 처리된 유기발광표시장치(100)를 도 16을 참조하여 다시 살펴본다.
- [0191] 도 16은 제3실시예에 따른 유기발광표시장치(100)의 리페어 처리 후 다른 평면도이다.
- [0192] 도 16의 (a)는 발광부 불량에 대한 리페어 처리를 위해 세로 방향으로 커팅 처리가 된 도면이고, 도 16의 (b)는 발광부 불량에 대한 리페어 처리를 위해 가로 방향으로 커팅 처리가 된 도면이다.
- [0193] 도 16의 (a) 및 (b)를 참조하면, 회로부 불량에 대한 리페어 처리가 이루어진 이후, 제3실시예에 따른 유기발광표시장치(100)는, 회로부 불량이 발생한 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2)가 전기적으로 단선되도록, 회로부 불량이 발생한 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극에서 제2화소(P2)의 구동회로(DRC 2)와 연결되는 커팅 포인트(CP2)가 커팅되어 있고, 둘 이상의 지점(WP1, WP2)에 형성된 둘 이상의 플로팅 패턴(1410, 1420) 중에서 적어도 하나의 지점(도 16의 (a) 및 (b)에서 WP2)에 형성된 플로팅 패턴(1420)이 웰딩되어 연결 패턴(1500)이 형성되어 있다.
- [0194] 이러한 회로부 불량에 대한 리페어 처리가 된 유기발광표시장치(100)는, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극이 전기적으로 연결되어, 제1화소(P1)의 구동회로(DRC 1)가 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)로 전류를 병렬로 공급할 수 있는 상태이다.
- [0195] 한편, 도 16의 (a) 및 (b)를 참조하면, 발광부 불량이 발생한 화소를 제2화소(P2)로 가정한 경우, 발광부 불량에 대한 리페어 처리가 이루어진 이후, 제3실시예에 따른 유기발광표시장치(100)는, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극이, 연결 패턴(1500)에 연결된 부분(1600)과 연결 패턴(1500)에 연결되지 않은 부분(1610)으로 분할되도록 커팅되어 있다.
- [0196] 도 16의 (a) 및 (b)를 참조하면, 발광부 불량이 발생한 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극은, 세로방향 또는 가로방향으로 커팅되어 있을 수 있으며, 경우에 따라서는, 사선방향으로 커팅되어 있을 수 있다.
- [0197] 도 16의 (a) 및 (b)를 참조하면, 발광부 불량이 발생한 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극은, 직선 형태로 커팅되어 있을 수 있으며, 경우에 따라서는, 곡선 형태의 커팅되어 있을 수도 있다.
- [0198] 이러한 커팅의 방향, 위치, 형태와 관련하여, 제2화소(P2)의 유기발광다이오드(OLED 2)에서 발광부 불량이 발생한 위치와, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극 중 커팅 이후 발광에 참여하는 부분(1600)의 면적을 고려하여, 제2화소(P2)의 발광영역(EA 2)이 최대한 감소하지 않도록, 커팅의 방향, 위치, 형태를 결정할 수 있다.
- [0199] 이상에서는, 제1화소(P1)의 발광영역(EA 1)과 제2화소(P2)의 발광영역(EA 2)이 인접한 화소 배치 유형(도 8의 (a))에 대하여, 제2실시예 및 제3실시예에 따른 유기발광표시장치(100)에 대하여 설명하였다.
- [0200] 아래에서는, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 발광영역(EA 2)이 인접한 화소 배치 유형(도 8의 (b))을 갖는 제4실시예에 따른 유기발광표시장치(100)에 대하여, 도 17 내지 도 23을 참조하여 설명한다.

- [0201] 도 17은 제4실시예에 따른 유기발광표시장치(100)의 평면도이다.
- [0202] 도 17을 참조하면, 제4실시예에 따른 유기발광표시장치(100)는, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 발광영역(EA 2)가 인접한 화소 배치 유형을 갖는다.
- [0203] 즉, 제4실시예에 따른 유기발광표시장치(100)는, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)가 인접한 화소 배치 유형을 갖는다.
- [0204] 한편, 도 17을 참조하면, 제4실시예에 따른 유기발광표시장치(100)에서, 제1화소(P1)와 제2화소(P2) 각각의 유기발광다이오드(OLED 1, OLED 2)의 제1전극(1710, 1720)은, 리페어 처리를 고려하여 독특한 형태로 형성된다.
- [0205] 즉, 제4실시예에 따른 유기발광표시장치(100)에서, 제1화소(P1)와 제2화소(P2) 각각의 유기발광다이오드(OLED 1, OLED 2)의 제1전극(1710, 1720)은, 자신이 속해 있는 화소의 발광영역에 위치한 부분과, 자신이 속해 있는 화소 내부(Internal)의 회로영역까지 연장된 내부 확장 부분(IEP: Internal Extension Part)과, 자신이 속해 있는 화소의 외부(External)에 있는 다른 화소의 회로영역까지 연장된 외부 확장 부분(EEP: External Extension Part)으로 이루어진다.
- [0206] 도 17을 참조하여 더욱 상세하게 예시적으로 설명하면, 제2화소(P2)에서, 유기발광다이오드(OLED 2)의 제1전극(1720)은, 제2화소(P2)의 발광영역(EA 2)에 있는 부분과, 제2화소(P2)의 내부에 있는 회로영역(CA 2)까지 연장된 부분(IEP 2)과, 제2화소(P2)의 외부에 있는 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)으로 이루어진다.
- [0207] 이와 마찬가지로, 제1화소(P1)에서, 유기발광다이오드(OLED 1)의 제1전극(1710)은, 제1화소(P1)의 발광영역(EA 1)에 있는 부분과, 제1화소(P1)의 내부(Internal)에 있는 회로영역(CA 1)까지 연장된 부분(IEP 1)과, 제1화소(P1)의 외부(External)에 있는 제0화소(P0)의 회로영역(CA 0)까지 연장된 부분(EEP 1)으로 이루어진다.
- [0208] 리페어 처리(웰딩 처리, 커팅 처리)를 위한 2가지의 지점(웰딩 포인트, 커팅 포인트)이 기술한 구조를 갖는 제1전극(1710, 1720)과 관련하여 위치한다.
- [0209] 먼저, 커팅 포인트(CP)와 관련하여, 도 17을 참조하면, 제1화소(P1)에서 회로부 불량 발생을 대비하여, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)에서 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(IEP 1)이 커팅되는 지점에 커팅 포인트(CP1)가 존재한다.
- [0210] 이와 마찬가지로, 제2화소(P2)에서 회로부 불량 발생을 대비하여, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)에서 제2화소(P2)의 회로영역(CA 2)까지 연장된 부분(IEP 2)이 커팅되는 지점에 커팅 포인트(CP2)가 존재한다.
- [0211] 다음으로, 웰딩 포인트(WP)와 관련하여, 도 17을 참조하면, 제2화소(P2)에서 회로부 불량 발생을 대비하여, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 서로 인접한 지점에 웰딩 포인트(WP1)가 존재한다.
- [0212] 도 17을 참조하면, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)은 제1화소(P1)의 회로영역(CA 1) 내에서 인접하기 때문에, 제2화소(P2)에서 회로부 불량 발생을 경우 웰딩 처리될 웰딩 포인트(WP1)는 제1화소(P1)의 회로영역(CA 1) 내에 존재한다.
- [0213] 따라서, 제1화소(P1)의 회로영역(CA 1) 내에서, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710; IEP 1)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720; EEP 2)이 인접한 웰딩 포인트(WP1)에, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710; IEP 1)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720; EEP 2) 중 적어도 하나와 절연된 플로팅 패턴(1711)이 형성된다.
- [0214] 이와 마찬가지로, 제2화소(P2)의 회로영역(CA 2) 내에서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720; IEP 2)과 제3화소(P3)의 유기발광다이오드(OLED 3)의 제1전극(EEP 3)이 인접한 웰딩 포인트(WP2)에, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720; IEP 2)과 제3화소(P3)의 유기발광다이오드(OLED 3)의 제1전극(EEP 3) 중 적어도 하나와 절연된 플로팅 패턴(1721)이 형성된다.
- [0215] 도 18은 제4실시예에 따른 유기발광표시장치(100)의 개략적인 단면도이다.
- [0216] 도 18은 도 17의 평면도를 단면도로 개략적으로 나타낸 도면으로서, 제1화소(P1) 및 제2화소(P2) 각각의 구동회로(DRC 1, DRC 2)에 포함되는 트랜지스터들(도 3, 도 4에서 DT, T1, T2)과 캐패시터(도 3, 도 4에서 Cstg) 중

에서 유기발광다이오드(OLED)와 연결된 구동 트랜지스터(DT)만을 도시한다.

- [0217] 도 18은, 도 17의 평면도를 통해 알아본 유기발광다이오드(OLED)와 구동회로(DRC)의 연결 부분과, 웰딩 포인트(WP) 및 커팅 포인트(CP)를 단면도에서 살펴보기 위해, 스택(Stack) 구조가 개념적으로 개략화되어 도시된 도면이다.
- [0218] 도 18을 참조하면, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)은 제1화소(P1)의 회로영역(CA 1)까지 연장되어 형성된다.
- [0219] 또한, 제1화소(P1)의 회로영역(CA 1)에는 제1화소(P1)의 유기발광다이오드(OLED 1)로 전류를 공급하기 위한 구동 트랜지스터(DT 1)가 기판(1800) 상에 형성된다.
- [0220] 제1화소(P1)의 구동 트랜지스터(DT 1)는 게이트 전극(1811) 및 소스/드레인 전극(1821)을 포함하는데, 소스/드레인 전극(1821) 중 소스 전극 또는 드레인 전극은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 회로영역(CA 1)까지 연장된 부분(IEP 1)과 연결된다.
- [0221] 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 회로영역(CA 1)까지 연장된 부분(IEP 1)과 제1화소(P1)의 구동 트랜지스터(DT 1) 간의 연결 지점, 또는 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 회로영역(CA 1)까지 연장된 부분(IEP 1)에, 제1화소(P1)의 회로부 불량에 대한 리페어를 위한 커팅 포인트(CP1)가 존재한다.
- [0222] 도 18을 참조하면, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)은 제1화소(P1)의 회로영역(CA 1)까지 연장되어 형성된다.
- [0223] 또한, 제2화소(P2)의 회로영역(CA 2)에는 제2화소(P2)의 유기발광다이오드(OLED 2)로 전류를 공급하기 위한 구동 트랜지스터(DT 2)가 기판(1800) 상에 형성된다.
- [0224] 제2화소(P2)의 구동 트랜지스터(DT 2)는 게이트 전극(1812) 및 소스/드레인 전극(1822)을 포함하는데, 소스/드레인 전극(1822) 중 소스 전극 또는 드레인 전극은, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 회로영역(CA 2)까지 연장된 부분(IEP 2)과 연결된다.
- [0225] 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 회로영역(CA 2)까지 연장된 부분(IEP 2)과 제2화소(P2)의 구동 트랜지스터(DT 2) 간의 연결 지점, 또는 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 회로영역(CA 2)까지 연장된 부분(IEP 2)에, 제2화소(P2)의 회로부 불량에 대한 리페어를 위한 커팅 포인트(CP2)가 존재한다.
- [0226] 한편, 도 18을 참조하면, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 회로영역(CA 1)까지 연장된 부분(IEP 1)은, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)과 인접해 있다.
- [0227] 도 18을 참조하면, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 회로영역(CA 1)까지 연장된 부분(IEP 1)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)이 인접한 지점에, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710; IEP 1)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720; EEP 2) 중 적어도 하나(도 18의 경우, EEP 2)와 절연된 플로팅 패턴(1711)이 형성된다. 여기서, 플로팅 패턴(1711)이 형성된 지점이 웰딩 포인트(WP1)가 된다.
- [0228] 이와 마찬가지로, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 회로영역(CA 2)까지 연장된 부분(IEP 2)과 제3화소(P3)의 유기발광다이오드(OLED 3)의 제1전극(미도시)이 제2화소(P2)의 회로영역(CA 2)까지 연장된 부분(EEP 3)이 인접한 지점(WP2)에, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720; IEP 2)과 제3화소(P3)의 유기발광다이오드(OLED 3)의 제1전극(EEP 3) 중 적어도 하나(도 18의 경우, EEP 3)와 절연된 플로팅 패턴(1721)이 형성된다. 여기서, 플로팅 패턴(1721)이 형성된 지점이 웰딩 포인트(WP2)가 된다.
- [0229] 전술한 바와 같이, 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)에는, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 연장된 부분(IEP 1)과, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 연장된 부분(EEP 2)이 형성되어 있으며, 이뿐만 아니라, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 연장된 부분(IEP 1)과, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 연장된 부분(EEP 2) 중 적어도 하나와 절연된 플로팅 패턴(1711)이 형성되어 있다.
- [0230] 이와 같이, 다소 복잡한 구조를 갖는 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)에 대하여, 도 19

의 평면도 및 도 20의 단면도를 통해 더욱 상세하게 살펴본다.

- [0231] 도 19는 제4실시예에 따른 유기발광표시장치(100)의 부분 상세 평면도이다.
- [0232] 도 19는 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)을 상세하게 나타낸 평면도로서, 도 4에 도시된 1 스캔 기반의 화소 구조(등가회로도)와 대응되는 평면도이다.
- [0233] 도 19를 참조하면, 제1화소(P1)의 구동회로(DRC 1)가 형성된 회로영역(CA 1)에는, 구동 트랜지스터(DT), 제1트랜지스터(T1) 및 제2트랜지스터(T2)를 포함하는 3개의 트랜지스터와, 1개의 스토리지 캐패시터(Cstg)가 형성된다.
- [0234] 또한, 제2트랜지스터(T2)는, 게이트라인(1900)에서 공급된 스캔신호에 의해 제어되며 데이터라인(1910)으로부터 데이터전압을 공급받는다.
- [0235] 제1트랜지스터(T1)는, 게이트라인(1900)에서 공급된 스캔신호에 의해 제어되며 기준전압 라인과 연결된 패턴(1920)으로부터 기준전압(Vref)을 공급받는다.
- [0236] 제2트랜지스터(T2)는 플레이트(1950)와 연결되고, 이 플레이트(1950)는 구동 트랜지스터(DT)의 게이트 전극(1960)과 컨택홀로 연결된다.
- [0237] 구동 트랜지스터(DT)는 게이트 전극(1960)에 인가된 전압에 의해 제어되며, 구동전압 라인(1930)으로부터 구동전압(EVDD)을 드레인 노드로 인가받아 소스 노드로 전류를 출력한다.
- [0238] 도 19는 산화물 트랜지스터(Oxide Transistor) 구조로 설계된 것을 가정한 것으로, 구동 트랜지스터(DT)의 소스 노드 및 제1트랜지스터(T1)의 소스 노드를 형성하기 위하여 액티브 층(Active Layer, 1640)이 형성되고, 이 액티브 층(1640)은 제2트랜지스터(T2)와 연결된 플레이트(1950)와 함께 스토리지 캐패시터(Cstg)를 형성한다.
- [0239] 한편, 도 19를 참조하면, 제1화소(P1)의 화소영역(CA 1)에는, 트랜지스터 등의 회로를 보호하기 위한 용도로 라이트 쉴드(LS: Light Shield, 1970)가 형성되어 있다.
- [0240] 한편, 도 19를 참조하면, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 연장된 부분(IEP 1)이 회로영역(CA 1)에 형성된다. 그리고, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 연장된 부분(EEP 2)이 제1화소(P1)의 회로영역(CA 1)에도 형성된다.
- [0241] 도 19를 참조하면, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 연장된 부분(IEP 1)과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 연장된 부분(EEP 2)이 인접한 지점에 플로팅 패턴(1711)이 형성된다.
- [0242] 이러한 플로팅 패턴(1711)이 형성된 A-A' 절취선 및 B-B' 절취선 부분을 도 20의 (a) 및 (b)를 참조하여 더욱 상세하게 설명한다.
- [0243] A-A' 절취선 부분의 단면도인 도 20의 (a)를 참조하면, 기판(2000) 상에, 제1 버퍼(2010), 라이트 쉴드(1970)에 해당하는 금속층(2020), 제2버퍼(2030)가 A 지점 부근에 형성되고, 그 위에, 액티브 층(1940)이 형성된다.
- [0244] 도 20의 (a)를 참조하면, 액티브 층(1940) 위에 제2절연층(2050)이 형성되고, 그 위에, 플로팅 패턴(1711)이 형성된다. 이때, 플로팅 패턴(1711)은 제2컨택홀(CH2)을 통해 액티브 층(1940)과 연결된다.
- [0245] 여기서, 액티브 층(1940)은 스토리지 캐패시터(Cstg)의 한 전극을 형성하면서 구동 트랜지스터(DT)의 소스 노드(N1)의 역할도 하는 곳이다. 따라서, 플로팅 패턴(1711)은 제1화소(P1)의 구동회로(DRC 1) 내 구동 트랜지스터(DT)의 소스 노드(N1) 및 스토리지 캐패시터(Cstg)의 한 전극과도 회로적으로 연결되는 것이다.
- [0246] 플로팅 패턴(1711) 위에 제1절연층(2060)이 형성된다.
- [0247] 제1절연층(2060) 위에, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 연장된 부분(IEP 1)과, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 연장된 부분(EEP 2)이 떨어져 형성된다.
- [0248] 이때, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 연장된 부분(IEP 1)은, 제1절연층(2060)을 뚫어서 형성한 제1절연층 컨택홀에 해당하는 제1컨택홀(CH1)을 통해, 플로팅 패턴(1711)과 연결된다.
- [0249] 이에 따라, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)과 플로팅 패턴(1711)은 전기적으로 연결된다.

- [0250] 하지만, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 연장된 부분(EEP 2)은, 제1절연층(2060)에 의해, 플로팅 패턴(1711)과 연결되지 않는다.
- [0251] 다시 말해, 플로팅 패턴(1711)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 연장된 부분(IEP 1)과는 제1컨택홀(CH1)에 의해 연결되지만, 제1화소(P1)의 화소영역(CA 1)까지 연장된 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)과는 제1절연층(2060)에 의해 분리되어 절연된 상태로 형성되어 있다.
- [0252] 이러한 플로팅 패턴(1711)은 소스-드레인 물질로 되어 있어, 각 트랜지스터의 소스 또는 드레인과 신호 라인(1910, 1930)이 형성될 때 함께 형성될 수 있다.
- [0253] 또한, 플로팅 패턴(1711)은 액티브 층(1940)과 연결됨으로써, 제1화소(P1)의 구동회로(DRC 1) 내 스토리지 캐패시터(Cstg)가 있는 부분에 형성된다.
- [0254] 이와 관련하여, 도 19의 B-B' 절취선 부분의 단면도인 도 20의 (b)를 참조하면, 제1절연층(2060) 위에 보호층(2070; 오버코트(OC: Over Coat) 층이라고도 함)이 형성되고, 이 보호층(2070)이 제거된 영역(OC 제거영역)에서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 연장된 부분(EEP 2)이 형성된다.
- [0255] 이에 따라, 도 20의 (b)를 참조하면, 보호층(2070)이 제거된 영역(OC 제거영역)에서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)과 플로팅 패턴(1711)이 절연되어 있다.
- [0256] 도 20의 (b)를 참조하면, 보호층(2070)이 제거된 영역(OC 제거영역)에서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)과 플로팅 패턴(1711)이 절연된 지점이 웰딩 포인트(WP1)이다.
- [0257] 도 20의 (b)를 참조하면, 플로팅 패턴(1711)은, 제1화소(P1)의 구동회로(DRC 1) 내 스토리지 캐패시터(Cstg)가 있는 부분(액티브 층(1940)이 형성된 부분)에서 보호층 제거 영역(OC 제거영역)에 형성된다.
- [0258] 도 18 내지 도 20을 참조하여 설명한 바와 같은 구조를 갖는 유기발광표시장치(100)에서, 제2화소(P2)의 회로부 불량 발생한 경우, 이에 대한 리페어 처리를 도 21 내지 도 23을 참조하여 설명한다.
- [0259] 도 21 내지 도 23은 제4실시예에 따른 유기발광표시장치(100)의 리페어 처리를 설명하기 위한 평면도 및 단면도이다.
- [0260] 도 21 내지 도 23을 참조하면, 제2화소(P2)의 회로부 불량 발생한 경우, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 회로영역(CA 2)까지 연장된 부분(IEP 2)을 커팅(Cutting)하여, 제2화소(P2)의 유기발광다이오드(OLED 2)와 구동회로(DRC 2) 내 구동 트랜지스터(DT 2)를 전기적으로 단선시킨다.
- [0261] 도 21 내지 도 23을 참조하면, 제2화소(P2)의 유기발광다이오드(OLED 2)가 제1화소(P1)의 구동회로(DRC 1)에 구동되도록, 플로팅 패턴(1711)을 웰딩(Welding) 시킨다. 이에 따라, 플로팅 패턴(1711)이 웰딩되어 연결패턴(2100)이 형성된다. 여기서, 연결패턴(2100)은, 일 예로, 플로팅 패턴(1711)과, 웰딩 처리에 의해 플로팅 패턴(1711) 또는 제1전극(1720)의 일부가 변경되거나 새롭게 만들어진 웰딩 파티클(Welding Particle, 2200)로 이루어질 수 있다.
- [0262] 도 21 내지 도 23을 참조하면, 연결패턴(2100)은, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(1720)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)을 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(1710)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(IEP 1)과 연결해주고, 동시에, 제1화소(P1)의 구동회로(DRC 1) 내 구동 트랜지스터(DT 1)와도 연결해준다.
- [0263] 이상에서는, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 발광영역(EA 2)이 인접한 화소 배치 유형(도 8의 (b))을 갖는 제4실시예에 따른 유기발광표시장치(100)에 대하여 설명하였다.
- [0264] 아래에서는, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 회로영역(CA 2)이 인접한 화소 배치 유형(도 8의 (c))을 갖는 제5실시예에 따른 유기발광표시장치(100)에 대하여, 도 24 및 도 25를 참조하여 설명한다.
- [0265] 도 24는 제5실시예에 따른 유기발광표시장치(100)의 평면도이다.
- [0266] 도 24를 참조하면, 제5실시예에 따른 유기발광표시장치(100)는 제1화소(P1)의 화소영역(PA 1) 내 회로영역(CA 1)과 제2화소(P2)의 화소영역(PA 2) 내 회로영역(CA 2)이 서로 인접한 화소 배치 유형을 갖는다.
- [0267] 도 24에 도시된 바와 같이, 제5실시예에 따른 유기발광표시장치(100)에서, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(2410)은, 제1화소(P1)의 회로영역(CA 1)까지 연장된다. 또한, 제2화소(P2)의 유기발광다이

오드(OLED 2)의 제1전극(2420)은, 제2화소(P2)의 회로영역(CA 2)을 지나쳐 제1화소(P1)의 회로영역(CA 1)까지 연장되어 형성된다.

- [0268] 즉, 제5실시예에 따른 유기발광표시장치(100)는, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 구동회로(DRC 2)가 인접하여 배치됨으로써, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(2420)이 제2화소(P2)의 구동회로(DRC 2)가 배치된 회로영역(CA 2)을 지나쳐 제1화소(P1)의 화소영역(PA 1) 내 회로영역(CA 1)까지 연장되어 형성될 수 있다.
- [0269] 이 경우, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(2410)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(IEP 1)과, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(2420)이 제2화소(P2)의 회로영역(CA 2)을 지나쳐 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2) 중 적어도 하나와 절연된 플로팅 패턴(2411)이 형성되어 있을 수 있다.
- [0270] 도 24의 경우, 플로팅 패턴(2411)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(2410)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(IEP 1)과는 컨택홀을 통해 연결되고, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(2420)이 제2화소(P2)의 회로영역(CA 2)을 지나쳐 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)과는 절연층에 의해 절연되어 있는 상태이다. 이는, 도 20의 플로팅 구조와 동일할 수 있다.
- [0271] 전술한 바에 따르면, 플로팅 패턴(2411)은 제1화소(P1)의 회로영역(CA 1)에 형성되었으나, 이와는 다르게, 플로팅 패턴(2411)이 제2화소(P2)의 회로영역(CA 2)에서 형성될 수도 있다. 이를 위해, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(2410)이 제1화소(P1)의 회로영역(CA 1)을 지나쳐 제2화소(P2)의 회로영역(CA 2)까지 연장되어 형성될 수 있다.
- [0272] 한편, 제2화소(P2)에서 회로부 불량에 발생하여 리페어 처리가 된 경우에 대하여 도 25를 참조하여 설명한다.
- [0273] 도 25는 제5실시예에 따른 유기발광표시장치(100)의 리페어 처리 후 평면도이다.
- [0274] 도 25를 참조하면, 제2화소(P2)의 회로부 불량에 대한 리페어 처리로서 웰딩 처리가 되고 나면, 플로팅 패턴(2411)이 웰딩된 연결 패턴(2500)이 형성되어 있다.
- [0275] 이러한 연결 패턴(2500)은, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극(2410)이 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(IEP 1)과, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(2420)이 제2화소(P2)의 회로영역(CA 2)을 지나쳐 제1화소(P1)의 회로영역(CA 1)까지 연장된 부분(EEP 2)을 연결해준다. 이에 따라, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(2420)은 제1화소(P1)의 구동회로(DRC 1) 내 구동 트랜지스터(DT 1)와도 연결된다.
- [0276] 도 24 및 도 25를 참조하면, 제2화소(P2)의 회로부 불량에 대한 리페어 처리로서, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(2420)이 제2화소(P2)의 회로영역(CA 2)까지 연장된 부분(EEP 2)과 제2화소(P2)의 구동 트랜지스터(DT 2) 간의 연결에 대한 커팅 처리를 하여, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(2420)과 제2화소(P2)의 구동회로(DRC 2)가 전기적으로 단선 된다.
- [0277] 도 25를 참조하면, 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극(2420)이 제2화소(P2)의 회로영역(CA 2)까지 연장된 부분(EEP 2)과 제2화소(P2)의 구동 트랜지스터(DT 2) 간의 연결이 커팅되는 지점(CP2)은, 제2화소(P2)의 구동 트랜지스터(DT 2)의 소스 전극 또는 드레인 전극일 수 있다.
- [0278] 이상에서는, 제1화소(P1)의 회로영역(CA 1)과 제2화소(P2)의 회로영역(CA 2)이 인접한 화소 배치 유형(도 8의 (c))을 갖는 제5실시예에 따른 유기발광표시장치(100)에 대하여 설명하였다.
- [0279] 한편, 도 8에 도시된 바와 같은 3가지 화소 배치 유형 각각을 이용하여 표시패널(110)의 모든 화소를 배치할 수 있다.
- [0280] 도 8의 (a)의 화소 배치 유형을 반복적으로 이용하여 표시패널(110)의 모든 화소를 배치하는 경우, 도 8의 (c)의 화소 배치 유형이 자연스럽게 포함되게 된다. 즉, P1 화소의 발광영역(EA1)과 P2 화소의 발광영역(EA2)이 인접하고, P3 화소의 발광영역(EA3)과 P4 화소의 발광영역(EA4)이 인접하는 경우, P2 화소와 P3 화소는 회로영역(CA2, CA3)이 인접한 도 8의 (c)의 화소 배치 유형이 된다. 마찬가지로, 도 8의 (c)의 화소 배치 유형을 반복적으로 이용하여 표시패널(110)의 모든 화소를 배치하는 경우, 도 8의 (a)의 화소 배치 유형이 자연스럽게 적용되게 된다. 즉, P1 화소의 회로영역(CA1)과 P2 화소의 회로영역(CA2)이 인접하고, P3 화소의 회로영역(CA3)과 P4 화소의 회로영역(CA4)이 인접하는 경우, P2 화소와 P3 화소는 발광영역(EA2, EA3)이 인접한 도 8의 (a)의 화소 배치 유형

이 된다.

- [0281] 또한, 발광영역이 인접한 도 8의 (a)의 화소 배치 유형과 회로영역이 인접한 도 8의 (c)의 화소 배치 유형을 혼합하여 표시패널(100)의 화소들을 배치할 수도 있다. 이러한 경우를 제6실시에 및 제7실시로 하여 도 26 및 도 27을 각각 참조하여 간략하게 설명한다.
- [0282] 도 26은 제6실시에에 따른 유기발광표시장치(100)의 평면도이다.
- [0283] 도 26은 제6실시에에 따른 유기발광표시장치(100)의 화소 배치로서, 제1화소(P1)와 제2화소(P2) 간에는 발광영역(EA 1, EA 2)이 서로 인접한 화소 배치 유형을 갖고, 제3화소(P3)와 제4화소(P4) 간에는 회로영역(CA 1, CA 2)이 서로 인접한 화소 배치 유형을 갖는다.
- [0284] 이에 따라, 제1화소(P1) 또는 제2화소(P2)의 회로부 불량에 대한 리페어를 위해서, 제6실시에에 따른 유기발광표시장치(100)는, 제1화소(P1)의 발광영역(EA 1)과 제2화소(P2)의 발광영역(EA 2)의 경계 부근(WP1-2)에 리페어 구조(제2실시에의 리페어 구조와 동일함)가 형성되어 있을 수 있다.
- [0285] 제6실시에에 따른 유기발광표시장치(100)에는, 제1화소(P1) 또는 제2화소(P2)의 회로부 불량에 대한 리페어를 위한 리페어 구조로서, 도 9 내지 도 11에 도시된 플로팅 패턴(900)이 웰딩 포인트(WP1-2)에 형성되어 있다.
- [0286] 또는, 제6실시에에 따른 유기발광표시장치(100)에는, 제1화소(P1) 또는 제2화소(P2)의 회로부 불량에 대한 리페어 처리 이후, 즉, 웰딩 포인트(WP1-2)에 형성된 플로팅 패턴(900)이 웰딩되어 도 12 및 도 13에 도시된 바와 같은 연결 패턴(1200)이 형성되어 있을 수 있다.
- [0287] 제3화소(P3) 또는 제4화소(P4)의 회로부 불량에 대한 리페어를 위해서, 제6실시에에 따른 유기발광표시장치(100)는, 제3화소(P3)의 회로영역(CA 3)과 제4화소(P4)의 회로영역(CA 4) 중 하나에 리페어 구조(제5실시에의 리페어 구조와 동일함)가 형성되어 있을 수 있다.
- [0288] 제6실시에에 따른 유기발광표시장치(100)에는, 제3화소(P3) 또는 제4화소(P4)의 회로부 불량에 대한 리페어를 위한 리페어 구조로서, 도 24에 도시된 플로팅 패턴(2411)이 제3화소(P3)의 회로영역(CA 3) 또는 제4화소(P4)의 회로영역(CA 4)에 형성되어 있을 수 있다.
- [0289] 또는, 제6실시에에 따른 유기발광표시장치(100)에는, 제3화소(P3) 또는 제4화소(P4)의 회로부 불량에 대한 리페어 처리 이후, 즉, 웰딩 포인트(WP3-4)에 형성된 플로팅 패턴(2411)이 웰딩되어 도 25에 도시된 바와 같은 연결 패턴(2500)이 형성되어 있을 수 있다.
- [0290] 도 27은 제7실시에에 따른 유기발광표시장치(100)의 평면도이다.
- [0291] 도 27을 참조하면, 제7실시에에 따른 유기발광표시장치(100)의 화소 배치로서, 제1화소(P1)와 제2화소(P2) 간에는 발광영역(EA 1, EA 2)이 서로 인접한 화소 배치 유형을 갖고, 제2화소(P2)와 제3화소(P3) 간에는 회로영역(CA 1)과 발광영역(EA 3)이 서로 인접한 화소 배치 유형을 갖으며, 제3화소(P3)와 제4화소(P4) 간에는 회로영역(CA 1, CA 2)이 서로 인접한 화소 배치 유형을 갖는다.
- [0292] 이에 따라, 제1화소(P1) 또는 제2화소(P2)의 회로부 불량에 대한 리페어를 위해서, 제6실시에에 따른 유기발광표시장치(100)는, 제1화소(P1)의 발광영역(EA 1)과 제2화소(P2)의 발광영역(EA 2)의 경계 부근(WP1-2)에 리페어 구조(제2실시에의 리페어 구조와 동일함)가 형성되어 있을 수 있다.
- [0293] 제6실시에에 따른 유기발광표시장치(100)에는, 제1화소(P1) 또는 제2화소(P2)의 회로부 불량에 대한 리페어를 위한 리페어 구조로서, 도 9 내지 도 11에 도시된 플로팅 패턴(900)이 웰딩 포인트(WP1-2)에 형성되어 있다.
- [0294] 또는, 제6실시에에 따른 유기발광표시장치(100)에는, 제1화소(P1) 또는 제2화소(P2)의 회로부 불량에 대한 리페어 처리 이후, 즉, 웰딩 포인트(WP1-2)에 형성된 플로팅 패턴(900)이 웰딩되어 도 12 및 도 13에 도시된 바와 같은 연결 패턴(1200)이 형성되어 있을 수 있다.
- [0295] 한편, 제2화소(P2) 또는 제3화소(P3)의 회로부 불량에 대한 리페어를 위해서, 제6실시에에 따른 유기발광표시장치(100)는, 제2화소(P2)의 회로영역(CA 1)에 리페어 구조(제4실시에의 리페어 구조와 동일함)가 형성되어 있을 수 있다.
- [0296] 제6실시에에 따른 유기발광표시장치(100)에는, 제2화소(P2) 또는 제3화소(P3)의 회로부 불량에 대한 리페어를 위한 리페어 구조로서, 도 17 내지 도 20에 도시된 플로팅 패턴(1711)이 웰딩 포인트(WP2-3)에 형성되어 있다.
- [0297] 또는, 제6실시에에 따른 유기발광표시장치(100)에는, 제2화소(P2) 또는 제3화소(P3)의 회로부 불량에 대한 리페

어 처리 이후, 즉, 웰딩 포인트(WP2-3)에 형성된 플로팅 패턴(1711)이 웰딩되어 도 21 내지 도 23에 도시된 바와 같은 연결 패턴(2100)이 형성되어 있을 수 있다.

- [0298] 한편, 제3화소(P3) 또는 제4화소(P4)의 회로부 불량에 대한 리페어를 위해서, 제6실시예에 따른 유기발광표시장치(100)는, 제3화소(P3)의 회로영역(CA 3)과 제4화소(P4)의 회로영역(CA 4) 중 하나에 리페어 구조(제5실시예의 리페어 구조와 동일함)가 형성되어 있을 수 있다.
- [0299] 제6실시예에 따른 유기발광표시장치(100)에는, 제3화소(P3) 또는 제4화소(P4)의 회로부 불량에 대한 리페어를 위한 리페어 구조로서, 도 24에 도시된 플로팅 패턴(2411)이 제3화소(P3)의 회로영역(CA 3) 또는 제4화소(P4)의 회로영역(CA 4)에 형성되어 있을 수 있다.
- [0300] 또는, 제6실시예에 따른 유기발광표시장치(100)에는, 제3화소(P3) 또는 제4화소(P4)의 회로부 불량에 대한 리페어 처리 이후, 즉, 웰딩 포인트(WP3-4)에 형성된 플로팅 패턴(2411)이 웰딩되어 도 25에 도시된 바와 같은 연결 패턴(2500)이 형성되어 있을 수 있다.
- [0301] 이상에서는, 화소 불량률의 원인 중 하나인 회로부 불량을 리페어 할 수 있도록 해주는 다양한 리페어 구조를 갖는 유기발광표시장치(100)와, 다양한 리페어 구조에 맞는 리페어 방법과 그에 따라 리페어가 완료된 유기발광표시장치(100)에 대하여 설명하였습니다.
- [0302] 아래에서는, 화소 불량률의 원인 중 다른 하나인 발광부 불량을 리페어 할 수 있도록 해주는 리페어 구조를 갖는 유기발광표시장치(100)와, 이러한 리페어 구조에 맞는 리페어 방법과 그에 따라 리페어가 완료된 유기발광표시장치(100)에 대하여 도 28 및 도 29를 참조하여 제8실시예로 설명한다.
- [0303] 도 28 및 도 29는 제8실시예에 따른 유기발광표시장치(100)의 발광부 불량에 따른 리페어 처리 후 평면도이다.
- [0304] 도 28 및 도 29를 참조하면, 제8실시예에 따른 유기발광표시장치(100)의 각 화소영역(PA)은, 유기발광다이오드(OLED)가 배치된 발광영역(EA)과 구동회로(DRC)가 배치된 회로영역(CA)으로 이루어진다.
- [0305] 한편, 발광영역(EA)에서의 발광부 불량은, 일 예로, 유기발광다이오드(OLED)의 양 극(애노드, 캐소드)이 공정상의 이물 등에 의해 단락(Short)이 되어 발생하거나, 유기발광다이오드(OLED)의 양 극(애노드, 캐소드) 중 어느 하나 이상에서 결손이 생겨 발생할 수 있다. 이뿐만 아니라, 발광부 불량은 애기치 못하는 그 어떠한 이유에 의해서도 발생할 수 있다.
- [0306] 유기발광다이오드(OLED)가 정상적으로 발광을 하지 못하는 모든 상태를 발광부 불량 상태로 볼 수 있다.
- [0307] 이와 같은 발광부 불량이 발생하면, 도 28의 (b) 및 도 29의 (b)에 도시된 바와 같이, 유기발광다이오드(OLED)의 제1전극에서 발광부 불량이 발생한 지점이 회로적으로 잘려나가도록 커팅 처리를 할 수 있다.
- [0308] 이때, 커팅 처리는, 유기발광다이오드(OLED) 및 구동회로(DRC) 간의 연결 지점(2800)과 발광부 불량이 발생한 지점이 각기 다른 영역(2810, 2820)에 속하도록 이루어지기만 하면 된다.
- [0309] 이러한 커팅 처리에 따라, 유기발광다이오드(OLED) 및 구동회로(DRC) 간의 연결 지점(2800)이 속한 영역(2810)은 커팅 처리 후 실제로 빛이 나오는 발광영역이고, 발광부 불량이 발생한 지점이 속한 영역(2820)은, 커팅 처리 전에는 발광영역(EA)이었지만, 커팅 처리 후 회로에서 완전히 단절되어 빛을 낼 수 없는 영역이 된다.
- [0310] 도 28 및 도 29는 커팅 라인이 세로 방향 또는 가로 방향으로의 직선 형태이었으나, 도 30에 도시된 바와 같이, 유기발광다이오드(OLED) 및 구동회로(DRC) 간의 연결 지점(2800)과 발광부 불량이 발생한 지점이 각기 다른 영역(2810, 2820)에 속하도록 커팅 처리가 이루어지기만 하면, 커팅 라인은, 사선 방향의 직선 형태일 수도 있고 곡선 형태이어도 무관하다.
- [0311] 도 31은 제8실시예에 따른 유기발광표시장치(100)의 발광부 불량에 따른 리페어 처리 후 발광영역 감소를 나타낸 도면이다.
- [0312] 도 31의 (a)는 발광부 불량이 발생한 화소가 하나도 없는 경우 표시패널(110)을 개념적으로 나타낸 도면이다. 도 31의 (b)는 하나의 화소에 발광부 불량이 발생하여 리페어 된 이후의 표시패널(110)을 개념적으로 나타낸 도면이다.
- [0313] 도 31의 (a)를 참조하면, 표시패널(110)에 정의된 각 화소(P1~P8)는 발광영역(EA 1 ~ EA 8)과 비발광영역(CA 1~CA 8)으로 이루어진다. 단, 설명의 편의를 위해, 각 화소의 리페어 이전의 발광영역(EA 1 ~ EA 8)의 면적은 모두 동일하다고 가정한다.

- [0314] 도 31의 (b)를 참조하면, 제3화소(P3)의 발광영역(EA 3)에서 발광부 불량 발생 지점이 속한 영역(2820)이 커팅되어 리페어 처리됨에 따라, 커팅된 영역(2820)의 면적만큼, 제3화소(P3)에서 실제로 빛을 발광할 수 있는 발광영역(EA 3')의 면적은 감소한다.
- [0315] 따라서, 발광부 불량에 대한 리페어 처리가 이루어진 경우에는, 유기발광다이오드(OLED)의 제1전극(예: 애노드 또는 캐소드)이 커팅되어 발광영역의 면적이 다른 적어도 하나의 화소가 존재할 수 있다. 특히, 표시패널(110)에는, 유기발광다이오드(OLED)의 제1전극이 커팅되어 발광영역의 면적이 동일한 색을 발광하는 다른 화소의 발광영역의 면적보다 작은 적어도 하나의 화소가 존재할 수 있다.
- [0316] 한편, 회로부 불량에 대한 리페어 처리는, 회로부 불량 발생 화소의 유기발광다이오드를 회로부 불량 발생하지 않은 화소의 구동회로가 구동하도록 해주는 처리이다.
- [0317] 이러한 회로부 불량에 대한 리페어 처리가 이루어진 화소가 적어도 하나 존재하는 경우, 표시패널(110)에는, 각기 다른 화소에 배치된 둘 이상의 유기발광다이오드를 병렬로 구동하는 구동회로가 적어도 하나 존재하게 된다.
- [0318] 한편, 회로부 불량 발생하지 않은 화소의 유기발광다이오드에서 발광부 불량 발생한 경우, 즉, 회로부 불량이 발생한 화소와 발광부 불량이 발생한 화소가 인접해 있는 경우, 회로부 불량 발생하지 않은 화소의 구동회로는 회로부 불량 발생 화소의 유기발광다이오드만을 단독으로 구동할 수 있다. 이에 대하여 제9실시예를 도 32를 참조하여 예시적으로 설명한다.
- [0319] 도 32는 제9실시예에 따른 유기발광표시장치(100)의 크로스 불량에 따른 리페어 개념도이다.
- [0320] 도 32의 (a)는 어떠한 화소 불량도 발생하지 않은 경우로서, 제1화소(P1)의 구동회로(DRC 1)가 제1화소(P1)의 유기발광다이오드(OLED 1)를 구동하고, 제2화소(P2)의 구동회로(DRC 2)가 제2화소(P2)의 유기발광다이오드(OLED 2)를 구동한다.
- [0321] 도 32의 (b)에 도시된 바와 같이, 제1화소(P1)의 유기발광다이오드(OLED 1)에서 발광부 불량이 발생하고, 제2화소(P2)의 구동회로(DRC 2)에서 회로부 불량이 발생한 경우가 발생할 수도 있다. 이와 같이, 각기 다른 화소에서 다른 종류의 화소 불량이 발생한 경우, 이러한 화소 불량을 크로스(Cross) 화소 불량이라고 한다.
- [0322] 이러한 크로스 화소 불량인 경우, 발광부 불량이 발생한 제1화소(P1)의 유기발광다이오드(OLED 1) 및 구동회로(DRC 1) 간의 연결 지점(CP1)을 커팅하고, 회로부 불량이 발생한 제2화소(P2)의 유기발광다이오드(OLED 2) 및 구동회로(DRC 2) 간의 연결 지점(CP2)을 커팅한다.
- [0323] 또한, 웰딩 포인트(WP1)에 미리 형성되어 있던 캐패시터를 웰딩하여, 제1화소(P1)의 구동회로(DRC 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)를 전기적으로 연결시킨다.
- [0324] 이에 따라, 제1화소(P1)의 구동회로(DRC 1)는 제2화소(P2)의 유기발광다이오드(OLED 2)만을 구동하게 된다.
- [0325] 이러한 크로스 화소 불량을 리페어 하지 못하면, 제1화소(P2) 및 제2화소(P2) 모두 휘점 또는 암점이 되어, 심각한 화질 저하가 초래되거나, 패널 제조 공정 단계에서 표시패널(100)을 폐기해야 하는 상황이 발생할 수 있다. 하지만, 크로스 화소 불량을 리페어 함으로써, 적어도 하나의 화소의 발광영역에서는 발광할 수 있게 되어 심각한 상황은 경감시킬 수 있다.
- [0326] 이러한 크로스 화소 불량이 리페어 된 화소 쌍이 존재하는 경우, 제9실시예에 따른 유기발광표시장치(100)는, 다른 화소에 배치된 구동회로(DRC 1)로부터 전류를 공급받는 유기발광다이오드(OLED 2)가 적어도 하나 존재한다.
- [0327] 한편, 이상에서 설명한 회로부 불량에 대한 리페어 처리를 하게 되면, 리페어 처리 이전에 비해, 휘도가 감소한다.
- [0328] 즉, 회로부 불량에 대한 리페어 처리를 하게 되면, 구동회로(DRC)에서 출력된 전류가 2개의 유기발광다이오드(OLED)로 분기되어 입력되기 때문에, 각 유기발광다이오드(OLED)에서 흐르는 전류는, 산술적으로 보면, 1/2로 감소하게 되어, 리페어 처리에 관여된 2개의 화소 모두에서 휘도 감소가 발생한다.
- [0329] 따라서, 본 명세서에서는 회로부 불량에 대한 리페어 처리가 이루어진 화소에 대하여, 휘도 감소를 보상해줄 수 있는 제10실시예에 따른 유기발광표시장치(100)를 개시한다. 이러한 제10실시예에 따른 유기발광표시장치(100)를 도 33을 참조하여 설명한다.
- [0330] 단, 아래에서 휘도 보상과 관련하여 설명함에 있어, 제2화소(P2)에서 회로부 불량이 발생하여 리페어 처리가 된

것으로 가정한다. 이에 따라, 제1화소(P1)의 구동회로(DRC 1)는 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)를 병렬로 구동하는 것으로 가정한다.

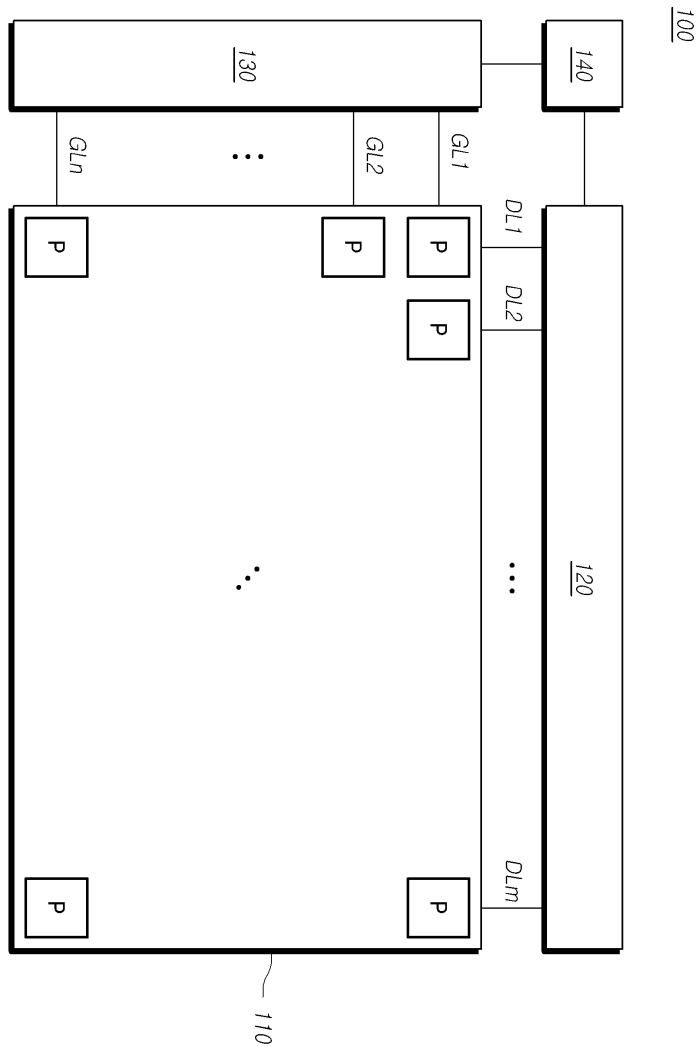
- [0331] 또한, 아래에서 휘도 보상과 관련하여 설명함에 있어, 화소 구조는 도 4의 1 스캔 기반의 화소 구조인 것으로 가정한다. 물론, 도 3의 2 스캔 기반의 화소 구조가 되더라도 아래에서 설명하게 될 휘도 보상 개념은 동일하게 적용될 수 있다.
- [0332] 도 33은 제10실시예에 따른 유기발광표시장치(100)의 휘도 보상을 위한 회로도이다.
- [0333] 도 33을 참조하면, 제10실시예에 따른 유기발광표시장치(100)는 제2화소(P2)에서 회로부 불량에 발생하여 리페어 처리가 된 상태이다.
- [0334] 도 33을 참조하면, 제10실시예에 따른 유기발광표시장치(100)에서는, 제1화소(P1)의 구동회로(DRC 1)가 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2)로 전류를 병렬로 공급한다.
- [0335] 따라서, 제1화소(P1)의 유기발광다이오드(OLED 1)와 제2화소(P2)의 유기발광다이오드(OLED 2) 각각이 공급받는 전류량은 원하는 휘도를 내기 위해 공급받아야 하는 전류량보다 적게 된다.
- [0336] 이는, 제1화소(P1)와 제2화소(P2) 모두에서의 휘도 감소를 발생시킨다.
- [0337] 이에, 제10실시예에 따른 유기발광표시장치(100)는, 도 33에 도시된 바와 같이, 제2화소(P2)의 회로부 불량이 리페어 된 경우, 즉, 제1화소(P1)의 유기발광다이오드(OLED 1)의 제1전극과 제2화소(P2)의 유기발광다이오드(OLED 2)의 제1전극을 전기적으로 연결하는 연결 패턴이 형성된 경우, 제1화소(P1) 및 제2화소(P2) 각각에서의 휘도를 보상하는 보상부(3300)를 포함할 수 있다. 여기서, 연결 패턴은 웰딩 포인트(WP)에 형성된 웰딩 패턴이 웰딩되어 형성된 것이다.
- [0338] 이러한 보상부(3300)는, 제1화소(P1)의 구동회로(DRC 1)가 정해진 휘도에 대응되는 전류 값보다 큰 전류 값의 전류를 출력하도록 데이터 보상량을 결정한다.
- [0339] 이에 따라, 보상부(3300)는, 결정된 데이터 보상량에 따라 생성된 보상 데이터(Data') 또는 결정된 데이터 보상량을 데이터 구동부(120) 내 데이터 구동 집적회로(Data Driver IC, 3310)로 전달한다.
- [0340] 데이터 구동 집적회로(3310)는 전달받은 보상 데이터(Data') 또는 데이터 보상량에 대응되는 보상 데이터 전압(Vdata')을 해당 데이터 라인을 통해 제1화소(P1)의 구동회로(DRC 1)로 공급한다.
- [0341] 한편, 제10실시예에 따른 유기발광표시장치(100)는, 리페어 된 화소(들)에 대한 정보를 메모리(미도시)에 저장해두고, 전술한 휘도 보상시 이용할 수 있다.
- [0342] 전술한 보상부(3300)는, 타이밍 컨트롤러(140) 또는 데이터 구동부(120)의 내부에 포함될 수도 있고, 경우에 따라서, 타이밍 컨트롤러(140) 및 데이터 구동부(120)의 외부에 별도의 구성으로 포함될 수도 있다.
- [0343] 이상에서 설명한 바와 같이 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치(100), 화소 불량이 리페어 된 유기발광표시장치(100)를 제공하는 효과가 있다.
- [0344] 또한, 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치(100)와 회로부 불량이 리페어 된 유기발광표시장치(100)를 제공하는 효과가 있다.
- [0345] 또한, 본 발명에 의하면, 화소 불량에 대한 리페어를 가능하게 하는 리페어 구조를 갖는 유기발광표시장치(100)와 발광부 불량이 리페어 된 유기발광표시장치(100)를 제공하는 효과가 있다.
- [0346] 또한, 본 발명에 의하면, 회로부 불량에 대한 리페어에 따른 휘도 감소를 보상해줄 수 있는 유기발광표시장치(100)를 제공하는 효과가 있다.
- [0347] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

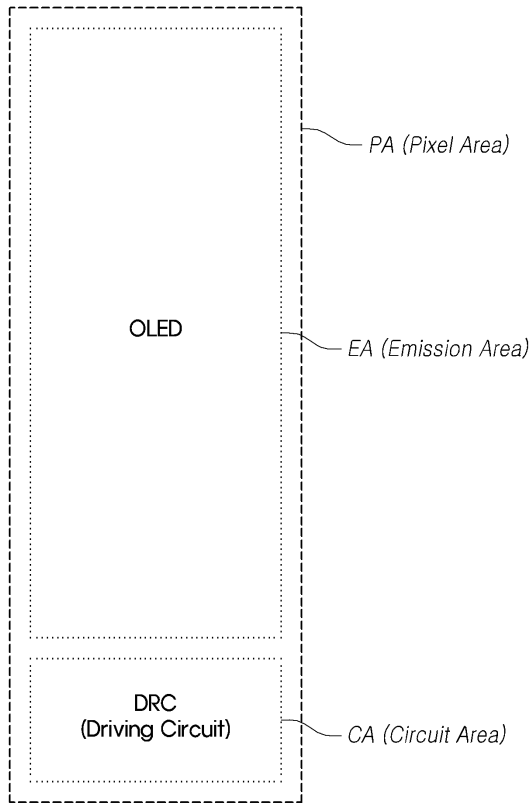
- [0348]
- | | |
|--|----------------------------|
| 100: 유기발광표시장치 | 110: 표시패널 |
| 120: 데이터 구동부 | 130: 게이트 구동부 |
| 140: 타이밍 컨트롤러 | 3300: 보상부 |
| 3310: 데이터 구동 IC | DRC: 구동회로(Driving Circuit) |
| PA: 화소영역(Pixel Area) | EA: 발광영역(Emission Area) |
| CA: 회로영역(Circuit Area) | WP: 웰딩 포인트(Welding Point) |
| CP: 커팅 포인트(Cutting Point) | |
| IEP: 내부 확장 부분(Internal Extension Part) | |
| EET: 외부 확장 부분(External Extension Part) | |

도면

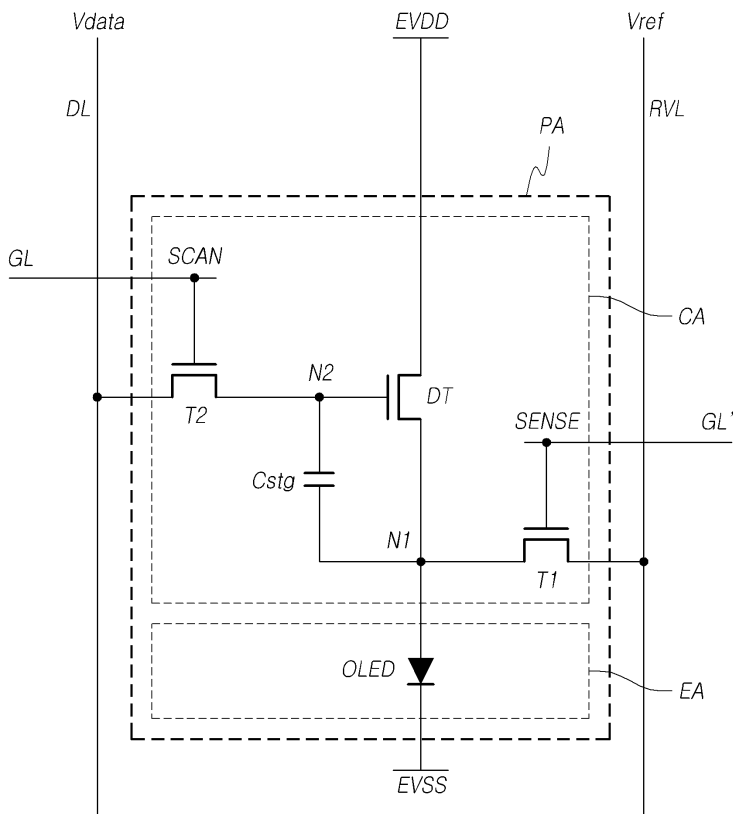
도면1



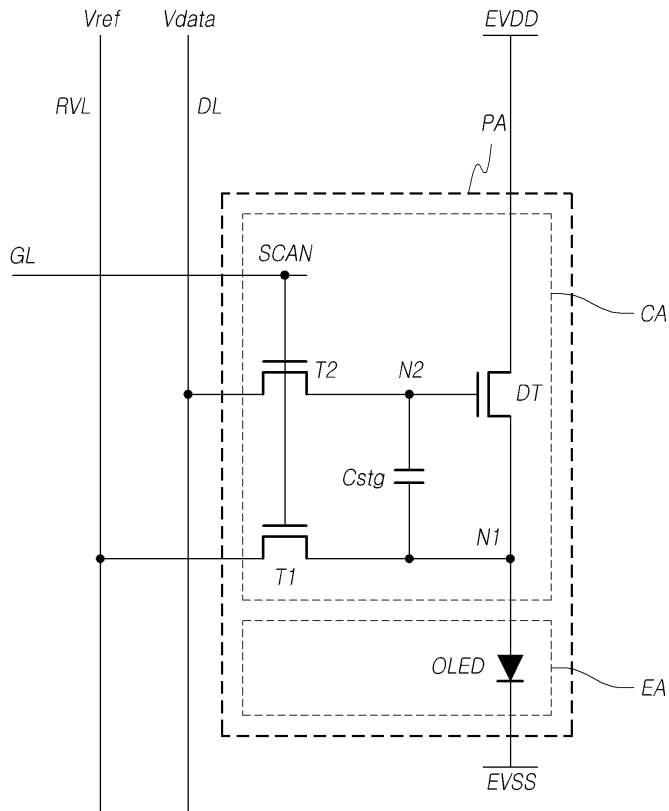
도면2



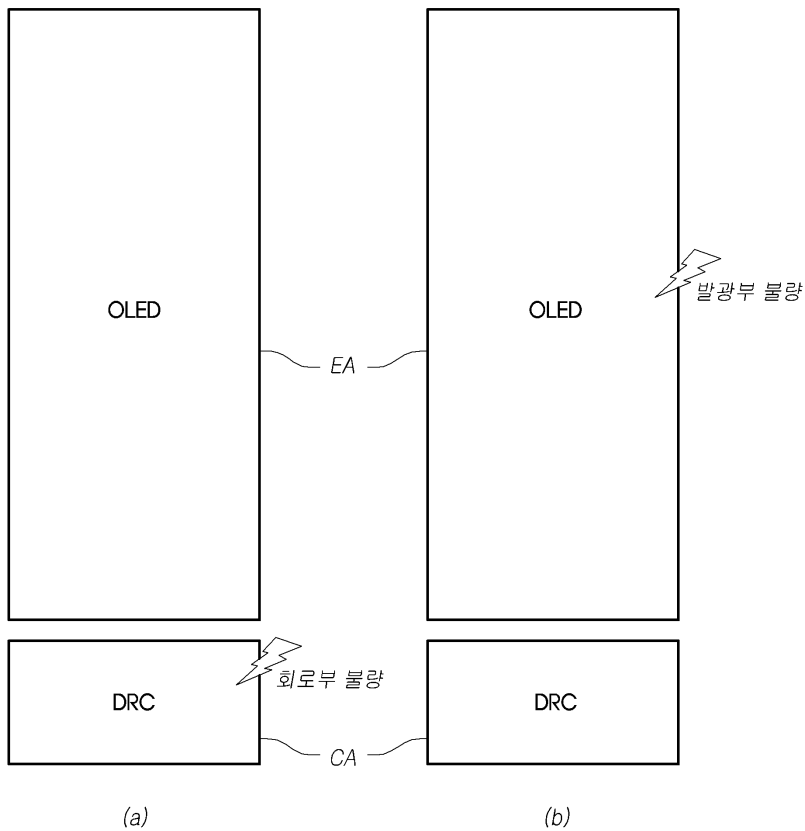
도면3



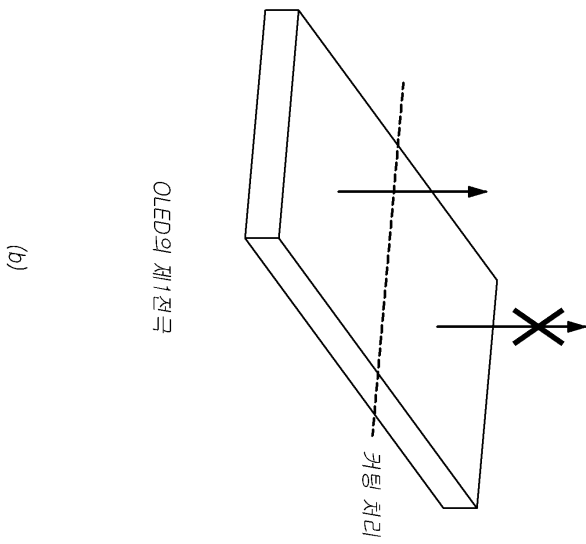
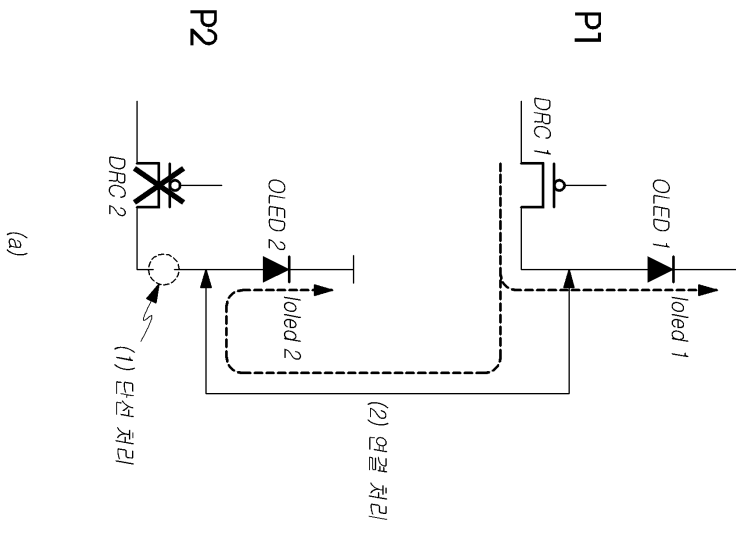
도면4



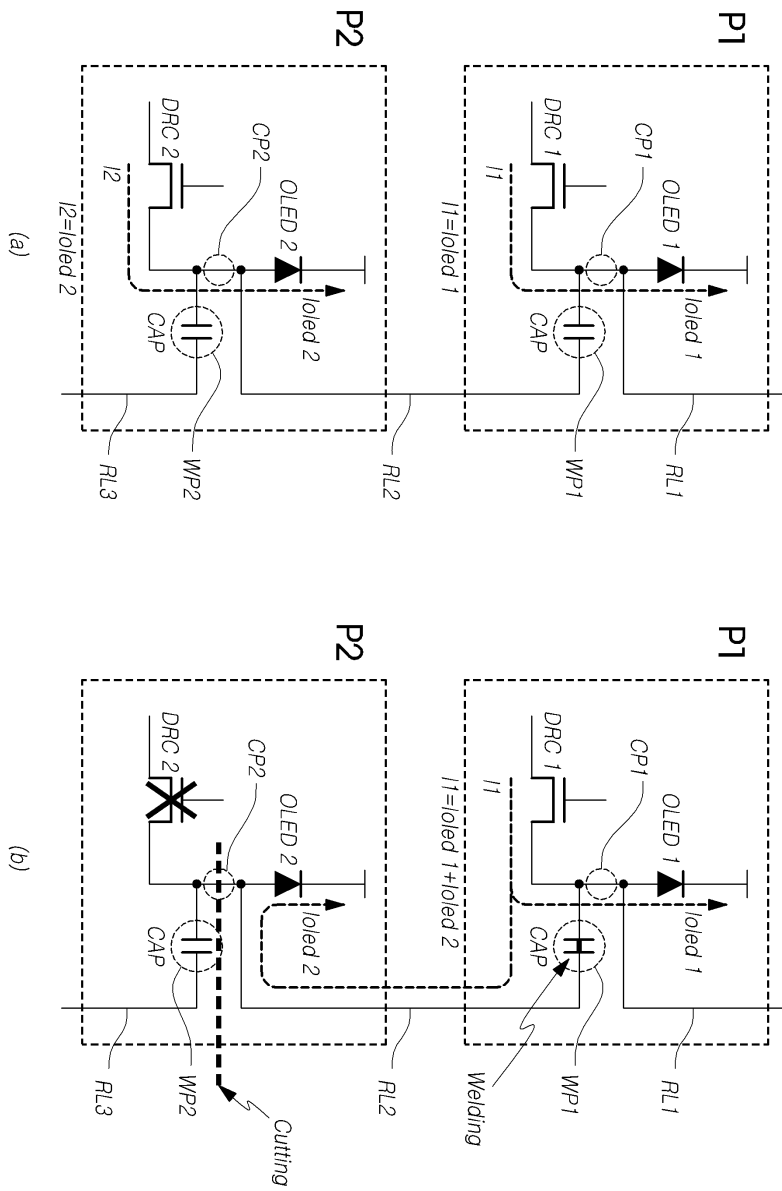
도면5



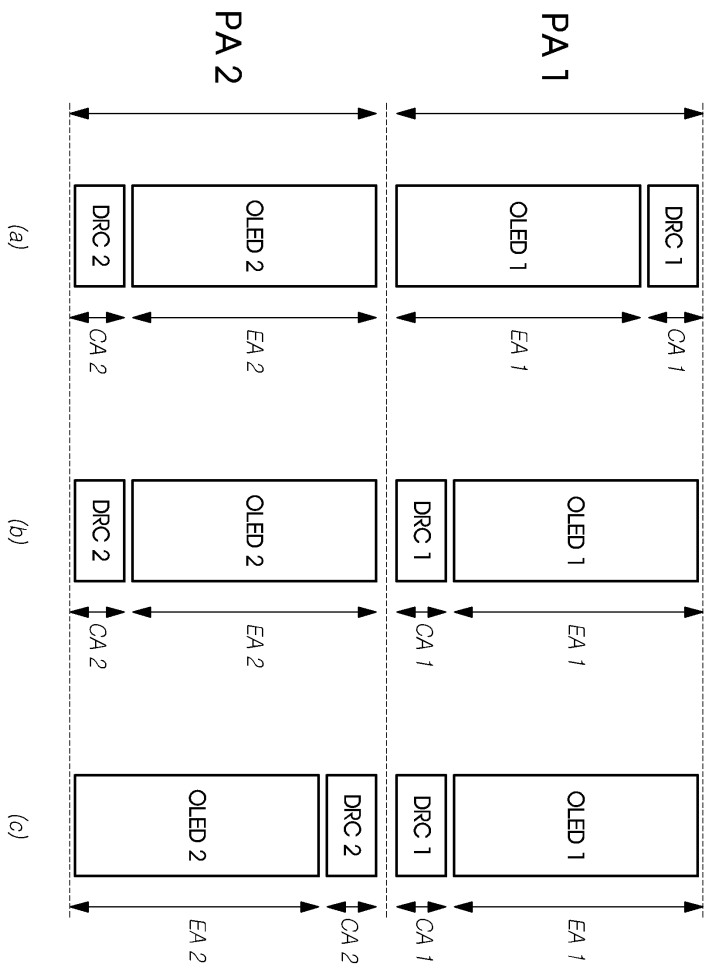
도면6



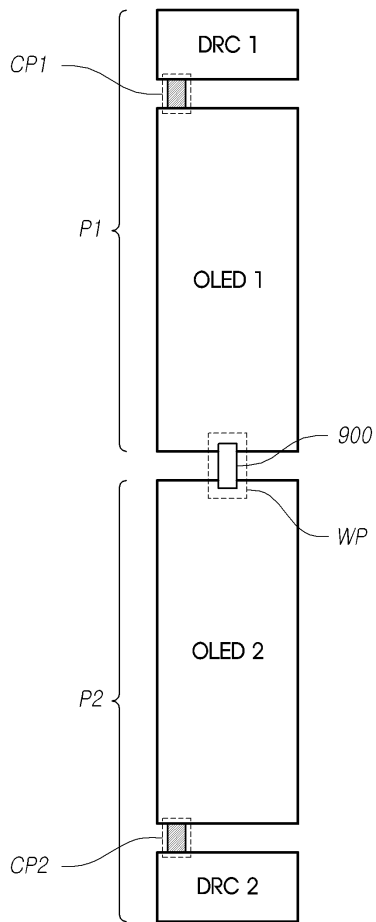
도면7



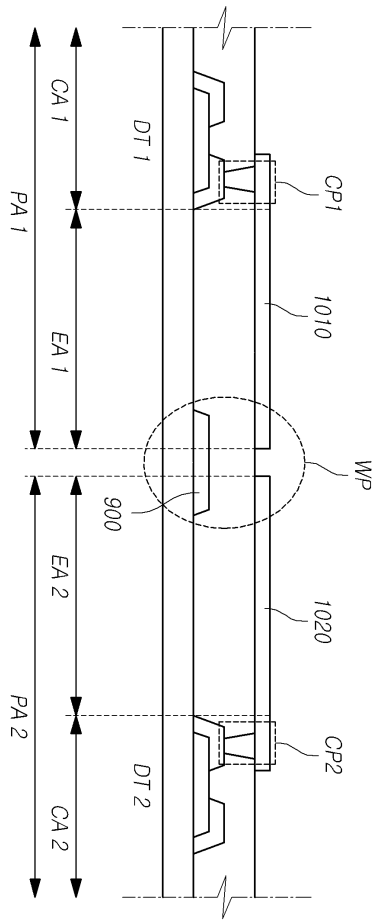
도면8



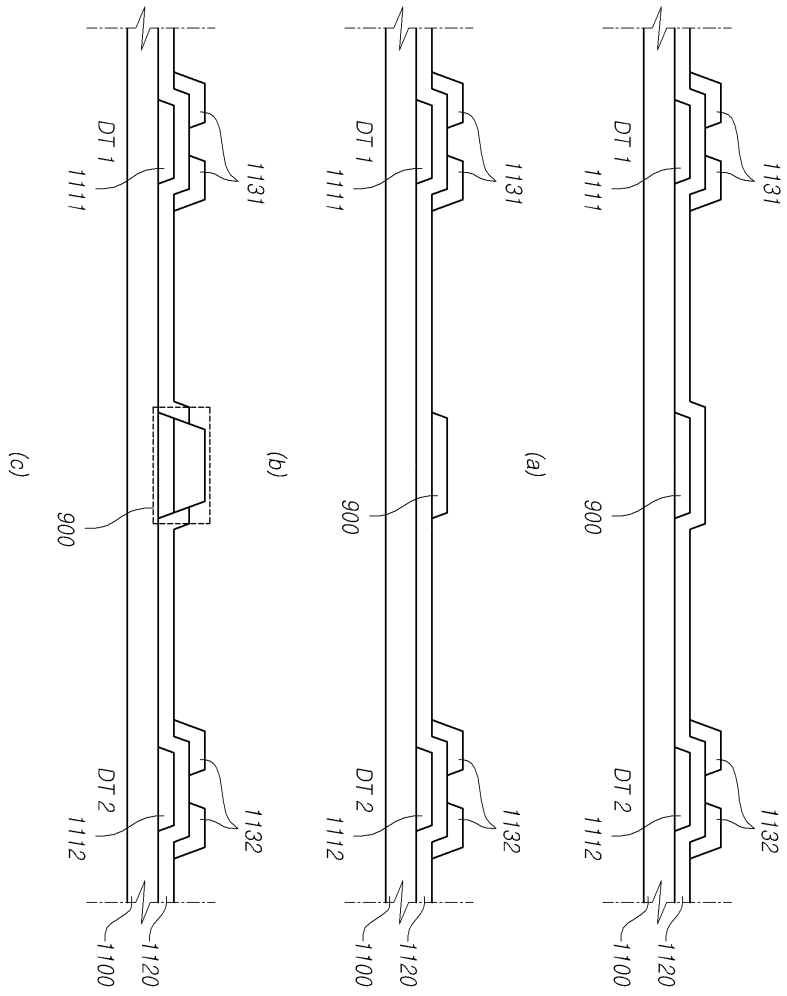
도면9



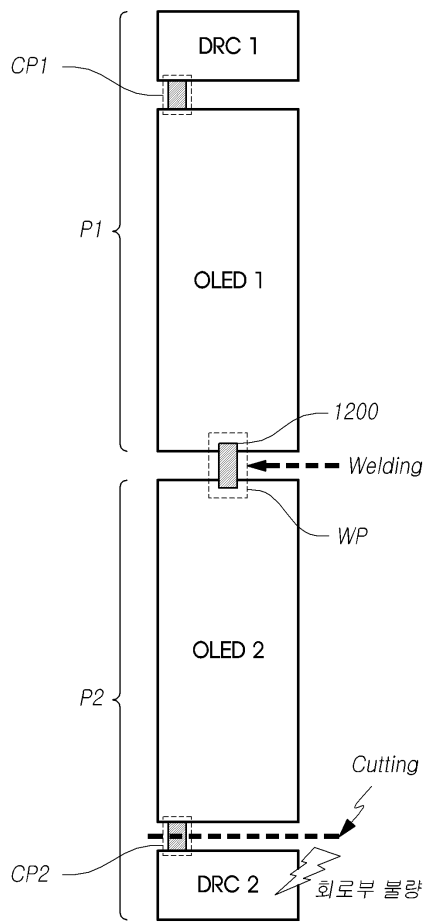
도면10



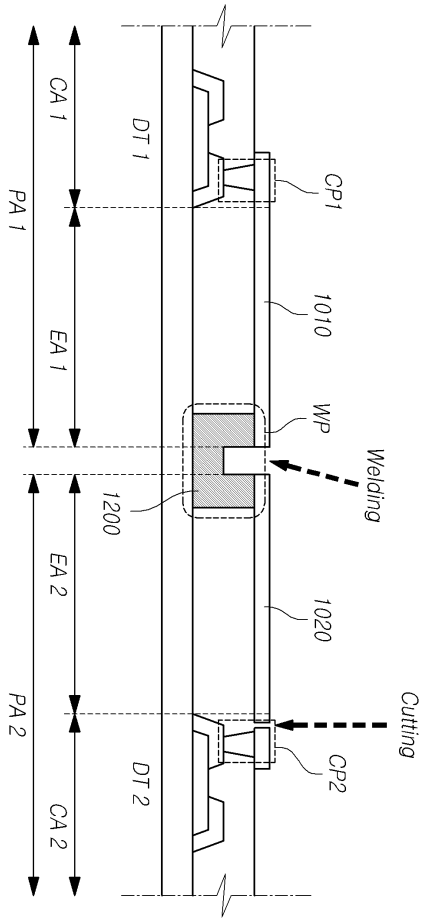
도면11



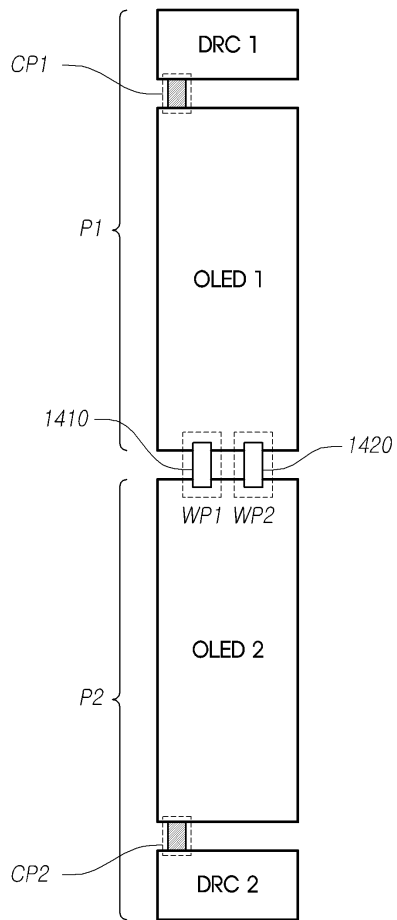
도면12



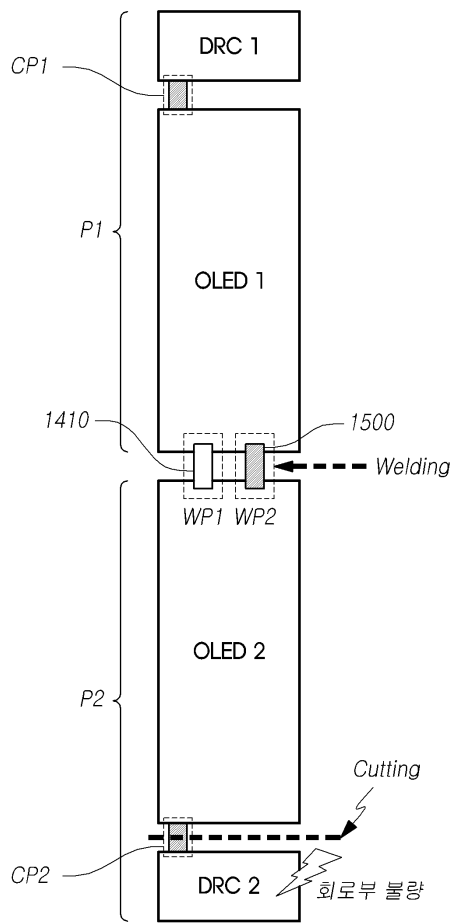
도면13



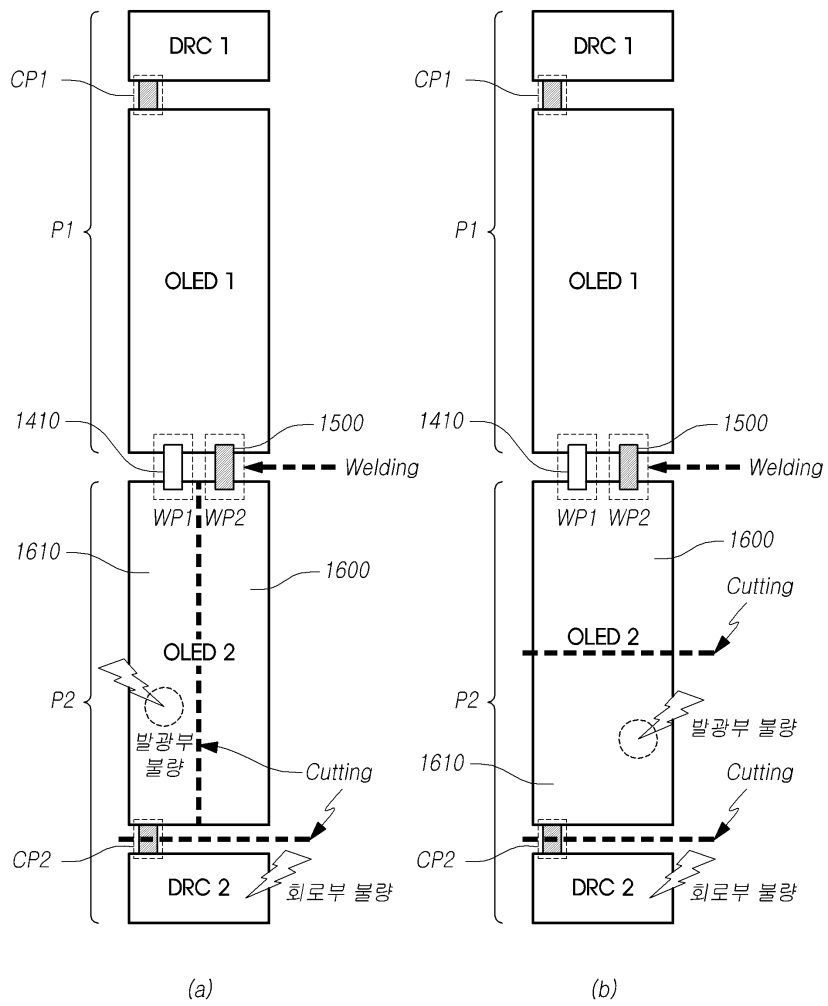
도면14



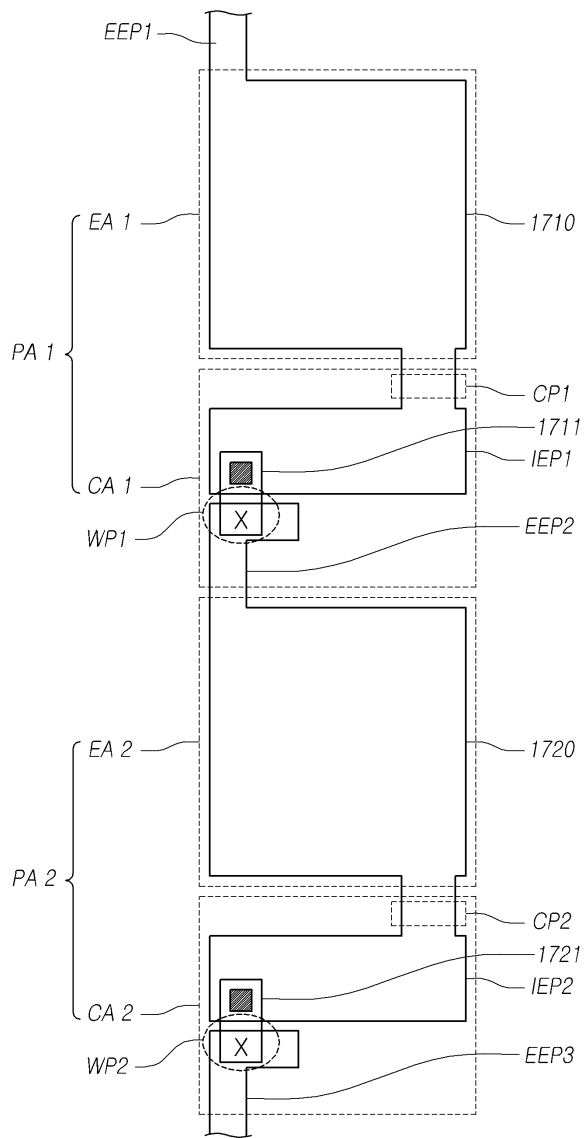
도면15



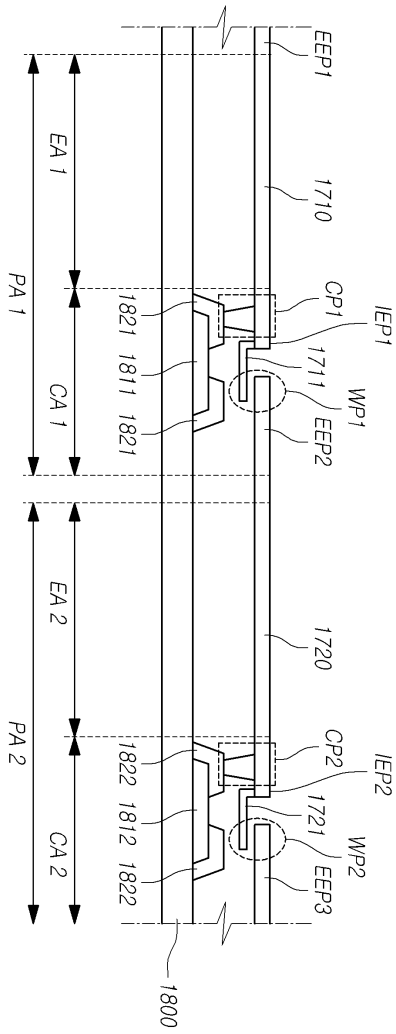
도면16



도면17

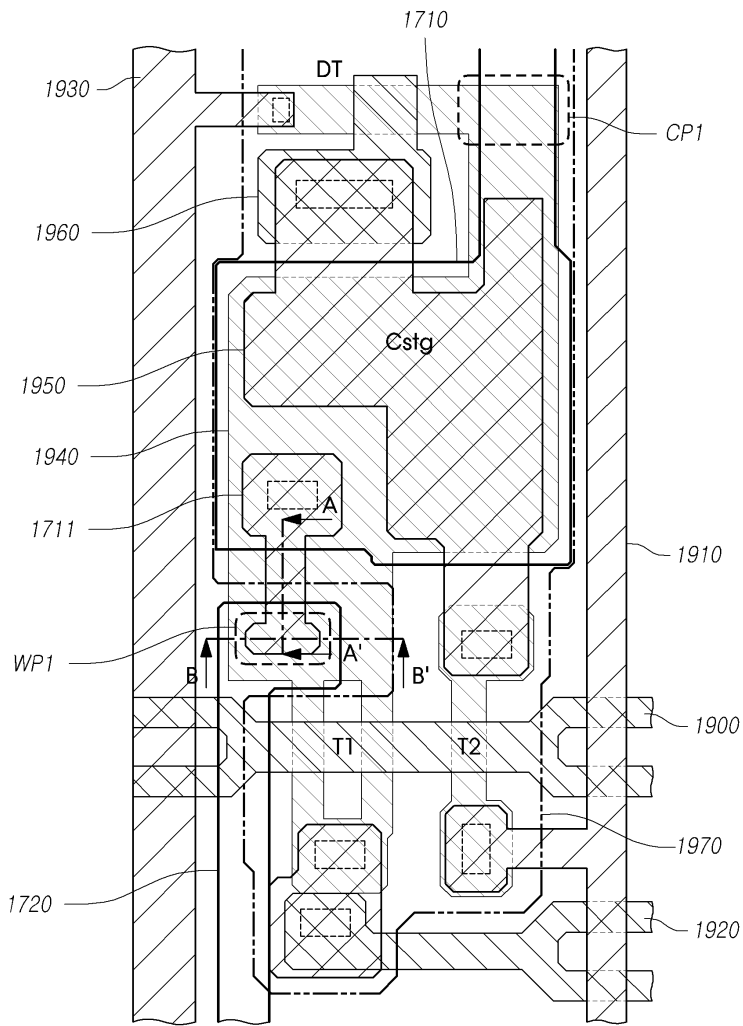


도면18

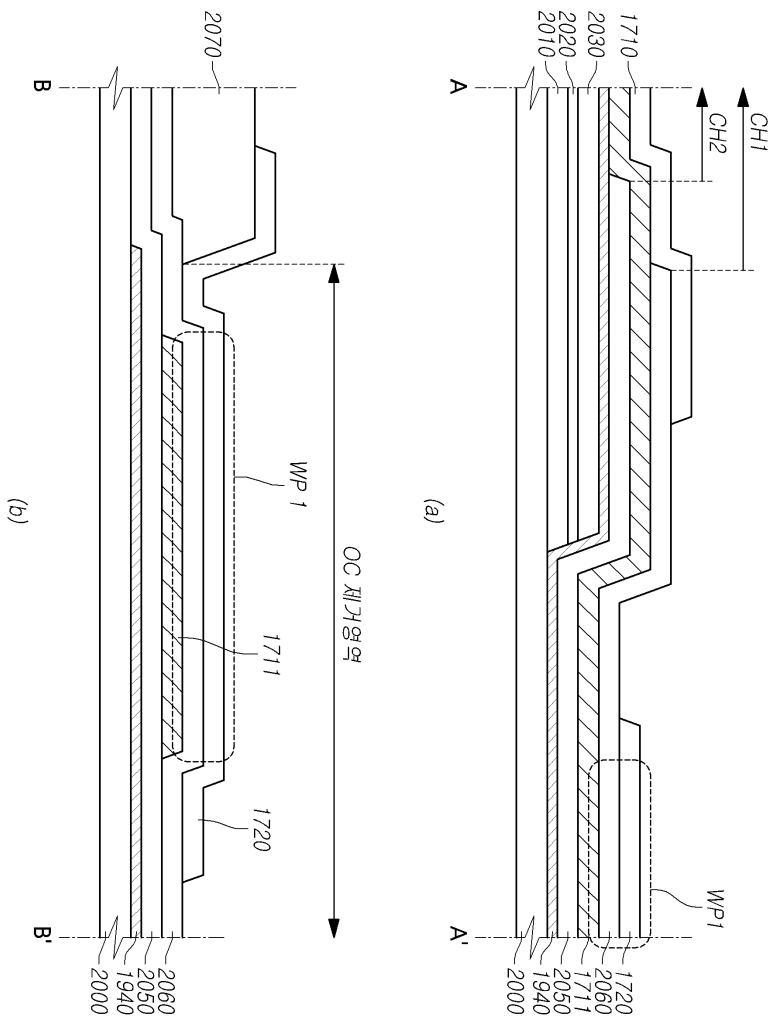


도면19

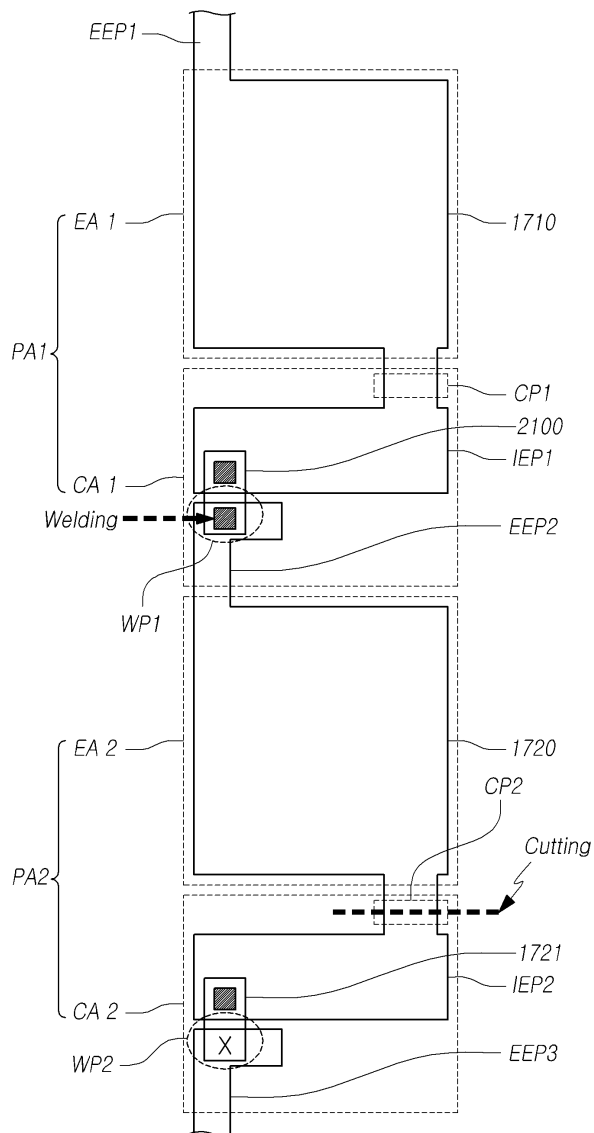
CA 1



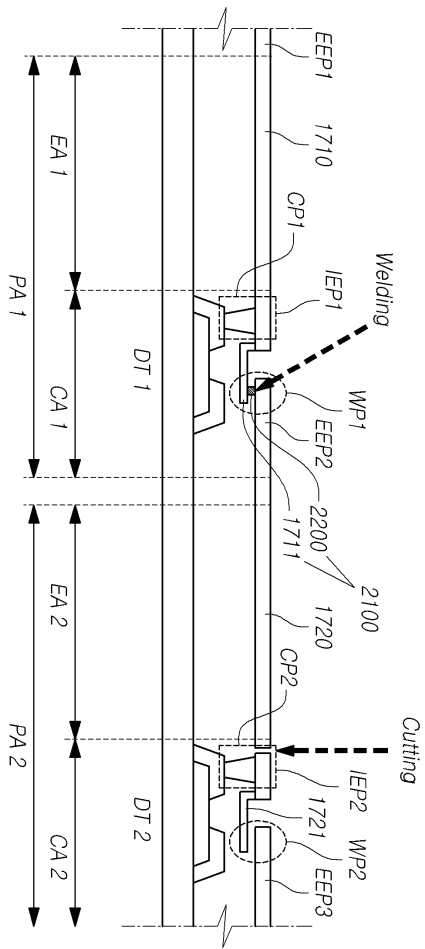
도면20



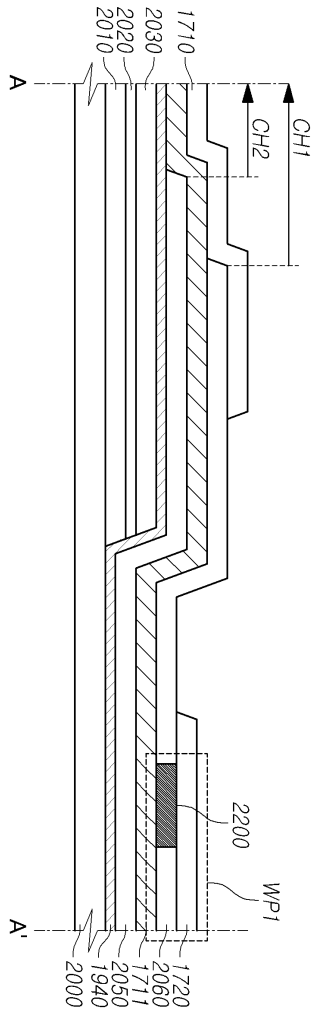
도면21



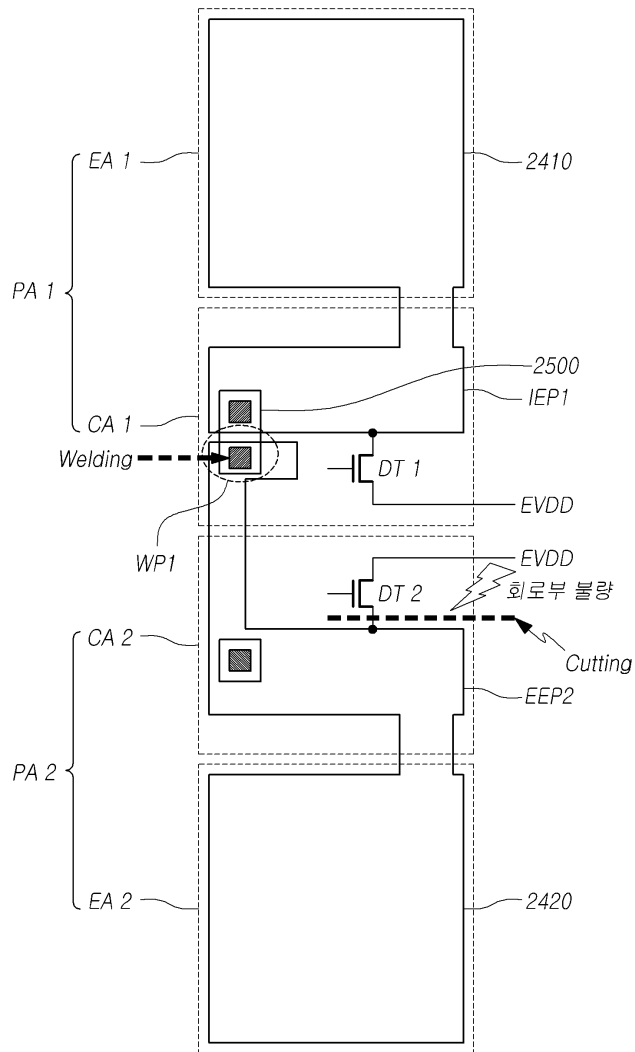
도면22



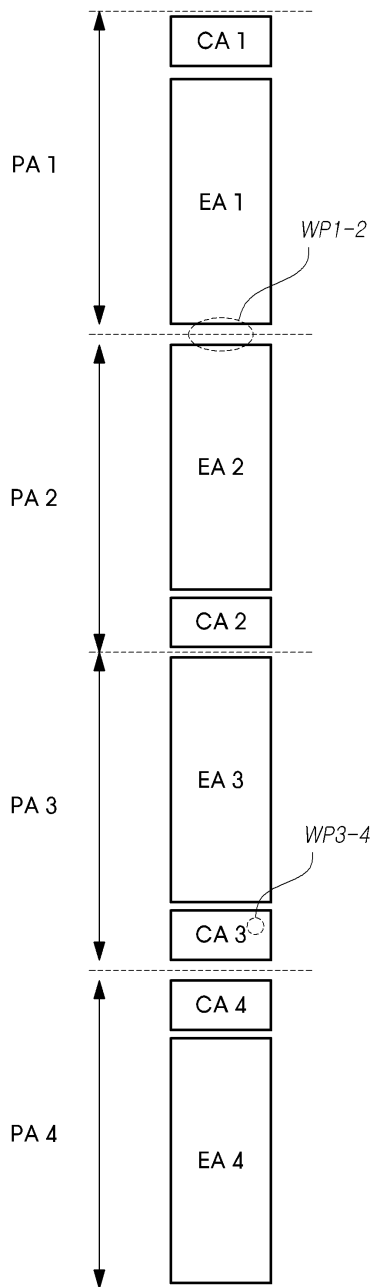
도면23



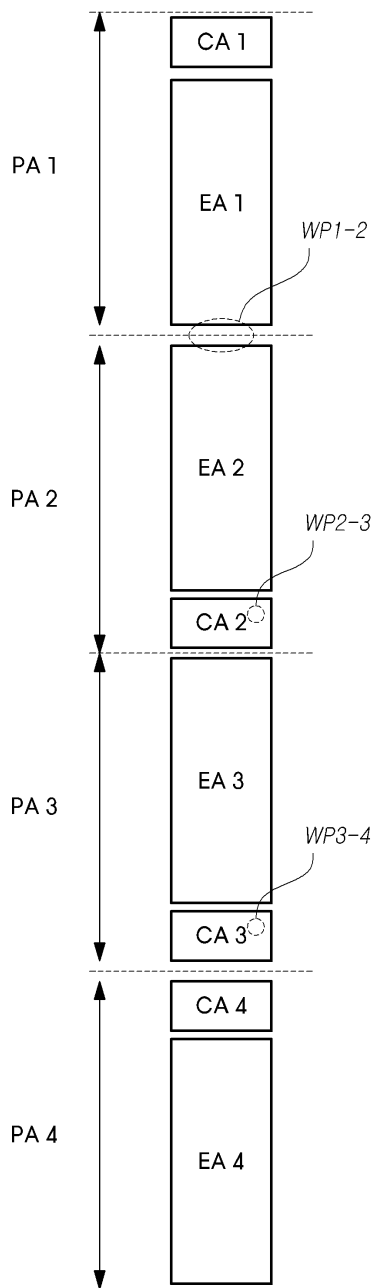
도면25



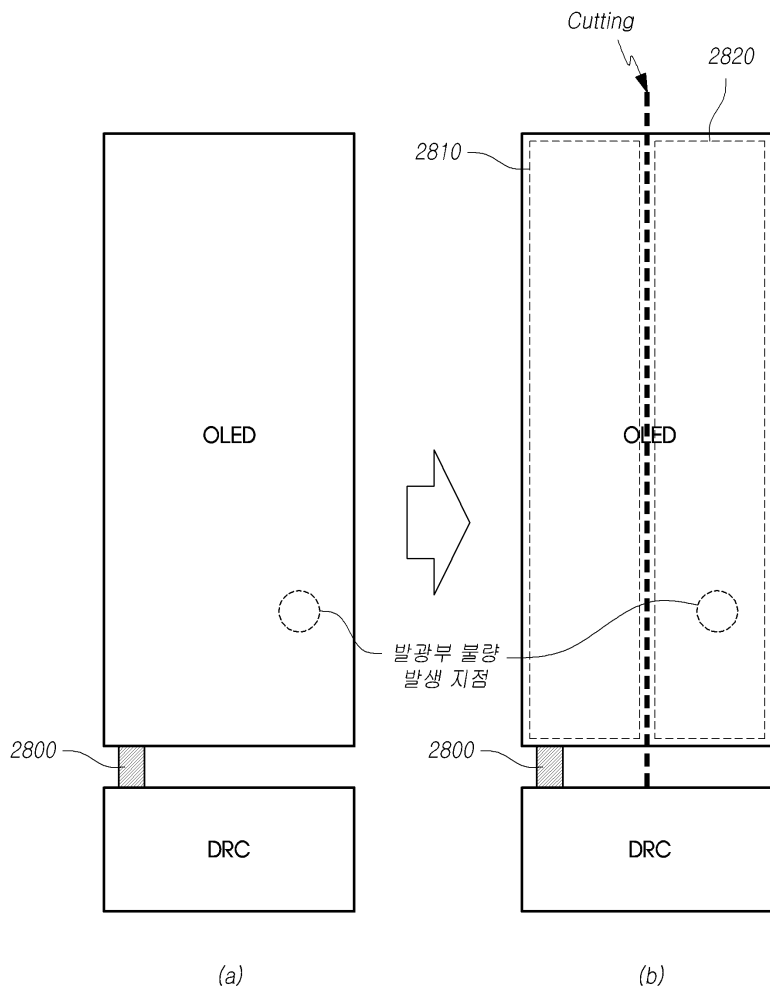
도면26



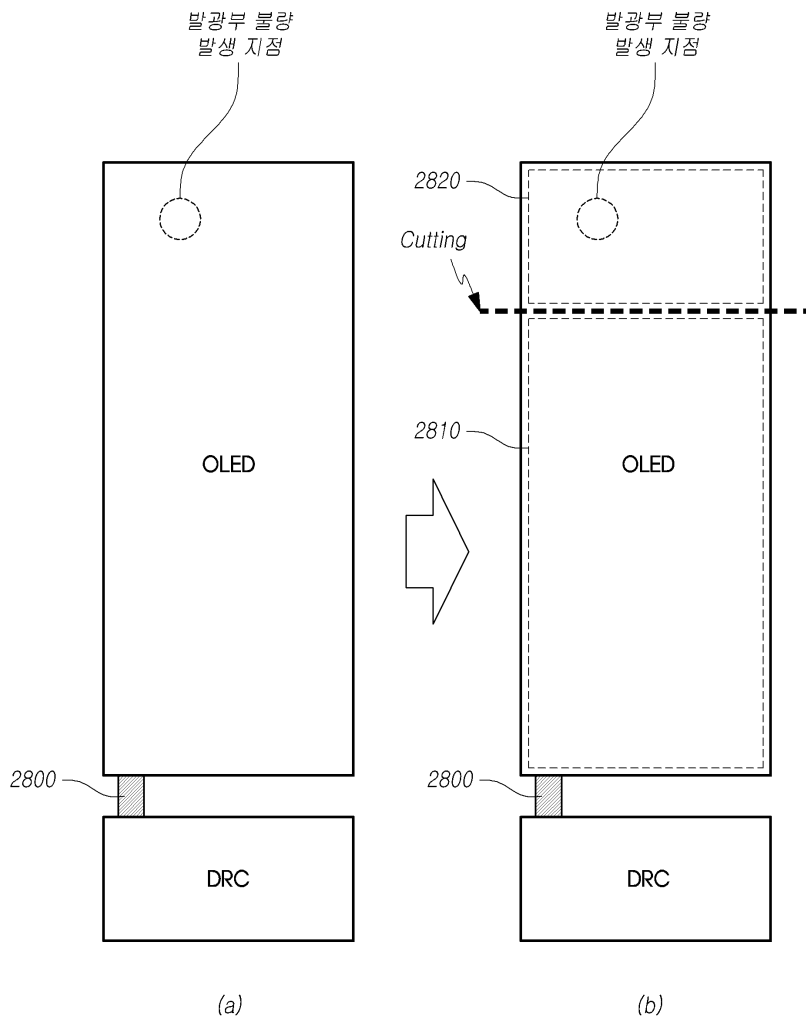
도면27



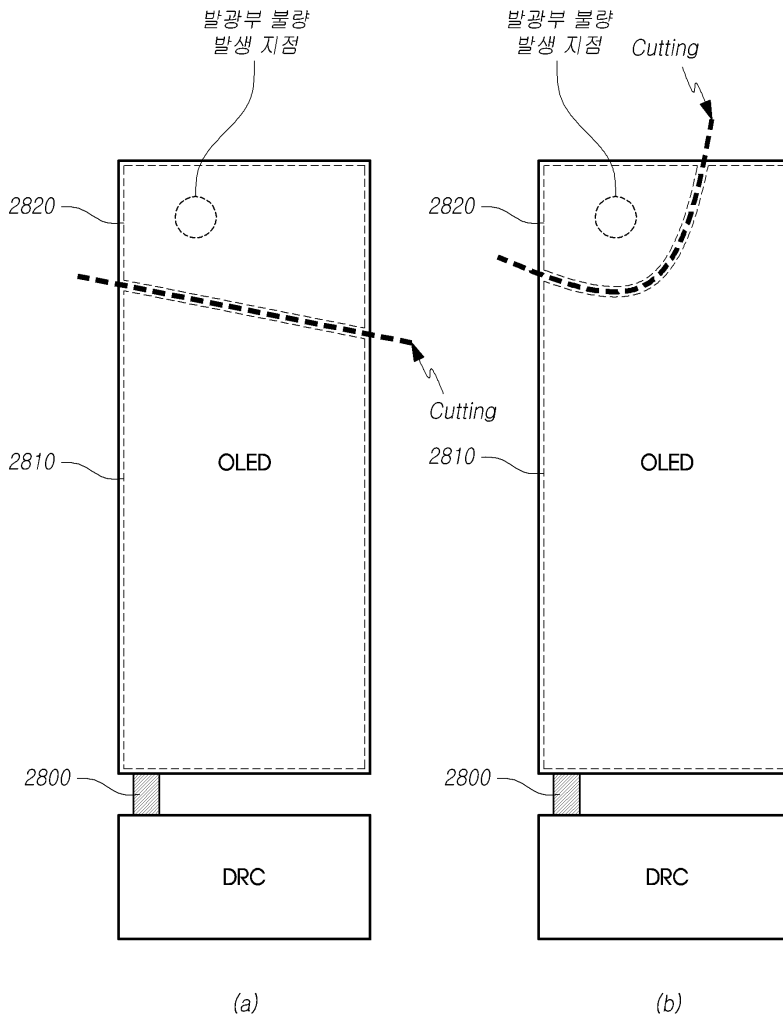
도면28



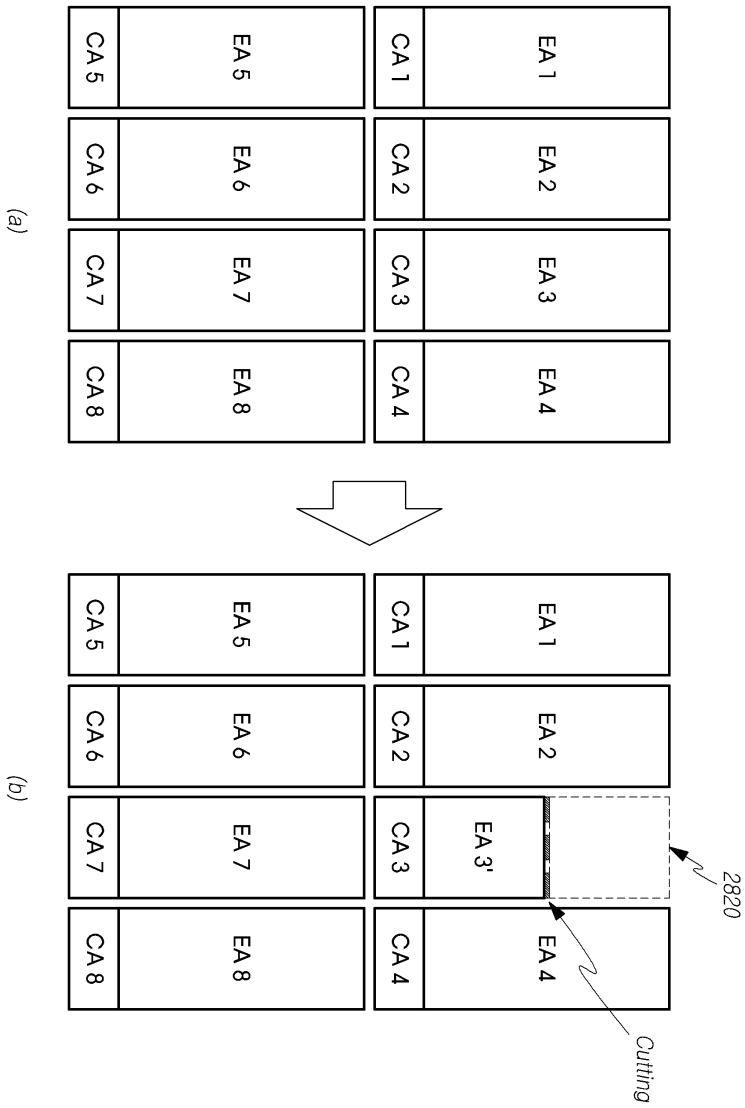
도면29



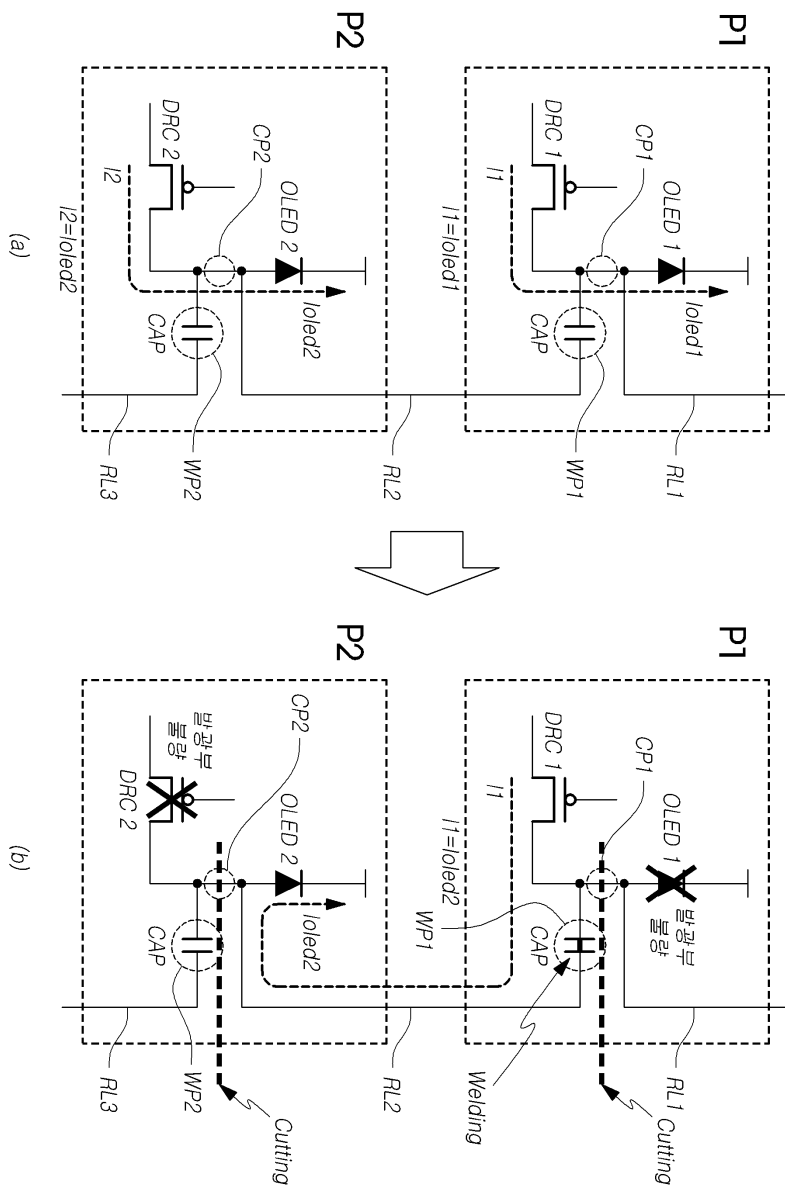
도면30



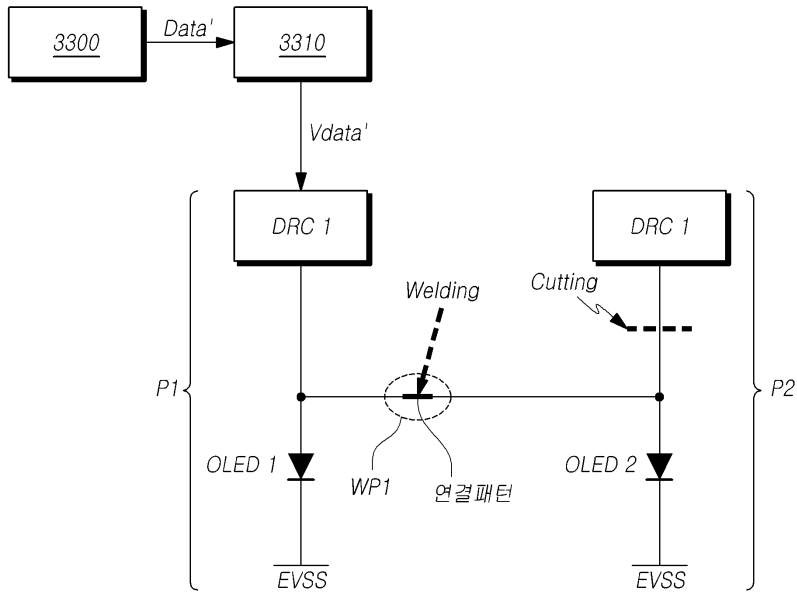
도면31



도면32



도면33



专利名称(译)	具有修复结构的有机发光显示装置		
公开(公告)号	KR102123979B1	公开(公告)日	2020-06-17
申请号	KR1020130152657	申请日	2013-12-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	심종식 오창호 박준민 강해운 이시규		
发明人	심종식 오창호 박준민 강해운 이시규		
IPC分类号	G09G3/32 H01L27/32 H01L51/52		
CPC分类号	G09G3/3225 G09G2300/0426 G09G2300/0439 G09G2300/0842 G09G2320/0233 G09G2320/043 G09G2330/08 G09G2330/10		
审查员(译)	贞茵		
其他公开文献	KR1020150066971A		
外部链接	Espacenet		

摘要(译)

本发明提供了一种有机发光显示装置,其包括显示面板,其中有有机发光二极管和驱动电路设置在作为多个像素中的某些像素的第一像素和第二像素的每个像素区域中,在显示面板中形成与第一像素的有机发光二极管的第一电极和第二像素的有机发光二极管的第一电极中的至少一个绝缘的浮置图案,或用于电连接的连接图案 形成第一像素的有机发光二极管的第一电极和第二像素的有机发光二极管的第一电极。

