



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월07일
(11) 등록번호 10-2063277
(24) 등록일자 2019년12월31일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2013-0096786
(22) 출원일자 2013년08월14일
심사청구일자 2018년08월03일
(65) 공개번호 10-2015-0019667
(43) 공개일자 2015년02월25일
(56) 선행기술조사문헌
KR1020070053838 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
서현식
경기도 고양시 일산동구 정발산로82번길 10, 703
동 201호(마두동, 정발마을7단지아파트)
김종우
경기도 파주시 구절초길 16, 107동 1803호 (문발
동)
조봉래
경기도 파주시 책향기로 441, 1009동 1101호 (동
패동, 책향기마을동문굿모닝힐)
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 9 항

심사관 : 이옥우

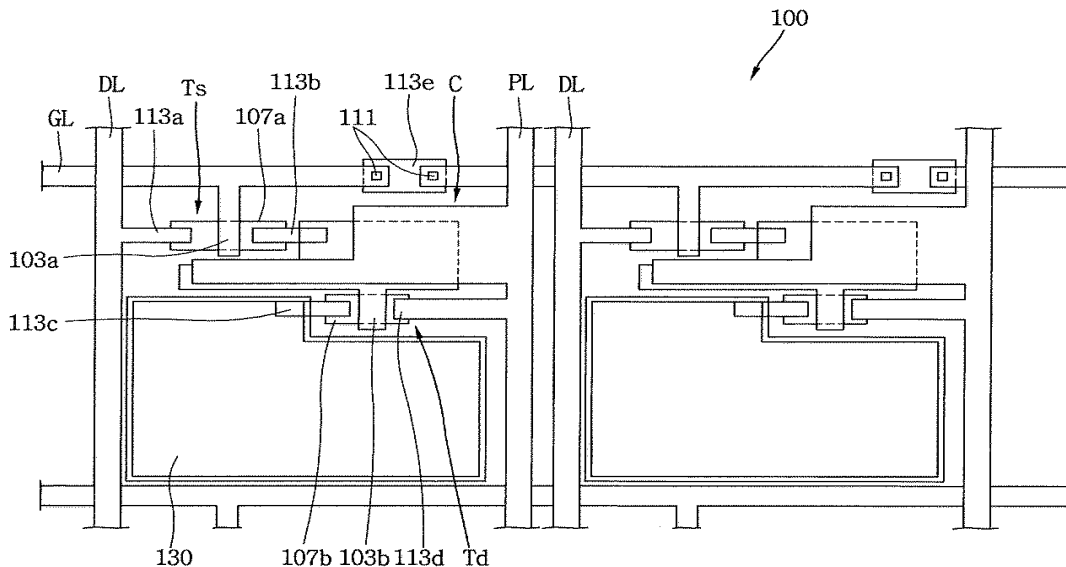
(54) 발명의 명칭 유기 전계 발광 표시장치 및 그 제조방법

(57) 요약

본 발명은 유기 전계 발광 표시장치 및 그 제조방법에 관한 것으로, 개시된 발명은 절연기판상에 형성되고, 적어도 2개 이상의 단락부를 갖는 게이트 배선과 상기 게이트 배선으로부터 분기된 스위칭 게이트 전극과, 상기 게이트 배선과 독립되어 분리 형성된 구동 게이트 전극; 상기 스위칭 게이트 전극과 구동 게이트 전극을 포함한 기판

(뒷면에 계속)

대표도 - 도5



전면에 형성된 게이트 절연막; 상기 스위칭 게이트 전극과 구동 게이트 전극 위의 상기 게이트 절연막 상에 형성되고 산화물 반도체를 이루어진 반도체 활성층; 상기 반도체 활성층 상에 형성되고 서로 이격된 소스전극과 드레인 전극; 상기 2개 이상의 단락부를 연결시켜 주는 연결패턴; 상기 소스전극과 드레인 전극을 포함한 기판 전면 에 형성된 평탄화막; 상기 평탄화막 상에 형성되고, 화소영역마다 형성되는 제1 전극; 상기 제1 전극 사이에서 상기 제1 전극의 외곽부를 덮으며 상기 평탄화막 상부에 형성된 화소정의막; 및 상기 제1 전극 상부에 형성된 유기층; 및 상기 유기층 상에 형성된 제2 전극을 포함하여 구성된다.

(56) 선행기술조사문헌

KR1020090057689 A*

KR1020030081991 A

KR1020040062095 A

KR1020100076603 A

KR1020130017342 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

절연기관;

상기 절연기관상에 형성되고, 적어도 2개 이상의 단락부를 갖는 게이트 배선과 상기 게이트 배선으로부터 분기된 스위칭 게이트 전극과, 상기 게이트 배선과 독립되어 분리 형성된 구동 게이트 전극;

상기 스위칭 게이트 전극과 구동 게이트 전극을 포함한 기관 전면에 형성된 게이트 절연막;

상기 스위칭 게이트 전극과 구동 게이트 전극 위의 상기 게이트 절연막 상에 형성되고 산화물 반도체를 이루어진 반도체 활성층;

상기 반도체 활성층 상에 형성되고 서로 이격된 소스전극과 드레인 전극;

상기 2개 이상의 단락부를 연결시켜 주는 연결패턴;

상기 소스전극과 드레인 전극을 포함한 기관 전면에 형성된 평탄화막;

상기 평탄화막 상에 형성되고, 화소영역마다 형성되는 제1 전극;

상기 제1 전극 사이에서 상기 제1 전극의 외곽부를 덮으며 상기 평탄화막 상부에 형성된 화소정의막; 및

상기 제1 전극 상부에 형성된 유기층; 및 상기 유기층 상에 형성된 제2 전극을 포함하여 구성되고,

상기 연결패턴은 상기 평탄화막 상에 형성되고, 상기 게이트 절연막 상에 형성되어 상기 2개 이상의 단락부들과 각각 연결된 플러그패턴과 상기 평탄화막 내에 형성된 플러그 콘택홀을 통해 상기 플러그패턴과 연결되어 상기 게이트 배선을 연결시켜 주는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 2

제1 항에 있어서, 상기 연결패턴은 상기 게이트 절연막 상에 형성되고, 상기 게이트 절연막 내에 형성된 단락부 콘택홀을 통해 상기 2개 이상의 단락부들을 연결시켜 상기 게이트 배선을 연결시켜 주는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 3

삭제

청구항 4

제1 항에 있어서, 상기 절연기관상에 형성되고 적어도 2개 이상의 단락부를 갖는 게이트 배선으로부터 분기된 스위칭 게이트 전극과, 상기 스위칭 게이트 전극을 포함한 기관 전면에 형성된 게이트 절연막, 상기 스위칭 게이트 전극 위의 상기 게이트 절연막 상에 형성되고 산화물 반도체를 이루어진 반도체 활성층과, 상기 반도체 활성층 상에 형성되고 서로 이격된 소스전극과 드레인 전극은 스위칭 박막 트랜지스터를 구성하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 5

제1 항에 있어서, 상기 절연기관상에 형성되고 상기 게이트 배선과 독립되어 분리 형성된 구동 게이트 전극과, 상기 구동 게이트 전극을 포함한 기관 전면에 형성된 게이트 절연막과, 상기 구동 게이트 전극 위의 상기 게이트 절연막 상에 형성되고 산화물 반도체를 이루어진 반도체 활성층과, 상기 반도체 활성층 상에 형성되고 서로 이격된 소스전극과 드레인 전극은 구동 박막 트랜지스터를 구성하는 것을 특징으로 하는 유기 전계 발광 표시장치.

청구항 6

삭제

청구항 7

절연기관상에 적어도 2개 이상의 단락부를 갖는 게이트 배선과 상기 게이트 배선으로부터 분기된 스위칭 게이트 전극과, 상기 게이트 배선과 분리 형성된 구동 게이트 전극을 형성하는 단계;

상기 스위칭 게이트 전극과 구동 게이트 전극을 포함한 기관 전면에 게이트 절연막을 형성하는 단계;

상기 스위칭 게이트 전극과 구동 게이트 전극 위의 상기 게이트 절연막 상에 산화물 반도체를 이루어진 반도체 활성층을 형성하는 단계;

상기 반도체 활성층 상에 서로 이격된 소스전극과 드레인 전극을 형성하는 단계;

상기 적어도 2개 이상의 단락부를 연결시켜 주는 연결패턴을 형성하는 단계;

상기 소스전극과 드레인 전극을 포함한 기관 전면에 평탄화막을 형성하는 단계;

상기 평탄화막 상에 화소영역마다 형성되는 제1 전극을 형성하는 단계;

상기 제1 전극 사이에서 상기 제1 전극의 외곽부를 덮으며 상기 평탄화막 상부에 화소정의막을 형성하는 단계;

상기 제1 전극 상부에 유기층을 형성하는 단계; 및

상기 유기층 상에 제2 전극을 형성하는 단계를 포함하여 구성되고,

상기 연결패턴을 형성하는 단계는,

상기 게이트 절연막 내에 단락부 콘택홀을 형성하는 공정과,

상기 게이트 절연막 상에 상기 단락부 콘택홀을 통해 상기 2개 이상의 단락부들과 각각 연결되는 플러그패턴을 형성하는 공정과,

상기 플러그패턴을 포함한 상기 게이트 절연막 상에 평탄화막을 형성하는 공정과,

상기 평탄화막에 상기 플러그패턴을 노출시키는 플러그 콘택홀을 형성하는 공정과,

상기 평탄화막 상에 상기 플러그 콘택홀을 통해 상기 2개 이상의 단락부들과 각각 연결된 플러그패턴과 연결되는 제2 연결패턴을 형성하여 상기 게이트 배선을 연결시켜 주는 공정으로 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치 제조방법.

청구항 8

제7 항에 있어서, 상기 연결패턴을 형성하는 단계는,

상기 게이트 절연막 내에 단락부 콘택홀을 형성하는 공정과,

상기 게이트 절연막 상에 상기 단락부 콘택홀을 통해 상기 2개 이상의 단락부들을 연결시키는 연결패턴을 형성하여 상기 게이트 배선을 연결시켜 주는 공정을 통해 이루어지는 것을 특징으로 하는 유기 전계 발광 표시장치 제조방법.

청구항 9

삭제

청구항 10

제7 항에 있어서, 상기 절연기관상에 형성되고 적어도 2개 이상의 단락부를 갖는 게이트 배선으로부터 분기된 스위칭 게이트 전극과, 상기 스위칭 게이트 전극을 포함한 기관 전면에 형성된 게이트 절연막, 상기 스위칭 게이트 전극 위의 상기 게이트 절연막 상에 형성되고 산화물 반도체를 이루어진 반도체 활성층과, 상기 반도체 활성층 상에 형성되고 서로 이격된 소스전극과 드레인 전극은 스위칭 박막 트랜지스터를 구성하는 것을 특징으로 하는 유기 전계 발광 표시장치 제조방법.

청구항 11

제7 항에 있어서, 상기 절연기관상에 형성되고 상기 게이트 배선과 독립되어 분리 형성된 구동 게이트 전극과, 상기 구동 게이트 전극을 포함한 기관 전면에 형성된 게이트 절연막과, 상기 구동 게이트 전극 위의 상기 게이트 절연막 상에 형성되고 산화물 반도체를 이루어진 반도체 활성층과, 상기 반도체 활성층 상에 형성되고 서로 이격된 소스전극과 드레인 전극은 구동 박막 트랜지스터를 구성하는 것을 특징으로 하는 유기 전계 발광 표시장치 제조방법.

청구항 12

삭제

청구항 13

제7 항에 있어서, 상기 소스전극과 드레인 전극을 형성하기 전 단계에, 상기 스위칭 게이트 전극 및 구동 게이트 전극 위의 반도체 활성층 상에 식각 정지층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시장치 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 전계 발광 표시장치에 관한 것으로, 보다 상세하게는 유기 전계 발광 표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 다양한 정보를 화면으로 구현해 주는 다양한 표시 장치들 중 종이와 같이 박막화가 가능한 유기 전계 발광(Electro-Luminescent) 표시장치가 주목받고 있다. 유기 전계 발광 표시장치는 전극 사이의 얇은 유기 발광층을 이용한 자발광 소자로 유기 EL 또는 OLED(Organic Light Emitting Diode) 표시장치라고 부르며, 이하에서는 OLED 표시장치를 사용한다. OLED 표시장치는 액정표시장치와 비교하여 저소비전력, 박형, 자발광 등의 장점을 갖지만, 수명이 짧은다는 단점을 갖는다.

[0003] OLED 표시장치는 한 화소를 구성하는 3색(R, G, B) 서브 화소 각각을 독립적으로 구동하여 동영상 표시하기에 적합한 액티브 매트릭스 타입을 중심으로 발전되고 있다.

[0004] 액티브 매트릭스 OLED(이하, AMOLED) 표시장치의 각 서브 화소는 양극 및 음극 사이의 유기발광층으로 구성된 OLED와, OLED를 독립적으로 구동하는 서브 화소구동부를 구비한다.

[0005] 상기 서브 화소 구동부는 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터를 포함하여 데이터 신호에 따라 OLED로 공급되는 전류량을 제어하여 OLED의 밝기를 제어한다.

[0006] 상기 OLED는 양극과 음극 사이에 유기물로 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층을 포함한다.

[0007] 양극과 음극 사이에 순방향으로 전압이 인가되면, 음극으로부터의 전자가 전자 주입층 및 전자 수송층을 통해 발광층으로 이동하고, 양극으로부터의 정공이 정공 주입층 및 정공 수송층을 통해 발광층으로 이동한다.

[0008] 상기 발광층은 전자 수송층으로부터의 전자와 정공 수송층으로부터의 정공의 재결합으로 빛을 방출하고, 밝기는 양극과 음극 사이에 흐르는 전류량에 비례한다.

[0009] 따라서, AMOLED 표시장치는 서브화소 구동부 어레이와 OLED 어레이가 형성된 기관에 패키징판이 합착된 인캡슐레이션(Encapsulation) 구조로 그 기관을 통해 빛을 방출하게 된다.

[0010] 이러한 관점에서, 종래기술에 따른 유기발광 표시장치의 구조에 대해 도 1 을 참조하여 개략적으로 설명하면 다음과 같다.

[0011] 도 1은 종래기술에 따른 유기발광 표시장치의 기본 화소에 대한 등가 회로도이다.

[0012] 도 1을 참조하면, 종래기술에 따른 유기발광 표시장치의 한 화소는 게이트 배선(GL)과 수직하게 교차하는 데이터 배선(DL)과, 게이트 배선(GL) 및 데이터 배선(DL)과 접속된 스위칭 박막 트랜지스터(Ts), 이 스위칭 박막 트랜지스터(Ts)와 전원배선(PL) 사이에서 유기발광 다이오드(E)와 접속된 구동 박막 트랜지스터(Td)와, 구동 박

막 트랜지스터(Td)의 게이트 전극과 전원배선(PL) 사이에 접속된 스토리지 캐패시터(C)를 구비한다.

- [0013] 상기 스위칭 박막 트랜지스터(Ts) (또는 스캔 박막 트랜지스터)는 일체로 형성된 게이트 배선(GL)의 스캔 신호에 응답하여 상기 데이터 배선(DL)의 데이터 신호를 구동 박막 트랜지스터(Td)의 게이트 전극 및 스토리지 캐패시터(C)에 공급한다.
- [0014] 상기 구동 박막 트랜지스터(Td)는, 일체로 형성된 게이트 배선(GL)에 연결된 스위칭 박막 트랜지스터(Ts)와는 달리, 독립된 게이트 전극(13b)을 가지고 있으며, 상기 스위칭 박막 트랜지스터(Ts)로부터 데이터 신호에 응답하여 전원배선(PL)으로부터 유기 발광 다이오드(E)로 공급되는 전류를 조절하여 유기발광 다이오드(E)의 밝기를 제어한다.
- [0015] 도 2는 종래기술에 따른 유기발광 표시장치의 구동 트랜지스터(Td)와 스위칭 트랜지스터(Ts)의 개략적인 단면도이다.
- [0016] 도 2를 참조하면, 스위칭 박막 트랜지스터(Ts)는 절연기판(11) 상에 일체로 형성된 게이트 배선(미도시, 도 1의 GL 참조)으로부터 분기된 스위칭 게이트 전극 (13a)과, 상기 스위칭 게이트 전극(13a)을 포함한 기판 전면에 형성된 게이트 절연막(15)과, 상기 스위칭 게이트 전극(13a)위의 게이트 절연막(15) 상에 형성되고 산화물 반도체로 구성된 반도체 활성층(17)과, 상기 스위칭 게이트 전극(13a)과 대응하는 상기 반도체 활성층(17) 상에 형성된 식각 정지층(19a)과, 상기 식각 정지층 (19a)과 반도체 활성층(17) 상에 형성되고, 서로 이격된 소스전극 (21a) 및 드레인 전극(21b)으로 구성된다.
- [0017] 상기 스위칭 박막 트랜지스터(Ts)를 구성하고 다수 개의 스위칭 게이트 전극 (13a)으로 분기되는 상기 게이트 배선(GL)은 일체로 구성되어 있다.
- [0018] 한편, 도 2를 참조하면, 구동 박막 트랜지스터(Td)는 절연기판(11) 상에 다수 개의 스위칭 게이트 전극(13a)으로 분기되고 일체로 형성된 상기 게이트 배선(미도시, 도 1의 GL 참조)과는 달리, 독립적으로 분리 형성된 구동 게이트 전극 (13b)과, 상기 구동 게이트 전극(13b)을 포함한 기판 전면에 형성된 게이트 절연막 (15)과, 상기 구동 게이트 전극(13b)위의 게이트 절연막(15) 상에 형성되고 산화물 반도체로 구성된 반도체 활성층(17)과, 상기 구동 게이트 전극(13b)과 대응하는 상기 반도체 활성층(17) 상에 형성된 식각 정지층(19b)과, 상기 식각 정지층(19b)과 반도체 활성층(17) 상에 형성되고, 서로 이격된 소스전극(21c) 및 드레인 전극 (21d)으로 구성된다.
- [0019] 상기 구동 박막 트랜지스터(Td)를 구성하는 구동 게이트 전극(13b)은 다수 개의 스위칭 게이트 전극(13a)으로 분기되고 일체로 형성된 상기 게이트 배선(미도시, 도 1의 GL 참조)과는 달리, 독립적으로 분리 형성되어 있다.
- [0020] 또한, 한 화소를 구성하는 상기 구동 박막 트랜지스터(Td)의 면적은 상기 스위칭 박막 트랜지스터(Ts)의 면적에 비해 넓게 형성되어 있다.
- [0021] 그러나, 종래기술에 따른 유기 전계 발광 표시장치는 한 화소를 구성하는 상기 구동 박막 트랜지스터(Td)의 면적이 상기 스위칭 박막 트랜지스터(Ts)의 면적에 비해 넓게 형성되어 있어, 유기 전계 발광 표시장치의 제조 공정 중의 열적 에너지 (Thermal Energy)의 열전달 특성의 차이가 발생하여 구동 박막 트랜지스터(Td)의 게이트전극(13b)과 스위칭 박막 트랜지스터(Ts)의 게이트 배선(GL)의 열전도 특성이 다르게 됨으로써 구동 박막 트랜지스터(Td)와 스위칭 박막 트랜지스터(Ts)의 소자 특성이 다르게 나타나게 된다.
- [0022] 따라서, 이렇게 구동 박막 트랜지스터(Td)의 게이트 전극(13b)의 형태와 스위칭 박막 트랜지스터(Ts)의 게이트 전극(13a)의 형태가 다르기 때문에, 산화물 반도체로 구성된 반도체 활성층(17)의 채널 특성이 변화하게 되어 구동 박막 트랜지스터(Td)와 스위칭 박막 트랜지스터(Ts) (또는 센싱 박막 트랜지스터)의 소자 특성 차이가 나타나게 된다.
- [0023] 도 3은 종래기술에 따른 유기발광 표시장치의 구동 트랜지스터(Td)와 스위칭 트랜지스터(Ts) 부분에서의 열전도 특성 차이를 개략적으로 나타낸 개략도이다.
- [0024] 도 3에 도시된 바와 같이, 일체로 형성된 게이트 배선(GL)으로 구성되는 스위칭 트랜지스터(Ts)의 경우, 그 부분 즉 일체로 형성된 게이트 배선(GL)에서의 열전도 특성에 의해, 상기 게이트 배선(GL)과는 별개로 분리 형성된 구동 박막 트랜지스터(Td)에 비해 게이트 절연막(15)으로부터의 수소(H) 침투 및 반도체 활성층 (17)을 구성하는 산화물 반도체, 예를 들어 IGZO로부터 산소(O) 성분이 외부 확산 (Out-diffusion)으로 인해 반도체 활성층 (17)의 IGZO막 내의 캐리어(Carrier) 농도가 증가하게 되어 소자의 마이너스 (-) 이동(shift)이 나타나게 되는

문제점이 있다.

발명의 내용

해결하려는 과제

- [0025] 본 발명은 상기 종래기술의 문제점들을 해결하기 위한 것으로서, 본 발명의 목적은 게이트 배선을 국부적으로 단락시킨 상태에서 이 단락된 부분을 소스전극 및 드레인전극 형성 물질 또는 유기전계 발광소자의 전극 형성물질로 서로 연결시켜 줌으로써 한 화소 내의 구동 박막 트랜지스터와 스위칭 박막 트랜지스터 또는 센싱 박막 트랜지스터의 소자 특성을 동일하게 유지할 수 있도록 한 유기 전계 발광 표시장치 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

- [0026] 상기 목적을 달성하기 위한 본 발명에 따른 유기 전계 발광 표시장치는, 절연기판; 상기 절연기판상에 형성되고, 적어도 1개 이상의 단락부를 갖는 게이트 배선과 상기 게이트 배선으로부터 분기된 스위칭 게이트 전극과, 상기 게이트 배선과 분리 형성된 구동 게이트 전극; 상기 스위칭 게이트 전극과 구동 게이트 전극을 포함한 기관 전면에 형성된 게이트 절연막; 상기 스위칭 게이트 전극과 구동 게이트 전극 위의 상기 게이트 절연막상에 형성되고 산화물 반도체를 이루어진 반도체 활성층; 상기 스위칭 게이트 전극과 구동 게이트 전극 위의 상기 반도체 활성층 상에 형성된 식각 정지층; 상기 식각 정지층과 반도체 활성층 상에 형성되고 서로 이격된 소스전극과 드레인 전극; 상기 적어도 1개 이상의 단락부를 연결시켜 주는 연결패턴; 상기 소스전극과 드레인 전극을 포함한 기관 전면에 형성된 평탄화막; 상기 평탄화막 상에 형성되고, 화소영역마다 형성되는 제1 전극; 상기 제1 전극 사이에서 상기 제1 전극의 외곽부를 덮으며 상기 평탄화막 상부에 형성된 화소정의막; 상기 제1 전극 상부에 형성된 유기층; 및 상기 유기층 상에 형성된 제2 전극을 포함하여 구성되는 것을 특징으로 한다.

- [0027] 상기 목적을 달성하기 위한 본 발명에 따른 유기 전계 발광 표시장치 제조방법은, 절연기판상에 적어도 1개 이상의 단락부를 갖는 게이트 배선과 상기 게이트 배선으로부터 분기된 스위칭 게이트 전극과, 상기 게이트 배선과 분리 형성된 구동 게이트 전극을 형성하는 단계; 상기 스위칭 게이트 전극과 구동 게이트 전극을 포함한 기관 전면에 게이트 절연막을 형성하는 단계; 상기 스위칭 게이트 전극과 구동 게이트 전극 위의 상기 게이트 절연막 상에 산화물 반도체를 이루어진 반도체 활성층을 형성하는 단계; 상기 스위칭 게이트 전극과 구동 게이트 전극 위의 상기 반도체 활성층 상에 식각 정지층을 형성하는 단계; 상기 식각 정지층과 반도체 활성층 상에 서로 이격된 소스전극과 드레인 전극을 형성하는 단계; 상기 적어도 1개 이상의 단락부를 연결시켜 주는 연결패턴을 형성하는 단계; 상기 소스전극과 드레인 전극을 포함한 기관 전면에 평탄화막을 형성하는 단계; 상기 평탄화막 상에 화소영역마다 형성되는 제1 전극을 형성하는 단계; 상기 제1 전극 사이에서 상기 제1 전극의 외곽부를 덮으며 상기 평탄화막 상부에 화소정의막을 형성하는 단계; 상기 제1 전극 상부에 유기층을 형성하는 단계; 및 상기 유기층 상에 제2 전극을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

- [0028] 본 발명에 따른 유기 전계 발광 표시장치 및 그 제조방법은 독립적으로 분리되어 있는 구동 박막 트랜지스터(Td)의 게이트 전극 형태와 같이, 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 게이트 배선을 전체가 연결된 패턴 형태로 구성하지 않고 적어도 1 부분 이상이 국부적으로 단락된 형태로 구성하여, 이 단락된 부분들을 소스전극 및 드레인전극 형성 물질 또는 유기전계 발광소자의 전극 형성 물질로 서로 연결시켜 줌으로써 한 화소 내의 구동 박막 트랜지스터(Td)와 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 소자 특성을 동일하게 유지할 수 있으므로 동일한 박막 트랜지스터 특성을 확보하게 되어 수율이 향상된다.

- [0029] 특히, 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 게이트 배선은 배선 전체가 연결된 패턴 형태로 구성하지 않고 적어도 1 부분 이상이 구동 박막 트랜지스터(Td)의 게이트 전극과 같이 국부적으로 단락된 독립된 형태로 구성한 상태에서, 후속 공정을 진행하여 박막 트랜지스터들을 형성한 이후에 상기 단락된 부분들을 연결하여 게이트 배선을 형성해 주기 때문에, 한 화소 내의 구동 박막 트랜지스터(Td)와 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 소자 특성을 동일하게 유지할 수 있게 된다.

도면의 간단한 설명

- [0030] 도 1은 종래기술에 따른 유기 전계 발광 표시장치의 기본 화소에 대한 등가 회로도이다.

도 2는 종래기술에 따른 유기 전계 발광 표시장치의 구동 트랜지스터(Td)와 스캔 트랜지스터(Ts)의 개략적인 단면도이다.

도 3은 종래기술에 따른 유기 전계 발광 표시장치의 구동 트랜지스터(Td)와 스캔 트랜지스터(Ts) 부분에서의 열전도 특성 차이를 개략적으로 나타낸 개략도이다.

도 4는 본 발명에 따른 유기 전계 발광 표시장치의 기본 화소에 대한 등가 회로도이다.

도 5는 본 발명에 따른 유기 전계 발광 표시장치의 개략적인 평면도이다.

도 6은 본 발명에 따른 유기 전계 발광 표시장치의 개략적인 단면도이다.

도 7은 본 발명에 따른 유기 전계 발광 표시장치의 게이트 배선의 제1 실시 예의 개략적인 평면도이다.

도 8은 도 7의 VIII-VIII선에 따른 단면도로서, 본 발명에 따른 유기 전계 발광 표시장치의 게이트 배선의 개략적인 단면도로서, 게이트 배선의 단락된 부분들을 제1 연결패턴을 통해 연결시켜 주는 제1 실시 예를 개략적으로 도시한 단면도이다.

도 9a 내지 9e는 본 발명에 따른 유기 전계 발광 표시장치의 게이트 배선의 단락된 부분을 제1 연결패턴을 통해 연결시켜 주는 제1 실시 예의 제조공정에 대해 개략적으로 나타낸 제조공정 단면도들이다.

도 10은 본 발명에 따른 유기 전계 발광 표시장치의 게이트 배선의 제2 실시 예의 개략적인 평면도이다.

도 11은 도 10의 XI-XI 선에 따른 단면도로서, 본 발명에 따른 유기 전계 발광 표시장치의 게이트 배선의 제2 실시 예의 개략적인 단면도로서, 게이트 배선의 단락된 부분들을 제2 연결패턴을 통해 연결시켜 주는 제2 실시 예를 개략적으로 도시한 단면도이다.

도 12a 내지 12i는 본 발명에 따른 유기발광 표시장치의 게이트 배선의 단락된 부분을 제2 연결패턴을 통해 연결시켜 주는 제2 실시 예 제조공정에 대해 개략적으로 나타낸 제조공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 본 발명의 바람직한 실시 예에 따른 유기발광 표시장치에 대해 첨부된 도면을 참조하여 상세히 설명한다.
- [0032] 도 4는 본 발명에 따른 유기발광 표시장치의 기본 화소에 대한 등가 회로도이다.
- [0033] 도 4를 참조하면, 본 발명에 따른 유기발광 표시장치(100)의 한 화소는 게이트 배선(GL)과 수직하게 교차하는 데이터 배선(DL)과, 게이트 배선(GL) 및 데이터 배선(DL)과 접속된 스위칭 박막 트랜지스터(Ts), 이 스위칭 박막 트랜지스터(Ts)와 전원배선(PL) 사이에서 유기발광 다이오드(E)와 접속된 구동 박막 트랜지스터(Td)와, 구동 박막 트랜지스터(Td)의 게이트 전극과 전원배선(PL) 사이에 접속된 스토리지 캐패시터(C)를 구비한다.
- [0034] 상기 복수 개의 데이터 배선(DL)과 수직하게 교차하는 게이트 배선(GL) 각각은 다수의 단락된 부분들, 예를 들어 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 들을 구비한 게이트 배선 연결부(140)를 포함하고 있는데, 상기 제1 단락부(GL-1)와 제2 단락부(GL-2) 및 제3 단락부(GL-3)는 연결패턴(113e)에 의해 서로 전기적으로 연결되어 있다. 이때, 상기 게이트 배선(GL)의 다수의 단락된 부분들은 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)로 한정되는 것이 아니라 필요에 의해 그 개수가 변경될 수 있다.
- [0035] 도 5는 본 발명에 따른 유기발광 표시장치의 개략적인 평면도이다.
- [0036] 도 5를 참조하면, 본 발명에 따른 유기 전계 발광 표시장치(100)는 복수 개의 부화소를 갖는데, 상기 부화소는 데이터 배선(DL)과 수직하게 교차하는 게이트 배선(GL), 데이터 배선(DL) 및 전원배선(PL)으로 둘러싸여 있으며, 각 부화소는 스위칭 박막 트랜지스터(Ts)와, 구동 박막 트랜지스터(Td)의 적어도 2개의 박막 트랜지스터와, 하나의 캐패시터(C) 및 하나의 유기전계 발광소자(E; 130)를 포함하여 구성된다.
- [0037] 상기와 같은 박막 트랜지스터 및 커패시터의 개수는 반드시 이에 한정되는 것은 아니며, 이보다 더 많은 수의 박막 트랜지스터 및 커패시터를 구비할 수 있음은 물론이다.
- [0038] 상기 데이터 배선(DL)과 수직하게 교차하는 게이트 배선(GL)은 제1 단락부 (GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 들을 포함하며, 서로 인접한 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 들은 연결패턴(113e)에 의해 서로 전기적으로 연결된다. 이때, 상기 게이트 배선(GL)의 다수의 단락된 부분들은 제1 단락부 (GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)로 한정되는 것이 아니며, 필요에 의해 그 개수가 변경될 수 있

다.

- [0039] 특히, 상기 제1 단락부(GL-1)와 제2 단락부(GL-2) 사이, 상기 제2 단락부 (GL-2)와 제3 단락부(GL-3) 사이의 각 폭(Width)은 구동 박막 트랜지스터 (Td)의 면적과 동일한 면적만큼씩 단락되도록 하여 상기 연결패턴(113e)에 의해 서로 연결되도록 구성된다.
- [0040] 또한, 상기 구동 박막 트랜지스터(Td)를 구성하는 게이트 배선, 즉 구동 게이트전극(103b)은 상기 게이트 배선 (GL)과 별개로 독립된 형태로 형성된다. 즉, 각 부화소에 구비된 상기 구동 박막 트랜지스터(Td)는 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부 (GL-3)로 구성된 게이트 배선(GL)에 의해 구성되는 것이 아니라, 각 부화소에 마련된 독립된 형태의 구동 게이트 전극(103b)에 의해 구성된다.
- [0041] 상기 스위칭 박막 트랜지스터(Ts)는 스캔 라인인 게이트 배선(GL)에 인가되는 스캔 신호에 구동되어 데이터 배선(DL)에 인가되는 데이터 신호를 전달하는 역할을 한다. 특히, 상기 스위칭 박막 트랜지스터(Ts)는 게이트 배선(GL)의 스캔 신호에 응답하여 데이터 배선(DL)의 데이터 신호를 구동 박막 트랜지스터(Td)의 게이트 전극 및 스토리지 캐패시터(C)에 공급한다.
- [0042] 또한, 상기 구동 박막 트랜지스터(Td)는 상기 스위칭 박막 트랜지스터(Ts)를 통해 전달되는 데이터 신호에 따라, 즉 게이트(103b)와 소스(113c) 간의 전압차 (V_{gs})에 의해서 구동라인인 전원배선(PL)을 통해 유기 전계 발광소자(130)로 유비되는 전류량을 결정한다. 특히, 상기 구동 박막 트랜지스터(Td)는 상기 스위칭 박막 트랜지스터(Ts)로부터 데이터 신호에 응답하여 전원배선(PL)으로부터 유기 발광 다이오드(E)로 공급되는 전류를 조절하여 유기발광 다이오드(E)의 밝기를 제어한다.
- [0043] 그리고, 상기 커패시터(C)는 상기 스위칭 박막 트랜지스터(Ts)를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 담당한다. 특히, 상기 스토리지 캐패시터(C)는 스위칭 박막 트랜지스터(Ts)로부터의 데이터 신호를 충전하고, 충전된 전압을 구동 박막 트랜지스터(Td)에 공급하여 스위칭 박막 트랜지스터(Ts)가 오프(OFF) 되더라도 구동 박막 트랜지스터(Td)가 일정한 전류를 공급한다.
- [0044] 도 6은 본 발명에 따른 유기 전계 발광 표시장치의 개략적인 단면도이다.
- [0045] 도 6을 참조하면, 본 발명에 따른 유기 전계 발광 표시장치(100)는 글라스 재의 절연기판(101)상에 형성되는데, 상기 절연기판(101) 상에 형성되는 스위칭 박막 트랜지스터(미도시, 도 5의 Ts 참조), 구동 박막 트랜지스터 (Td), 커패시터(C) 및 유기전계 발광소자(130)를 포함하여 구성된다.
- [0046] 이하에서 박막 트랜지스터(TFT)에 대해서는 구동 박막 트랜지스터(Td)를 설명하나, 스위칭 박막 트랜지스터(Ts)도 동일한 구조를 가짐은 물론이다. 상기 절연기판(101)은 투명한 글라스 재가 채용될 수 있는 데, 반드시 이에 한정되는 것은 아니고, 플라스틱 재가 사용될 수도 있다.
- [0047] 글라스(glass) 재의 절연기판(101)을 사용할 경우에는 이 기판(101) 상에 버퍼층(미도시)을 형성하여 불순 원소의 침투를 막고, 표면을 평탄하게 한다.
- [0048] 상기 버퍼층(미도시)은 실리콘산화막(SiO_2)으로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있다.
- [0049] 상기 구동 박막 트랜지스터(Td)는 버퍼층(미도시) 상에 형성된 구동 게이트 전극(103b)과, 상기 구동 게이트 전극(103b)을 포함한 상기 버퍼층 상에 형성된 게이트 절연막 (105)과, 상기 게이트 절연막(105) 상에 형성되고, 산화물 반도체 물질로 이루어진 반도체 활성층(107b)과, 상기 구동 게이트 전극(103b) 상부의 반도체 활성층 (107b) 상에 형성된 식각 정지층패턴(109b)과, 상기 식각 정지층패턴 (109b)과 반도체 활성층(107b) 상에 형성되고, 서로 이격된 소스전극(113c) 및 드레인 전극(113d)을 포함한다.
- [0050] 상기 구동 게이트 전극(103b)은 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 형성되는데, 상기 구동 게이트 전극(103b)을 형성하는 물질에는 반드시 이에 한정되지 않으며, 도전성 폴리머 등의 다양한 도전성 물질이 사용될 수 있다. 이때, 상기 구동 게이트 전극(103b) 형성시에, 스위칭 박막 트랜지스터(Ts)를 구성하는 스위칭 게이트 전극(미도시, 도 5의 103a 참조)으로 분기된 게이트 배선(미도시, 도 5의 GL 참조)도 함께 형성된다. 상기 구동 게이트 전극(103b)은 상기 게이트 배선(미도시, 도 5의 GL 참조)로 별개로 독립되게 형성된다.
- [0051] 상기 소스전극(113c)은 상기 게이트 배선(미도시, 도 5의 GL 참조)과 수직되게 교차하는 데이터 배선(DL)으로부터 분기되어 형성된다.
- [0052] 상기 게이트 배선(미도시, 도 5의 GL 참조)은, 도 5에 도시된 제1 단락부 (GL-1), 제2 단락부(GL-2) 및 제3 단

락부(GL-3) 들을 포함하며, 서로 인접한 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 들은 연결패턴(113e)에 의해 서로 전기적으로 연결된다.

[0053] 상기 게이트 절연막(105)은 실리콘산화막(SiO_2) 등의 무기 절연물질로 형성된다.

[0054] 상기 반도체 활성층(107b)은 소스전극(113c)과 드레인 전극(113d) 사이에 전자가 이동하는 채널을 형성하기 위한 층으로서, 저온 다결정 실리콘(Low Temperature Poly Silicon; 이하 LTPS라 함) 또는 비정질 실리콘(a-Si) 재질 대신에 실리콘(Si) 계열의 반도체 막, IGZO 계열의 산화물 반도체, 화합물 반도체, 카본 나노 튜브(Carbon nano tube), 그래핀(graphene) 및 유기 반도체를 사용한다. 이때, 상기 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 예컨대, 상기 액티브층(109)은 인듐아연 복합 산화물(InZnO)에 실리콘 이온이 첨가된 실리콘 산화인듐아연(Si-InZnO:SIZO)으로 이루어질 수도 있다.

[0055] 상기 반도체 활성층(107b)이 산화물 반도체인 SIZO로 이루어지는 경우, 상기 산화물 반도체층에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비 실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성은 더 좋아질 수 있다.

[0056] 한편, 상기 반도체 활성층(107b)으로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 니오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란티움(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 터븀(Tb), 디스프로슘(Dy), 홀름(Ho), 어븀(Er), 툴륨(Tm), 이터븀(Yb) 또는 루테튬(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.

[0057] 상기 식각 정지층패턴(109b)은 실리콘(Si) 계열의 산화막(oxide), 질화막(nitride), 또는 Al_2O_3 를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함한다.

[0058] 상기 소스전극(113c) 및 드레인 전극(113d)으로는 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나 또는 이들의 2 이상의 조합 또는 다른 적절한 물질을 포함할 수도 있다.

[0059] 상기 소스전극(113c) 및 드레인 전극(113d)을 포함한 기관 전면에는 아크릴, BCB, 폴리 이미드 등을 이용하여 평탄화막(115)이 형성된다. 이때, 상기 평탄화막(115)과 상기 소스전극(113c) 및 드레인 전극(113d) 사이에 패시베이션막(미도시)이 형성될 수도 있다.

[0060] 상기 평탄화막(115) 내에는 상기 소스전극(113c)을 노출시키는 콘택홀(미도시)이 형성된다.

[0061] 상기 평탄화막(115) 상부로는 유기전계 발광소자(130)의 제1 전극(121)이 형성되되, 상기 제1 전극(121)은 상기 콘택홀(미도시)을 통해 상기 소스전극(113c)에 연결되도록 한다.

[0062] 상기 제1 전극(121) 상부로는 아크릴, BCB, 폴리이미드 등에 의해 화소정의막(123)이 형성되어 있으며, 이 화소정의막(123)에는 소정의 개구부(미도시)가 형성되어 있다.

[0063] 상기 화소정의막(123)의 개구부(미도시)에는 유기층(125)과 제2 전극(127)이 형성되어 있다.

[0064] 상기 유기전계 발광소자(130)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, 구동 박막 트랜지스터(Td)의 소스전극(113c)에 연결되어 이로부터 플러스 전원(+)을 공급받는 제1 전극(121)과 전체 화소를 덮도록 구비되어 마이너스 전원(-)을 공급하는 제2 전극(127), 및 이들 제1 전극(121)과 제2 전극층(127) 사이에 배치되어 발광하는 유기층(125)으로 구성된다.

[0065] 상기 제1 전극(121)과 제2 전극(127)은 상기 유기층(125)에 의해 서로 소정간격 이격되어 있으며, 유기층(125)에 서로 다른 극성의 전압을 가해 유기층(125)에서 발광이 이루어지도록 한다.

- [0066] 상기 유기층(125)은 저분자 또는 고분자 유기층이 사용될 수 있는데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-페닐-벤지딘(N,N'-Di(naphtanlene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이를 저분자 유기층은 진공증착의 방법으로 형성된다.
- [0067] 고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이때 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.
- [0068] 상기와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시 예들이 적용될 수 있음은 물론이다.
- [0069] 상기 제1 전극(121)은 애노드 전극(anode electrode)의 기능을 하고, 상기 제2 전극(127)은 캐소드 전극(cathode electrode)의 기능을 하는데, 물론 이들 제1 전극(121)과 제2 전극(127)의 극성은 반대로 되어도 무방하다. 이하에서는 상기 제1 전극(121)이 애노드 전극인 실시 예를 중심으로 설명하지만, 본 발명의 범위가 그에 한정되는 것은 아니며 캐소드 전극인 경우에도 적용됨은 물론이다.
- [0070] 상기 제1 전극(121)은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO, 또는 In₂O₃ 로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃ 를 형성할 수 있다.
- [0071] 상기 제2 전극(127)은 투명전극 또는 반사형 전극으로 구비될 수 있는데, 투명전극으로 사용될 때에는 이 제2 전극(127)이 캐소드 전극으로 사용되므로, 일함수가 제1 전극의 일함수보다 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물이 유기층(125)의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃ 등의 투명 전극 형성용 물질로 보조 전극이나 버스 전극라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, 및 이들의 화합물을 전면측(기판의 반대 방향)에 증착하여 형성한다.
- [0072] 본 발명에 따른 유기 전계 발광 표시장치 및 그 제조방법에 따르면, 독립적으로 분리되어 있는 구동 박막 트랜지스터(Td)의 게이트 전극 형태와 같이, 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 게이트 배선을 전체가 연결된 패턴 형태로 구성하지 않고 적어도 1 부분 이상이 국부적으로 단락된 형태로 구성하여, 이 단락된 부분들을 소스전극 및 드레인 전극 형성 물질 또는 유기전계 발광소자의 전극 형성 물질로 서로 연결시켜 줌으로써 한 화소 내의 구동 박막 트랜지스터(Td)와 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 소자 특성을 동일하게 유지할 수 있으므로 동일한 박막 트랜지스터 특성을 확보하게 되어 수율이 향상된다.
- [0073] 특히, 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 게이트 배선은 배선 전체가 연결된 패턴 형태로 구성하지 않고 적어도 1 부분 이상이 구동 박막 트랜지스터(Td)의 게이트 전극과 같이 국부적으로 단락된 독립된 형태로 구성된 상태에서, 후속 공정을 진행하여 박막 트랜지스터들을 형성한 이후에 상기 단락된 부분들을 연결하여 게이트 배선을 형성해 주기 때문에, 한 화소 내의 구동 박막 트랜지스터(Td)와 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 소자 특성을 동일하게 유지할 수 있게 된다.
- [0074] 한편, 별개로 독립된 구동 게이트 전극(103b)을 구비한 구동 박막 트랜지스터(Td)와 함께 유기전계 발광 표시장치(100)를 구성하는 스위칭 박막 트랜지스터 (Ts)의 게이트 배선 구조의 제1 실시 예에 대해 도 7를 참조하여 설명하면 다음과 같다.
- [0075] 도 7은 본 발명에 따른 유기발광 표시장치의 게이트 배선의 제1 실시 예의 개략적인 평면도이다.
- [0076] 도 8은 본 발명에 따른 유기발광 표시장치의 게이트 배선의 제1 실시 예의 개략적인 단면도로서, 게이트 배선의 단락된 부분들을 제1 연결패턴을 통해 연결시켜 주는 제1 실시 예를 개략적으로 도시한 단면도이다.
- [0077] 도 7 및 8을 참조하면, 본 발명에 따른 유기전계 발광 표시장치(100)를 구성하는 스위칭 박막 트랜지스터(Ts)의 게이트 배선(GL)은 절연기판(101) 상에 상기 데이터 배선(DL)과 수직하게 교차하는 게이트 배선(GL)은 제1 단락부(GL-1), 제2 단락부 (GL-2) 및 제3 단락부(GL-3) 들을 포함하며, 서로 인접한 제1 단락부 (GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 들은 제1 연결패턴(113e)에 의해 서로 전기적으로 연결된 구조로 이루어진다. 이

때, 상기 게이트 배선(GL)은 상기 제1 단락부 (GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)로 한정되는 것이 아니며, 필요에 의해 그 단락부의 개수가 변경될 수 있다.

- [0078] 상기 제1 연결패턴(113e)은 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 들을 포함한 절연기판(101) 상에 형성된 게이트절연막(105) 내에 형성된 제1 단락부 콘택홀(111)을 통해 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 들을 연결시켜 줌으로써, 상기 게이트 배선(GL)은 단락되지 않고 연결되게 된다.
- [0079] 상기 제1 단락부(GL-1)와 제2 단락부(GL-2) 사이, 상기 제2 단락부(GL-2)와 제3 단락부(GL-3) 사이의 각 폭(W)은 구동 박막 트랜지스터(Td)의 면적(미도시)과 동일한 면적만큼씩 단락되도록 하여 상기 제1 연결패턴(113e)에 의해 서로 연결되도록 구성된다. 이때, 상기 연결패턴(113e)은 스위칭 박막 트랜지스터(Ts)의 소스전극(113a) 및 드레인 전극(113b)과 동일한 물질로 구성된다.
- [0080] 상기 구성으로 이루어진 본 발명에 따른 유기전계 발광 표시장치(100)를 구성하는 스위칭 박막 트랜지스터(Ts)의 게이트 배선(GL) 구조의 제1 실시 예를 형성하는 공정에 대해 도 9a 내지 9e를 참조하여 설명하면 다음과 같다.
- [0081] 도 9a 내지 9e는 본 발명에 따른 유기발광 표시장치의 게이트 배선의 단락된 부분을 제1 연결패턴을 통해 연결시켜 주는 제1 실시 예의 제조공정에 대해 개략적으로 나타낸 제조공정 단면도들이다.
- [0082] 도 9a를 참조하면, 절연기판(101) 상에 제1 금속 도전층(103)을 스퍼터링 방법으로 증착한다. 이때, 상기 제1 금속 도전층(103)으로는 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 형성되는데, 상기 게이트 배선을 형성하는 물질에는 반드시 이에 한정되지 않으며, 도전성 폴리머 등의 다양한 도전성 물질이 사용될 수 있다.
- [0083] 그 다음, 상기 제1 금속 도전층(103) 상에 제1 감광막(미도시)을 도포한 후, 노광 마스크(미도시)를 이용한 노광 공정 및 현상 공정을 통해 제1 감광막을 패터닝하여 제1 감광막패턴(미도시)을 형성한다.
- [0084] 이어서, 도 9b를 참조하면, 상기 제1 감광막패턴(미도시)을 식각 마스크로 상기 제1 금속 도전층(103)을 선택적으로 식각하여 게이트 배선(GL)과 함께 이 게이트 배선(GL)으로부터 분기된 스위칭 게이트 전극(미도시, 도 5의 103a 참조)을 형성한다. 이때, 상기 게이트 배선(GL)은 기존과 같이 일체로 이루어진 형태가 아니라, 다수의 단락부, 예를 들어 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부 (GL-3) 들로 구성된다. 즉, 상기 제1 단락부 (GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)는, 상기 제1 금속 도전층(103)의 패터닝시에, 일정 폭(W)만큼 단락되어 형성된다. 이때, 상기 게이트 배선(GL)을 구성하는 상기 제1 단락부(GL-1), 제2 단락부 (GL-2) 및 제3 단락부(GL-3)로 한정되는 것이 아니며, 필요에 의해 그 단락부의 개수가 변경될 수 있다.
- [0085] 또한, 상기 일정 폭(W), 즉 상기 제1 단락부 (GL-1)와 제2 단락부(GL-2) 사이, 상기 제2 단락부(GL-2)와 제3 단락부(GL-3) 사이의 각 폭(W)은 구동 박막 트랜지스터(Td)의 면적(A)과 동일한 면적만큼씩 단락되도록 한다.
- [0086] 상기 게이트 배선(GL) 형성시에, 이 게이트 배선(GL)으로부터 분기되어 스위칭 박막 트랜지스터 (Ts)를 구성하는 스위칭 게이트 전극(미도시, 도 5의 103a 참조)과 함께, 구동 박막 트랜지스터(Td)를 구성하며 상기 스위칭 게이트 전극과는 별개로 독립되게 구동 게이트 전극(미도시, 도 6의 103b 참조)을 동시에 형성한다.
- [0087] 그 다음, 도 9c를 참조하면, 상기 제1 감광막패턴(미도시)을 제거한 후, 상기 제1 단락부 (GL-1), 제2 단락부 (GL-2) 및 제3 단락부(GL-3)로 이루어진 게이트 배선(GL)을 포함한 절연기판(101) 전면에 게이트 절연막(105)을 증착한다. 이때, 상기 게이트 절연막(105)은 실리콘 산화막(SiO₂) 등의 무기 절연물질로 형성된다.
- [0088] 이어서, 상기 게이트 절연막(103) 상에 제2 감광막(미도시)을 도포한 후, 노광 마스크(미도시)를 이용한 노광 공정 및 현상 공정을 통해 제2 감광막을 패터닝하여 제2 감광막패턴(미도시)을 형성한다.
- [0089] 그 다음, 도 9d를 참조하면, 상기 제2 감광막패턴(미도시)을 식각 마스크로 상기 게이트 절연막(105)을 선택적으로 식각하여 상기 서로 인접하는 제1 단락부 (GL-1)와 제2 단락부(GL-2), 상기 제2 단락부(GL-2)와 제3 단락부(GL-3) 일부를 노출시키는 제1 단락부 콘택홀(111)을 형성한다.
- [0090] 이어서, 상기 제2 감광막패턴(미도시)을 제거하고, 상기 게이트 절연막(105)과, 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)로 이루어진 게이트 배선(GL)을 포함한 절연기판(101) 전면에 제2 금속 도전층 (미도시)을 스퍼터링 방법으로 증착한다. 이때, 상기 제2 금속 도전층(미도시)으로는 알루미늄 (Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리 (Cu), 구리 합금, 몰리브덴(Mo), 은 (Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴스텐 (MoW), 몰리티타늄 (MoTi), 구리/

몰리타늄 (Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나 또는 이들의 2 이상의 조합 또는 다른 적절한 물질을 포함할 수도 있다.

- [0091] 그 다음, 도면에는 도시하지 않았지만, 상기 제2 금속 도전층(미도시) 상에 제3 감광막(미도시)을 도포한 후, 노광 마스크(미도시)를 이용한 노광 공정 및 현상 공정을 통해 상기 제3 감광막(미도시)을 패터닝하여 제3 감광막패턴(미도시)을 형성한다.
- [0092] 이어서, 도 9e를 참조하면, 제3 감광막패턴(미도시)을 식각마스크로 상기 제2 금속 도전층(미도시)을 선택적으로 식각하여, 상기 제1 단락 콘택홀(111)을 통해 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)를 서로 연결시켜 주는 제1 연결패턴(113e)을 형성한다. 이때, 상기 제2 금속 도전층(미도시) 식각시에, 상기 제1 연결패턴(113e)과 함께, 스위칭 박막 트랜지스터(Ts)의 소스전극 (113a)과 드레인전극(113b) 및, 구동 박막 트랜지스터(Td)의 소스전극(113c)과 드레인전극 (113d)도 함께 형성한다.
- [0093] 이렇게 하여, 서로 단락된 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)는 상기 제1 연결패턴(113e)을 통해 연결되어 게이트 배선(GL)을 형성하게 된다.
- [0094] 또 한편, 별개로 독립된 구동 게이트 전극(103b)을 구비한 구동 박막 트랜지스터(Td)와 함께 유기 전계 발광 표시장치(100)를 구성하는 스위칭 박막 트랜지스터 (Ts)의 게이트 배선의 제2 실시 예에 대해 도 10 및 11을 참조하여 설명하면 다음과 같다.
- [0095] 도 10은 본 발명에 따른 유기 전계 발광 표시장치의 게이트 배선의 제2 실시 예의 개략적인 평면도이다.
- [0096] 도 11은 도 10의 X I-X I 선에 따른 단면도로서, 본 발명에 따른 유기 전계 발광 표시장치의 게이트 배선의 제2 실시 예의 개략적인 단면도로서, 게이트 배선의 단락된 부분들을 제2 연결패턴을 통해 연결시켜 주는 제2 실시 예를 개략적으로 도시한 단면도이다.
- [0097] 도 10 및 11을 참조하면, 본 발명에 따른 유기전계 발광 표시장치(100)를 구성하는 스위칭 박막 트랜지스터(Ts)의 게이트 배선(GL)은 절연기판(101) 상에 상기 데이터 배선(DL)과 수직하게 교차하는 게이트 배선(GL)은 제1 단락부(GL-1), 제2 단락부 (GL-2) 및 제3 단락부(GL-3) 들을 포함하며, 서로 인접한 제1 단락부 (GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 들은 플러그패턴(113f) 및 제2 연결패턴(121a)에 의해 서로 전기적으로 연결된 구조로 이루어진다. 이때, 상기 게이트 배선(GL)은 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)로 한정되는 것이 아니며, 필요에 의해 그 단락부의 개수가 변경될 수 있다.
- [0098] 상기 제2 연결패턴(121a)은 게이트 절연막(105) 위의 평탄화막(115) 내에 형성된 제2 단락부 콘택홀(117)을 통해 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)와 각각 접촉된 플러그패턴(113f) 들을 서로 연결시켜 줌으로써, 상기 게이트 배선(GL)은 단락되지 않고 서로 연결된 구조가 된다.
- [0099] 상기 제1 단락부(GL-1)와 제2 단락부(GL-2) 사이, 상기 제2 단락부(GL-2)와 제3 단락부(GL-3) 사이의 각 폭(W)은 구동 박막 트랜지스터(Td)의 면적(A)과 동일한 면적만큼씩 단락되도록 하여 상기 제2 연결패턴(121a)에 의해 서로 연결되도록 구성된다. 이때, 상기 제2 연결패턴(121a)은 스위칭 박막 트랜지스터(Ts)의 소스전극 (113a) 또는 드레인 전극(113b)과 전기적으로 연결되는 제1 전극(121)과 동일한 물질로 구성된다.
- [0100] 상기 구성으로 이루어진 본 발명에 따른 유기 전계 발광 표시장치(100)를 구성하는 스위칭 박막 트랜지스터(Ts)의 게이트 배선(GL)의 제2 실시 예를 형성하는 공정에 대해 도 12a 내지 12i를 참조하여 설명하면 다음과 같다.
- [0101] 도 12a 내지 12i는 본 발명에 따른 유기발광 표시장치의 게이트 배선의 단락된 부분을 제2 연결패턴을 통해 연결시켜 주는 제2 실시 예 제조공정에 대해 개략적으로 나타난 제조공정 단면도들이다.
- [0102] 도 12a를 참조하면, 절연기판(101) 상에 제1 금속 도전층(103)을 스퍼터링 방법으로 증착한다. 이때, 상기 제1 금속 도전층(103)으로는 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 형성되는데, 상기 게이트 배선을 형성하는 물질에는 반드시 이에 한정되지 않으며, 도전성 폴리머 등의 다양한 도전성 물질이 사용될 수 있다.
- [0103] 그 다음, 상기 제1 금속 도전층(103) 상에 제1 감광막(미도시)을 도포한 후, 노광 마스크(미도시)를 이용한 노광 공정 및 현상 공정을 통해 제1 감광막을 패터닝하여 제1 감광막패턴(미도시)을 형성한다.
- [0104] 이어서, 도 12b를 참조하면, 상기 제1 감광막패턴(미도시)을 식각 마스크로 상기 제1 금속 도전층(103)을 선택적으로 식각하여 게이트 배선(GL)과 함께 이 게이트 배선(GL)으로부터 분기된 스위칭 게이트 전극(미도시, 도 5의 103a 참조)을 형성한다. 이때, 상기 게이트 배선(GL)은 기존과 같이 일체로 이루어진 형태가 아니라, 다수의

단락부, 예를 들어 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부 (GL-3) 들로 구성된다. 즉, 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)는, 상기 제1 금속 도전층(103)의 패터닝시에, 일정 폭(W)만큼 단락되어 형성된다. 이때, 상기 게이트 배선(GL)을 구성하는 상기 제1 단락부(GL-1), 제2 단락부 (GL-2) 및 제3 단락부(GL-3)로 한정되는 것이 아니며, 필요에 의해 그 단락부의 개수가 변경될 수 있다.

[0105] 또한, 상기 일정 폭(W), 즉 상기 제1 단락부(GL-1)와 제2 단락부(GL-2) 사이, 상기 제2 단락부(GL-2)와 제3 단락부(GL-3) 사이의 각 폭(W)은 구동 박막 트랜지스터(Td)의 면적(A)과 동일한 면적만큼씩 단락되도록 한다.

[0106] 상기 게이트 배선(GL) 형성시에, 이 게이트 배선(GL)으로부터 분기되어 스위칭 박막 트랜지스터(Ts)를 구성하는 스위칭 게이트 전극(미도시, 도 5의 103a 참조)과 함께, 구동 박막 트랜지스터(Td)를 구성하며 상기 스위칭 게이트 전극과는 별개로 독립되게 구동 게이트 전극(미도시, 도 6의 103b 참조)을 동시에 형성한다.

[0107] 그 다음, 도 12c를 참조하면, 상기 제1 감광막패턴(미도시)을 제거한 후, 상기 제1 단락부(GL-1), 제2 단락부 (GL-2) 및 제3 단락부(GL-3)로 이루어진 게이트 배선(GL)을 포함한 절연기관(101) 전면에 게이트 절연막(105)을 증착한다. 이때, 상기 게이트 절연막(105)은 실리콘산화막(SiO_2) 등의 무기 절연물질로 형성한다.

[0108] 이어서, 상기 게이트 절연막(105) 상에 제2 감광막(미도시)을 도포한 후, 노광 마스크(미도시)를 이용한 노광 공정 및 현상 공정을 통해 제2 감광막을 패터닝하여 제2 감광막패턴(미도시)을 형성한다.

[0109] 그 다음, 도 12d를 참조하면, 상기 제2 감광막패턴(미도시)을 식각 마스크로 상기 게이트 절연막(105)을 선택적으로 식각하여 상기 제1 단락부 (GL-1)와 제2 단락부(GL-2) 및 제3 단락부(GL-3) 일부를 노출시키는 단락 콘택홀(111)을 형성한다.

[0110] 이어서, 도 12e를 참조하면, 상기 제2 감광막패턴(미도시)을 제거한 후, 상기 게이트 절연막(105)을 포함한 절연기관 (101) 전면에 제2 금속 도전층(미도시)을 스퍼터링 방법으로 증착한다. 이때, 상기 제2 금속 도전층(미도시)으로는 알루미늄 (Al), 알루미늄 합금(Al alloy), 텅스텐 (W), 구리 (Cu), 구리 합금, 몰리브덴(Mo), 은 (Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴스텐 (MoW), 몰리타타늄 (MoTi), 구리/몰리타타늄 (Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나 또는 이들의 2 이상의 조합 또는 다른 적절한 물질을 포함할 수도 있다.

[0111] 그 다음, 도면에는 도시하지 않았지만, 상기 제2 금속 도전층(미도시) 상에 제3 감광막(미도시)을 도포한 후, 노광 마스크(미도시)를 이용한 노광 공정 및 현상 공정을 통해 상기 제3 감광막(미도시)을 패터닝하여 제3 감광막패턴(미도시)을 형성한다.

[0112] 이어서, 도 12f를 참조하면, 제3 감광막패턴(미도시)을 식각 마스크로 상기 제2 금속 도전층(미도시)을 선택적으로 식각하여, 상기 단락 콘택홀(111)을 통해 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3) 각 각과 연결되는 플러그패턴(113f)을 형성한다.

[0113] 그 다음, 도 12g를 참조하면, 상기 제3 감광막패턴(미도시)을 제거한 후, 상기 플러그패턴(113f)을 포함한 게이트 절연막(105) 상에 평탄화막(115)을 형성한다. 이때, 상기 평탄화막(115)으로는, 아크릴, BCB, 폴리 이미드와 같은 유기 물질을 사용한다.

[0114] 이어서, 도 12h를 참조하면, 노광 마스크를 이용한 노광 공정 및 현상 공정을 통해 상기 평탄화막(115)을 패터닝하여, 상기 플러그패턴(113f)을 노출시키는 플러그 콘택홀(117)을 형성한다.

[0115] 그 다음, 도면에는 도시하지 않았지만, 상기 플러그 콘택홀(117)을 포함한 상기 평탄화막(115) 상부에 투명 도전물질, 예를 들어 ITO, IZO, ZnO, 또는 In_2O_3 로 이루어진 도전 물질층(미도시)을 증착한다.

[0116] 이어서, 도면에는 도시하지 않았지만, 상기 도전 물질층(미도시) 상에 제4 감광막(미도시)을 도포한 후, 노광 마스크(미도시)를 이용한 노광 공정 및 현상 공정을 통해 상기 제4 감광막(미도시)을 선택적으로 패터닝하여 제3 감광막패턴(미도시)을 형성한다.

[0117] 이어서, 도 12f를 참조하면, 제3 감광막패턴(미도시)을 식각 마스크로 상기 제2 금속 도전층(미도시)을 선택적으로 식각하여, 제2 연결패턴(121a)을 형성한다. 이때, 상기 제2 연결패턴(121a)은 상기 플러그패턴(113f)과 접촉됨으로써, 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)는 서로 연결되게 된다.

[0118] 이렇게 하여, 서로 단락된 상기 제1 단락부(GL-1), 제2 단락부(GL-2) 및 제3 단락부(GL-3)는 상기 제2 연결패턴 (121a)을 통해 연결되어 게이트 배선(GL)을 형성하게 된다.

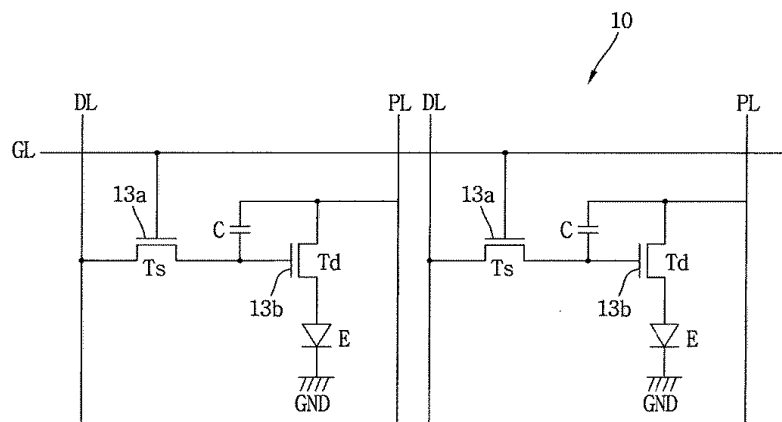
- [0119] 본 발명에 따른 유기 전계 발광 표시장치 및 그 제조방법에 따르면, 독립적으로 분리되어 있는 구동 박막 트랜지스터(Td)의 게이트 전극 형태와 같이, 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 게이트 배선을 전체가 연결된 패턴 형태로 구성하지 않고 적어도 1 부분 이상이 국부적으로 단락된 형태로 구성하여, 이 단락된 부분들을 소스전극 및 드레인 전극 형성 물질 또는 유기전계 발광소자의 전극 형성 물질로 서로 연결시켜 줌으로써 한 화소 내의 구동 박막 트랜지스터(Td)와 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 소자 특성을 동일하게 유지할 수 있으므로 동일한 박막 트랜지스터 특성을 확보하게 되어 수율이 향상된다.
- [0120] 특히, 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 게이트 배선은 배선 전체가 연결된 패턴 형태로 구성하지 않고 적어도 1 부분 이상이 구동 박막 트랜지스터(Td)의 게이트 전극과 같이 국부적으로 단락된 독립된 형태로 구성한 상태에서, 후속 공정을 진행하여 박막 트랜지스터들을 형성한 이후에 상기 단락된 부분들을 연결하여 게이트 배선을 형성해 주기 때문에, 한 화소 내의 구동 박막 트랜지스터(Td)와 스위칭 박막 트랜지스터(Ts) (또는, 센싱 박막 트랜지스터)의 소자 특성을 동일하게 유지할 수 있게 된다.
- [0121] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시 예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 본 발명의 박막 트랜지스터의 구성 요소는 다양화할 수 있을 것이고, 구조 또한 다양한 형태로 변형할 수 있을 것이다.
- [0122] 본 발명의 산화물 반도체를 이용한 박막 트랜지스터는 유기 전계 발광 표시장치를 포함한 평판표시장치뿐만 아니라 메모리소자 및 논리 소자 분야에도 적용될 수 있음을 알 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시 예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

부호의 설명

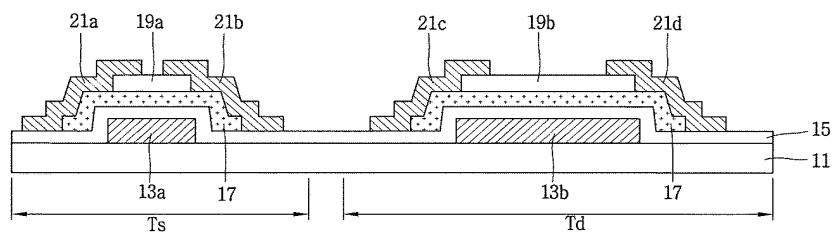
- [0123]
- | | |
|---------------------|--------------------|
| 101: 절연기판 | 103a: 스위칭 게이트 전극 |
| 103b: 구동 박막 트랜지스터 | 105: 게이트 절연막 |
| 107a, 107b: 반도체 활성층 | 109a, 109b: 식각 정지층 |
| 111: 단락부 콘택홀 | 113a, 113c: 소스전극 |
| 113b, 113d: 드레인 전극 | 113e: 제1 연결패턴 |
| 113f: 플러그패턴 | 115: 평탄화막 |
| 117: 플러그 콘택홀 | 121: 제1 전극 |
| 121a: 제2 연결패턴 | 123: 화소정의막 |
| 125: 유기층 | 127: 제2 전극 |
| 130: 유기전계 발광소자 | 140: 게이트 배선 연결부 |
| GL: 게이트 배선 | GL-1: 제1 단락부 |
| GL-2: 제2 단락부 | GL-3: 제3 단락부 |
| DL: 데이터 배선 | PL: 전원배선 |
| Ts: 스위칭 박막 트랜지스터 | Td: 구동 박막 트랜지스터 |
| W: 단락부들 간의 이격 폭 | |

도면

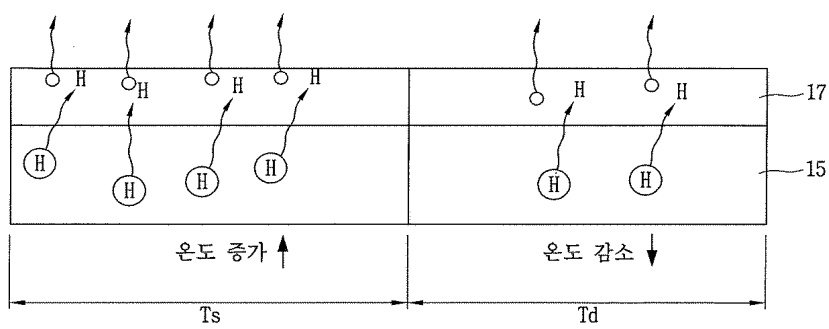
도면1



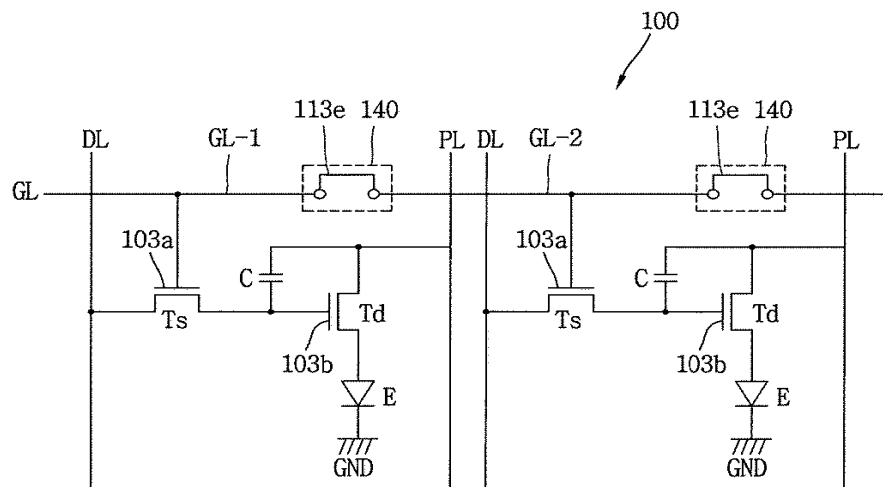
도면2



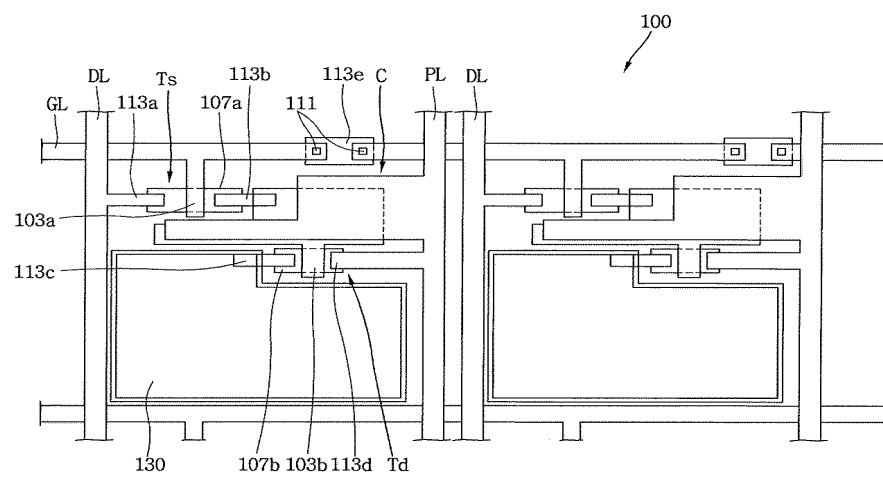
도면3



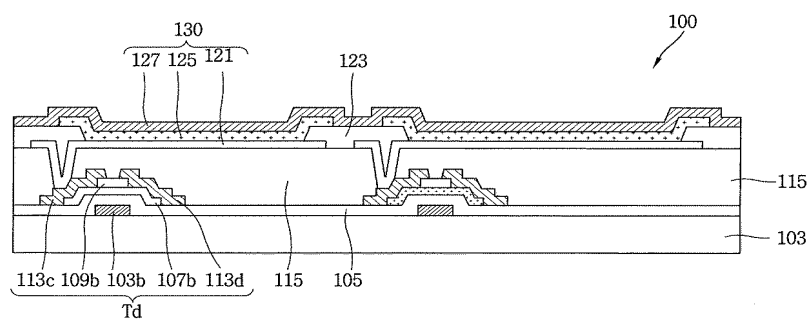
도면4



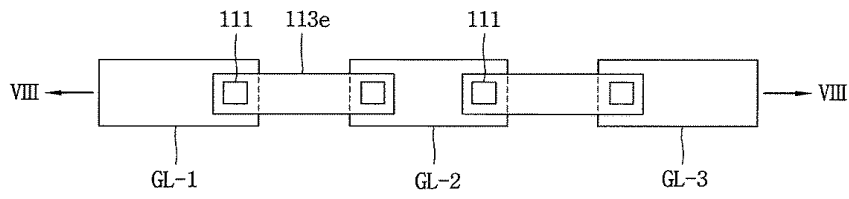
도면5



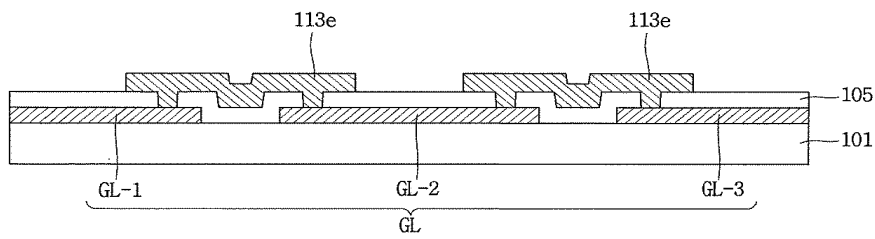
도면6



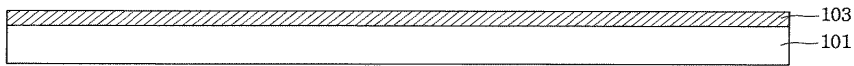
도면7



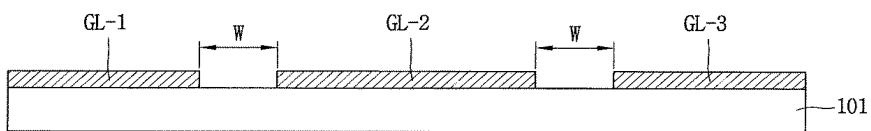
도면8



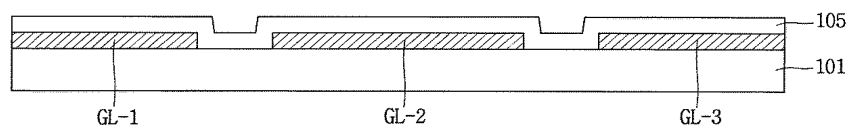
도면9a



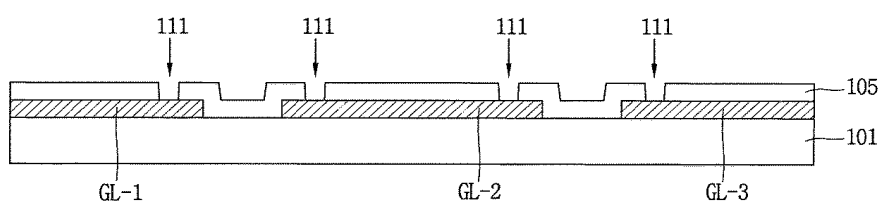
도면9b



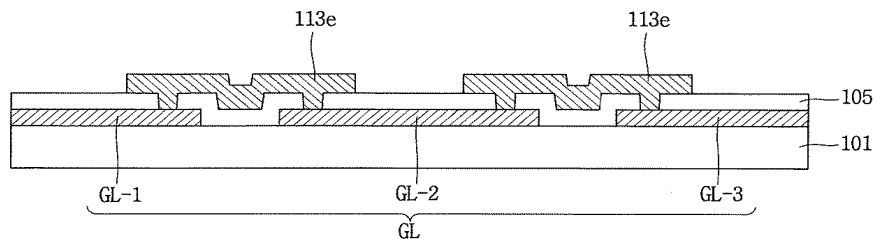
도면9c



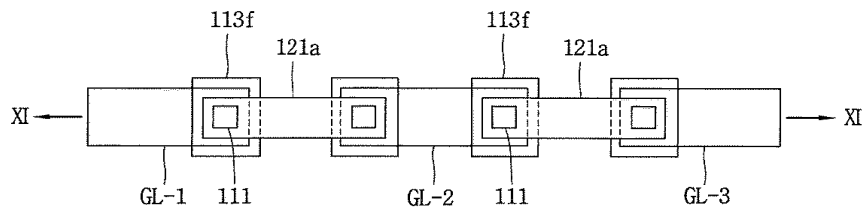
도면9d



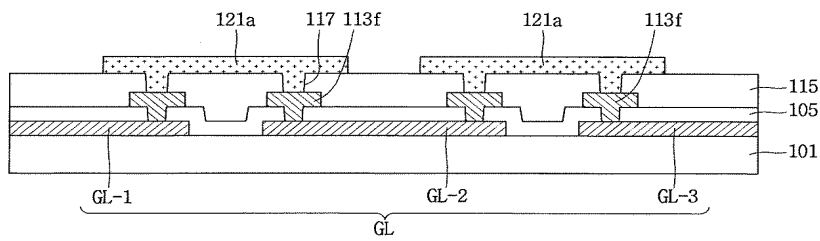
도면9e



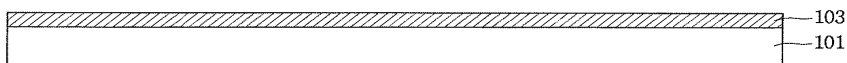
도면10



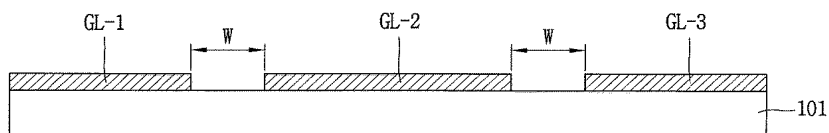
도면11



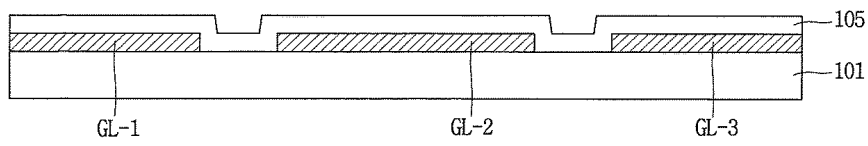
도면12a



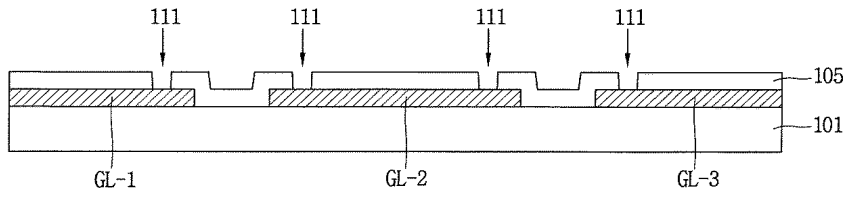
도면12b



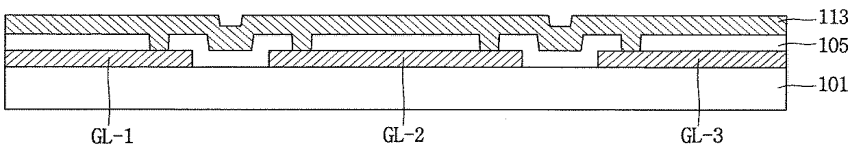
도면12c



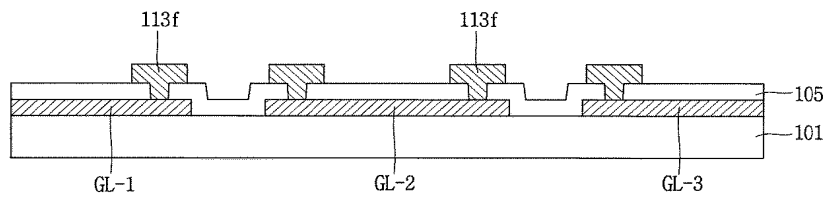
도면12d



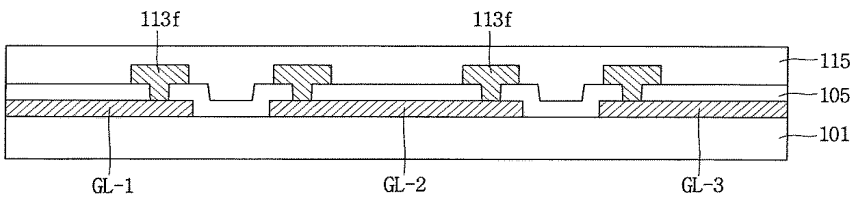
도면12e



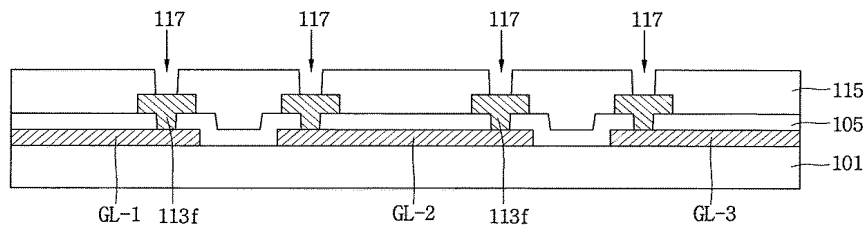
도면12f



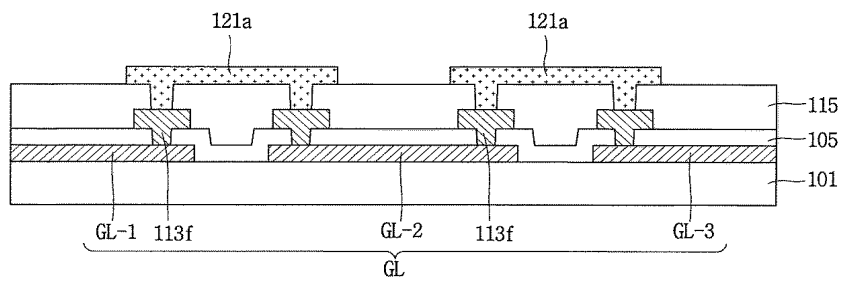
도면12g



도면12h



도면12i



| | | | |
|----------------|-----------------------------------|---------|------------|
| 专利名称(译) | 有机电致发光显示装置及其制造方法 | | |
| 公开(公告)号 | KR102063277B1 | 公开(公告)日 | 2020-01-07 |
| 申请号 | KR1020130096786 | 申请日 | 2013-08-14 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | 서현식 김종우 조봉래 | | |
| 发明人 | 서현식 김종우 조봉래 | | |
| IPC分类号 | H01L51/52 H01L51/56 | | |
| CPC分类号 | H01L27/3276 H01L51/5203 H01L51/56 | | |
| 审查员(译) | 这蓬莱 | | |
| 其他公开文献 | KR1020150019667A | | |
| 外部链接 | Espacenet | | |

摘要(译)

有机电致发光显示装置及其制造方法技术领域本发明涉及有机电致发光显示装置及其制造方法。本发明包括形成在绝缘层上并具有至少两个短路部分的栅线，从栅线分支的开关栅电极和独立于栅线的驱动栅电极。栅绝缘层，其形成在包括开关栅电极和驱动栅电极的基板的前表面上；半导体有源层，其形成在开关栅电极和驱动栅电极上的栅绝缘层上并且由氧化物半体制成；源电极和漏电极彼此分离并形成在半导体有源层上。连接图案，其连接至少两个短路部分；在包括源电极和漏电极的基板的前表面中形成的平坦化层；第一电极，其形成在平坦化层上并形成在每个像素区域中；像素限定层，其覆盖在第一电极之间的第一电极的外部并且形成在平坦化层的上部中；在第一电极的上部形成有机层；第二电极形成在有机层上。

