



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년01월07일

(11) 등록번호 10-2063273

(24) 등록일자 2019년12월31일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/322 (2013.01)

(21) 출원번호 10-2017-0163059

(22) 출원일자 2017년11월30일

심사청구일자 2017년11월30일

(65) 공개번호 10-2019-0063915

(43) 공개일자 2019년06월10일

(56) 선행기술조사문헌

KR1020120102723 A*

(뒷면에 계속)

전체 청구항 수 : 총 11 항

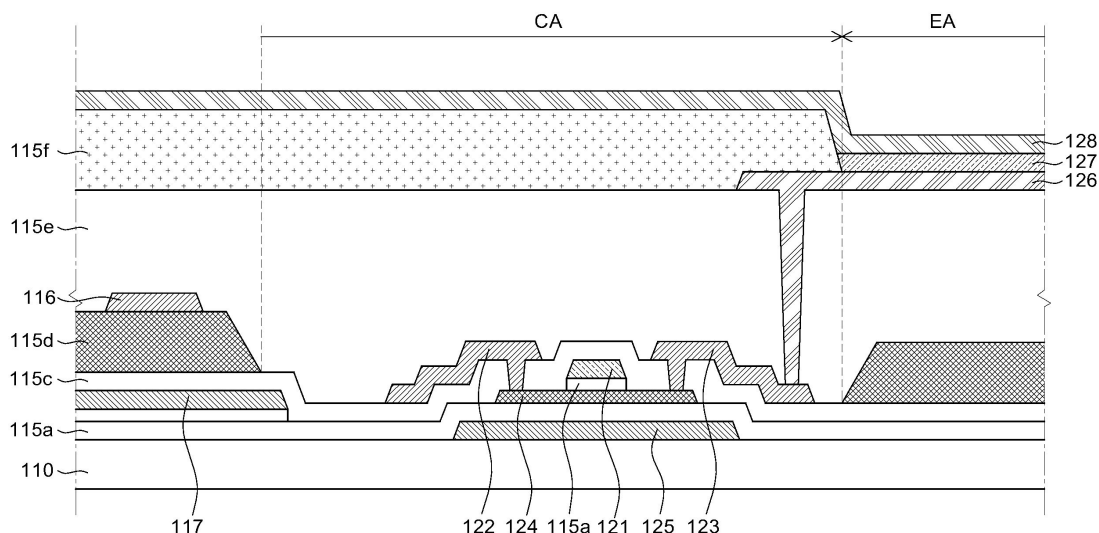
심사관 : 윤성주

(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 발명의 일 실시예에 따른 전계발광 표시장치는 고해상도 모델에 있어, 회로영역을 제외한 데이터라인 영역과 발광영역에 추가적인 절연층을 형성 함으로써 게이트라인과 데이터라인의 교차지점에서 발생하는 단락 불량을 방지할 수 있다. 이에 따라 리페어를 위한 게이트 리던던시(redundancy) 패턴을 삭제할 수 있으며, 게이트라인과 데이터라인간 절연층의 두께를 줄일 수 있어 커패시터(capacitor) 용량을 충분히 확보함으로써 개구율 향상에 유리하다. 또한, 본 발명의 일 실시예에 따른 전계발광 표시장치는 게이트라인과 데이터라인 사이에서 발생하는 기생용량을 줄일 수 있어 고해상도 모델에서 충전율을 확보가 용이하다.

대표도



(52) CPC특허분류

H01L 27/3246 (2013.01)
H01L 27/3262 (2013.01)
H01L 27/3265 (2013.01)
H01L 27/3276 (2013.01)
H01L 51/5237 (2013.01)

(56) 선행기술조사문헌

KR1020150015127 A
KR1020120102772 A
JP2013058758 A
JP2008177556 A
KR1020110056994 A
JP2011049549 A
KR1020150078348 A
KR1020160150199 A
KR1020050096367 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관 위에 제1 방향으로 배치되는 게이트라인 및 상기 제1 방향과 교차하는 제2 방향으로 배치되어 상기 게이트라인과 함께 화소영역을 구획하는 데이터라인;

상기 게이트라인 위의 제1 절연층;

상기 화소영역의 회로영역에 배치되는 박막트랜지스터;

상기 회로영역을 제외한 상기 기관 위에 배치되며, 상기 게이트라인과 상기 데이터라인의 교차지점의 상기 제1 절연층 및 상기 화소영역의 발광영역의 상기 제1 절연층 위에 배치되는 제2 절연층;

상기 데이터라인이 배치된 상기 기관을 평탄화하는 제3 절연층; 및

상기 제3 절연층 위의 상기 발광영역에 배치되는 발광소자를 포함하며,

상기 데이터라인은 상기 제1 절연층과 상기 제2 절연층을 개재하여 상기 게이트라인 상부에 배치되고

상기 제1 절연층은 층간절연층이고, 상기 제2 절연층은 제1 평탄화층이며, 상기 제3 절연층은 제2 평탄화층인, 전계발광 표시장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제2 절연층은 상기 데이터라인을 따라 상기 데이터라인 하부에도 배치되는 전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 제2 절연층은 상기 게이트라인을 따라 상기 게이트라인 상부에도 배치되는 전계발광 표시장치.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 제2 절연층과 상기 제3 절연층은 동일한 유기절연물질로 이루어진 전계발광 표시장치.

청구항 7

제1항에 있어서,

상기 기관 위에 상기 제2 방향으로 배치되는 전원라인을 더 포함하는 전계발광 표시장치.

청구항 8

제7항에 있어서,

상기 제2 절연층은 상기 게이트라인과 상기 전원라인의 교차지점에도 배치되는 전계발광 표시장치.

청구항 9

제8항에 있어서,

상기 제2 절연층은 상기 데이터라인과 상기 전원라인을 따라 상기 데이터라인과 상기 전원라인 하부에도 배치되는 전계발광 표시장치.

청구항 10

삭제

청구항 11

제1항에 있어서,

상기 제1 절연층을 개재하여 구성되는 커패시터를 더 포함하는 전계발광 표시장치.

청구항 12

제11항에 있어서,

상기 게이트라인과 상기 데이터라인 사이에 상기 제1 절연층 이외에 상기 제2 절연층이 개재됨에 따라, 상기 제1 절연층의 두께를 상대적으로 줄일 수 있으며,

상기 줄어든 제1절연층의 두께에 의해 상기 커패시터의 용량이 증가하는 전계발광 표시장치.

청구항 13

제1항에 있어서,

상기 제3 절연층 위에 상기 발광영역을 둘러싸도록 배치되는 बैं크를 더 포함하며,

상기 बैं크의 일 끝단은 상기 발광영역 내의 상기 제2 절연층의 끝단과 일치하는 전계발광 표시장치.

청구항 14

제1항에 있어서,

상기 발광영역에 배치되는 상기 제2 절연층은 컬러수지로 이루어져 컬러필터층을 구성하며,

상기 게이트라인과 상기 데이터라인의 교차지점에 배치되는 상기 제2 절연층은 상기 컬러수지의 적층으로 이루어져 차광부를 구성하는, 전계발광 표시장치.

청구항 15

삭제

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것으로서, 보다 상세하게는 고해상도 모델에서 고개구율을 구현할 수 있는 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 현재 본격적인 정보화 시대로 접어들면서 전기적 정보신호를 시각적으로 표시하는 표시장치 분야가 급속도로 발전하고 있으며, 여러 가지 표시장치에 대해 박형화, 경량화 및 저소비 전력화 등의 성능을 개발시키기 위한 연구가 계속되고 있다.

[0003] 대표적인 표시장치로는 액정표시장치(Liquid Crystal Display device; LCD), 전계방출 표시장치(Field Emission Display device; FED), 전기습윤 표시장치(Electro-Wetting Display device; EWD) 및 유기발광 표시장치(Organic Light Emitting Display Device; OLED) 등을 들 수 있다.

[0004] 이종에서, 유기발광 표시장치를 포함하는 표시장치인 전계발광 표시장치는 자체 발광형 표시장치로서, 액정표시 장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 전계발광 표시장치는 저전압 구동에 의해 소비전력 측면에서 유리할 뿐만 아니라, 색상구현, 응답속도, 시야각(viewing angle), 명암 대비비(Contrast Ratio; CR)도 우수하여, 다양한 분야에서 활용이 기대되고 있다.

[0005] 전계발광 표시장치는 애노드(anode)와 캐소드(cathode)로 지칭된 2개의 전극 사이에 유기물을 사용한 발광층을 배치하여 구성된다. 그리고, 애노드에서의 정공(hole)을 발광층으로 주입시키고, 캐소드에서의 전자(electron)를 발광층으로 주입시키면, 주입된 전자와 정공이 서로 재결합(recombination)하면서 발광층에서 여기자(exciton)를 형성하며 발광한다.

[0006] 이러한 발광층에는 호스트(host) 물질과 도펀트(dopant) 물질이 포함되어 두 물질의 상호작용이 발생하게 된다. 호스트는 전자와 정공으로부터 여기자를 생성하고 도펀트로 에너지를 전달하는 역할을 하고, 도펀트는 소량이 첨가되는 염료성 유기물로, 호스트로부터 에너지를 받아서 광으로 전환시키는 역할을 한다.

발명의 내용

해결하려는 과제

[0007] 표시장치가 대형화되고 고해상도를 구현하기 위해서는 고개구율 확보가 필요하며, 현재 게이트라인과 데이터라인간 단락 불량을 리페어(repair)하기 위한 게이트 리던던시(redundancy) 패턴이 문제가 되고 있다.

[0008] 이는 게이트라인과 데이터라인의 교차지점은 그 사이에 층간절연층만이 개재되어 있어 짧은 이격거리로 인해 정전기성 불량이 발생하게 되며, 이에 따라 게이트라인과 데이터라인이 단락되는 단락 불량을 리페어(repair)하기 위한 게이트 리던던시 패턴이 필요하였다. 게이트 리던던시 패턴은 게이트라인의 상하로 소정 영역을 차지하도록 형성됨에 따라 화소 내의 개구율을 축소시키는 요인이 되었다. 특히, 고해상도 모델의 전계발광 표시장치를 개발함에 있어, 기존대비 감소된 화소 면적으로 인해 개구율 확보가 어려운 실정이다. 또한, 수평타임(horizontal time)이 기존대비 절반으로 감소하기 때문에 충전율 확보도 어렵다.

[0009] 본 발명의 발명자들은 게이트라인과 데이터라인의 교차지점은 그 사이에 층간절연층만이 개재되어 있어 정전기성 불량에 취약하고, 이런 정전기성 불량은 라인간 이격거리에 영향을 받는 점에 착안하여, 게이트라인과 데이터라인 사이에 층간절연층 이외에 두께가 비교적 두꺼운 유기절연층이 더 개재되도록 함으로써 정전기성 불량을 방지할 수 있는 구조를 발명하였다.

[0010] 즉, 데이터 배선(데이터라인과 소스전극 및 드레인전극)을 형성하기 전에 게이트라인과 데이터라인의 교차지점에 오버코트층을 추가하여, 게이트라인과 데이터라인 사이에 층간절연층 이외에 오버코트층이 더 개재되도록 할 수 있다. 따라서, 게이트라인과 데이터라인의 교차지점에서 발생하는 정전기에 의한 단락 불량을 방지할 수 있게 되며, 이에 따라 게이트 리던던시 패턴을 삭제할 수 있다.

[0011] 이 경우 기존 층간절연층의 두께를 줄일 수 있어 층간절연층을 개재하여 구성되는 커패시터의 용량을 확보하는데 유리하다. 결과적으로 개구율 확보가 유리하다.

[0012] 또한, 게이트라인과 데이터라인 사이에서 발생하는 기생용량을 줄일 수 있어 기존대비 로드(load)가 감소되며, 따라서 고해상도 모델에서 충전율 확보가 용이하다.

[0013] 이에, 본 발명이 해결하고자 하는 과제는 고해상도 모델에서 고개구율을 구현하는 동시에 충전율을 확보할 수 있는 전계발광 표시장치를 제공하는 것이다.

[0014] 한편, 박막트랜지스터가 배치되는 회로영역과 박막트랜지스터가 배치되지 않는 발광영역 사이에는 박막트랜지스터의 두께만큼의 단차를 가지게 된다.

[0015] 본 발명의 발명자들은 상술한 게이트라인과 데이터라인의 교차지점에 추가되는 오버코트층을 발광영역에도 추가하여 회로영역과 발광영역 사이의 단차를 최소화함으로써 화소영역을 평탄화할 수 있는 구조를 발명하였다.

[0016] 이에, 본 발명이 해결하고자 하는 다른 과제는 화소영역을 평탄화할 수 있는 전계발광 표시장치를 제공하는 것이다.

[0017] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0018] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 전계발광 표시장치는, 기관 위에 제1 방향으로 배치되는 게이트라인 및 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인과 함께 화소영역을 구획하는 데이터라인, 게이트라인 위의 제1 절연층, 화소영역의 회로영역에 배치되는 박막트랜지스터, 회로영역을 제외한 기관 위에 배치되되, 게이트라인과 데이터라인의 교차지점의 제1 절연층 위에 배치되는 제2 절연층, 데이터라인이 배치된 기관을 평탄화하는 제3 절연층 및 제3 절연층 위의 화소영역의 발광영역에 배치되는 발광소자를 포함하며, 데이터라인은 제1 절연층과 제2 절연층을 개재하여 게이트라인 상부에 배치될 수 있다.
- [0019] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 다른 일 실시예에 따른 전계발광 표시장치는, 기관 위에 제1 방향으로 배치되는 게이트라인 및 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인과 함께 화소영역을 구획하는 데이터라인, 게이트라인 위의 제1 절연층, 화소영역의 회로영역에 배치되는 박막트랜지스터, 회로영역을 제외한 기관 위에 배치되되, 게이트라인과 데이터라인의 교차지점의 제1 절연층 위에 배치되는 제2 절연층, 데이터라인이 배치된 기관을 평탄화하는 제3 절연층 및 제3 절연층 위의 화소영역의 발광영역에 배치되는 발광소자를 포함하며, 데이터라인은 제1 절연층과 제2 절연층을 개재하여 게이트라인 상부에 배치되고, 제2 절연층은 발광영역의 제1 절연층 위에도 배치되어, 회로영역과 발광영역 사이의 단차를 완화할 수 있다.
- [0020] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0021] 본 발명은 고해상도 모델에 있어, 회로영역을 제외한 데이터라인 영역과 발광영역에 유기절연층을 형성함으로써 게이트라인과 데이터라인의 교차지점에서 발생하는 단락 불량을 방지할 수 있다. 이에 따라 리페어(repair)를 위한 게이트 리던던시(redundancy) 패턴을 삭제할 수 있으며, 게이트라인과 데이터라인간 절연층의 두께를 줄일 수 있어 커패시터(capacitor) 용량을 충분히 확보할 수 있다. 이에 따라 고해상도, 고개구율 구조의 대화면 전계발광 표시장치의 수율이 향상되는 효과를 제공한다.
- [0022] 또한, 본 발명은 게이트라인과 데이터라인 사이에서 발생하는 기생용량을 줄일 수 있어 고해상도 모델에서 충전율을 확보가 용이한 효과를 제공한다.
- [0023] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 전계발광 표시장치에 포함되는 화소의 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다.
- 도 4는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 단면도이다.
- 도 5a는 비교예에 따른 전계발광 표시장치에 있어, 라인간 교차지점의 단면 구조를 예로 들어 보여주는 도면이다.
- 도 5b는 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 라인간 교차지점의 단면 구조를 예로 들어 보여주는 도면이다.
- 도 6a는 비교예에 따른 전계발광 표시장치에 있어, 커패시터의 단면 구조를 예로 들어 보여주는 도면이다.
- 도 6b는 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 커패시터의 단면 구조를 예로 들어 보여주는 도면이다.
- 도 7은 본 발명의 다른 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다.
- 도 8은 도 7에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 단면도이다.
- 도 9는 본 발명의 또 다른 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0026] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0027] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0028] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0029] 소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0030] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0031] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0032] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0033] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 블록도이다.
- [0036] 도 1을 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치(100)는 영상처리부(170), 타이밍 컨트롤러(180), 데이터드라이버(130), 게이트드라이버(140) 및 표시패널(110)을 포함하여 구성될 수 있다.
- [0037] 영상처리부(170)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터인에이블신호(DE) 등을 출력할 수 있다. 영상처리부(170)는 데이터인에이블신호(DE) 외에도 수직동기신호, 수평동기신호 및 클럭신호 중 하나 이상을 출력할 수 있다.
- [0038] 타이밍컨트롤러(180)는 영상처리부(170)로부터 데이터인에이블신호(DE) 또는 수직동기신호, 수평동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받을 수 있다. 타이밍컨트롤러(180)는 구동신호에 기초하여 게이트드라이버(140)의 동작타이밍을 제어하기 위한 게이트타이밍 제어신호(GDC)와 데이터드라이버(130)의 동작타이밍을 제어하기 위한 데이터타이밍 제어신호(DDC)를 출력할 수 있다.
- [0039] 데이터드라이버(130)는 타이밍컨트롤러(180)로부터 공급된 데이터타이밍 제어신호(DDC)에 응답하여 타이밍컨트롤러(180)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치(latch)하여 감마 기준전압으로 변환하여 출력할 수 있다. 데이터드라이버(130)는 데이터라인들(DL1-DLn)을 통해 데이터신호(DATA)를 출력할 수 있다.
- [0040] 게이트드라이버(140)는 타이밍컨트롤러(180)로부터 공급된 게이트타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트(shift)시키면서 게이트신호를 출력할 수 있다. 게이트드라이버(140)는 게이트라인들(GL1-

GLm)을 통해 게이트신호를 출력할 수 있다.

- [0041] 표시패널(110)은 데이터드라이버(130) 및 게이트드라이버(140)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 화소(160)가 발광하면서 영상을 표시할 수 있다.
- [0042] 화소(160)의 상세구조는 도 2 및 도 3에서 설명한다.
- [0043] 도 2는 본 발명의 일 실시예에 따른 전계발광 표시장치에 포함되는 화소의 회로도이다. 이하에서는 설명의 편의상, 본 발명의 일 실시예에 따른 전계발광 표시장치가 2T(Transistor)1C(Capacitor)의 화소 회로일 경우의 구조 및 이의 동작에 대해서 설명하나, 본 발명이 이에 한정되는 것은 아니다.
- [0044] 도 2를 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치(100)에 있어, 하나의 화소는 스위칭 트랜지스터(111), 구동 트랜지스터(113), 보상회로(112) 및 발광소자(114)를 포함하여 구성될 수 있다.
- [0045] 발광소자(114)는 구동 트랜지스터(113)에 의해 형성된 구동전류에 따라 발광하도록 동작할 수 있다.
- [0046] 스위칭 트랜지스터(111)는 게이트라인(117)을 통해 공급된 게이트신호에 대응하여 데이터라인(116)을 통해 공급되는 데이터신호가 커패시터(capacitor)에 데이터전압으로 저장되도록 스위칭 동작할 수 있다.
- [0047] 구동 트랜지스터(113)는 커패시터에 저장된 데이터전압에 대응하여 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 일정한 구동전류가 흐르도록 동작할 수 있다.
- [0048] 보상회로(112)는 구동 트랜지스터(113)의 문턱전압 등을 보상하기 위한 회로이며, 보상회로(112)는 하나 이상의 박막트랜지스터와 커패시터를 포함하여 구성될 수 있다. 보상회로(112)의 구성은 보상 방법에 따라 매우 다양할 수 있다.
- [0049] 상술한 바와 같이 본 발명의 일 실시예에 따른 전계발광 표시장치(100)에 있어, 하나의 화소는 스위칭 트랜지스터(111), 구동 트랜지스터(113), 커패시터 및 발광소자(114)를 포함하는 2T1C 구조로 구성되지만, 보상회로(112)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 형성할 수 있다.
- [0050] 도 3은 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다. 그리고, 도 4는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 단면도이다.
- [0051] 이때, 도 3은 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 하나의 화소의 평면 구조를 개략적으로 보여주고 있으며, 설명의 편의상 하나의 화소는 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 발광소자를 포함하는 2T1C 구조로 구성되는 경우를 예로 들어 보여주고 있으나, 보상회로가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0052] 그리고, 도 4는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 게이트라인과 데이터라인의 교차지점과, 구동 트랜지스터를 포함하는 회로영역의 일부 및 발광소자를 포함하는 발광영역의 일부를 예로 들어 보여주고 있다.
- [0053] 도 3 및 도 4를 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치(100)는 기판(110) 위에 게이트라인(117)과 데이터라인(116)이 교차하여 화소영역(AA)을 구획할 수 있다. 게이트라인(117)은 기판(110) 위에 제1 방향으로 배치될 수 있다. 그리고, 데이터라인(116)은 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인(117)과 함께 화소영역(AA)을 구획할 수 있다. 이때, 설명의 편의상 하나의 화소영역(AA)은 발광소자가 발광하는 발광영역(EA)과 발광소자에 구동전류를 공급하기 위한 다수의 소자로 구성된 회로영역(CA)으로 구분될 수 있다.
- [0054] 도 4를 참조하면, 화소영역(AA)의 회로영역(CA)에 발광소자를 구동하기 위한 박막트랜지스터가 배치될 수 있다.
- [0055] 이러한 박막트랜지스터는 게이트전극(121), 액티브층(124), 소스전극(122) 및 드레인전극(123)을 포함하여 구성될 수 있다. 도시된 박막트랜지스터는 구동 트랜지스터이고, 게이트전극(121)이 액티브층(124) 위에 배치되는 탑 게이트 구조, 특히 코플라나(coplanar) 구조의 박막트랜지스터를 예로 들고 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 게이트전극이 액티브층 하부에 배치되는 바텀 게이트 구조의 박막트랜지스터도 적용 가능하다.
- [0056] 구체적으로, 박막트랜지스터의 액티브층(124)이 기판(110) 위에 배치될 수 있다. 이때, 액티브층(124) 하부에는 차광층(125)이 배치되고, 액티브층(124)과 차광층(125) 사이에 버퍼층(115a)이 배치될 수 있다.
- [0057] 차광층(125)은 외부나 주변의 발광소자의 빛에 의해 액티브층(124)이 영향을 받는 것을 차단하는 역할을 할 수

있으며, 기관(110)의 최하층에 배치될 수 있다.

- [0058] 버퍼층(115a)은 차광층(125)을 덮도록 기관(110) 위에 배치될 수 있다.
- [0059] 액티브층(124)은 박막트랜지스터 구동 시 채널이 형성되는 영역이다.
- [0060] 액티브층(124)은 산화물(oxide) 반도체를 이용하여 구성될 수 있고, 비정질 실리콘(amorphous silicon; a-Si), 다결정실리콘(polycrystalline silicon; poly-Si), 또는 유기물(organic) 반도체 등으로 구성될 수도 있다.
- [0061] 도 4를 참조하면, 게이트절연층(115b)이 액티브층(124) 위에 배치될 수 있다. 게이트절연층(115b)은 무기물인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 단일층 또는 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 다중층으로 구성될 수도 있다. 이때, 도 4는 게이트절연층(115b)이 게이트전극(121) 하부에만 한정되어 형성된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 게이트절연층(115b)은 액티브층(124)이 형성된 기관(110) 전면에 형성될 수 있으며, 이 경우 게이트절연층(115b)에는 소스전극(122) 및 드레인전극(123) 각각이 액티브층(124)의 소스영역 및 드레인영역 각각에 접촉하기 위한 콘택홀이 형성될 수 있다.
- [0062] 게이트전극(121)과 동일 층에 게이트라인(117)이 배치될 수 있다. 이때, 게이트라인(117) 하부에는 상술한 게이트절연층(115b)이 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상술한 바와 같이 게이트절연층(115b)은 액티브층(124)이 형성된 기관(110) 전면에 형성될 수도 있다.
- [0063] 도 4를 참조하면, 게이트전극(121)은 액티브층(124)의 채널과 중첩하도록 게이트절연층(115b) 위에 배치될 수 있다. 게이트전극(121)과 게이트라인(117)은 다양한 도전물질, 일 예로 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금, 또는 이들의 다중층으로 구성될 수 있다.
- [0064] 도 4를 참조하면, 게이트전극(121)과 게이트라인(117)이 배치된 기관(110) 위에 층간절연층(115c)이 배치될 수 있다. 층간절연층(115c)은 무기물인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 단일층, 또는 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 다중층으로 구성될 수도 있다. 상술한 바와 같이 층간절연층(115c)에는 소스전극(122) 및 드레인전극(123) 각각이 액티브층(124)의 소스영역 및 드레인영역 각각에 접촉하기 위한 콘택홀이 형성될 수 있다. 층간절연층(115c)은 도 4에 도시된 바와 같이 기관(110) 전면에 걸쳐 형성될 수도 있고, 화소영역(AA)에만 형성될 수도 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0065] 도 3 및 도 4를 참조하면, 회로영역(CA)을 제외한 층간절연층(115c) 위에 제1 평탄화층(115d)이 배치될 수 있다. 이때, 본 발명의 일 실시예에 따른 제1 평탄화층(115d)은 박막트랜지스터가 배치되는 회로영역(CA)을 제외한 기관(110) 위에 배치되되, 게이트라인(117)과 데이터라인(116)의 교차지점의 층간절연층(115c) 위에 배치되는 것을 특징으로 한다.
- [0066] 본 발명의 일 실시예에 따른 제1 평탄화층(115d)은 게이트라인(117)과 데이터라인(116)의 교차지점을 포함하여, 데이터라인(116)을 따라 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 다른 예로 제1 평탄화층(115d)은 게이트라인(117)과 데이터라인(116)의 교차지점을 포함하여, 게이트라인(117)을 따라 배치될 수도 있다.
- [0067] 본 발명의 일 실시예에 따른 제1 평탄화층(115d)은 게이트라인(117)과 데이터라인(116)의 교차지점을 포함하여, 발광영역(EA)의 층간절연층(115c) 위에도 배치된다. 이 경우 박막트랜지스터가 배치되는 회로영역(CA)과 박막트랜지스터가 배치되지 않는 발광영역(EA) 사이의 단차를 최소화함으로써 화소영역(AA)을 평탄화할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0068] 제1 평탄화층(115d)은 오버코트층의 역할을 할 수 있으며, 우수한 평탄성, 고투명 및 내화학성의 유기절연물질로 이루어질 수 있다. 제1 평탄화층(115d)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리이미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0069] 또한, 본 발명의 일 실시예에 따른 발광영역(EA)의 층간절연층(115c) 위에 배치되는 제1 평탄화층(115d)은 소정 컬러수지로 이루어질 경우 컬러필터층을 구성할 수 있으며, 게이트라인(117)과 데이터라인(116)의 교차지점에 배치되는 제1 평탄화층(115d)은 상술한 컬러수지의 적층으로 이루어져 빛을 차단하는 차광부를 구성할 수 있다. 또한, 게이트라인(117)과 데이터라인(116)의 교차지점을 포함하여, 데이터라인(116)을 따라 배치되는 제1 평탄화층(115d)은 차광라인을 구성할 수 있다.

- [0070] 도 4를 참조하면, 층간절연층(115c) 위에 데이터라인(116)과 소스전극(122) 및 드레인전극(123)이 배치될 수 있다. 소스전극(122) 및 드레인전극(123) 각각은 층간절연층(115c)의 컨택홀을 통해 액티브층(124)의 소스영역 및 드레인영역 각각에 전기적으로 접속될 수 있다. 데이터라인(116)과 소스전극(122) 및 드레인전극(123)은 다양한 도전물질, 일 예로 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 및 구리(Cu) 중 어느 하나로 이루어지거나 둘 이상의 합금, 또는 이들의 다중층으로 구성될 수 있다.
- [0071] 데이터라인(116)과 동일 층에 제2 방향으로 전원라인(119)이 더 배치될 수 있다.
- [0072] 제1 평탄화층(115d)은 게이트라인(117)과 데이터라인(116)의 교차지점을 포함하여, 게이트라인(117)과 전원라인(119)의 교차지점에도 배치될 수 있다.
- [0073] 제1 평탄화층(115d)은 게이트라인(117)과 데이터라인(116)의 교차지점을 포함하여, 데이터라인(116)과 전원라인(119)을 따라 배치될 수 있다.
- [0074] 제1 평탄화층(115d)은 게이트라인(117)과 데이터라인(116)의 교차지점을 포함하여, 발광영역(EA)의 층간절연층(115c) 위에도 배치될 수 있다.
- [0075] 도 4에서는 설명의 편의를 위해, 전계발광 표시장치(100)에 포함될 수 있는 다양한 박막트랜지스터 중 구동 트랜지스터만을 도시하였으나, 본 발명이 이에 한정되는 것은 아니며, 스위칭 트랜지스터 등의 다른 박막트랜지스터도 포함될 수 있다. 또한, 본 명세서에서는 박막트랜지스터가 코플라나 구조인 것으로 설명하였으나, 스테거드(staggered) 구조 등과 같은 다른 구조로 박막트랜지스터가 구현될 수도 있다.
- [0076] 상술한 바와 같이 본 발명의 일 실시예에 따른 전계발광 표시장치(100)는 게이트라인(117)이 기판(110) 위에 제1 방향으로 배치되며, 데이터라인(116)이 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인(117)과 함께 화소영역(AA)을 구획하게 된다.
- [0077] 본 발명의 일 실시예에 따른 전계발광 표시장치(100)는 데이터라인(116)이 층간절연층(115c)과 제1 평탄화층(115d)을 개재하여 게이트라인(117) 상부에 배치 됨으로써 게이트라인(117)과 데이터라인(116)의 교차지점에서 발생하는 단락 불량을 방지할 수 있는 것을 특징으로 한다.
- [0078] 즉, 기존에는 게이트라인과 데이터라인간 단락 불량을 리페어(repair)하기 위한 게이트 리던던시(redundancy) 패턴을 형성하여야 하는데, 이는 게이트라인과 데이터라인의 교차지점은 그 사이에 층간절연층만이 개재되어 있어 짧은 이격거리로 인해 정전기성 불량이 발생하게 되며, 이에 따라 게이트라인과 데이터라인이 단락되는 단락 불량을 레이저 리페어(repair)하기 위한 게이트 리던던시 패턴이 필요하게 되었다. 이러한 게이트 리던던시 패턴은 게이트라인의 상하로 소정 영역을 차지하도록 형성됨에 따라 화소 내의 개구율을 축소시키는 요인이 되었다. 특히, 고해상도 모델의 전계발광 표시장치를 개발함에 있어, 기존대비 감소된 화소 면적으로 인해 개구율 확보가 어려운 실정이다. 또한, 수평타임(horizontal time)이 기존대비 절반으로 감소하기 때문에 충전율 확보도 어렵다. 또한, 게이트 리던던시 패턴으로 인해 게이트라인과 데이터라인 사이에서 발생하는 기생용량이 증가하게 된다.
- [0079] 이에 본 발명의 일 실시예는 게이트라인(117)과 데이터라인(116) 사이에 층간절연층(115c) 이외 두께가 비교적 두꺼운 유기절연층의 제1 평탄화층(115d)을 더 개재함으로써 정전기성 불량을 방지할 수 있는 것을 특징으로 한다. 즉, 데이터 배선(데이터라인(116)과 소스전극(122) 및 드레인전극(123))을 형성하기 전에 게이트라인(117)과 데이터라인(116)의 교차지점에 제1 평탄화층(115d)을 추가하여, 게이트라인(117)과 데이터라인(116) 사이에 층간절연층(115c) 이외에 제1 평탄화층(115d)이 더 개재되도록 할 수 있다. 따라서, 게이트라인(117)과 데이터라인(116)의 교차지점에서 발생하는 정전기에 의한 단락 불량을 방지할 수 있게 되며, 이에 따라 게이트 리던던시 패턴을 삭제할 수 있게 된다.
- [0080] 또한, 이 경우에는 기존의 층간절연층(115c)의 두께를 줄일 수 있어 층간절연층(115c)을 개재하여 구성되는 커패시터의 용량을 확보하는데 유리하다. 결과적으로 개구율 확보가 유리하다.
- [0081] 또한, 게이트라인(117)과 데이터라인(116) 사이에서 발생하는 기생용량을 줄일 수 있어 기존대비 로드(load)가 감소되며, 따라서 고해상도 모델에서 충전을 확보가 용이하다.
- [0082] 다음으로, 도 4를 참조하면, 박막트랜지스터 위에 제2 평탄화층(115e)이 배치될 수 있다. 제2 평탄화층(115e)은 박막트랜지스터 및 화소영역 이외에 배치되는 게이트드라이버 및 기타 배선들을 보호하고, 기판(110) 위의 단차를 완만하게 하여 기판(110) 상부를 평탄화하기 위한 절연층이다.

- [0083] 제2 평탄화층(115e)은 제1 평탄화층(115d)과 동일한 유기절연물질로 이루어질 수 있다. 즉, 제2 평탄화층(115e)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0084] 제2 평탄화층(115e) 위에는 연결전극(미도시)이 배치될 수 있다. 연결전극은 박막트랜지스터와 애노드(126)를 전기적으로 접속하기 위한 전극이다. 연결전극은 제2 평탄화층(115e)에 형성된 컨택홀을 통하여 박막트랜지스터의 드레인전극(123)과 전기적으로 접속할 수 있다. 연결전극은 박막트랜지스터의 소스전극(122) 및 드레인전극(123)과 동일한 도전물질로 이루어질 수도 있으며, 애노드(126)와는 상이한 도전물질로 이루어질 수도 있다.
- [0085] 제2 평탄화층(115e) 위에 연결전극을 덮도록 제3 평탄화층(미도시)이 배치될 수 있다. 제3 평탄화층은 제2 평탄화층(115e) 상부를 평탄화하기 위한 절연층이다. 제3 평탄화층은 상술한 제1, 제2 평탄화층(115d, 115e)을 구성하는 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0086] 다만, 본 발명이 이에 한정되는 것은 아니며, 본 발명은 도 4에 도시된 바와 같이, 제2 평탄화층(115e)만을 구비할 수도 있다.
- [0087] 도 4를 참조하면, 제2 평탄화층(115e) 위에는 발광소자가 배치될 수 있다. 일 예로, 유기 발광소자로서 발광소자는 제2 평탄화층(115e) 위에 형성되어 박막트랜지스터의 드레인전극(123)과 전기적으로 연결된 애노드(126), 애노드(126) 위에 배치된 유기 발광층(127) 및 유기 발광층(127) 위에 형성된 캐소드(128)를 포함하여 구성될 수 있다.
- [0088] 애노드(126)는 제2 평탄화층(115e) 위에 배치되어, 제2 평탄화층(115e)에 형성된 컨택홀을 통하여 드레인전극(123)과 전기적으로 접속된다. 애노드(126)는 유기 발광층(127)에 정공을 공급하기 위하여 일함수가 높은 도전성 물질로 이루어질 수 있다. 애노드(126)는, 예를 들어 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO) 등과 같은 투명 도전성 물질로 이루어질 수 있다.
- [0089] 전계발광 표시장치(100)가 탑 에미션 방식인 경우에는 애노드(126)는 유기 발광층(127)에서 발광된 광을 캐소드(128) 측으로 반사시키기 위한 반사층 및 유기층에 정공을 공급하기 위한 투명 도전층을 더 포함할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 애노드(126)는 투명 도전층만을 포함하고 반사층은 애노드(126)와 별개의 구성요소인 것으로 정의될 수도 있다.
- [0090] 도 4에서는 일 예로, 애노드(126)가 박막트랜지스터의 드레인전극(123)과 전기적으로 접속되는 것으로 도시되었으나, 본 발명이 이에 한정되는 것은 아니며 박막트랜지스터의 종류, 구동 회로의 설계 방식 등에 의해 애노드(126)가 박막트랜지스터의 소스전극(122)과 전기적으로 접속되도록 구성될 수도 있다.
- [0091] 유기 발광층(127)은 특정 색의 광을 발광하기 위한 유기층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 어느 하나를 포함할 수 있다. 또한, 유기 발광층(127)은 정공 수송층, 정공 주입층, 전자 주입층 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수도 있다. 도 3 및 도 4에서는 유기 발광층(127)이 화소 별로 패터닝된 것으로 도시하였으나, 본 발명이 이에 한정되지 않으며, 유기 발광층(127)은 복수의 화소에 공통으로 형성된 공통층일 수 있다.
- [0092] 캐소드(128)는 유기 발광층(127) 위에 배치될 수 있다. 캐소드(128)는 유기 발광층(127)으로 전자를 공급할 수 있다. 캐소드(128)는 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Tin Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO), 아연 산화물(Zinc Oxide; ZnO) 및 주석 산화물(Tin Oxide; TO) 계열의 투명 도전성 산화물, 또는 이테르븀(Yb) 합금으로 이루어질 수도 있다. 또는, 캐소드(128)는 도전물질로 이루어질 수도 있다.
- [0093] 애노드(126) 및 제2 평탄화층(115e) 위에 बैं크(115f)가 배치될 수 있다. बैं크(115f)는 유기 발광소자의 애노드(126)의 일부 및 배선의 일부를 커버할 수 있다. बैं크(115f)는 화소영역(AA)에서 인접하는 화소를 구분하도록 배치될 수 있다. बैं크(115f)는 유기절연물질로 이루어질 수 있다. 예를 들어, बैं크(115f)는 폴리이미드(polyimide), 아크릴(acryl), 또는 벤조사이클로부텐(benzocyclobutene; BCB)계 수지로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

- [0094] 뱅크(115f)는 제2 평탄화층(115e) 위에 발광영역(EA)을 둘러싸도록 배치될 수 있으며, 발광영역(EA) 내에 제1 평탄화층(115d)의 형상으로 평탄화됨에 따라 뱅크(115f)의 일 끝단은 발광영역(EA) 내의 제1 평탄화층(115d)의 끝단과 일치하도록 배치될 수 있다.
- [0095] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부(미도시)가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0096] 상술한 바와 같이 본 발명의 일 실시예에 따른 전계발광 표시장치(100)는 게이트라인(117)과 데이터라인(116) 사이에 층간절연층(115c) 이외에 추가로 제1 평탄화층(115d)이 개재됨으로써 게이트라인(117)과 데이터라인(116)간 정전기성 단락 불량을 방지할 수 있는데, 이를 도면을 참조하여 상세히 설명한다.
- [0097] 도 5a는 비교예에 따른 전계발광 표시장치에 있어, 라인간 교차지점의 단면 구조를 예로 들어 보여주는 도면이다. 그리고, 도 5b는 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 라인간 교차지점의 단면 구조를 예로 들어 보여주는 도면이다. 여기서, 상술한 라인간은 게이트라인과 데이터라인 사이를 의미한다.
- [0098] 도 5a를 참조하면, 비교예에 따른 전계발광 표시장치는 기판(10) 위에 버퍼층(15a)이 배치되고, 그 위에 게이트절연층(15b)을 개재하여 게이트라인(17)이 배치된다. 그리고, 그 위에 층간절연층(15c)을 사이에 두고 데이터라인(16)이 배치된다.
- [0099] 이와 같은 적층 구조하에서는 게이트라인(17)과 데이터라인(16) 사이에 한 층의 층간절연층(15c)만이 개재됨에 따라 라인간 이격거리(g_1)가 약 5,000Å으로 비교적 짧으며, 그 결과 정전기성 불량이 발생할 수 있다.
- [0100] 이에 비해 도 5b를 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치는 기판(110) 위에 버퍼층(115a)과 게이트절연층(115b)이 배치되고, 그 위에 게이트라인(117)이 배치된다. 그리고, 그 위에 층간절연층(115c)과 제1 평탄화층(115d)을 사이에 두고 데이터라인(116)이 배치되는 것을 알 수 있다.
- [0101] 이와 같은 적층 구조하에서는 게이트라인(117)과 데이터라인(116) 사이에 층간절연층(115c)뿐만 아니라 두께가 두꺼운 유기절연층인 제1 평탄화층(115d)이 개재됨에 따라 라인간 이격거리(g_2)가 약 2 μ m 이상으로 매우 길어지며, 그 결과 정전기성 불량이 방지된다.
- [0102] 이와 같은 게이트라인(117)과 데이터라인(116) 사이의 정전기성 불량의 방지로 기존의 게이트 리턴던시 패턴을 삭제할 수 있으며, 그 결과 개구율이 약 3.9% 증가하는 것을 알 수 있었다. 또한, 게이트 리턴던시 패턴의 삭제로 게이트라인(117)과 데이터라인(116) 사이에서 발생하는 기생용량이 줄어들어 스캔 로드나, 센싱 로드가 약 30% 감소하는 것을 알 수 있었다. 따라서, 고해상도 모델에서 충전을 확보에 유리하다.
- [0103] 또한, 본 발명의 일 실시예는 게이트라인(117)과 데이터라인(116) 사이에 층간절연층(115c)뿐만 아니라 제1 평탄화층(115d)이 개재됨에 따라, 기존보다 층간절연층(115c)의 두께를 줄일 수 있어 커패시터의 용량을 증가시킬 수 있는데, 이를 도면을 참조하여 상세히 설명한다.
- [0104] 도 6a는 비교예에 따른 전계발광 표시장치에 있어, 커패시터의 단면 구조를 예로 들어 보여주는 도면이다. 그리고, 도 6b는 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 커패시터의 단면 구조를 예로 들어 보여주는 도면이다.
- [0105] 도 6a를 참조하면, 비교예에 따른 전계발광 표시장치에 있어, 커패시터는 유전체로서 층간절연층(15c)과, 층간절연층(15c)의 상부 및 하부에 각각 배치된 상부 커패시터 전극(32) 및 하부 커패시터 전극(31)으로 구성될 수 있다. 이때, 커패시터의 용량을 결정하는 층간절연층(15c)의 두께(g_1)는 약 5,000Å으로 설정할 수 있다.
- [0106] 반면에, 도 6b를 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 커패시터는 유전체로서 층간절연층(115c)과, 층간절연층(115c)의 상부 및 하부에 배치된 상부 커패시터 전극(132) 및 하부 커패시터 전극(131)으로 구성될 수 있다.
- [0107] 이때, 본 발명의 일 실시예의 경우, 상술한 바와 같이 게이트라인과 데이터라인 사이에 층간절연층(115c)뿐만 아니라 제1 평탄화층(115d)이 개재됨에 따라, 기존보다 층간절연층(115c)의 두께(g_3)를 줄일 수 있다. 따라서, 커패시터의 용량을 결정하는 층간절연층(115c)의 두께(g_3)가 기존보다 약 1,500Å 감소할 수 있어, 비교예의 경우에 비해 커패시터의 용량이 증가하는 효과를 가진다.
- [0108] 한편, 상술한 바와 같이 본 발명의 제1 평탄화층은 게이트라인과 데이터라인의 교차지점을 포함하여, 데이터라인을 따라 배치될 수 있다. 또한, 본 발명의 제1 평탄화층은 게이트라인과 데이터라인의 교차지점에만 배치될

수도 있으며, 이를 다음의 본 발명의 다른 일 실시예를 통해 상세히 설명한다.

- [0109] 도 7은 본 발명의 다른 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다. 그리고, 도 8은 도 7에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 단면도이다.
- [0110] 이때, 도 7 및 도 8에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치는 제1 평탄화층의 배치 위치만을 제외하고는 상술한 본 발명의 일 실시예에 따른 전계발광 표시장치와 실질적으로 동일한 구성으로 이루어져 있다.
- [0111] 도 7은 본 발명의 다른 일 실시예에 따른 전계발광 표시장치에 있어, 하나의 화소의 평면 구조를 개략적으로 보여주고 있으며, 설명의 편의상 하나의 화소는 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 발광소자를 포함하는 2T1C 구조로 구성되는 경우를 예로 들어 보여주고 있으나, 보상회로가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0112] 그리고, 도 8은 도 7에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치에 있어, 게이트라인과 데이터라인의 교차지점과, 구동 트랜지스터를 포함하는 회로영역의 일부 및 발광소자를 포함하는 발광영역의 일부를 예로 들어 보여주고 있다.
- [0113] 도 7 및 도 8을 참조하면, 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)는 기판(210) 위에 게이트라인(217)과 데이터라인(216)이 교차하여 화소영역(AA)을 구획할 수 있다. 게이트라인(217)은 기판(210) 위에 제1 방향으로 배치될 수 있다. 그리고, 데이터라인(216)은 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인(217)과 함께 화소영역(AA)을 구획할 수 있다. 이때, 설명의 편의상 하나의 화소영역(AA)은 발광소자가 발광하는 발광영역(EA)과 발광소자에 구동전류를 공급하기 위한 다수의 소자로 구성된 회로영역(CA)으로 구분될 수 있다.
- [0114] 도 8을 참조하면, 화소영역(AA)의 회로영역(CA)에 발광소자를 구동하기 위한 박막트랜지스터가 배치될 수 있다.
- [0115] 이러한 박막트랜지스터는 게이트전극(221), 액티브층(224), 소스전극(222) 및 드레인전극(223)을 포함하여 구성될 수 있다.
- [0116] 구체적으로, 박막트랜지스터의 액티브층(224)이 기판(210) 위에 배치될 수 있다. 이때, 액티브층(224) 하부에는 차광층(225)이 배치되고, 액티브층(224)과 차광층(225) 사이에 버퍼층(215a)이 배치될 수 있다.
- [0117] 버퍼층(215a)은 차광층(225)을 덮도록 기판(210) 위에 배치될 수 있다.
- [0118] 액티브층(224)은 박막트랜지스터 구동 시 채널이 형성되는 영역이다.
- [0119] 도 8을 참조하면, 게이트절연층(215b)이 액티브층(224) 위에 배치될 수 있다. 이때, 도 8은 게이트절연층(215b)이 게이트전극(221) 하부에만 한정되어 형성된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 게이트절연층(215b)은 액티브층(224)이 형성된 기판(210) 전면에 형성될 수 있으며, 이 경우 게이트절연층(215b)에는 소스전극(222) 및 드레인전극(223) 각각이 액티브층(224)의 소스영역 및 드레인영역 각각에 접속하기 위한 콘택홀이 형성될 수 있다.
- [0120] 게이트전극(221)과 동일 층에 게이트라인(217)이 배치될 수 있다. 이때, 게이트라인(217) 하부에는 상술한 게이트절연층(215b)이 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상술한 바와 같이 게이트절연층(215b)은 액티브층(224)이 형성된 기판(210) 전면에 형성될 수도 있다.
- [0121] 도 8을 참조하면, 게이트전극(221)은 액티브층(224)의 채널과 중첩하도록 게이트절연층(215b) 위에 배치될 수 있다.
- [0122] 도 8을 참조하면, 게이트전극(221)과 게이트라인(217)이 배치된 기판(210) 위에 층간절연층(215c)이 배치될 수 있다. 상술한 바와 같이 층간절연층(215c)에는 소스전극(222) 및 드레인전극(223)이 액티브층(224)의 소스영역 및 드레인영역 각각에 접속하기 위한 콘택홀이 형성될 수 있다. 층간절연층(215c)은 도 8에 도시된 바와 같이 기판(210) 전면에 걸쳐 형성될 수도 있고, 화소영역(AA)에만 형성될 수도 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0123] 도 7 및 도 8을 참조하면, 회로영역(CA)을 제외한 층간절연층(215c) 위에 제1 평탄화층(215d)이 배치될 수 있다. 이때, 본 발명의 다른 일 실시예에 따른 제1 평탄화층(215d)은 박막트랜지스터가 배치되는 회로영역(CA)을 제외한 기판(210) 위에 배치되되, 게이트라인(217)과 데이터라인(216)의 교차지점의 층간절연층(215c)

위에 배치되는 것을 특징으로 한다.

- [0124] 특히, 본 발명의 다른 일 실시예에 따른 제1 평탄화층(215d)은 게이트라인(217)과 데이터라인(216)의 교차지점을 포함하여, 데이터라인(216)을 따라 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 다른 예로 제1 평탄화층(215d)은 게이트라인(217)과 데이터라인(216)의 교차지점을 포함하여, 게이트라인(217)을 따라 배치될 수도 있다.
- [0125] 제1 평탄화층(215d)은 오버코트층의 역할을 할 수 있으며, 우수한 평탄성, 고투명 및 내화학성의 유기절연물질로 이루어질 수 있다. 제1 평탄화층(215d)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0126] 또한, 본 발명의 다른 일 실시예의 게이트라인(217)과 데이터라인(216)의 교차지점 및 데이터라인(216)을 따라 배치되는 제1 평탄화층(215d)은 상술한 컬러수지의 적층으로 이루어져 빛을 차단하는 차광라인을 구성할 수 있다.
- [0127] 도 8을 참조하면, 층간절연층(215c) 위에 데이터라인(216)과 소스전극(222) 및 드레인전극(223)이 배치될 수 있다. 소스전극(222) 및 드레인전극(223) 각각은 층간절연층(215c)의 컨택홀을 통해 액티브층(224)의 소스영역 및 드레인영역 각각에 전기적으로 접속될 수 있다.
- [0128] 데이터라인(216)과 동일 층에 제2 방향으로 전원라인(219)이 더 배치될 수 있다.
- [0129] 제1 평탄화층(215d)은 게이트라인(217)과 데이터라인(216)의 교차지점을 포함하여, 게이트라인(217)과 전원라인(219)의 교차지점에도 배치될 수 있다.
- [0130] 제1 평탄화층(215d)은 게이트라인(217)과 데이터라인(216)의 교차지점을 포함하여, 데이터라인(216)과 전원라인(219)을 따라 배치될 수 있다.
- [0131] 상술한 본 발명의 일 실시예에 따른 전계발광 표시장치와 동일하게 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)는 게이트라인(217)과 데이터라인(216) 사이에 층간절연층(215c) 이외에 두께가 두꺼운 유기절연층의 제1 평탄화층(215d)을 더 개재함으로써 정전기성 불량을 방지할 수 있는 것을 특징으로 한다. 따라서, 게이트라인(217)과 데이터라인(216)의 교차지점에서 발생하는 정전기에 의한 단락 불량을 방지할 수 있게 되며, 이에 따라 게이트 리턴던시 패턴을 삭제할 수 있게 된다.
- [0132] 또한, 이 경우에는 기존의 층간절연층(215c)의 두께를 줄일 수 있어 층간절연층(215c)을 개재하여 구성되는 커패시터의 용량을 확보하는데 유리하다. 결과적으로 개구율 확보가 유리하다.
- [0133] 또한, 게이트라인(217)과 데이터라인(216) 사이에서 발생하는 기생용량을 줄일 수 있어 기준대비 로드(load)가 감소되며, 따라서 고해상도 모델에서 충전을 확보가 용이하다.
- [0134] 다음으로, 도 8을 참조하면, 박막트랜지스터 위에 제2 평탄화층(215e)이 배치될 수 있다. 제2 평탄화층(215e)은 박막트랜지스터 및 화소영역 이외에 배치되는 게이트드라이버 및 기타 배선들을 보호하고, 기판(210) 위의 단차를 완만하게 하여 기판(210) 상부를 평탄화하기 위한 절연층이다.
- [0135] 제2 평탄화층(215e)은 제1 평탄화층(215d)과 동일한 유기절연물질로 이루어질 수 있다. 즉, 제2 평탄화층(215e)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0136] 도 8을 참조하면, 제2 평탄화층(215e) 위에는 발광소자가 배치될 수 있다. 일 예로, 유기 발광소자로서 발광소자는 제2 평탄화층(215e) 위에 형성되어 박막트랜지스터의 드레인전극(223)과 전기적으로 연결된 애노드(226), 애노드(226) 위에 배치된 유기 발광층(227) 및 유기 발광층(227) 위에 형성된 캐소드(228)를 포함하여 구성될 수 있다.
- [0137] 애노드(226)는 제2 평탄화층(215e) 위에 배치되어, 제2 평탄화층(215e)에 형성된 컨택홀을 통하여 드레인전극(223)과 전기적으로 접속된다.
- [0138] 도 8에서는 일 예로, 애노드(226)가 박막트랜지스터의 드레인전극(223)과 전기적으로 접속되는 것으로 도시되었으나, 본 발명이 이에 한정되는 것은 아니며 박막트랜지스터의 종류, 구동 회로의 설계 방식 등에 의해 애노드

(226)가 박막트랜지스터의 소스전극(222)과 전기적으로 접속되도록 구성될 수도 있다.

- [0139] 유기 발광층(227)은 특정 색의 광을 발광하기 위한 유기층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 어느 하나를 포함할 수 있다. 또한, 유기 발광층(227)은 정공 수송층, 정공 주입층, 전자 주입층 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수도 있다. 도 7 및 도 8에서는 유기 발광층(227)이 화소 별로 패터닝된 것으로 도시하였으나, 본 발명이 이에 한정되지 않으며, 유기 발광층(227)은 복수의 화소에 공통으로 형성된 공통층일 수 있다.
- [0140] 캐소드(228)는 유기 발광층(227) 위에 배치될 수 있다. 캐소드(228)는 유기 발광층(227)으로 전자를 공급할 수 있다.
- [0141] 애노드(226) 및 제2 평탄화층(215e) 위에 बैं크(215f)가 배치될 수 있다. बैं크(215f)는 유기 발광소자의 애노드(226)의 일부 및 배선의 일부를 커버할 수 있다. बैं크(215f)는 화소영역(AA)에서 인접하는 화소를 구분하도록 배치될 수 있다. बैं크(215f)는 유기절연물질로 이루어질 수 있다.
- [0142] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부(미도시)가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0143] 도 9는 본 발명의 또 다른 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다.
- [0144] 이때, 도 9에 도시된 본 발명의 또 다른 일 실시예에 따른 전계발광 표시장치는 제1 평탄화층이 게이트라인과 데이터라인의 교차지점에만 배치된 경우만을 제외하고는, 상술한 본 발명의 일 실시예 및 다른 일 실시예에 따른 전계발광 표시장치와 실질적으로 동일한 구성으로 이루어져 있다.
- [0145] 도 9는 본 발명의 또 다른 일 실시예에 따른 전계발광 표시장치에 있어, 하나의 화소의 평면 구조를 개략적으로 보여주고 있으며, 설명의 편의상 하나의 화소는 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 발광소자를 포함하는 2T1C 구조로 구성되는 경우를 예로 들어 보여주고 있으나, 보상회로가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0146] 도 9를 참조하면, 본 발명의 또 다른 일 실시예에 따른 전계발광 표시장치(300)는 기관 위에 게이트라인(317)과 데이터라인(316)이 교차하여 화소영역(AA)을 구획할 수 있다. 게이트라인(317)은 기관 위에 제1 방향으로 배치될 수 있다. 그리고, 데이터라인(316)은 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인(317)과 함께 화소영역(AA)을 구획할 수 있다. 이때, 설명의 편의상 하나의 화소영역(AA)은 발광소자가 발광하는 발광영역(EA)과 발광소자에 구동전류를 공급하기 위한 다수의 소자로 구성된 회로영역(CA)으로 구분될 수 있다.
- [0147] 이때, 단면 구조는 상술한 본 발명의 다른 일 실시예에 따른 전계발광 표시장치의 구성과 실질적으로 동일하므로 생략하기로 한다.
- [0148] 화소영역(AA)의 회로영역(CA)에 발광소자를 구동하기 위한 박막트랜지스터(미도시)가 배치될 수 있다. 이러한 박막트랜지스터는 게이트전극, 액티브층, 소스전극 및 드레인전극을 포함하여 구성될 수 있다.
- [0149] 도시하지 않았지만, 박막트랜지스터의 액티브층이 기관 위에 배치될 수 있다.
- [0150] 게이트절연층이 액티브층 위에 배치될 수 있다.
- [0151] 게이트전극과 동일 층에 게이트라인(317)이 배치될 수 있다.
- [0152] 게이트전극과 게이트라인(317)이 배치된 기관 위에 층간절연층이 배치될 수 있다.
- [0153] 이때, 도 9를 참조하면, 본 발명의 또 다른 일 실시예에 따른 제1 평탄화층(315d)은 박막트랜지스터가 배치되는 회로영역을(CA)을 제외한 기관 위에 배치되되, 게이트라인(317)과 데이터라인(316)의 교차지점의 층간절연층 위에만 배치되는 것을 특징으로 한다.
- [0154] 층간절연층 위에 데이터라인(316)과 소스전극 및 드레인전극이 배치될 수 있다. 소스전극 및 드레인전극 각각은 층간절연층의 컨택홀을 통해 액티브층의 소스영역 및 드레인영역 각각에 전기적으로 접속될 수 있다.
- [0155] 데이터라인(316)과 동일 층에 제2 방향으로 전원라인(319)이 더 배치될 수 있다.
- [0156] 제1 평탄화층(315d)은 게이트라인(317)과 데이터라인(316)의 교차지점을 포함하여, 게이트라인(317)과 전원라인(319)의 교차지점에도 배치될 수 있다.

- [0157] 상술한 본 발명의 일 실시예 및 다른 일 실시예에 따른 전계발광 표시장치와 동일하게 본 발명의 또 다른 일 실시예에 따른 전계발광 표시장치(300)는 게이트라인(317)과 데이터라인(316) 사이에 층간절연층 이외에 두께가 두꺼운 유기절연층의 제1 평탄화층(315d)을 더 개재함으로써 정전기성 불량을 방지할 수 있다. 따라서, 게이트라인(317)과 데이터라인(316)의 교차지점에서 발생하는 정전기에 의한 단락 불량을 방지할 수 있게 되며, 이에 따라 게이트 리턴던시 패턴을 삭제할 수 있게 된다.
- [0158] 또한, 이 경우에는 기존의 층간절연층의 두께를 줄일 수 있어 층간절연층을 개재하여 구성되는 커패시터의 용량을 확보하는데 유리하다. 결과적으로 개구율 확보가 유리하다.
- [0159] 또한, 게이트라인(317)과 데이터라인(316) 사이에서 발생하는 기생용량을 줄일 수 있어 기존대비 로드(load)가 감소되며, 따라서 고해상도 모델에서 충전을 확보가 용이하다.
- [0160] 다음으로, 박막트랜지스터 위에 제2 평탄화층이 배치될 수 있다. 제2 평탄화층은 박막트랜지스터 및 화소영역 이외에 배치되는 게이트드라이버 및 기타 배선들을 보호하고, 기판 위의 단차를 완만하게 하여 기판 상부를 평탄화하기 위한 절연층이다.
- [0161] 제2 평탄화층은 제1 평탄화층(315d)과 동일한 유기절연물질로 이루어질 수 있다. 즉, 제2 평탄화층은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0162] 제2 평탄화층 위에는 발광소자가 배치될 수 있다. 일 예로, 유기 발광소자로서 발광소자는 제2 평탄화층 위에 형성되어 박막트랜지스터의 드레인전극과 전기적으로 연결된 애노드, 애노드 위에 배치된 유기 발광층 및 유기 발광층 위에 형성된 캐소드를 포함하여 구성될 수 있으며, 상술한 구조와 실질적으로 동일하므로 상세한 설명은 생략하기로 한다.
- [0163] 애노드 및 제2 평탄화층 위에 बैं크가 배치될 수 있다. बैं크는 유기 발광소자의 애노드의 일부 및 배선의 일부를 커버할 수 있다. बैं크는 화소영역(AA)에서 인접하는 화소를 구분하도록 배치될 수 있다. बैं크는 유기절연물질로 이루어질 수 있다.
- [0164] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부(미도시)가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0165] 본 발명의 예시적인 실시예는 다음과 같이 설명될 수 있다.
- [0166] 본 발명의 일 실시예에 따른 전계발광 표시장치는, 기판 위에 제1 방향으로 배치되는 게이트라인 및 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인과 함께 화소영역을 구획하는 데이터라인, 게이트라인 위의 제1 절연층, 화소영역의 회로영역에 배치되는 박막트랜지스터, 회로영역을 제외한 기판 위에 배치되며, 게이트라인과 데이터라인의 교차지점의 제1 절연층 위에 배치되는 제2 절연층, 데이터라인이 배치된 기판을 평탄화하는 제3 절연층 및 제3 절연층 위의 화소영역의 발광영역에 배치되는 발광소자를 포함하며, 데이터라인은 제1 절연층과 제2 절연층을 개재하여 게이트라인 상부에 배치될 수 있다.
- [0167] 본 발명의 다른 특징에 따르면, 제1 절연층은 층간절연층이고, 제2 절연층은 제1 평탄화층이며, 제3 절연층은 제2 평탄화층일 수 있다.
- [0168] 본 발명의 또 다른 특징에 따르면, 제2 절연층은 게이트라인과 데이터라인의 교차지점을 포함하여, 데이터라인을 따라 배치될 수 있다.
- [0169] 본 발명의 또 다른 특징에 따르면, 제2 절연층은 게이트라인과 데이터라인의 교차지점을 포함하여, 게이트라인을 따라 배치될 수 있다.
- [0170] 본 발명의 또 다른 특징에 따르면, 제2 절연층은 게이트라인과 데이터라인의 교차지점을 포함하여, 발광영역의 제1 절연층 위에 배치될 수 있다.
- [0171] 본 발명의 또 다른 특징에 따르면, 제2 절연층과 제3 절연층은 동일한 유기절연물질로 이루어질 수 있다.
- [0172] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는 기판 위에 제2 방향으로 배치되는 전원라인을 더 포함할 수 있다.

- [0173] 본 발명의 또 다른 특징에 따르면, 제2 절연층은 게이트라인과 데이터라인의 교차지점을 포함하여, 게이트라인과 전원라인의 교차지점에도 배치될 수 있다.
- [0174] 본 발명의 또 다른 특징에 따르면, 제2 절연층은 게이트라인과 데이터라인의 교차지점을 포함하여, 데이터라인과 전원라인을 따라 배치될 수 있다.
- [0175] 본 발명의 또 다른 특징에 따르면, 제2 절연층은 게이트라인과 데이터라인의 교차지점을 포함하여, 발광영역의 제1 절연층 위에 배치될 수 있다.
- [0176] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는 제1 절연층을 개재하여 구성되는 커패시터를 더 포함할 수 있다.
- [0177] 본 발명의 또 다른 특징에 따르면, 게이트라인과 데이터라인 사이에 제1 절연층 이외에 제2 절연층이 개재됨에 따라, 제1 절연층의 두께를 상대적으로 줄일 수 있으며, 줄어든 제1절연층의 두께에 의해 커패시터의 용량이 증가할 수 있다.
- [0178] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는 제3 절연층 위에 발광영역을 둘러싸도록 배치되는 बैं크를 더 포함하며, बैं크의 일 끝단은 발광영역 내의 제2 절연층의 끝단과 일치할 수 있다.
- [0179] 본 발명의 또 다른 특징에 따르면, 발광영역의 제1 절연층 위에 배치되는 제2 절연층은 컬러수지로 이루어져 컬러필터층을 구성하며, 게이트라인과 데이터라인의 교차지점에 배치되는 제2 절연층은 컬러수지의 적층으로 이루어져 차광부를 구성할 수 있다.
- [0180] 그리고, 본 발명의 다른 일 실시예에 따른 전계발광 표시장치는, 기판 위에 제1 방향으로 배치되는 게이트라인 및 제1 방향과 교차하는 제2 방향으로 배치되어 게이트라인과 함께 화소영역을 구획하는 데이터라인, 게이트라인 위의 제1 절연층, 화소영역의 회로영역에 배치되는 박막트랜지스터, 회로영역을 제외한 기판 위에 배치되되, 게이트라인과 데이터라인의 교차지점의 제1 절연층 위에 배치되는 제2 절연층, 데이터라인이 배치된 기판을 평탄화하는 제3 절연층 및 제3 절연층 위의 화소영역의 발광영역에 배치되는 발광소자를 포함하며, 데이터라인은 제1 절연층과 제2 절연층을 개재하여 게이트라인 상부에 배치되고, 제2 절연층은 발광영역의 제1 절연층 위에도 배치되어, 회로영역과 발광영역 사이의 단차를 완화할 수 있다.
- [0181] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

- [0182] 100,200,300: 전계발광 표시장치
- 115a,215a: 버퍼층
- 115b,215b: 게이트절연층
- 115c,215c: 층간절연층
- 115d,215d,315d: 제1 평탄화층
- 115e,215e: 제2 평탄화층
- 115f,215f: बैं크
- 116,216,316: 데이터라인
- 117,217,317: 게이트라인
- 119,219,319: 전원라인
- 126,226: 애노드

127,227: 유기 발광층

128,228: 캐소드

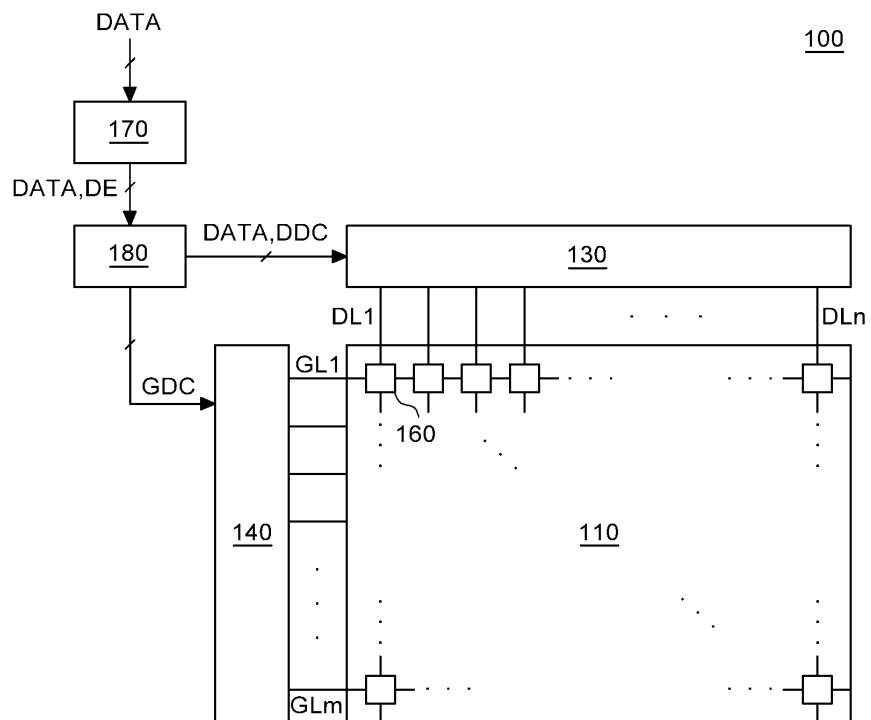
AA: 화소영역

CA: 회로영역

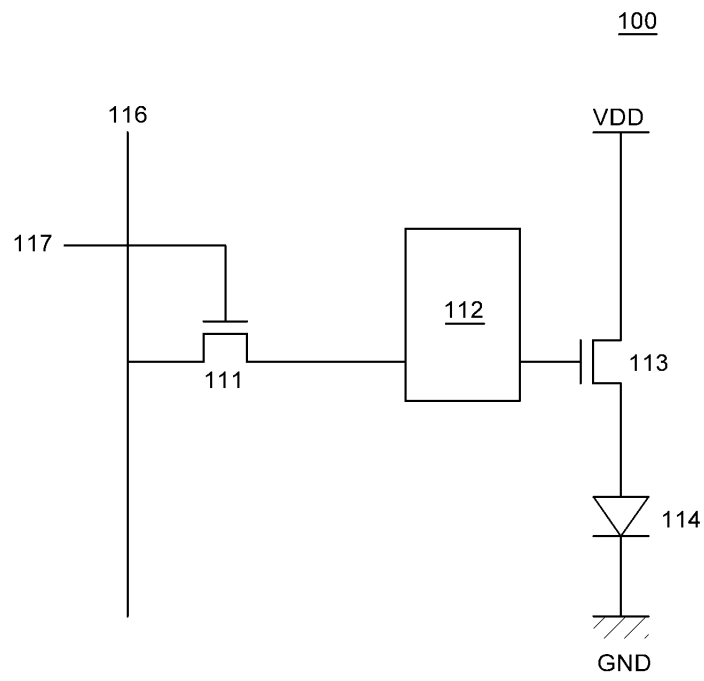
EA: 발광영역

도면

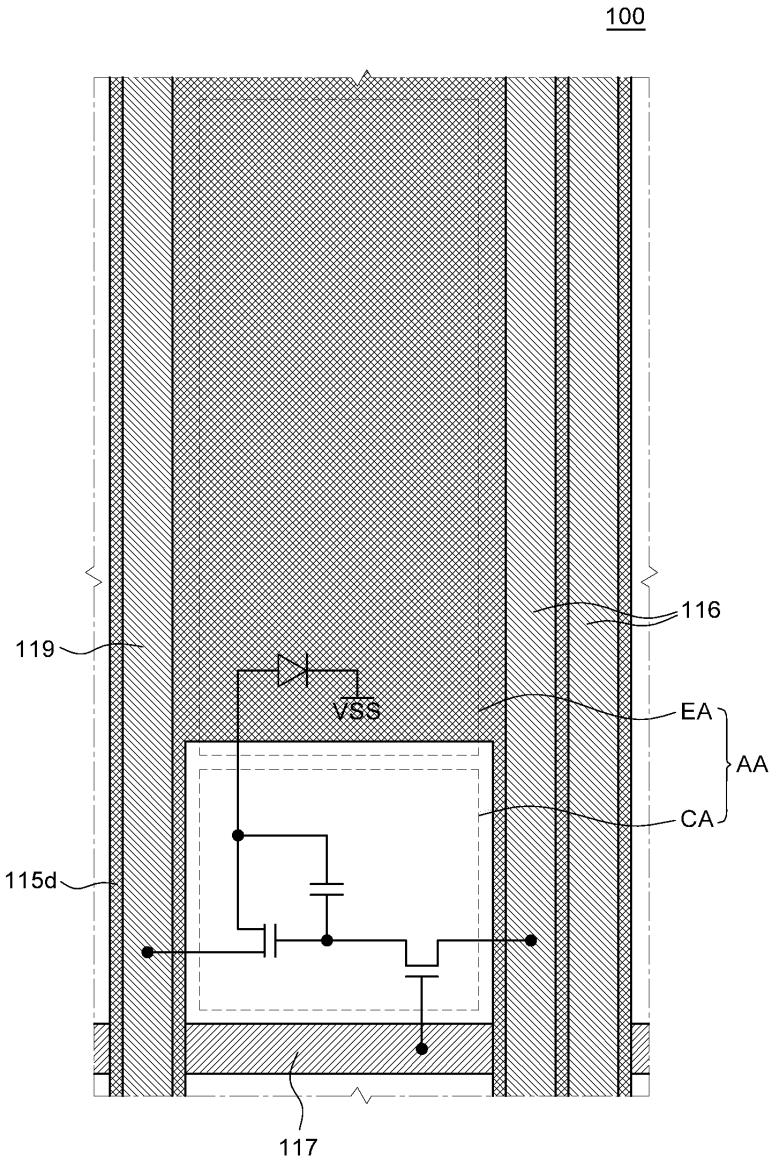
도면1



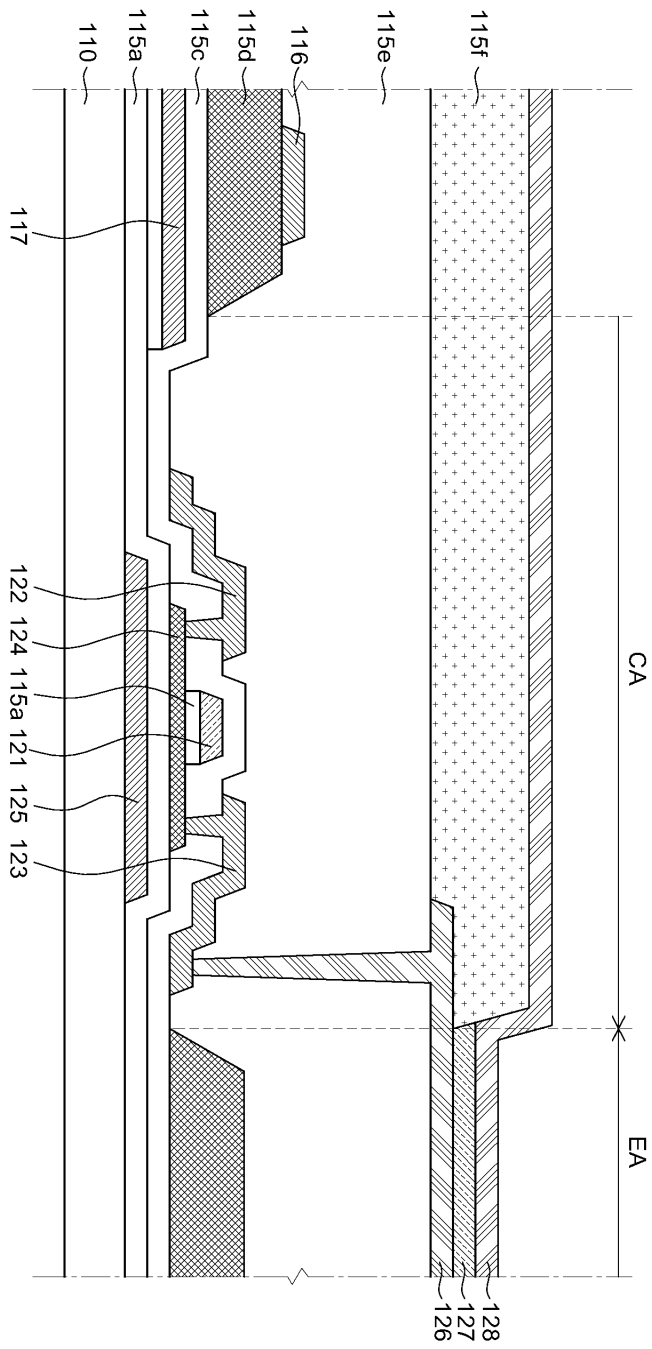
도면2



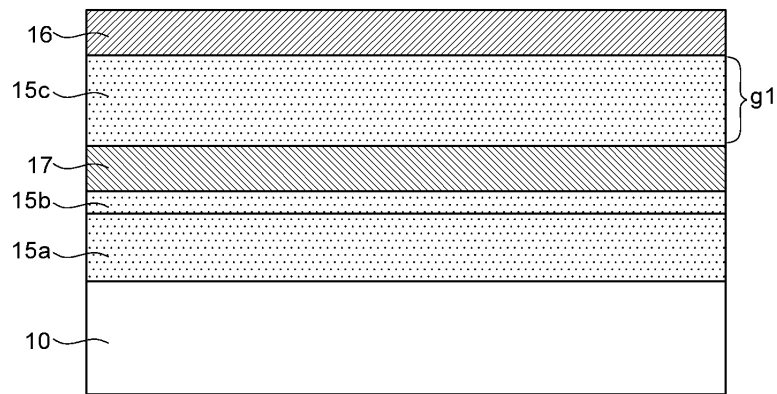
도면3



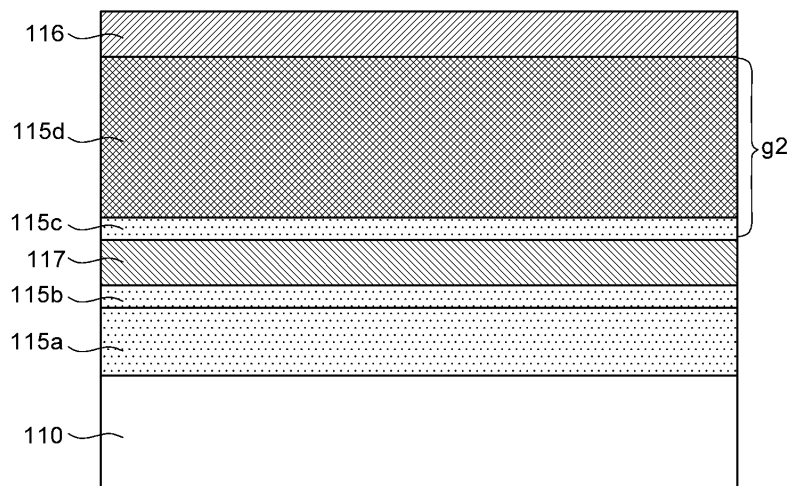
도면4



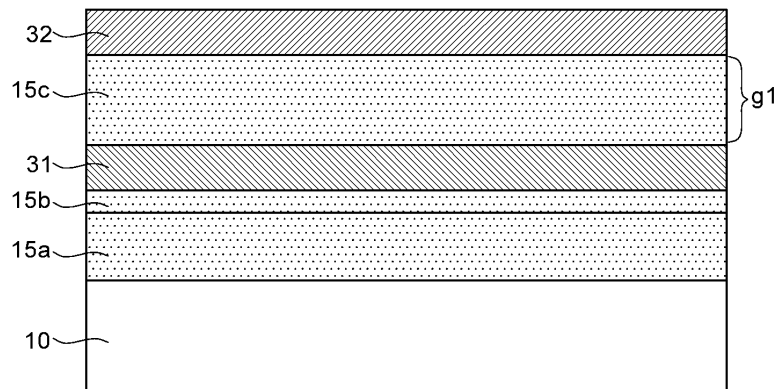
도면5a



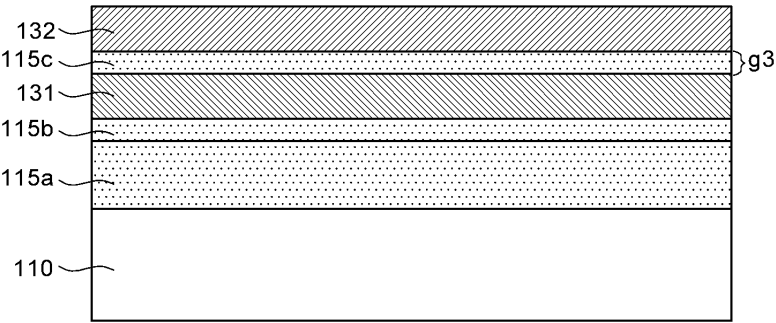
도면5b



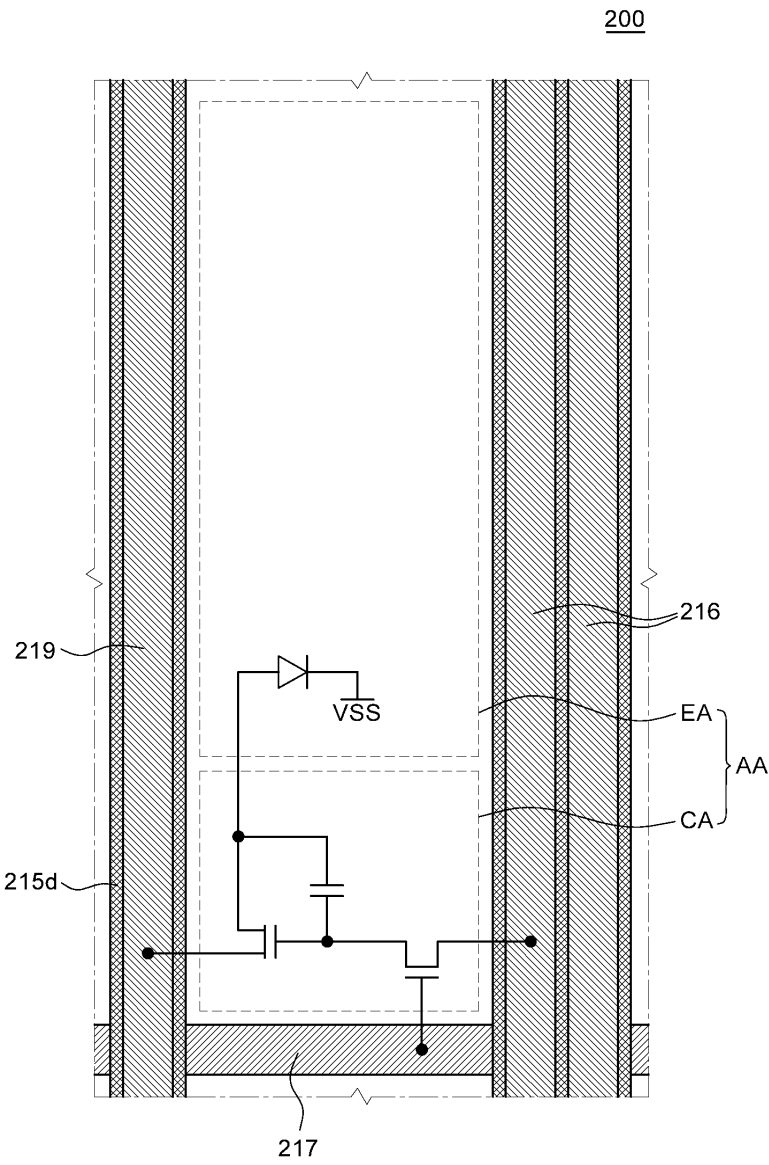
도면6a



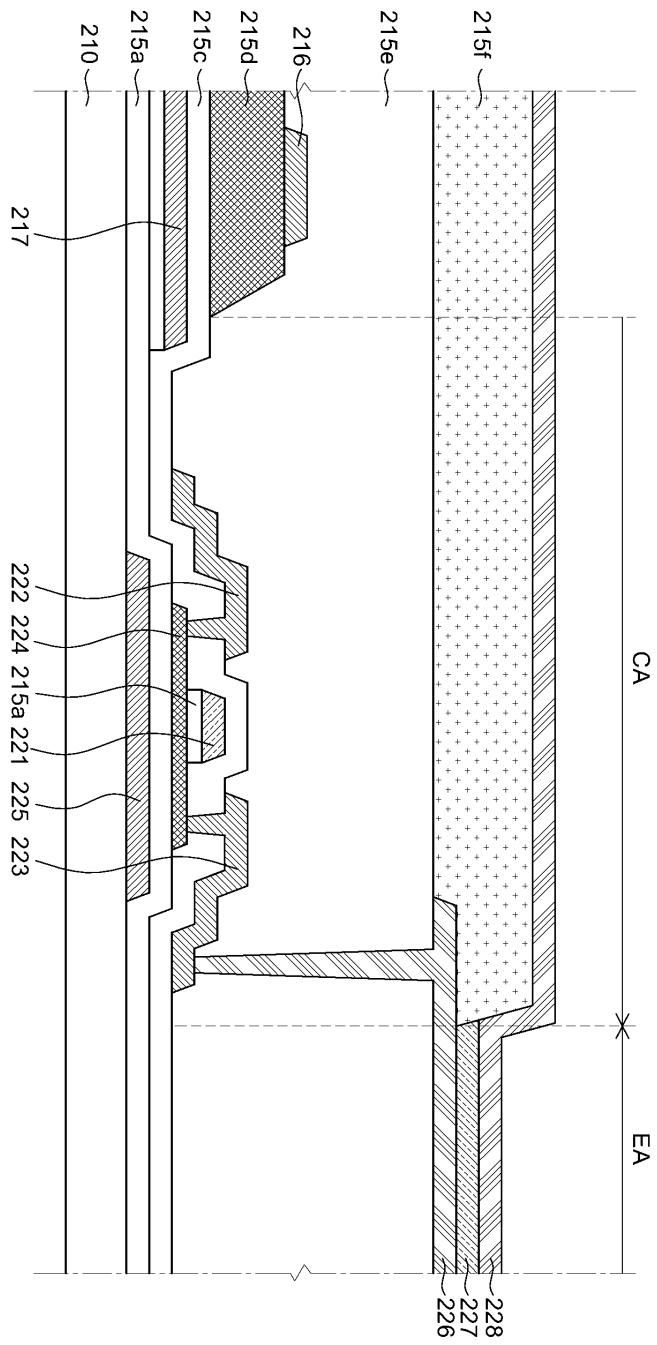
도면6b



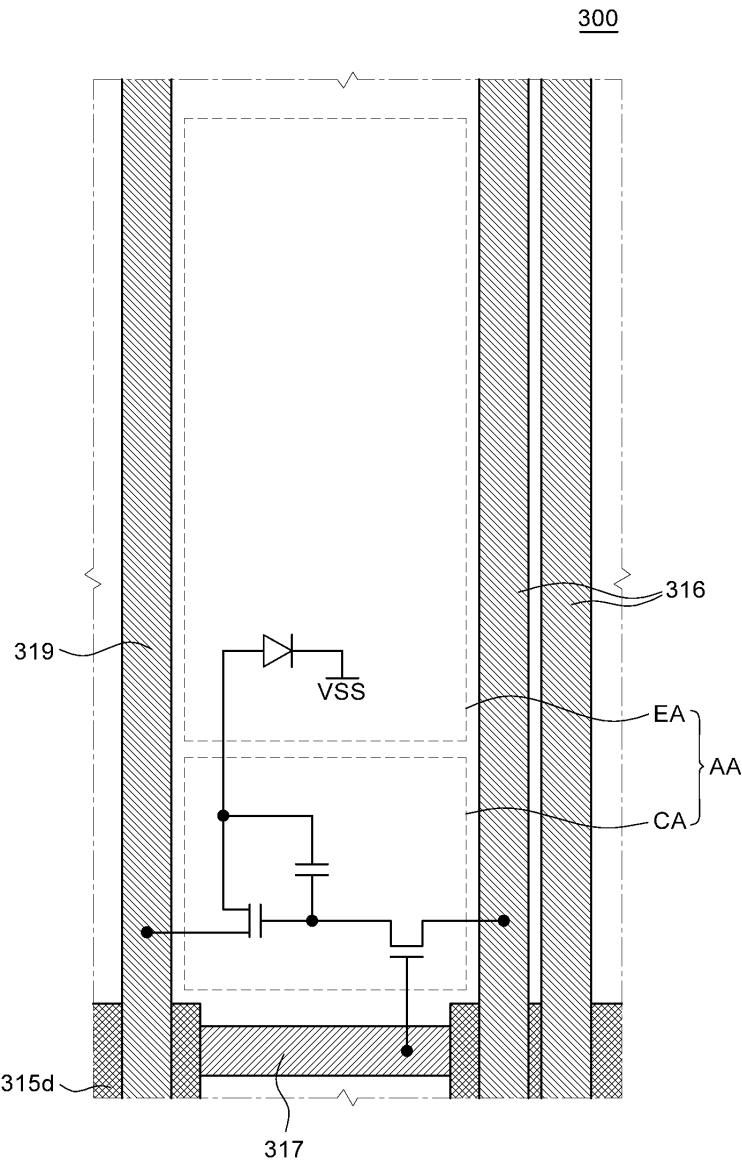
도면7



도면8



도면9



专利名称(译)	电致发光显示装置		
公开(公告)号	KR102063273B1	公开(公告)日	2020-01-07
申请号	KR1020170163059	申请日	2017-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	항성환 심종식		
发明人	항성환 심종식		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3258 H01L27/322 H01L27/3246 H01L27/3262 H01L27/3265 H01L27/3276 H01L51/5237		
审查员(译)	Yunseongju		
其他公开文献	KR1020190063915A		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，一种电致发光显示装置可以通过在数据线区域和发光区域中形成除了绝缘层之外的附加绝缘层来防止在栅极线和数据线的交叉点处发生的短路故障。高分辨率模型中的电路区域。因此，可以消除用于修复的栅极冗余图案，并且可以减小栅极线和数据线之间的绝缘层的厚度，从而可以充分确保电容器的容量，从而提高开口率。另外，该电致发光显示装置可以减小在栅极线和数据线之间产生的寄生电容，从而容易地确保高分辨率模型中的填充率。

