



공개특허 10-2020-0080911



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0080911
(43) 공개일자 2020년07월07일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)
H01L 29/423 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
H01L 51/5206 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2018-0170883
(22) 출원일자 2018년12월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김지윤
경기도 파주시 월롱면 엘지로 245
이정민
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

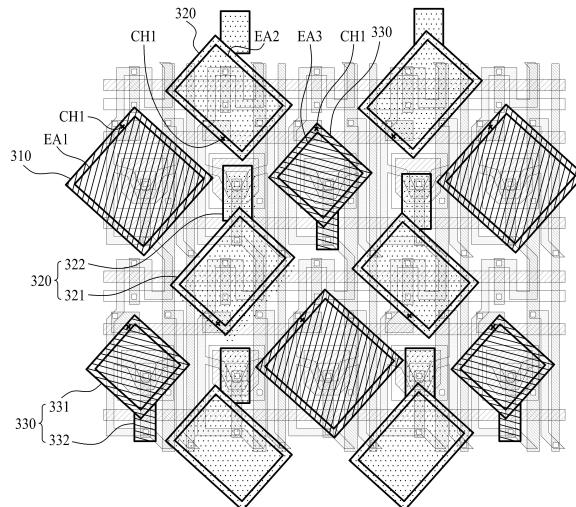
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 전계 발광 표시 장치

(57) 요 약

본 발명은 구동 박막 트랜지스터를 포함한 복수의 박막 트랜지스터 및 상기 구동 박막 트랜지스터의 게이트 전극과 전기적으로 연결된 연결 전극을 각각 포함하는 복수의 단위 회로; 상기 복수의 단위 회로의 상기 구동 박막 트랜지스터와 개별적으로 연결되는 복수의 애노드 전극; 상기 복수의 애노드 전극의 가장자리를 가리면서 발광 영역을 정의하도록 구비된 뱅크; 상기 복수의 애노드 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 캐소드 전극을 포함하여 이루어지고, 상기 복수의 애노드 전극은 상기 구동 박막 트랜지스터의 게이트 전극 및 상기 연결 전극과 중첩되도록 구비되어 있는 전계 발광 표시 장치를 제공한다.

대 표 도 - 도4



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 29/42312 (2013.01)

H01L 29/786 (2013.01)

명세서

청구범위

청구항 1

구동 박막 트랜지스터를 포함한 복수의 박막 트랜지스터 및 상기 구동 박막 트랜지스터의 게이트 전극과 전기적으로 연결된 연결 전극을 각각 포함하는 복수의 단위 회로;

상기 복수의 단위 회로의 상기 구동 박막 트랜지스터와 개별적으로 연결되는 복수의 애노드 전극;

상기 복수의 애노드 전극의 가장자리를 가리면서 발광 영역을 정의하도록 구비된 뱅크;

상기 복수의 애노드 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 캐소드 전극을 포함하여 이루어지고,

상기 복수의 애노드 전극은 상기 구동 박막 트랜지스터의 게이트 전극 및 상기 연결 전극과 중첩되도록 구비되어 있는 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 연결 전극은 상기 구동 박막 트랜지스터의 게이트 전극 및 추가 박막 트랜지스터의 드레인 전극을 전기적으로 연결하는 전계 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 복수의 애노드 전극 중 하나의 애노드 전극은 상기 발광 영역에 대응하는 형상으로 이루어진 제1 부분 및 상기 제1 부분에서 돌출된 제2 부분을 포함하고, 상기 제2 부분은 상기 연결 전극 방향으로 연장되어 상기 연결 전극과 중첩되는 전계 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 제2 부분은 상기 뱅크와 중첩되는 전계 발광 표시 장치.

청구항 5

제3항에 있어서,

상기 하나의 애노드 전극은 상기 복수의 단위 회로와 중첩되는 전계 발광 표시 장치.

청구항 6

제3항에 있어서,

상기 하나의 애노드 전극은 상기 제1 부분에서 돌출된 제3 부분을 추가로 포함하고, 상기 제3 부분은 상기 하나의 애노드 전극과 전기적으로 연결되지 않는 다른 구동 박막 트랜지스터의 게이트 전극 및 그에 연결된 연결 전극과 중첩되는 전계 발광 표시 장치.

청구항 7

제3항에 있어서,

상기 복수의 애노드 전극 중 다른 하나의 애노드 전극은 상기 하나의 애노드 전극과 전기적으로 연결된 구동 박막 트랜지스터의 게이트 전극 및 그에 연결된 연결 전극과 중첩되는 전계 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 다른 하나의 애노드 전극은 상기 발광 영역에 대응하는 형상으로 이루어진 제1 부분 및 상기 제1 부분에서 돌출된 제2 부분을 포함하고, 상기 제2 부분은 상기 하나의 애노드 전극과 전기적으로 연결된 구동 박막 트랜지스터의 게이트 전극 및 그에 연결된 연결 전극과 중첩되는 전계 발광 표시 장치.

청구항 9

구동 박막 트랜지스터를 포함하는 복수의 박막 트랜지스터를 각각 포함하는 제1 단위 회로 및 제2 단위 회로;

상기 제1 단위 회로의 구동 박막 트랜지스터와 전기적으로 연결된 하나의 애노드 전극;

상기 제2 단위 회로의 구동 박막 트랜지스터와 전기적으로 연결된 다른 하나의 애노드 전극;

상기 하나의 애노드 전극의 가장자리를 가리면서 제1 발광 영역을 정의하고 상기 다른 하나의 애노드 전극의 가장자리를 가리면서 제2 발광 영역을 정의하도록 구비된 뱅크;

상기 하나의 애노드 전극 및 상기 다른 하나의 애노드 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 캐소드 전극을 포함하여 이루어지고,

상기 하나의 애노드 전극 및 상기 제1 발광 영역은 상기 제1 단위 회로 및 상기 제2 단위 회로와 각각 중첩되도록 구비되고,

상기 하나의 애노드 전극은 상기 제1 단위 회로의 구동 박막 트랜지스터의 게이트 전극과 중첩되는 전계 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 제1 단위 회로의 구동 박막 트랜지스터의 게이트 전극은 연결 전극을 통해서 추가 박막 트랜지스터의 드레인 전극과 연결되어 있고,

상기 하나의 애노드 전극은 상기 연결 전극과 추가로 중첩되는 전계 발광 표시 장치.

청구항 11

제9항에 있어서,

상기 하나의 애노드 전극은 상기 제1 발광 영역에 대응하는 형상으로 이루어진 제1 부분 및 상기 제1 부분에서 돌출된 제2 부분을 포함하고, 상기 제2 부분은 상기 게이트 전극 방향으로 연장되어 상기 게이트 전극과 중첩되는 전계 발광 표시 장치.

청구항 12

제9항에 있어서,

상기 다른 하나의 애노드 전극은 상기 제2 단위 회로의 구동 박막 트랜지스터의 게이트 전극과 중첩되지 않도록 구비된 전계 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 하나의 애노드 전극은 상기 제2 단위 회로의 구동 박막 트랜지스터의 게이트 전극과 중첩되는 전계 발광 표시 장치.

청구항 14

서브 화소에 개별적으로 구비된 하나의 애노드 전극 및 다른 하나의 애노드 전극;

상기 하나의 애노드 전극의 가장자리를 가리면서 제1 발광 영역을 정의하고 상기 다른 하나의 애노드 전극의 가장자리를 가리면서 제2 발광 영역을 정의하도록 구비된 뱅크;

상기 하나의 애노드 전극 및 상기 다른 하나의 애노드 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 캐소드 전극을 포함하여 이루어지고,

상기 하나의 애노드 전극은 상기 제1 발광 영역에 대응하는 형상으로 이루어지고, 상기 다른 하나의 애노드 전극은 상기 제2 발광 영역에 대응하지 않는 형상으로 이루어진 전계 발광 표시 장치.

청구항 15

제14항에 있어서,

상기 다른 하나의 애노드 전극은 상기 제2 발광 영역에 대응하는 형상으로 이루어진 제1 부분 및 상기 제1 부분에서 돌출된 제2 부분을 포함하여 이루어진 전계 발광 표시 장치.

청구항 16

제15항에 있어서,

상기 하나의 애노드 전극 및 상기 다른 하나의 애노드 전극 아래에는 구동 박막 트랜지스터를 포함한 복수의 박막 트랜지스터 및 상기 구동 박막 트랜지스터의 게이트 전극과 전기적으로 연결된 연결 전극을 각각 포함하는 복수의 단위 회로가 구비되어 있고,

상기 제2 부분은 상기 구동 박막 트랜지스터의 게이트 전극 및 연결 전극과 중첩되는 전계 발광 표시 장치.

청구항 17

제16항에 있어서,

상기 다른 하나의 애노드 전극은 상기 복수의 단위 회로와 중첩되는 전계 발광 표시 장치.

발명의 설명

기술 분야

[0001]

본 발명은 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0002]

전계 발광 표시 장치는 애노드 전극과 캐소드 전극 사이에 발광층이 형성된 구조로 이루어져, 상기 두 개의 전극 사이의 전계에 의해 상기 발광층이 발광함으로써 화상을 표시하는 장치이다.

[0003]

또한, 전계 발광 표시 장치는 상기 애노드 전극 또는 상기 캐소드 전극에 소정의 신호를 인가하기 위해서 서브 화소 별로 다수의 신호 배선과 다수의 박막 트랜지스터가 구비되어 있다.

[0004]

이와 같이, 전계 발광 표시 장치는 다수의 신호 배선과 다수의 박막 트랜지스터가 서브 화소 별로 구비되어 있기 때문에, 상기 다수의 신호 배선이나 상기 다수의 박막 트랜지스터를 구성하는 전극들 사이에서 다양한 기생 커패시턴스가 발생하게 되고, 그와 같은 기생 커패시턴스로 인해서 서브 화소 별로 휘도 편차가 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

[0005]

본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 서브 화소 별로 기생 커패시턴스로 인한 휘도 편차를 줄일 수 있는 전계 발광 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006]

상기 목적을 달성하기 위해서, 본 발명은 구동 박막 트랜지스터를 포함한 복수의 박막 트랜지스터 및 상기 구동

박막 트랜지스터의 게이트 전극과 전기적으로 연결된 연결 전극을 각각 포함하는 복수의 단위 회로; 상기 복수의 단위 회로의 상기 구동 박막 트랜지스터와 개별적으로 연결되는 복수의 애노드 전극; 상기 복수의 애노드 전극의 가장자리를 가리면서 발광 영역을 정의하도록 구비된 뱅크; 상기 복수의 애노드 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 캐소드 전극을 포함하여 이루어지고, 상기 복수의 애노드 전극은 상기 구동 박막 트랜지스터의 게이트 전극 및 상기 연결 전극과 중첩되도록 구비되어 있는 전계 발광 표시 장치를 제공한다.

[0007] 본 발명은 또한 구동 박막 트랜지스터를 포함하는 복수의 박막 트랜지스터를 각각 포함하는 제1 단위 회로 및 제2 단위 회로; 상기 제1 단위 회로의 구동 박막 트랜지스터와 전기적으로 연결된 하나의 애노드 전극; 상기 제2 단위 회로의 구동 박막 트랜지스터와 전기적으로 연결된 다른 하나의 애노드 전극; 상기 하나의 애노드 전극의 가장자리를 가리면서 제1 발광 영역을 정의하고 상기 다른 하나의 애노드 전극의 가장자리를 가리면서 제2 발광 영역을 정의하도록 구비된 뱅크; 상기 하나의 애노드 전극 및 상기 다른 하나의 애노드 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 캐소드 전극을 포함하여 이루어지고, 상기 하나의 애노드 전극 및 상기 제1 발광 영역은 상기 제1 단위 회로 및 상기 제2 단위 회로와 각각 중첩되도록 구비되고, 상기 하나의 애노드 전극은 상기 제1 단위 회로의 구동 박막 트랜지스터의 게이트 전극과 중첩되는 전계 발광 표시 장치를 제공한다.

[0008] 본 발명은 또한, 서브 화소에 개별적으로 구비된 하나의 애노드 전극 및 다른 하나의 애노드 전극; 상기 하나의 애노드 전극의 가장자리를 가리면서 제1 발광 영역을 정의하고 상기 다른 하나의 애노드 전극의 가장자리를 가리면서 제2 발광 영역을 정의하도록 구비된 뱅크; 상기 하나의 애노드 전극 및 상기 다른 하나의 애노드 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 캐소드 전극을 포함하여 이루어지고, 상기 하나의 애노드 전극은 상기 제1 발광 영역에 대응하는 형상으로 이루어지고, 상기 다른 하나의 애노드 전극은 상기 제2 발광 영역에 대응하지 않는 형상으로 이루어진 전계 발광 표시 장치를 제공한다.

발명의 효과

[0009] 본 발명의 일 실시예에 따르면, 복수의 서브 화소에서 구동 박막 트랜지스터의 게이트 전극을 유기발광소자의 애노드 전극과 중첩시킴으로써 서브 화소별 휘도 편차를 방지할 수 있다. 특히, 구동 박막 트랜지스터의 게이트 전극과 연결되는 연결 전극도 상기 유기발광소자의 애노드 전극과 중첩시킴으로써, 서브 화소별 휘도 편차를 더 욱더 방지할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 단위 회로도이다.

도 2는 다양한 커패시터 또는 기생 커패시터에서 그 커패시턴스의 변화량에 따른 유기발광소자에 흐르는 발광전류 변화량을 보여주는 그래프이다.

도 3은 본 발명의 일 실시예에 따른 복수의 단위 회로 구성을 보여주는 평면도이다.

도 4는 본 발명의 일 실시예에 따른 복수의 서브 화소별 애노드 전극이 형성된 모습을 보여주는 평면도이다.

도 5는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 단면도로서, 이는 도 4의 제1 내지 제3 단위 회로 영역의 개략적 단면도이다.

도 6은 본 발명의 다른 실시예에 따른 복수의 서브 화소별 애노드 전극이 형성된 모습을 보여주는 평면도이다.

도 7은 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 단면도로서, 이는 도 6의 제1 내지 제3 단위 회로 영역의 개략적 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0012] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이 루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0013] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0014] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0015] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0016] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0017] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0018] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 단위 회로도이다.

[0020] 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 복수의 신호 라인, 복수의 박막 트랜지스터, 스토리지 커패시터(Cst) 및 유기발광소자(OLED)를 포함한다.

[0021] 상기 복수의 신호 라인은 스캔 라인(Scan(n)), 이전 스캔 라인(Scan(n-1)), 에미션 라인(EM), 초기화 라인(Vint), 고전원 라인(VDD), 저전원 라인(VSS), 및 데이터 라인(Vdata)을 포함하여 이루어진다.

[0022] 상기 스캔 라인(Scan(n))은 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3), 및 제6 박막 트랜지스터(T6)에 스캔 신호를 공급한다. 상기 이전 스캔 라인(Scan(n-1))은 제4 박막 트랜지스터(T4)에 이전 스캔 신호를 공급한다. 상기 에미션 라인(EM)은 제2 박막 트랜지스터(T2) 및 제5 박막 트랜지스터(T5)에 발광제어신호를 공급한다. 상기 초기화 라인(Vint)은 제7 박막 트랜지스터(T7)를 초기화하는 초기화전압을 공급하고, 상기 고전원 라인(VDD)은 제7 박막 트랜지스터(T7)에 구동전압을 공급하고, 상기 저전원 라인(VSS)은 유기발광소자(OLED)의 캐소드 전극에 저전압을 공급한다. 상기 데이터 라인(Vdata)은 제1 박막 트랜지스터(T1)에 데이터전압을 공급한다.

[0023] 상기 복수의 박막트랜지스터는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 및 제7 박막 트랜지스터(T7)를 포함하여 이루어진다.

[0024] 상기 제1 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터이다. 상기 제1 박막트랜지스터(T1)의 게이트 전극은 스캔 라인(Scan(n))에 연결되어 있고, 상기 제1 박막트랜지스터(T1)의 소스 전극은 데이터 라인(Vdata)에 연결되어 있으며, 상기 제1 박막 트랜지스터(T1)의 드레인 전극은 제1 노드(Node1)를 통해 제7 박막 트랜지스터(T7)의 소스 전극 및 제2 박막 트랜지스터(T2)의 드레인 전극에 연결되어 있다. 이와 같은 제1 박막 트랜지스터(T1)는 상기 스캔 라인(Scan(n))을 통해 전달받은 스캔신호에 따라 턴 온 되어 상기 데이터 라인(Vdata)으로 전달된 데이터 신호를 구동 박막트랜지스터인 제7 박막 트랜지스터(T7)의 소스전극으로 전달하는 스위칭 동작을 수행한다.

[0025] 상기 제2 박막 트랜지스터(T2)는 동작제어 박막 트랜지스터이다. 상기 제2 박막 트랜지스터(T2)의 게이트 전극은 에미션 라인(EM)에 연결되어 있고, 상기 제2 박막 트랜지스터(T2)의 소스 전극은 고전원 라인(VDD)에 연결되어 있고, 상기 제2 박막 트랜지스터(T2)의 드레인 전극은 제1 노드(Node1)를 통해 제7 박막 트랜지스터(T7)의 소스전극 및 제1 박막 트랜지스터(T1)의 드레인 전극과 연결되어 있다.

[0026] 상기 제3 박막 트랜지스터(T3)는 보상 박막 트랜지스터이다. 상기 제3 박막 트랜지스터(T3)의 게이트 전극은 스캔 라인(Scan(n))에 연결되어 있고, 상기 제3 박막 트랜지스터(T3)의 소스 전극은 제3 노드(Node3)를 통해 제7 박막 트랜지스터(T7)의 드레인 전극에 연결되어 있고, 상기 제3 박막 트랜지스터(T3)의 드레인 전극은 제2 노드

(Node2)를 통해 스토리지 커패시터(Cst)의 제1 커패시터 전극 및 제4 박막 트랜지스터(T4)의 드레인 전극과 연결되고 또한 제7 박막 트랜지스터(T7)의 게이트 전극에 연결되어 있다. 이와 같은 제3 박막 트랜지스터(T3)는 스캔 라인(Scan(n))을 통해 전달받은 스캔신호에 따라 턴온되어 제7 박막 트랜지스터(T7)의 게이트 전극과 드레인 전극을 전기적으로 연결하여 제7 박막 트랜지스터(T7)를 다이오드 연결시킨다.

[0027] 상기 제4 박막 트랜지스터(T4)는 초기화 박막 트랜지스터이다. 상기 제4 박막 트랜지스터(T4)의 게이트 전극은 이전 스캔 라인(Scan(n-1))에 연결되어 있고, 상기 제4 박막 트랜지스터(T4)의 소스 전극은 제6 박막 트랜지스터(T6)의 드레인 전극 및 초기화 라인(Vint))에 연결되어 있으며, 상기 제4 박막 트랜지스터(T4)의 드레인 전극은 제2 노드(Node2)를 통해 스토리지 커패시터(Cst)의 제1 커패시터 전극, 제3 박막 트랜지스터(T3)의 드레인 전극 및 제7 박막 트랜지스터(T7)의 게이트 전극에 연결되어 있다. 이러한 제4 박막 트랜지스터(T4)는 이전 스캔 라인(Scan(n-1))을 통해 전달받은 이전 스캔신호에 따라 턴온되어 초기화 전압을 제7 박막 트랜지스터(T7)의 게이트 전극에 전달하여 제7 박막 트랜지스터(T7)의 게이트 전극의 전압을 초기화시키는 초기화동작을 수행한다.

[0028] 상기 제5 박막 트랜지스터(T5)는 발광 제어 박막 트랜지스터이다. 상기 제5 박막 트랜지스터(T5)의 게이트 전극은 에미션 라인(EM)에 연결되어 있고, 상기 제5 박막 트랜지스터(T5)의 소스 전극은 제3 노드(Node3)를 통해 제7 박막 트랜지스터(T7)의 드레인 전극 및 제3 박막 트랜지스터(T3)의 소스 전극에 연결되어 있으며, 상기 제5 박막 트랜지스터(T5)의 드레인 전극은 제4 노드(Node4)를 통해 제6 박막 트랜지스터(T6)의 소스 전극 및 유기발광소자(OLED)의 애노드 전극에 전기적으로 연결되어 있다. 이러한 제2 박막 트랜지스터(T2) 및 제5 박막 트랜지스터(T5)는 에미션 라인(EM)을 통해 전달받은 발광제어신호에 따라 동시에 턴온되어 구동전압이 유기발광소자(OLED)에 전달되어 유기발광소자(OLED)에 발광전류가 흐르도록 한다.

[0029] 상기 제6 박막 트랜지스터(T6)는 바이패드 박막 트랜지스터이다. 상기 제6 박막 트랜지스터(T6)의 게이트 전극은 스캔 라인(Scan(n))에 연결되어 있고, 상기 제6 박막 트랜지스터(T6)의 소스 전극은 제4 노드(node4)를 통해 상기 제5 박막 트랜지스터(T5)의 드레인 전극 및 유기발광소자(OLED)의 애노드 전극에 연결되어 있으며, 상기 제6 박막 트랜지스터(T6)의 드레인 전극은 초기화 라인(Vint)에 연결되어 있다. 블랙 영상을 표시하는 제7 박막 트랜지스터(T7)의 최소 전류가 구동전류로 흐를 경우에도 유기발광소자(OLED)가 발광하게 된다면 블랙 영상이 제대로 표시되지 않는다. 여기서, 제7 박막 트랜지스터(T7)의 최소 전류란 제7 박막 트랜지스터(T7)의 게이트-소스 전압(VGS)이 문턱 전압(Vth)보다 작아서 제7 박막 트랜지스터(T7)가 오프되는 조건에서의 전류를 의미한다. 따라서 최소 전류의 구동전류가 흐를 경우에 유기발광소자(OLED)가 발광하는 것을 방지하기 위해, 상기 제6 박막 트랜지스터(T6)는 상기 제7 박막 트랜지스터(T7)로부터 흘러나오는 전류의 일부를 바이패스 전류로서 유기발광소자(OLED) 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다.

[0030] 상기 제7 박막 트랜지스터(T7)는 구동 박막 트랜지스터이다. 상기 제7 박막 트랜지스터(T7)의 게이트 전극은 제2 노드(Node2)를 경유하여 스토리지 커패시터(Cst)의 제1 커패시터 전극에 연결되어 있고, 상기 제7 박막 트랜지스터(T7)의 소스 전극은 상기 제2 박막 트랜지스터(T2)를 경유하여 고전원 라인(VDD)에 연결되어 있으며, 상기 제7 박막 트랜지스터(T7)의 드레인 전극은 상기 제5 박막 트랜지스터(T5)를 경유하여 유기발광소자(OLED)의 애노드 전극과 전기적으로 연결되어 있다. 상기 제7 박막 트랜지스터(T7)는 상기 제1 박막 트랜지스터(T1)의 스위칭 동작에 따라 데이터신호를 전달받아 유기발광소자(OLED)에 발광전류를 공급한다.

[0031] 상기 스토리지 커패시터(Cst)는 제2 노드(Node2)에 연결된 제1 커패시터 전극 및 상기 고전원 라인(VDD)에 연결된 제2 커패시터 전극을 포함하여 이루어진다.

[0032] 상기 유기발광소자(OLED)는 제4 노드(Node4)에 연결된 애노드 전극, 저전원 라인(VSS)에 연결된 캐소드 전극, 및 애노드 전극과 캐소드 전극 사이에 구비된 발광층을 포함하여 이루어진다.

[0033] 도 2는 다양한 커패시터 또는 기생 커패시터에서 그 커패시턴스의 변화량에 따른 유기발광소자에 흐르는 발광전류 변화량을 보여주는 그래프이다.

[0034] 도 2에서 가로축은 커패시턴스 변화량이고 세로축은 발광전류 변화량으로서, 기울기 작은 커패시터의 경우는 커패시턴스 변화량에 대해서 발광전류의 변화량이 상대적으로 작은 경우이고, 기울기가 큰 커패시터의 경우는 커패시턴스 변화량에 대해서 발광전류의 변화량이 상대적으로 큰 경우이다. 즉, 도 2에서 기울기가 큰 커패시터의 경우 발광전류의 변화량이 커패시턴스 변화량에 민감하게 반응하여 서브 화소별 휘도 편차를 유발할 수 있다.

[0035] 도 2에서 알 수 있듯이, 스토리지 커패시터(Cst)의 기울기가 가장 크고, 스캔 라인(Scan)과 제2 노드(Node2) 사이의 커패시터의 기울기가 그 다음으로 크고, 고전원라인(VDD)과 제1 노드(Node1) 사이의 커패시터의 기울기가

그 다음으로 크고, 에미션 라인(EM)과 제2 노드(Node) 사이의 커패시터의 기울기가 그 다음으로 크고, 초기화 라인(Vint)과 고전원 라인(VDD) 사이의 커패시터의 기울기는 거의 0에 가깝게 됨을 알 수 있다.

[0036] 도 2에서 알 수 있듯이, 제2 노드(Node2)를 포함하는 커패시터의 기울기가 상대적으로 크게 됨을 알 수 있다. 따라서, 복수의 서브 화소에서 제2 노드(Node2)와 중첩되는 소자들을 균일하게 설계하지 않을 경우 복수의 서브 화소 별로 휘도 편차가 발생할 수 있음을 알 수 있다.

[0037] 상기 제2 노드(Node)는 구동 박막 트랜지스터인 제7 박막 트랜지스터(T7)의 게이트 전극과 연결되어 있다. 따라서, 본 발명의 일 실시예에서는 상기 제2 노드(Node)와 유기발광소자(OLED)의 애노드 전극 사이의 중첩 영역을 복수의 서브 화소 별로 균일하게 설계함으로써 복수의 서브 화소별 휘도 편차를 방지할 수 있다. 보다 구체적으로, 본 발명의 일 실시예에서는, 복수의 서브 화소 각각에서 유기발광소자(OLED)의 애노드 전극이 구동 박막 트랜지스터의 게이트 전극의 전체 영역과 중첩되도록 형성함으로써 복수의 서브 화소별 휘도 편차를 방지한다.

[0038] 도 3은 본 발명의 일 실시예에 따른 복수의 단위 회로 구성을 보여주는 평면도이다. 도 3에는 2행×5열의 총 10 개의 단위 회로(C1~C10)가 도시되었다.

[0039] 도 3에서 알 수 있듯이, 가로 방향으로 제1 및 제2 스캔 라인(Scan1(n), Scan2(n)), 초기화 라인(Vint(n)), 에미션 라인(EM(n)), 제1 및 제2 이전 스캔 라인(Scan1(n-1), Scan2(n-1)), 이전 초기화 라인(Vint(n-1)), 및 이전 에미션 라인(EM(n-1))이 배열되어 있다. 서브 화소별로 두 개의 스캔 라인(Scan1(n), Scan2(n)) 및 두 개의 이전 스캔 라인(Scan1(n-1), Scan2(n-1))을 구비하며, 상기 제1 및 제2 스캔 라인(Scan1(n), Scan2(n))은 비표시 영역에서 서로 연결되어 있고, 상기 제1 및 제2 이전 스캔 라인(Scan1(n-1), Scan2(n-1))도 비표시 영역에서 서로 연결되어 있다. 상기 제1 및 제2 스캔 라인(Scan1(n), Scan2(n)), 상기 에미션 라인(EM(n)), 상기 제1 및 제2 이전 스캔 라인(Scan1(n-1), Scan2(n-1)), 및 상기 이전 에미션 라인(EM(n-1))은 서로 동일한 층에 형성될 수 있다.

[0040] 또한, 세로 방향으로 서브 화소 별로 고전원 라인(VDD) 및 데이터 라인(Vdata)이 배열되어 있다. 상기 고전원 라인(VDD) 및 데이터 라인(Vdata)은 서로 동일한 층에 형성될 수 있다.

[0041] 각각의 서브 화소는 제1 내지 제7 박막 트랜지스터(T1~T7) 및 스토리지 커패시터(Cst1, Cst2)를 구비한다.

[0042] 스위칭 박막 트랜지스터인 제1 박막 트랜지스터(T1)는 상기 제2 스캔 라인(Scan2(n))과 제1 액티브층(Active1)이 중첩되는 영역에 마련된다. 상기 제2 스캔 라인(Scan2(n))을 중심으로 상기 제1 액티브층(Active1)의 일측은 소스 영역이 되고 상기 소스 영역은 콘택홀(x)을 통해서 상기 데이터 라인(Vdata)과 연결되고, 상기 제2 스캔 라인(Scan2(n))을 중심으로 상기 제1 액티브층(Active1)의 타측은 드레인 영역이 되고 상기 드레인 영역은 제1 노드(Node1)에 연결된다. 본 명세서에서 소스 영역 및 드레인 영역은 각각 소스 전극 및 드레인 전극으로 기능할 수 있다.

[0043] 동작제어 박막 트랜지스터인 제2 박막 트랜지스터(T2)는 상기 에미션 라인(EM(n))과 상기 제1 액티브층(Active1)이 중첩되는 영역에 마련된다. 상기 에미션 라인(EM(n))을 중심으로 상기 제1 액티브층(Active1)의 일측은 소스 영역이 되고 상기 소스 영역은 콘택홀(x)을 통해서 상기 고전원 라인(VDD)과 연결되고, 상기 에미션 라인(EM(n))을 중심으로 상기 제1 액티브층(Active1)의 타측은 드레인 영역이 되고 상기 드레인 영역은 제1 노드(Node1)에 연결된다.

[0044] 보상 박막 트랜지스터인 제3 박막 트랜지스터(T3)는 상기 제2 스캔 라인(Scan2(n))과 제2 액티브층(Active2)이 중첩되는 영역에 마련된다. 상기 제2 스캔 라인(Scan2(n))을 중심으로 상기 제2 액티브층(Active2)의 일측은 소스 영역이 되고 상기 소스 영역은 제3 노드(Node3)에 연결되고 상기 제2 스캔 라인(Scan2(n))을 중심으로 상기 제2 액티브층(Active2)의 타측은 드레인 영역이 되고 상기 드레인 영역은 콘택홀(x)을 통해서 제1 연결 전극(CE1)과 연결된다. 상기 제1 연결 전극(CE1)의 일단은 콘택홀(x)을 통해서 상기 제2 액티브층(Active2)과 연결되고, 상기 제1 연결 전극(CE1)의 타단은 콘택홀(x)을 통해서 제7 박막 트랜지스터(T7)의 게이트 전극과 전기적으로 연결될 수 있다. 따라서, 상기 제3 박막 트랜지스터(T3)의 드레인 영역은 상기 제1 연결 전극(CE1)을 통해서 제7 박막 트랜지스터(T7)의 게이트 전극과 전기적으로 연결된다. 상기 제1 연결 전극(CE1)은 상기 고전원 라인(VDD) 및 데이터 라인(Vdata)과 동일한 층에 형성될 수 있다.

[0045] 초기화 박막 트랜지스터인 제4 박막 트랜지스터(T4)는 상기 제1 이전 스캔 라인(Scan1(n-1))과 제2 액티브층(Active2)이 중첩되는 영역에 마련된다. 상기 제1 이전 스캔 라인(Scan1(n-1))을 중심으로 상기 제2 액티브층(Active2)의 일측은 소스 영역이 되고 상기 소스 영역은 콘택홀(x)을 통해서 제2 연결 전극(CE2)과 연결된다. 상기 제2 연결 전극(CE2)의 일단은 콘택홀(x)을 통해서 상기 제2 액티브층(Active2)과 연결되고, 상기 제2 연결

전극(CE2)의 타단은 콘택홀(x)을 통해서 상기 초기화 라인(Vint)과 연결된다. 따라서, 제4 박막 트랜지스터(T4)의 소스 영역은 상기 제2 연결 전극(CE2)을 통해 상기 초기화 라인(Vint)과 연결된다. 상기 제2 연결 전극(CE2)은 상기 고전원 라인(VDD) 및 데이터 라인(Vdata)과 동일한 층에 형성될 수 있다. 또한, 상기 제1 이전 스캔 라인(Scan1(n-1))을 중심으로 상기 제2 액티브층(Active2)의 타측은 드레인 영역이 되고 상기 드레인 영역은 콘택홀(x)을 통해서 제1 연결 전극(CE1)과 연결된다. 따라서, 제4 박막 트랜지스터(T4)의 드레인 영역은 상기 제1 연결 전극(CE1)을 통해서 제7 박막 트랜지스터(T7)의 게이트 전극과 전기적으로 연결된다.

[0046] 발광 제어 박막 트랜지스터인 제5 박막 트랜지스터(T5)는 상기 에미션 라인(EM(n))과 상기 제2 액티브층(Active2)이 중첩되는 영역에 마련된다. 상기 에미션 라인(EM(n))을 중심으로 상기 제2 액티브층(Active2)의 일측은 소스 영역이 되고 상기 소스 영역은 제3 노드(Node3)에 연결되고, 상기 에미션 라인(EM(n))을 중심으로 상기 제2 액티브층(Active2)의 타측은 드레인 영역이 되고 상기 드레인 영역은 제4 노드(Node4)에 연결된다. 상기 제4 노드(Node)는 콘택홀(x)을 통해서 제3 연결 전극(CE3)에 연결된다. 상기 제3 연결 전극(CE3)은 상기 제4 노드(Node)와 유기발광소자의 애노드 전극을 연결한다. 따라서, 제5 박막 트랜지스터(T5)의 드레인 영역은 상기 제3 연결 전극(CE3)을 통해서 유기발광소자의 애노드 전극과 전기적으로 연결된다. 상기 제3 연결 전극(CE3)은 상기 고전원 라인(VDD) 및 데이터 라인(Vdata)과 동일한 층에 형성될 수 있다.

[0047] 바이패드 박막 트랜지스터인 제6 박막 트랜지스터는 제1 스캔 라인(Scan1(n))과 제2 액티브층(Active2)이 중첩되는 영역에 마련된다. 상기 제1 스캔 라인(Scan1(n))을 중심으로서 제2 액티브층(Active2)의 일측은 소스 영역이 되고 상기 소스 영역은 제4 노드(Node4)에 연결된다. 따라서, 제6 박막 트랜지스터(T5)의 소스 영역은 상기 제3 연결 전극(CE3)을 통해서 유기발광소자의 애노드 전극과 전기적으로 연결된다. 또한, 상기 제1 스캔 라인(Scan1(n))을 중심으로서 제2 액티브층(Active2)의 타측은 드레인 영역이 되고 상기 드레인 영역은 콘택홀(x)을 통해서 상기 제2 연결 전극(CE2)과 연결된다. 따라서, 제6 박막 트랜지스터(T5)의 드레인 영역은 상기 제2 연결 전극(CE2)을 통해서 초기화 라인(Vint)에 전기적으로 연결된다.

[0048] 구동 박막 트랜지스터인 제7 박막 트랜지스터(T7)는 게이트 전극(G), 소스 전극(S), 및 드레인 전극(D)을 포함하여 이루어진다. 상기 게이트 전극(G)은 제2 노드(Node2)와 연결되고, 상기 소스 전극(S)은 제1 노드(Node1)와 연결되고, 상기 드레인 전극(D)은 제3 노드(Node3)와 연결된다. 상기 소스 전극(S)은 상기 제1 노드(Node1) 및 상기 제2 박막 트랜지스터(T2)를 경유하여 고전원 라인(VDD)에 연결된다. 상기 드레인 전극(D)은 상기 제3 노드(Node3), 상기 제5 박막 트랜지스터(T5) 및 상기 제3 연결 전극(CE3)을 경유하여 유기발광소자(OLED)의 애노드 전극과 전기적으로 연결된다. 이는 제7 박막 트랜지스터(T7)가 P형 트랜지스터로 이루어진 경우로서, 만약, 상기 제7 박막 트랜지스터(T7)가 N형 트랜지스터로 이루어진 경우에는 상기 소스 전극(S)이 유기발광소자(OLED)의 애노드 전극과 전기적으로 연결되고, 상기 드레인 전극(D)이 상기 고전원 라인(VDD)에 연결된다.

[0049] 상기 게이트 전극(G)은 콘택홀(x)을 통해서 제1 연결 전극(CE1) 및 제1 커패시터 전극(Cst1)과 각각 연결된다. 상기 제1 연결 전극(CE1)은 상기 제7 박막 트랜지스터(T7)의 게이트 전극(G)을 상기 제3 박막 트랜지스터(T3)의 드레인 영역과 전기적으로 연결시킨다.

[0050] 상기 스토리지 커패시터(Cst1, Cst2)는 제1 커패시터 전극(Cst1) 및 제2 커패시터 전극(Cst2)을 포함한다. 상기 제1 커패시터 전극(Cst1)은 콘택홀(x)을 통해서 제7 박막 트랜지스터(T7)의 게이트 전극(G)과 연결되고, 상기 제2 커패시터 전극(Cst2)은 콘택홀(x)을 통해서 고전원 라인(VDD)과 연결된다.

[0051] 전술한 바와 같이, 본 발명의 일 실시예에 따르면, 복수의 서브 화소에서 구동 박막 트랜지스터인 제7 박막 트랜지스터(T7)의 게이트 전극(G)의 전체 영역을 유기발광소자(OLED)의 애노드 전극과 중첩시킴으로써 서브 화소별 휘도 편차를 방지할 수 있다.

[0052] 이때, 제7 박막 트랜지스터(T7)의 게이트 전극(G)이 제1 연결 전극(CE1)과 연결되어 있으므로, 복수의 서브 화소에서 제7 박막 트랜지스터(T7)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역을 유기발광소자(OLED)의 애노드 전극과 중첩시키는 것이 보다 바람직할 수 있다.

[0053] 이하에서는, 본 발명의 다양한 실시예에 따른, 복수의 단위 회로 구성에 서브 화소별 애노드 전극이 형성되는 모습에 대해서 설명하기로 한다.

[0054] 도 4는 본 발명의 일 실시예에 따른 복수의 서브 화소별 애노드 전극이 형성된 모습을 보여주는 평면도로서, 이는 전술한 도 3에 따른 복수의 단위 회로 구성에 애노드 전극이 형성된 모습을 도시한 것이다.

[0055] 도 4에서 알 수 있듯이, 복수의 제1 애노드 전극(310), 복수의 제2 애노드 전극(320), 및 복수의 제3 애노드 전극(330)이 대각선 방향으로 소정 간격을 가지면서 서로 이격되어 있다. 하나의 제1 애노드 전극(310)은 대각선

방향으로 네 개의 제2 애노드 전극(320)에 의해 둘러싸여 있고, 하나의 제2 애노드 전극(320)은 대각선 방향으로 두 개의 제1 애노드 전극(310) 및 두 개의 제3 애노드 전극(330)의 조합에 의해 둘러싸여 있고, 하나의 제3 애노드 전극(330)은 대각선 방향으로 네 개의 제2 애노드 전극(320)에 의해 둘러싸여 있다.

[0056] 상기 제1 애노드 전극(310), 제2 애노드 전극(320), 및 제3 애노드 전극(330)의 가장자리는 뱅크에 의해 가려지며, 상기 뱅크에 의해 가려지지 않고 노출된 영역이 발광 영역(EA1, EA2, EA3)이 된다. 따라서, 상기 뱅크에 의해 가려지지 않고 노출된 상기 제1 애노드 전극(310)의 노출영역이 제1 발광 영역(EA1)이 되고, 상기 뱅크에 의해 가려지지 않고 노출된 상기 제2 애노드 전극(320)의 노출영역이 제2 발광 영역(EA2)이 되고, 상기 뱅크에 의해 가려지지 않고 노출된 상기 제3 애노드 전극(330)의 노출영역이 제3 발광 영역(EA3)이 된다.

[0057] 상기 제1 발광 영역(EA1)은 청색 발광 영역이 되고, 상기 제2 발광 영역(EA2)은 녹색 발광 영역이 되고, 상기 제3 발광 영역(EA3)은 적색 발광 영역이 될 수 있다. 청색의 발광 효율이 상대적으로 낮은 점을 고려할 때, 상기 제1 발광 영역(EA1)은 상기 제2 발광 영역(EA2) 및 상기 제3 발광 영역(EA3)보다 넓게 형성될 수 있다. 상기 제2 발광 영역(EA2)의 일 측은 상기 제1 발광 영역(EA1)과 마주하고 있고, 상기 제2 발광 영역(EA2)의 타 측은 상기 제3 발광 영역(EA3)과 마주하고 있다. 이때, 상기 제2 발광 영역(EA2)의 일 측의 길이는 그와 마주하는 상기 제1 발광 영역(EA1)의 일 측의 길이와 동일하고, 상기 제2 발광 영역(EA2)의 타 측의 길이는 그와 마주하는 상기 제3 발광 영역(EA3)의 일 측의 길이와 동일하다. 따라서, 상기 제2 발광 영역(EA2)의 면적은 상기 제3 발광 영역(EA3)의 면적보다 크게 된다. 한편, 상기 제1 발광 영역(EA1)과 상기 제3 발광 영역(EA3)은 정사각형 구조로 이루어지고, 상기 제2 발광 영역(EA2)은 직사각형 구조로 이루어질 수 있다.

[0058] 위와 같은 면적의 차이로 인해서, 상기 제1 애노드 전극(310) 및 상기 제1 발광 영역(EA1)은 복수의 단위 회로와 중첩될 수 있고, 상기 제2 애노드 전극(320) 및 상기 제2 발광 영역(EA2)은 복수의 단위 회로와 중첩될 수 있고, 상기 제3 애노드 전극(330) 및 상기 제3 발광 영역(EA3)은 하나의 단위 회로와 중첩될 수 있지만, 반드시 그에 한정되는 것은 아니다.

[0059] 상기 제1 애노드 전극(310), 상기 제2 애노드 전극(320), 및 상기 제3 애노드 전극(330) 각각은 그에 대응하는 단위 회로의 제3 연결 전극(CE3)과 전기적으로 연결되어 있다. 예로서, 제1 단위 회로(C1)에 대응하는 하나의 제1 애노드 전극(310)은 상기 제1 단위 회로(C1)의 제3 연결 전극(CE3)과 제1 콘택홀(CH1)을 통해 전기적으로 연결되고, 제2 단위 회로(C2)에 대응하는 하나의 제2 애노드 전극(320)은 상기 제2 단위 회로(C2)의 제3 연결 전극(CE3)과 제1 콘택홀(CH1)을 통해 전기적으로 연결되고, 제3 단위 회로(C3)에 대응하는 하나의 제3 애노드 전극(330)은 상기 제3 단위 회로(C3)의 제3 연결 전극(CE3)과 제1 콘택홀(CH1)을 통해 전기적으로 연결된다. 이때, 상기 제1 애노드 전극(310), 제2 애노드 전극(320), 및 제3 애노드 전극(330) 각각은 그에 대응하는 단위 회로(C1, C2 C3)의 제3 연결 전극(CE3)과 중첩될 수 있다.

[0060] 한편, 상기 제1 애노드 전극(310), 상기 제2 애노드 전극(320), 및 상기 제3 애노드 전극(330)의 배열 구조로 인해서, 예를 들어, 제1 단위 화소(C1)에 대응하는 하나의 제1 애노드 전극(310)은 상기 제1 단위 회로(C1)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역과 중첩될 수 있다.

[0061] 그에 반하여, 제2 단위 화소(C2)에 대응하는 하나의 제2 애노드 전극(320)은 상기 제2 단위 회로(C2)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역과 중첩되지 못한다. 따라서, 상기 제2 단위 회로(C2)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역은 아래쪽의 제7 단위 회로(C7)에 대응하는 다른 하나의 제2 애노드 전극(320)과 중첩된다.

[0062] 이를 위해서, 상기 다른 하나의 제2 애노드 전극(320)은 제1 부분(321) 및 제2 부분(322)을 구비한다. 상기 제1 부분(321)은 상기 제2 발광 영역(EA2) 전체와 중첩되면서 상기 제2 발광 영역(EA2)에 대응하는 형상으로 이루어진 부분이고, 상기 제2 부분(322)은 상기 제1 부분(321)에서 돌출되어 상기 제2 단위 회로(C2)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역과 중첩되는 부분이다. 상기 제1 부분(321)과 제2 부분(322)은 동일한 물질로 일체로 형성된다.

[0063] 또한, 제3 단위 화소(C3)에 대응하는 하나의 제3 애노드 전극(330)은 상기 제3 단위 회로(C3)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체와 중첩되도록 하기 위해서 제1 부분(331) 및 제2 부분(332)을 구비한다. 상기 제1 부분(331)은 상기 제3 발광 영역(EA3) 전체와 중첩되면서 상기 제3 발광 영역(EA3)에 대응하는 형상으로 이루어진 부분이고, 상기 제2 부분(332)은 상기 제1 부분(331)에서 돌출되어 상기 제3 단위 회로(C3)의 제1 연결 전극(CE1)과 중첩되는 부분이다. 상기 제1 부분(331)과 제2 부분(332)은 동일한 물질로 일체로 형성된다.

[0064] 이와 같이 본 발명의 일 실시예에 따르면, 복수의 단위 회로(C1, C2, C3) 각각에서 제7 박막 트랜지스터(T7)의

케이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역을 애노드 전극(310, 320, 330)과 중첩시킬 수 있기 때문에, 서브 화소별 휙도 편차를 방지할 수 있다.

[0065] 도 5는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 단면도로서, 이는 도 4의 제1 내지 제3 단위 회로(C1, C2, C3) 영역의 개략적 단면도이다.

[0066] 도 5에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 기판(100), 회로 소자층(200), 애노드 전극(310, 320, 330), 뱅크(400), 발광층(500), 캐소드 전극(600), 봉지층(700), 및 컬러 필터층(810, 820, 830)을 포함하여 이루어진다.

[0067] 상기 기판(100)은 유리 또는 플라스틱으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 기판(100)은 투명한 재료로 이루어질 수도 있고 불투명한 재료로 이루어질 수도 있다. 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 발광된 광이 상부쪽으로 방출되는 소위 상부 발광(Top emission) 방식으로 이루어질 수 있고, 따라서, 상기 기판(100)의 재료로는 투명한 재료뿐만 아니라 불투명한 재료가 이용될 수 있다.

[0068] 상기 회로 소자층(200)은 상기 기판(100) 상에 형성되어 있다. 상기 회로 소자층(200)에는 제1 단위 회로(C1), 제2 단위 회로(C2) 및 제3 단위 회로(C3)가 형성되어 있고, 각각의 단위 회로(C1, C2, C3)에는 복수의 신호 라인, 복수의 박막 트랜지스터, 및 스토리지 커패시터 등이 형성되어 있다. 도면에는 구동 박막 트랜지스터만 도시하였다.

[0069] 구체적으로 설명하면, 상기 기판(100) 상의 단위 회로(C1, C2, C3) 각각에는 구동 박막 트랜지스터의 액티브층(A), 소스 전극(S), 및 드레인 전극(D)이 형성되어 있다. 상기 소스 전극(S)은 상기 액티브층(A)의 일측에 구비된 소스 영역으로 이루어지고, 상기 드레인 전극(D)은 상기 액티브층(A)의 타측에 구비된 드레인 영역으로 이루어질 수 있다.

[0070] 상기 액티브층(A), 소스 전극(S), 및 드레인 전극(D) 상에는 케이트 절연막으로 기능하는 제1 절연층(210)이 형성되어 있고, 상기 제1 절연층(210) 상에는 구동 박막 트랜지스터의 케이트 전극(G)이 형성되고 있다.

[0071] 상기 케이트 전극(G) 상에는 충간 절연막인 제2 절연층(220)이 형성되어 있고, 상기 제2 절연층(220) 상에는 제1 연결 전극(CE1)과 제3 연결 전극(CE3)이 형성되어 있다. 상기 제1 연결 전극(CE1)은 제2 콘택홀(CH2)을 통해서 상기 케이트 전극(G)과 연결되어 있고, 상기 제3 연결 전극(CE3)은 제3 콘택홀(CH3)을 통해서 상기 드레인 전극(D)과 연결되어 있다.

[0072] 상기 제1 연결 전극(CE1)과 제3 연결 전극(CE3) 상에는 패시베이션층인 제3 절연층(230)이 형성되어 있고, 상기 제3 절연층(230) 상에는 평탄화층인 제4 절연층(240)이 형성되어 있다.

[0073] 상기 애노드 전극(310, 320, 330)은 상기 제4 절연층(240) 상에 형성되어 있다.

[0074] 제1 애노드 전극(310)은 제1 단위 회로(C1) 및 제2 단위 회로(C2)와 중첩되도록 형성되어 있다. 상기 제1 애노드 전극(310)은 제1 콘택홀(CH1)을 통해서 제1 단위 회로(C1)의 제3 연결 전극(CE3)과 연결되어 있다. 특히, 상기 제1 애노드 전극(310)은 상기 제1 단위 회로(C1)의 케이트 전극(G) 및 제1 연결 전극(CE1)과 중첩되도록 형성되어 있다.

[0075] 제2 애노드 전극(320)은 제2 단위 회로(C2) 및 제3 단위 회로(C3)와 중첩되도록 형성되어 있다. 어느 하나의 제2 애노드 전극(320)의 제1 부분(321)은 제1 콘택홀(CH1)을 통해서 제2 단위 회로(C2)의 제3 연결 전극(CE3)과 연결되어 있지만, 상기 제2 단위 회로(C2)의 케이트 전극(G) 및 제1 연결 전극(CE1)과 중첩되지 않는다. 그 대신에, 다른 하나의 제2 애노드 전극(320)의 제2 부분(322)이 상기 제2 단위 회로(C2)의 케이트 전극(G) 및 제1 연결 전극(CE1)과 중첩되도록 형성되어 있다. 상기 다른 하나의 제2 애노드 전극(320)의 제2 부분(322)은 전술한 도 4의 제7 단위 화소(C7)에 대응하는 것이다.

[0076] 제3 애노드 전극(330)은 제3 단위 회로(C3)와 중첩되도록 형성되어 있다. 상기 제3 애노드 전극(330)의 제1 부분(331)은 제1 콘택홀(CH1)을 통해서 제3 단위 회로(C3)의 제3 연결 전극(CE3)과 연결되어 있지만, 상기 제3 단위 회로(C3)의 케이트 전극(G) 및 제1 연결 전극(CE1)과 중첩되지 않는다. 그 대신에, 상기 제3 애노드 전극(330)의 제2 부분(332)이 상기 제3 단위 회로(C3)의 케이트 전극(G) 및 제1 연결 전극(CE1)과 중첩되도록 형성되어 있다.

[0077] 상기 뱅크(400)는 상기 애노드 전극(310, 320, 330)의 가장자리를 가리면서 상기 제4 절연층(240) 상에 형성되어 있다. 상기 뱅크(400)에 의해 가려지지 않고 노출된 상기 애노드 전극(310, 320, 330)의 노출 영역이 발광

영역(EA1, EA2, EA3)을 구성하게 된다. 상기 제2 애노드 전극(320)의 제2 부분(322) 및 상기 제3 애노드 전극(330)의 제2 부분(332)은 상기 뱅크(400)에 의해 가려진다.

[0078] 상기 발광층(500)은 상기 애노드 전극(310, 320, 330) 및 상기 뱅크(400) 상에 형성되어 있다. 즉, 상기 발광층(500)은 복수의 단위 회로(C1, C2, C3) 상에서 일체로 연결된 구조로 이루어질 수 있다. 이와 같은 발광층(500)은 백색(W) 광을 발광하도록 구비될 수 있다. 이를 위해서, 상기 발광층(500)은 서로 상이한 색상의 광을 발광하는 복수의 스택(stack)을 포함하여 이루어질 수 있다. 예로서, 상기 발광층(500)은 청색 광을 발광하는 제1 스택, 황녹색 광을 발광하는 제2 스택, 및 상기 제1 스택과 제2 스택 사이에 구비된 전하 생성층(Charge generation layer)을 포함하여 이루어질 수 있다. 한편, 상기 발광층(500)은 복수의 단위 회로(C1, C2, C3) 상에서 서로 분리되도록 패턴 형성된 청색 발광층, 녹색 발광층, 및 적색 발광층을 포함할 수도 있다.

[0079] 상기 캐소드 전극(600)은 상기 발광층(500) 상에 형성되어 있다. 상기 캐소드 전극(600)은 복수의 단위 회로(C1, C2, C3) 상에서 일체로 연결된 구조로 이루어질 수 있다.

[0080] 상기 봉지층(700)은 상기 캐소드 전극(600) 상에 형성되어 상기 발광층(500)으로 외부의 수분이 침투하는 것을 방지하는 역할을 한다.

[0081] 상기 컬러 필터층(810, 820, 830)은 제1 발광 영역(EA1)과 중첩되는 청색(B)의 컬러 필터(810), 제2 발광 영역(EA2)과 중첩되는 녹색(G)의 컬러 필터(820), 및 제3 발광 영역(EA3)과 중첩되는 적색(R)의 컬러 필터(830)를 포함하여 이루어질 수 있다.

[0082] 도 6은 본 발명의 다른 실시예에 따른 복수의 서브 화소별 애노드 전극이 형성된 모습을 보여주는 평면도로서, 이는 전술한 도 3에 따른 복수의 단위 회로 구성에 애노드 전극이 형성된 모습을 도시한 것이다.

[0083] 도 6에서 알 수 있듯이, 복수의 제1 애노드 전극(310), 복수의 제2 애노드 전극(320), 및 복수의 제3 애노드 전극(330)이 소정 간격을 가지면서 서로 이격되어 있다. 하나의 제1 애노드 전극(310)은 제1 단위 회로(C1) 또는 제4 단위 회로(C4)와 중첩되도록 형성되어 있고, 하나의 제2 애노드 전극(320)과 하나의 제3 애노드 전극(330)은 제2 단위 회로(C2) 및 제3 단위 회로(C3)와 중첩되도록 형성되어 있다. 상기 제1 애노드 전극(310)의 장축은 상하방향으로 배열되고, 상기 제2 애노드 전극(320)과 제3 애노드 전극(330)의 장축은 좌우방향으로 배열된다.

[0084] 상기 제1 애노드 전극(310), 제2 애노드 전극(320), 및 제3 애노드 전극(330)의 가장자리는 뱅크에 의해 가려지며, 상기 뱅크에 의해 가려지지 않고 노출된 영역이 발광 영역(EA1, EA2, EA3)이 된다. 상기 제1 발광 영역(EA1)은 청색 발광 영역이 되고, 상기 제2 발광 영역(EA2)은 녹색 발광 영역이 되고, 상기 제3 발광 영역(EA3)은 적색 발광 영역이 될 수 있다.

[0085] 상기 제1 애노드 전극(310), 상기 제2 애노드 전극(320), 및 상기 제3 애노드 전극(330) 각각은 그에 대응하는 단위 회로(C1, C2, C3)의 제3 연결 전극(CE3)과 전기적으로 연결되어 있다. 예로서, 제1 단위 회로(C1)에 대응하는 하나의 제1 애노드 전극(310)은 상기 제1 단위 회로(C1)의 제3 연결 전극(CE3)과 제1 콘택홀(CH1)을 통해 전기적으로 연결되고, 제2 단위 회로(C2)에 대응하는 하나의 제2 애노드 전극(320)은 상기 제2 단위 회로(C2)의 제3 연결 전극(CE3)과 제1 콘택홀(CH1)을 통해 전기적으로 연결되고, 제3 단위 회로(C3)에 대응하는 하나의 제3 애노드 전극(330)은 상기 제3 단위 회로(C3)의 제3 연결 전극(CE3)과 제1 콘택홀(CH1)을 통해 전기적으로 연결된다. 이때, 상기 제1 애노드 전극(310), 제2 애노드 전극(320), 및 제3 애노드 전극(330) 각각은 그에 대응하는 단위 회로(C1, C2, C3)의 제3 연결 전극(CE3)과 중첩될 수 있다.

[0086] 상기 제1 단위 화소(C1)에 대응하는 하나의 제1 애노드 전극(310)은 상기 제1 단위 회로(C1)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역과 중첩되도록 하기 위해서 제1 부분(311) 및 제2 부분(312)을 구비한다. 상기 제1 부분(311)은 상기 제1 발광 영역(EA1) 전체와 중첩되면서 상기 제1 발광 영역(EA1)에 대응하는 형상으로 이루어진 부분이고, 상기 제2 부분(312)은 상기 제1 부분(311)에서 돌출되어 상기 제1 단위 회로(C1)의 제1 연결 전극(CE1)과 중첩되는 부분이다. 상기 제1 부분(311)과 제2 부분(312)은 동일한 물질로 일체로 형성된다.

[0087] 또한, 상기 제2 단위 화소(C2)에 대응하는 하나의 제2 애노드 전극(320)은 상기 제2 단위 회로(C2)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역과 중첩됨과 더불어 상기 제3 단위 회로(C3)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역과 중첩되도록 하기 위해서 제1 부분(321), 제2 부분(322), 및 제3 부분(323)을 구비한다. 상기 제1 부분(321)은 상기 제2 발광 영역(EA2) 전체와 중첩되면서 상기 제2 발광 영역(EA2)에 대응하는 형상으로 이루어진 부분으로서 상기 제2 단위 회로(C2) 및 상기 제3 단위 회로(C3) 각각의 게이트 전극(G)과 중첩되고, 상기 제2 부분(322)은 상기 제1 부분(321)에서 돌출되어 상기 제2 단위 회로(C2)의 제1 연결 전극(CE1)과 중첩되는 부분이고, 상기 제3 부분(323)은 상기 제1 부분(321)에서 돌출되어 상기 제3 단위 회로(C3)의

제1 연결 전극(CE1)과 중첩되는 부분이다. 상기 제1 부분(321), 상기 제2 부분(322) 및 상기 제3 부분(323)은 동일한 물질로 일체로 형성된다.

[0088] 제3 단위 화소(C3)에 대응하는 하나의 제3 애노드 전극(330)은 상기 제3 발광 영역(EA3) 전체와 중첩되면서 상기 제3 발광 영역(EA3)에 대응하는 형상으로 이루어진다. 상기 제2 애노드 전극(330)이 상기 제3 단위 회로(C3)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역과 중첩되기 때문에, 상기 제3 애노드 전극(330)에는 별도의 돌출 구조가 필요하지 않다.

[0089] 이와 같이 본 발명의 다른 실시예에 따르면, 복수의 단위 회로(C1, C2, C3) 각각에서 제7 박막 트랜지스터(T7)의 게이트 전극(G) 및 제1 연결 전극(CE1)의 전체 영역을 애노드 전극(310, 320, 330)과 중첩시킬 수 있기 때문에, 서브 화소별 휘도 편차를 방지할 수 있다.

[0090] 도 7은 본 발명의 다른 실시예에 따른 전계 발광 표시 장치의 단면도로서, 이는 도 6의 제1 내지 제3 단위 회로(C1, C2, C3) 영역의 개략적 단면도이다.

[0091] 도 7에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 전계 발광 표시 장치는 기판(100), 회로 소자층(200), 애노드 전극(310, 320), 뱅크(400), 발광층(500), 캐소드 전극(600), 봉지층(700), 및 컬러 필터층(810, 820, 830)을 포함하여 이루어진다.

[0092] 상기 기판(100), 회로 소자층(200), 뱅크(400), 발광층(500), 캐소드 전극(600), 봉지층(700), 및 컬러 필터층(810, 820, 830)의 구성은 전술한 도 5에서와 동일하므로 반복 설명은 생략하고, 이하에서는 전술한 도 5에서와 상이한 애노드 전극(310, 320)에 대해서 설명하기로 한다.

[0093] 제1 애노드 전극(310)은 제1 단위 회로(C1)와 중첩되도록 형성되어 있다. 상기 제1 애노드 전극(310)의 제1 부분(311)은 제1 콘택홀(CH1)을 통해서 제1 단위 회로(C1)의 제3 연결 전극(CE3)과 연결되어 있다. 또한, 상기 제1 애노드 전극(310)의 제1 부분(311)은 상기 제1 단위 회로(C1)의 게이트 전극(G) 전체와 중첩되어 있지만, 상기 제1 단위 회로(C1)의 제1 연결 전극(CE1)의 일부와는 중첩되지 않는다. 그 대신에, 상기 제1 애노드 전극(310)의 제2 부분(312)이 상기 제1 단위 회로(C1)의 제1 연결 전극(CE1)의 일부와 중첩된다.

[0094] 제2 애노드 전극(320)은 제2 단위 회로(C2) 및 제3 단위 회로(C3)와 중첩되도록 형성되어 있다.

[0095] 상기 제2 애노드 전극(320)의 제1 부분(321)은 제1 콘택홀(CH1)을 통해서 제2 단위 회로(C2)의 제3 연결 전극(CE3)과 연결되어 있다. 또한, 상기 제2 애노드 전극(320)의 제1 부분(321)은 상기 제2 단위 회로(C2)의 게이트 전극(G) 전체 및 상기 제3 단위 회로(C3)의 게이트 전극(G) 전체와 중첩되어 있다. 그러나, 상기 제2 애노드 전극(320)의 제1 부분(321)은 상기 제2 단위 회로(C2)의 제1 연결 전극(CE1)의 일부 및 상기 제3 단위 회로(C3)의 제1 연결 전극(CE1)의 일부와는 중첩되지 않는다. 그 대신에, 상기 제2 애노드 전극(320)의 제2 부분(322)이 상기 제2 단위 회로(C2)의 제1 연결 전극(CE1)의 일부와 중첩되고, 상기 제2 애노드 전극(320)의 제3 부분(323)이 상기 제3 단위 회로(C3)의 제1 연결 전극(CE1)의 일부와 중첩된다.

[0096] 이상은 개별 단위 회로(C1~C3) 내에 제1 내지 제7 박막 트랜지스터(T1~T7)가 구비된 전계 발광 표시 장치에 대해서 설명하였지만, 본 발명이 반드시 그에 한정되는 것은 아니다. 예로서, 본 발명은 개별 단위 회로(C1~C3) 내에 구동 박막 트랜지스터, 스위칭 박막 트랜지스터, 및 센싱 박막 트랜지스터의 3개의 박막 트랜지스터가 구비된 전계 발광 표시 장치를 포함한다. 3개의 박막 트랜지스터가 구비된 전계 발광 표시 장치의 경우, 구동 박막 트랜지스터의 게이트 전극이 연결 전극을 통해서 스위칭 박막 트랜지스터의 드레인 전극과 연결될 수 있으며, 따라서, 이 경우에도 복수의 애노드 전극(310, 320, 330)이 구동 박막 트랜지스터의 게이트 전극 및 상기 연결 전극과 중첩된다.

[0097] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

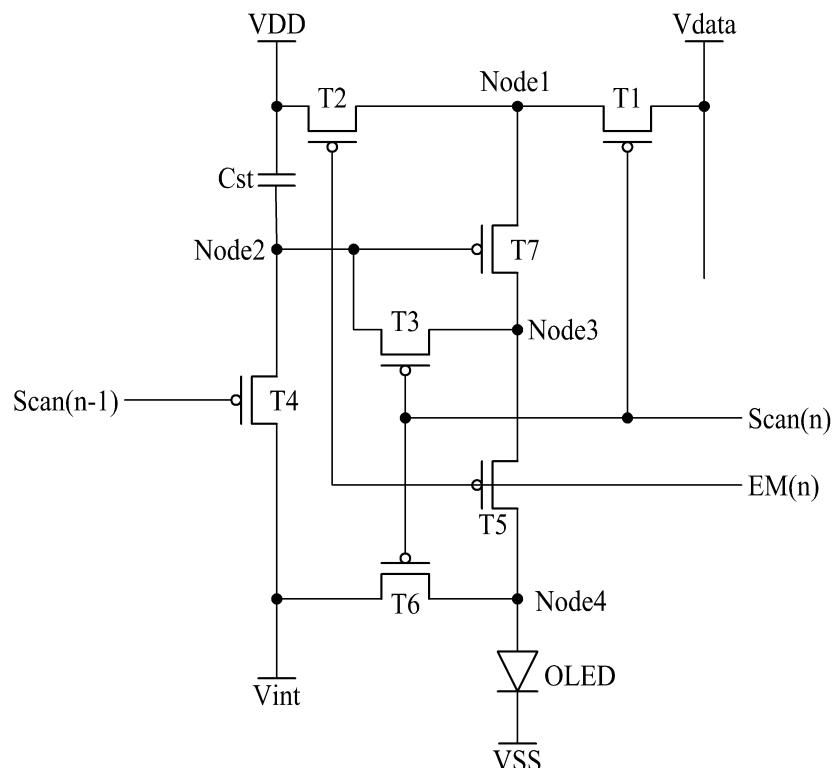
부호의 설명

[0098]

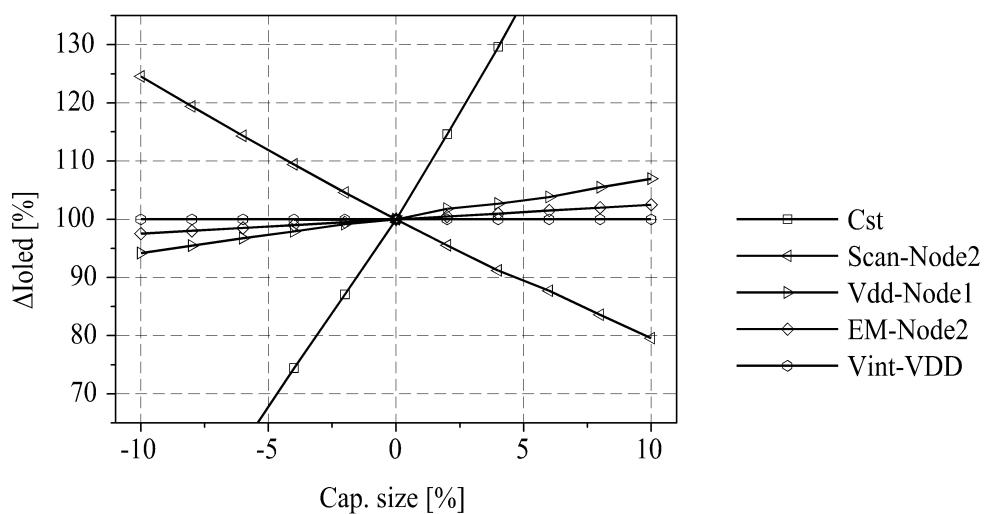
100: 기판
 200: 회로 소자층
 310, 320, 330: 제1, 제2, 제3 애노드 전극
 400: 뱅크
 500: 발광층
 600: 캐소드 전극
 700: 봉지층
 810, 820, 830: 제1, 제2, 제3 컬러 필터층

도면

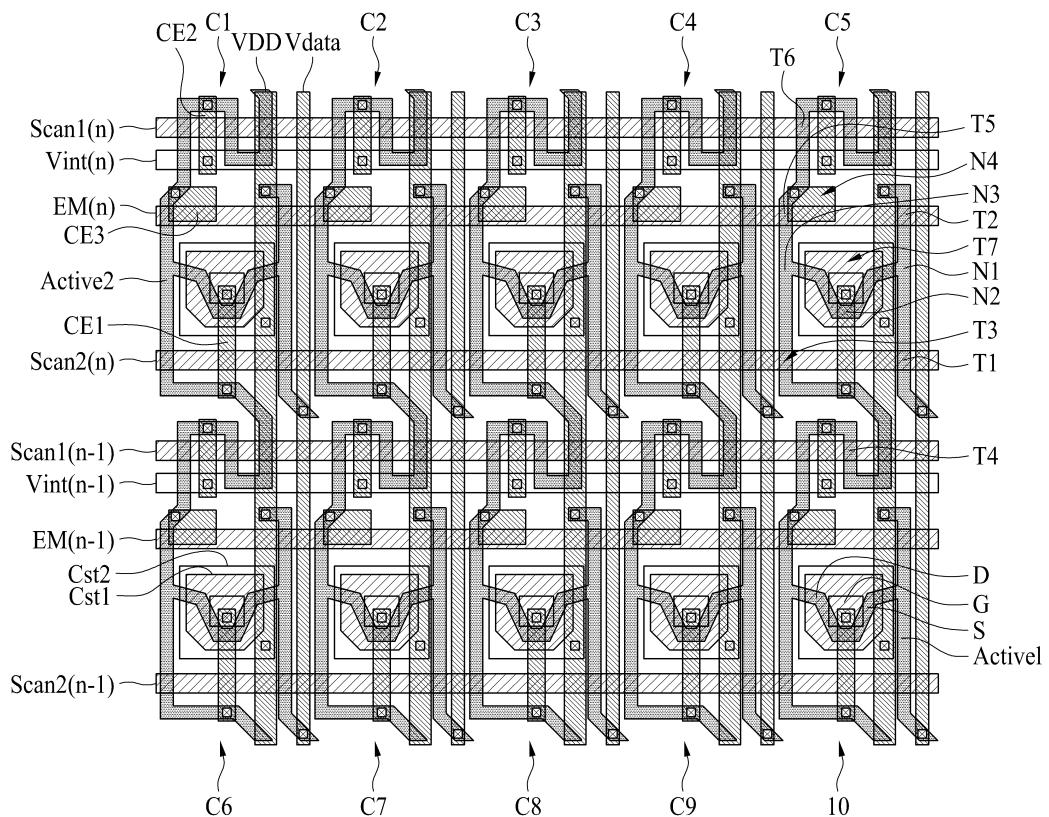
도면1



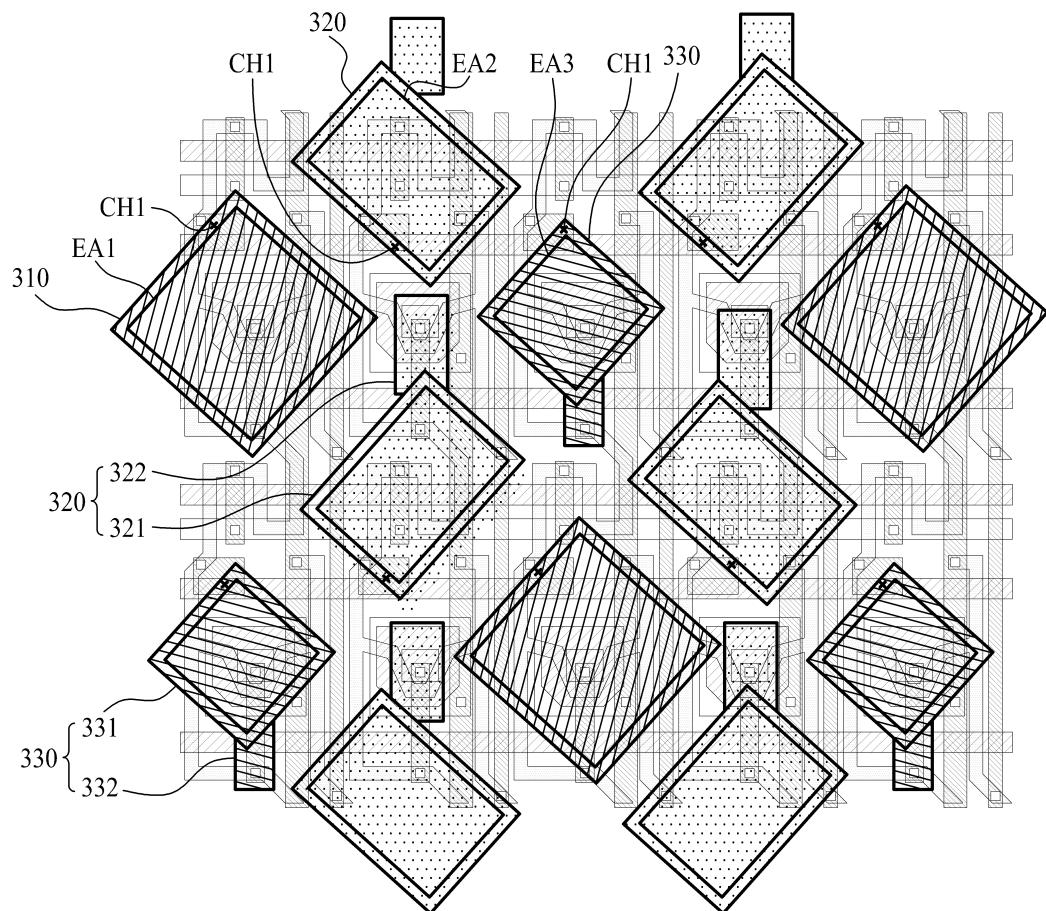
도면2



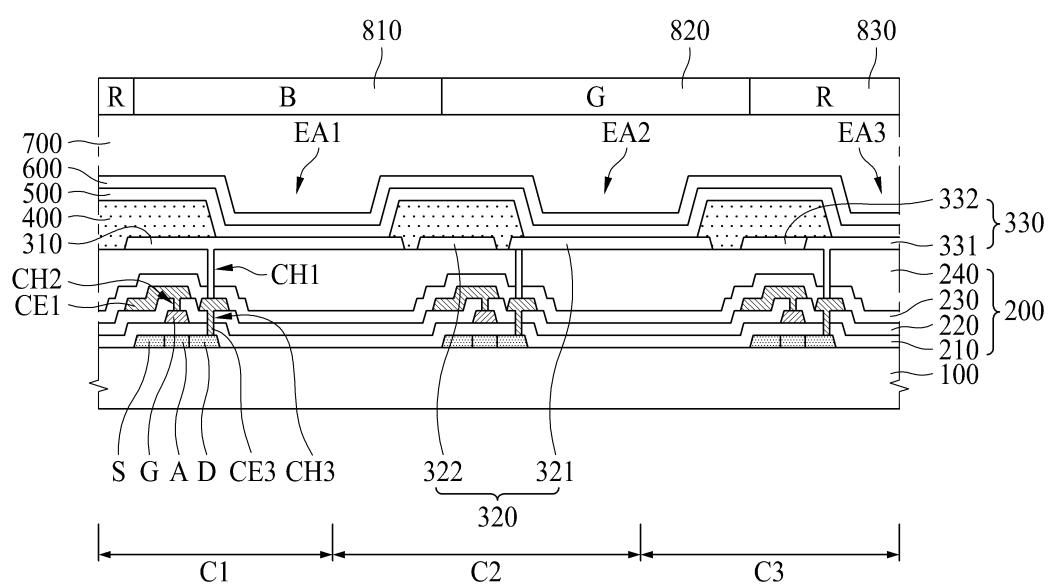
도면3



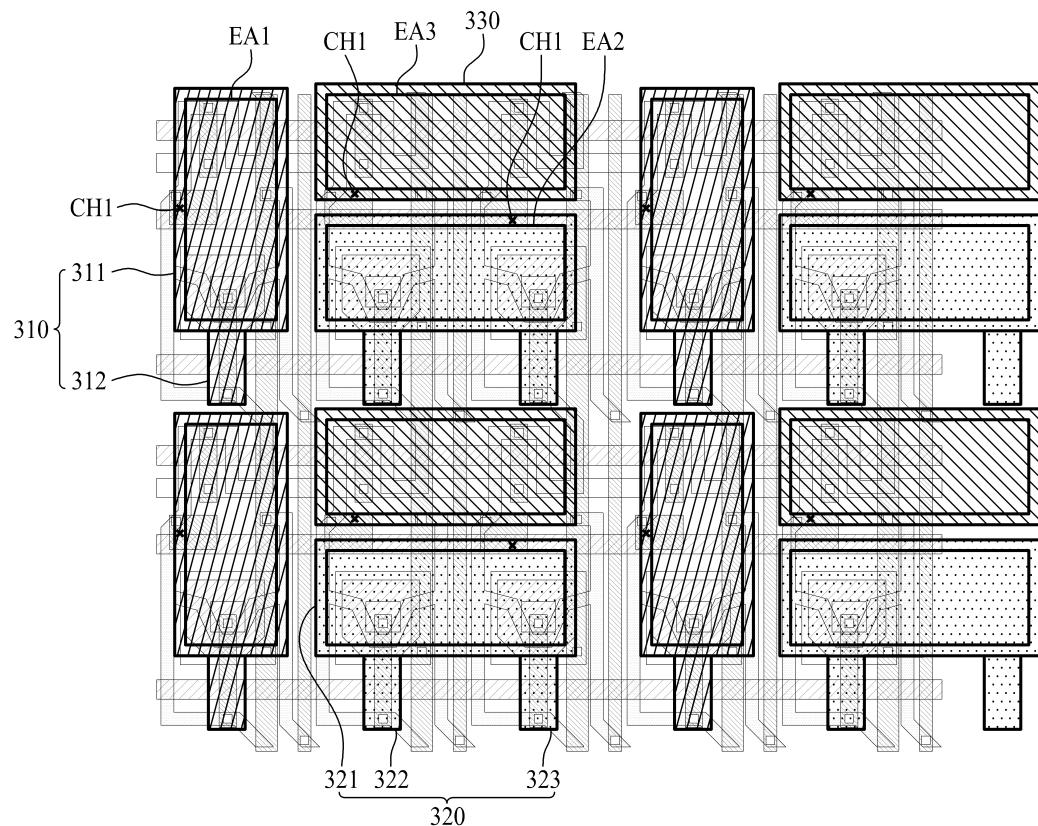
도면4



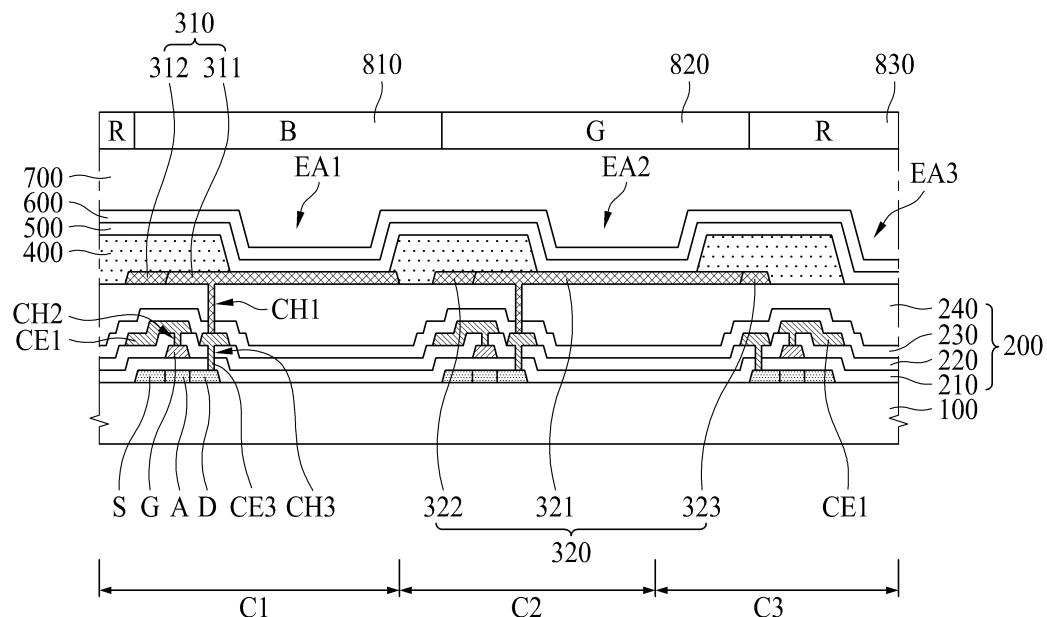
도면5



도면6



도면7



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020200080911A	公开(公告)日	2020-07-07
申请号	KR1020180170883	申请日	2018-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김지윤 이정민		
发明人	김지윤 이정민		
IPC分类号	H01L51/52 H01L27/32 H01L29/423 H01L29/786		
CPC分类号	H01L51/5206 H01L27/3211 H01L27/3262 H01L27/3276 H01L29/42312 H01L29/786		

摘要(译)

本发明包括:多个薄膜晶体管,其包括驱动薄膜晶体管;以及多个单位电路,每个单元电路包括电连接至所述驱动薄膜晶体管的栅极的连接电极;多个阳极电极分别连接到多个单元电路的驱动薄膜晶体管。设置以限定发射区域同时覆盖多个阳极电极的边缘的堤;发光层设置在多个阳极上;以及设置在发光层上的阴极电极,其中多个阳极电极提供电致发光显示装置,该电致发光显示装置设置为与驱动薄膜晶体管的栅极电极和连接电极重叠。

