

- (52) CPC특허분류
H01L 2251/568 (2013.01)
- (72) 발명자
유승원
경기도 파주시 월롱면 엘지로 245
이준석
경기도 파주시 월롱면 엘지로 245
-

박성우
경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

기관 상에 구비되며, 복수의 서브픽셀을 포함하는 픽셀 영역 내에 형성되는 구동 박막트랜지스터;
 상기 구동 박막 트랜지스터와 전기적으로 연결되는 유기발광소자; 및
 상기 유기발광소자의 일측에 형성되는 리페어부를 포함하고,
 상기 유기발광소자는 상기 리페어부를 통해서 상기 구동 박막트랜지스터와 전기적으로 연결되는, 유기발광 표시 장치.

청구항 2

제1항에 있어서,
 상기 구동 박막트랜지스터는,
 액티브층;
 상기 액티브층 상부 또는 하부에 형성되는 게이트 전극;
 상기 액티브층 및 게이트 전극 사이에 배치되는 게이트 절연막;
 상기 액티브층의 일측에 접속된 소스 전극; 및
 상기 액티브층의 타측에 접속된 드레인 전극을 포함하고,
 상기 액티브층, 상기 게이트 전극 및 상기 게이트 절연막을 감싸면서 배치되고, 상기 소스 전극 및 상기 드레인 전극과 액티브층과의 컨택을 위한 컨택홀을 포함하는 층간 절연막을 더 포함하고,
 상기 드레인 전극은 상기 리페어부와 연결되는, 유기발광 표시장치.

청구항 3

제1항에 있어서,
 상기 유기발광소자는,
 상기 리페어부와 연결되는 애노드 전극;
 상기 애노드 전극 상부에 형성된 발광층; 및
 상기 발광층 상부에 형성되는 캐소드 전극을 포함하는, 유기발광 표시장치.

청구항 4

제3항에 있어서,
 상기 리페어부는,
 상기 층간 절연막 상에 형성되는 제1 리페어 전극 및
 상기 제1 리페어 전극에 적어도 일부분 중첩되어 형성되고, 상기 애노드 전극과 연결되는 제2 리페어 전극을 포함하는, 유기발광 표시장치.

청구항 5

제4항에 있어서,
 상기 리페어부는,

상기 제1 리페어 전극 및 제2 리페어 전극의 적어도 일부분이 식각되어 형성되는 적어도 하나의 컷팅 포인트를 포함하는, 유기발광 표시장치.

청구항 6

제4항에 있어서,

상기 제1 리페어 전극은 상기 소스 전극 및 드레인 전극과 동일한 층에 형성되는, 유기발광 표시장치.

청구항 7

제4항에 있어서,

상기 제2 리페어 전극은,

상기 유기발광소자의 애노드 전극과 동일한 층에 형성되고, 상기 구동 박막트랜지스터와 연결되는, 유기발광 표시장치.

청구항 8

제3항에 있어서,

상기 애노드 전극은,

하나의 서브픽셀 내에서 서로 수평적으로 분리되어 있는 애노드 전극 제1 부분 및 애노드 전극 제2부분을 포함하고, 상기 애노드 전극 제1 부분 및 애노드 전극 제2부분은 상기 리페어부와 각각 연결되는, 유기발광 표시장치.

청구항 9

제1항에 있어서,

상기 구동 박막트랜지스터 상부에 형성되는 평탄화층을 더 포함하고,

상기 유기발광소자는 상기 평탄화층 상부에 형성되는, 유기발광 표시장치.

청구항 10

제1항에 있어서,

상기 픽셀 영역은,

복수의 서브 픽셀을 포함하는 발광 영역 및 상기 발광영역에 인접하여 배치되는 투과영역을 더 포함하는, 유기발광 표시장치.

청구항 11

제10항에 있어서,

상기 픽셀 영역은

상기 발광 영역의 적어도 일측으로 돌출되어 형성된 리페어 영역을 더 포함하고, 상기 리페어 영역은 상기 리페어부가 마련되는, 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 출원은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(Plasma Display), 유기발광표시장치

(OLED: Organic Light Emitting Display) 등과 같은 여러 가지 표시장치가 활용되고 있다.

- [0003] 유기발광 표시장치는 크게 어레이 소자와 유기발광소자로 이루지고 있다. 어레이 소자는 게이트 및 데이터 배선과 연결된 스위칭 박막트랜지스터와, 유기발광소자와 연결된 적어도 하나의 구동 박막트랜지스터로 이루어지며, 유기발광소자는 구동 박막트랜지스터와 연결된 애노드 전극과 유기 발광층 및 캐소드 전극으로 이루어지고 있다
- [0004] 하지만, 전술한 구성을 갖는 유기발광소자는 배선과 스위칭 및 구동 박막트랜지스터를 제조하는 과정에서 박막트랜지스터의 특성 저하 또는 내부 쇼트 발생으로 정상 구동이 이루어지지 않는 불량률이 발생되고 있다.
- [0005] 이렇게 하나의 픽셀 영역 내에 형성된 박막트랜지스터가 정상 구동이 되지 않는 경우, 이러한 박막트랜지스터와 연결된 유기발광소자에 전류 또는 전압이 인가되지 않으므로 암점화 되거나, 또는 구동 박막트랜지스터의 소스 전극과 드레인 전극이 쇼트되는 경우 구동 박막트랜지스터가 정상 구동되지 않고 소스 전극으로 인가된 전압이 온(on)/오프(off) 되지 않고 바로 드레인 전극으로 직접 인가됨으로써 이러한 구동을 하는 픽셀 영역은 항상 온(on) 상태가 되어 휘점화 되고 있다.
- [0006] 특히, 휘점화 불량은 시인성이 좋아 사용자의 눈에 띄게 되어 표시품질을 저하시키는 원인이 되므로 표시영역 전면에서 하나만 발생되어도 표시장치로서 불량률이 되어 최종 제품화될 수 없는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0007] 본 출원은 리페어부를 포함하는 유기발광 표시장치에 관한 것으로 간단한 구성을 통해 휘점화된 서브픽셀을 리페어 처리할 수 있고, 리페어 처리에 의해 발생될 수 있는 서브픽셀의 데미지 발생 및 신뢰성 저하의 문제를 최소화할 수 있는 유기발광 표시장치를 제공하는 것을 기술적 과제로 한다.
- [0008] 또한, 본 출원은 리페어 처리가 수월한 서브픽셀 구조를 포함하는 유기발광 표시장치를 제공하는 것을 기술적 과제로 한다.
- [0009] 또한, 본 출원은 리페어 처리가 수월한 서브픽셀 구조를 포함하는 투명 유기발광 표시장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

- [0010] 본 출원에 따른 유기발광 표시장치는, 기판 상에 구비되며, 복수의 서브픽셀을 포함하는 픽셀 영역 내에 형성되는 구동 박막트랜지스터, 구동 박막 트랜지스터와 전기적으로 연결되는 유기발광소자, 및 유기발광소자의 일측에 형성되는 리페어부를 포함하고, 유기발광소자는 리페어부를 통해서 구동 박막트랜지스터와 전기적으로 연결되는 것을 특징으로 한다.

발명의 효과

- [0011] 본 출원에 따른 유기발광 표시장치는 휘점화된 서브픽셀을 리페어 처리에 의해 암점화 시킴으로써, 생산 수율을 향상시키는 효과가 있다.
- [0012] 또한, 본 출원에 따른 유기발광 표시장치는 리페어 처리의 효율을 향상시킬 수 있으며, 리페어 처리 공정 중 유기발광 표시장치에 발생할 수 있는 데미지 및 신뢰성 문제를 최소화할 수 있는 효과가 있다.
- [0013] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0014] 도 1은 본 출원에 따른 유기발광 표시장치의 개략적인 시스템 구성도이다.
- 도 2는 본 출원에 일 예에 따른 픽셀의 서브픽셀 및 투과영역 배치 구조를 나타낸 도면이다.
- 도 3 및 도 4는 본 출원의 일 예에 따른 픽셀의 서브픽셀 및 투과영역 배치 구조를 나타낸 예시도이다.
- 도 5a는 본 출원에 따른 유기발광 표시장치를 구성하는 서브 픽셀의 애노드 전극, 리페어부 및 구동 박막트랜지스터를 간략히 도시한 것이다.

도 5b는 본 출원에 따른 리페어 영역을 포함하는 복수의 픽셀 영역을 나타낸 평면도이다.

도 6a는 도 5의 A-A' 절단선을 따라 도시한 단면도이다.

도 6b는 도 5의 B-B' 절단선을 따라 도시한 단면도이다.

도 6c는 도 6b의 리페어부를 확대하여 도시한 것이다.

도 7a는 본 출원에 따른 유기발광 표시장치를 구성하는 구성하는 서브 픽셀의 애노드 전극, 리페어부 및 구동 박막트랜지스터를 간략히 도시한 것이다.

도 7b는 본 출원에 따른 리페어 영역을 포함하는 복수의 픽셀 영역을 나타낸 평면도이다.

도 8a는 도 7의 C-C' 절단선을 따라 도시한 단면도이다.

도 8b는 도 7의 D-D' 절단선을 따라 도시한 단면도이다.

도 8c는 도 8b의 리페어부를 확대하여 도시한 것이다.

도 8d는 도 7의 제1 애노드 전극, 리페어부 및 구동 박막트랜지스터를 따라 절단한 절단선의 단면도이다.

도 8e는 도 7의 제2 애노드 전극, 리페어부 및 구동 박막트랜지스터를 따라 절단한 절단선의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원의 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원의 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원의 예를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0017] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0018] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0019] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0020] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0021] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.
- [0022] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0023] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

- [0024] 이하에서는 본 출원에 따른 산화물 박막의 제조 장치와 제조 방법 및 그 산화물 박막을 포함하는 디스플레이 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다
- [0025] 도 1은 본 출원에 따른 유기발광 표시장치(100)의 개략적인 시스템 구성도이다.
- [0026] 도 1을 참조하면, 본 출원에 따른 유기발광 표시장치(100)는, 다수의 데이터 라인(DL) 및 다수의 게이트 라인(GL)이 형성되고, 다수의 픽셀이 형성된 표시패널(110)과, 다수의 데이터 라인(DL)으로 데이터 전압을 출력하여 데이터 라인(DL)을 구동하는 데이터 구동부(120)와, 다수의 게이트 라인(GL)으로 스캔신호를 순차적으로 출력하여 게이트 라인(GL)을 구동하는 게이트 구동부(130)와, 각종 제어 신호를 출력하여 데이터 구동부(120) 및 게이트 구동부(130)를 제어하는 타이밍 컨트롤러(140) 등을 포함할 수 있다.
- [0027] 전술한 데이터 구동부(120)는 다수의 데이터 구동 집적회로를 포함할 수 있는데, 이러한 다수의 데이터 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 표시패널(110)에 직접 형성될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 형성될 수도 있다.
- [0028] 전술한 게이트 구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 표시패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 표시패널(110)의 양측에 위치할 수도 있다. 또한, 게이트 구동부(130)는, 다수의 게이트 구동 집적회로를 포함할 수 있는데, 이러한 다수의 게이트 구동 집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 투명표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 형성될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 형성될 수도 있다.
- [0029] 도 2는 본 출원에 일 예에 따른 유기발광 표시장치의 서브픽셀 및 투과영역 배치 구조를 나타낸 도면이다.
- [0030] 도 2를 참조하면, 하나의 픽셀(P)은, 서로 다른 컬러를 표현하는 k개의 서브픽셀(SP: Sub Pixel, SP_1, SP_2, ... , SP_k)이 형성된 서브픽셀영역(SPA: Sub Pixel Area) 및 투과영역(TA: Transparent Area)을 포함할 수 있다. 여기서, 하나의 픽셀(P)에 포함된 서브픽셀 개수를 의미하는 k는 3 또는 4일 수 있으며, 경우에 따라서는, 2 또는 5 이상의 자연수일 수도 있다.
- [0031] 또한, 도 2 및 후속에서 설명되는 도 3 및 도 4에서 하나의 픽셀(P)은 투과영역(TA)을 포함하는 것으로 도시되었으나, 본 출원에 따른 유기발광 표시장치의 픽셀(P)은 이에 제한되지 않고, 투과영역(TA)을 포함하지 않는 유기발광 표시장치일 수 있다.
- [0032] 도 2를 참조하면, 하나의 픽셀(P)에서, 서브픽셀들(SP_1, ... , SP_k)은 제1방향으로 서로 인접하여 배치될 수 있다. 도 2를 참조하면, 투과영역(TA)은 서브픽셀영역(SPA)에 제2방향을 인접하여 배치될 수 있다. 즉, 투과영역(TA)은, 서브픽셀들(SP_1, ... , SP_k)과 제2방향으로 인접하여 배치될 수 있다.
- [0033] 전술한 바와 같이, 각 단위 픽셀(P)은, 투과영역(TA)을 포함하기 때문에, 투명한 구조를 가질 수 있고, 이러한 투과영역(TA)을 포함하는 픽셀(P)의 구조에 의해, 본 출원에 따른 유기발광 표시장치(100)는 외광을 투과시킬 수 있다. 따라서, 본 출원에 따른 유기발광 표시장치(100)는 투명 유기발광 표시장치일 수 있다.
- [0034] 도 3 및 도 4는 본 출원의 일 예에 따른 서브픽셀 및 투과영역 배치 구조를 나타낸 예시도이다. 도 3 및 도 4를 참조하면, 4-서브픽셀 기반의 픽셀 배치 구조 하에서, 복수의 픽셀(P1, P2, P3, P4) 각각은, 적색(R), 녹색(G), 청색(B) 및 흰색(W)에 해당하는 서브픽셀들을 모두 포함할 수 있다. 또한, 각 픽셀의 서브픽셀들은, 적색(R), 녹색(G), 청색(B) 및 흰색(W)이 소정의 순서로 배열된 컬러 배열을 가질 수 있다. 또한, 복수의 서브 픽셀들에 의해 정의되는 영역은 발광 영역으로 정의될 수 있으며, 각각의 픽셀들은 서브 픽셀들의 배치구조에 대응되는 투과 영역을 포함할 수 있다.
- [0035] 도 3을 참조하면, 제1 픽셀(P1)의 서브픽셀들은 적색(R), 녹색(G), 청색(B) 및 흰색(W)의 순서로 제1 방향으로 순차적으로 배치될 수 있고, 제2 픽셀(P2), 제3 픽셀(P3) 및 제4 픽셀(P4)의 서브픽셀들은 이와 동일하게 형성될 수 있으며, 제1 픽셀(P1), 제2 픽셀(2), 제3 픽셀(3) 및 제4 픽셀(4)은 각각의 서브픽셀들에 대응되는 투과영역들(TA_1, TA_2, TA_3, TA_4)를 포함할 수 있다.
- [0036] 도 4를 참조하면, 제1 픽셀(P1)의 서브픽셀들은 적색(R), 녹색(G), 청색(B) 및 흰색(W)이 순차적으로 각각 제1 사분면, 제2 사분면, 제3 사분면 및 제4 사분면에 배치되어 사각형 형태의 서브 픽셀 구조를 제공할 수 있고, 제2 픽셀(P2), 제3 픽셀(P3) 및 제4 픽셀(P4)의 서브픽셀들은 이와 동일하게 형성될 수 있으며, 제1 픽셀(P1),

제2 픽셀(2), 제3 픽셀(3) 및 제4 픽셀(4)은 각각의 서브픽셀들에 대응되는 투과영역들(TA_1, TA_2, TA_3, TA_4)를 포함할 수 있다.

- [0037] 이러한 서브픽셀들 및 투과영역의 배치 구조는 도 2 내지 도 4에 도시된 구조에 제한되지 않고, 다양한 조합으로 설계될 수 있다.
- [0038] 도 5a는 본 출원에 따른 유기발광 표시장치를 구성하는 서브 픽셀의 애노드 전극, 리페어부 및 구동 박막트랜지스터를 간략히 도시한 것이고, 도 5b는 본 출원에 따른 리페어 영역을 포함하는 복수의 픽셀을 나타낸 평면도이다.
- [0039] 도 5a를 참조하면, 유기발광소자(E)의 애노드 전극(AE)은 애노드 전극(AE)의 일측에 형성된 리페어부(RP)를 통해서, 구동 박막트랜지스터(Dr-TR, driving thin film transistor)와 연결될 수 있다. 또한, 리페어부(RP)는 구동 박막트랜지스터(T)와 연결될 때 컨택홀을 통해서 연결될 수 있으며, 구동 박막트랜지스터(T)는 유기발광 표시장치의 설계에 따라 유기발광소자(E)의 애노드 전극(AE)의 일측에 인접하도록 배치되면서, 애노드 전극(AE)과 중첩되지 않도록 형성될 수 있다. 따라서, 애노드 전극(AE)은 리페어부(RP)를 통해서 구동 박막트랜지스터(T)와 전기적으로 연결될 수 있다.
- [0040] 본 출원의 일 예에 따르면, 리페어부(RP)는 유기발광소자(E)에 인접하게 형성되는 리페어부 제1 부분(RP1), 리페어부 제1 부분(RP1)으로부터 연장되어 형성되고, 소정의 각도로 절곡되어 형성되고 적어도 하나의 커팅 포인트(RP2(CP1))가 형성되는 리페어부 제2 부분(RP2) 및 리페어부 제2 부분(RP2)으로부터 연장되어 형성되고, 소정의 각도로 절곡되어 형성되면서, 구동 박막트랜지스터(T)와 연결되는 리페어부 제3 부분(RP3)을 포함할 수 있다. 이를 통해, 리페어부(RP)는 유기발광소자(E)의 애노드전극(AE) 또는 서브픽셀의 일측으로 돌출된 형태로 제공될 수 있다. 리페어부 제1 부분(RP1), 리페어부 제2 부분(RP2) 및 리페어부 제3 부분(RP3)을 포함하는 리페어부(RP)의 구조 및 이에 대한 상세한 설명은 뒤에서 도 6a, 도 6b 및 도 6c를 참조하여 후술하기로 한다.
- [0041] 도 5b를 참조하면, 각각의 픽셀(P1, P2, P3, P4)은 복수의 서브 픽셀(R, G, B, W)의 일측에 형성된 리페어 영역(RA)을 포함할 수 있다. 다시 말하면, 본 출원에 따른 픽셀은 복수의 서브 픽셀에 의해 정의되는 발광 영역(EA) 및 투과 영역(TA)의 사이에 배치되는 리페어 영역(RA)을 더 포함할 수 있다. 또한, 리페어 영역(RA)은 전술한 도 5a의 리페어부 제1 부분(RP1), 리페어부 제2 부분(RP2) 및 리페어부 제3 부분(RP3)을 포함하는 리페어부(RP)가 마련되는 영역과 중첩되는 영역으로도 정의될 수 있다.
- [0042] 또한, 도 5b에 도시된 바와 같이, 본 출원에 따른 유기발광 표시장치의 픽셀(P1, P2, P3, P4)의 서브 픽셀 각각이 일측에 형성된 리페어 영역(RA)이 돌출된 형태로 마련되는 경우, 투과 영역(TA)은 돌출되어 형성된 리페어 영역(RA)에 대응되는 다각형의 형태로 제공될 수 있다.
- [0043] 다만, 이러한 리페어 영역(RA)의 구성은 이에 제한되는 것은 아니고, 후술되는 리페어부 제2 부분(RP2)의 제1 커팅 포인트(CP1)를 포함하는 적어도 하나의 커팅 포인트(CP)가 형성되기 위해서, 유기발광소자(E) 또는 유기발광소자(E)의 애노드 전극(AE)의 일측으로부터 돌출된 구조로 형성되는 것이라면 제한되지 않을 수 있다.
- [0044] 도 5b에서 투과 영역(TA)은 기판(210)의 상부에 순차적으로 적층된 버퍼층(220), 층간 절연막(240), 패시베이션층(250) 및 평탄화층(260)을 포함하는 적층구조를 가질 수 있으나, 당업계에서 공지된 투과 영역(TA)의 적층 구조이면 제한되지 않고 적용될 수 있다.
- [0045] 도 6a는 도 5a의 A-A' 절단선을 따라 도시한 단면도이고, 도 6b는 도 5의 B-B' 절단선을 따라 도시한 단면도이고, 도 6c는 도 6b의 리페어부를 확대하여 도시한 것이다.
- [0046] 도 6a 및 도 6b를 참조하면, 유기발광 표시장치(100)는 기판(210), 기판(210) 상에 형성된 구동 박막트랜지스터(T) 및 제1 및 제2 보조 전원 라인(EVSS1, EVSS2), 제1 및 제2 보조 전원 라인(EVSS1, EVSS2)과 전기적으로 연결된 컨택패드(CP), 유기발광소자(E), 유기발광소자(E)의 일측에 형성되는 리페어부(RP)를 포함할 수 있다.
- [0047] 기판(210)은 베이스 기판으로서, 구부러거나 휘 수 있는 투명 플렉서블 기판 또는 글라스 기판일 수 있다. 일 예에 따르면, 기판(210)은 투명 폴리이미드(Polyimide) 재질을 포함할 수 있으나, 이에 한정되지 않고 폴리에틸렌 테레프탈레이트 (Polyethylene terephthalate) 등의 투명 플라스틱 재질로 이루어질 수 있다. 일 예에 따르면, 기판(210)은 이산화규소(SiO₂) 또는 산화알루미늄(Al₂O₃)을 주성분으로서 포함할 수 있다.
- [0048] 구동 박막트랜지스터(T)는 버퍼층(220) 상의 복수의 서브 픽셀 각각에 대응되도록 배치될 수 있다.
- [0049] 일 예에 따르면, 구동 박막트랜지스터는, 액티브층(ACT), 액티브층(ACT) 상에 형성되는 게이트 전극(GE), 액티

브층(ACT) 및 게이트 전극(GE) 사이에 배치되는 게이트 절연막(230), 액티브층(ACT)의 일측에 접속된 소스 전극(SE), 및 액티브층(ACT)의 타측에 접속된 드레인 전극(DE)을 포함하고, 게이트 전극(GE)과 소스 전극(SE) 및 드레인 전극(DE)을 서로 전기적으로 이격시키면서, 구동 박막트랜지스터를 보호하는 층간 절연막(240)을 더 포함할 수 있다.

[0050] 액티브층(ACT)은 기판(210)의 픽셀 영역에 마련될 수 있다. 액티브층(ACT)은 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)과 중첩되도록 배치될 수 있고, 액티브층(ACT)은 채널 영역 및 소스/드레인 영역을 포함할 수 있고, 채널 영역은 액티브층(ACT)의 중앙 영역에 형성되고, 소스/드레인 영역은 채널 영역을 사이에 두고 서로 나란하게 형성될 수 있다. 또한, 게이트 절연막(230)은 액티브층(ACT) 상에 마련될 수 있다. 구체적으로, 게이트 절연막(230)은 액티브층(ACT)의 채널 영역 상에 배치될 수 있고, 액티브층(ACT)과 게이트 전극(GE)을 절연시킬 수 있고, 게이트 전극(GE)은 게이트 절연막(230) 상에 마련될 수 있다.

[0051] 박막 트랜지스터(T)의 액티브 층(ACT)은 폴리 실리콘(polycrystalline silicon)으로 이루어질 수 있다. 이에, 버퍼층(111) 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 탈수소화 공정, 결정화 공정, 활성화 공정 및 수소화 공정을 수행하는 방식으로 폴리 실리콘이 형성되고, 폴리 실리콘을 패터닝하여 액티브 층(ACT)이 형성될 수 있다. 액티브 층(ACT)이 폴리 실리콘으로 이루어지는 경우, 박막 트랜지스터(T)는 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 LTPS 박막 트랜지스터(T)일 수 있다. 폴리 실리콘 물질은 이동도가 높아, 액티브 층(ACT)이 폴리 실리콘으로 이루어지는 경우 에너지 소비 전력이 낮고 신뢰성이 우수하다는 장점이 있다.

[0052] 게이트 전극(GE)은 구동 박막트랜지스터(T)의 액티브층(ACT)에 게이트 전압을 인가할 수 있고, 도 6a에 도시된 바와 같이 이중 층으로 증착되어 형성될 수 있으나, 단일층의 게이트 전극(GE)으로 적용될 수 있다. 일 예에 따르면, 게이트 전극(GE)은 몰리브덴(Mo)과 같은 금속 물질을 포함할 수 있으나, 이에 제한되는 것은 아니고 당업계에 공지된 물질이면 제한되지 않고 사용될 수 있다.

[0053] 소스 전극(SE) 및 드레인 전극(DE)은 액티브층(ACT)의 소스영역 및 드레인 영역 각각과 오믹 콘택(Ohmic Contact)을 형성하고, 낮은 낮은 저항을 갖는 금속 물질로 형성될 수 있다. 도 6a에서 소스 전극(SE) 및 드레인 전극(DE)은 각각 2개의 층이 적층된 것으로 도시되었고, 일 예에 따르면, 소스 전극(SE) 및 드레인 전극(DE)은 알루미늄(Al) 및 티타늄(Ti)이 적층된 2층 구조일 수 있다. 또한, 본 출원의 다른 예에 따르면, 소스 전극(SE) 및 드레인 전극(DE)은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 형성될 수 있다.

[0054] 층간 절연막(240)은 게이트 전극(GE)을 덮도록 마련될 수 있고, 층간 절연막(240)은 박막 트랜지스터(T)를 보호하는 기능을 수행할 수 있다. 층간 절연막(240)은 액티브층(ACT)과 소스 전극(SE) 또는 드레인 전극(DE)을 접촉시키기 위하여 해당 영역이 제거될 수 있다. 예를 들어, 층간 절연막(240)은 소스 전극(SE)이 관통하는 콘택홀 및 드레인 전극(DE)이 관통하는 콘택홀을 포함할 수 있다. 일 예에 따르면, 층간 절연막(240)은 실리콘 산화막(SiO₂) 또는 실리콘 질화막(SiN)을 포함할 수 있고, 또는 실리콘 산화막(SiO₂) 및 실리콘 질화막(SiN)을 포함하는 복수층으로 구성될 수 있다.

[0055] 패시베이션층(250)은 층간 절연막(240), 소스 전극(SE) 및 드레인 전극(DE) 상에 마련될 수 있다. 패시베이션층(250)은 소스 전극(SE) 및 드레인 전극(DE)을 보호하는 기능을 수행할 수 있다. 패시베이션층(250)은 애노드 전극(AE)이 관통하는 콘택홀을 포함할 수 있다. 여기에서, 패시베이션층(250)의 콘택홀은 애노드 전극(AE)을 관통시키기 위하여 평탄화층(260)의 콘택홀과 연결될 수 있다. 또한, 패시베이션층(250)은 일 예에 따르면, 패시베이션층(250)은 실리콘 산화막(SiO₂) 또는 실리콘 질화막(SiN)을 포함할 수 있다.

[0056] 평탄화층(260)은 기판(210) 상에 배치되고, 복수의 픽셀 영역 각각에 배치된 박막 트랜지스터(T)를 덮을 수 있다. 구체적으로, 평탄화층(260)은 박막 트랜지스터(T) 상에 마련되어, 박막 트랜지스터(T)의 상단을 평탄화시킬 수 있다. 일 예에 따르면, 애노드 전극(AE)과 콘택 패드(CP)는 평탄화층(260)의 상단에서 서로 이격되게 마련될 수 있다. 예를 들어, 평탄화층(260)은 포토아크릴(Photo Acryl) 및 폴리이미드(Polyimide)와 같은 레진(resin)을 포함할 수 있다.

[0057] 유기발광소자(E)는 복수의 픽셀 영역의 서브 픽셀에 대응되는 평탄화층(260) 상부에 마련될 수 있고, 유기발광소자(E)는 리페어부(RP)와 연결되는 애노드 전극(AE), 애노드 전극(AE) 상부에 형성된 발광층(EL), 및 상기 발광층(EL) 상부에 형성되는 캐소드 전극(CE)을 포함할 수 있다.

[0058] 애노드 전극(AE)은 복수의 픽셀 영역의 평탄화층(260) 상에 마련될 수 있다. 애노드 전극(AE)은 도 6a 도시된

바와 같이, 애노드 전극(AE)은 순차적으로 적층된 제1 애노드 전극, 제2 애노드 전극, 제3 애노드 전극 및 제4 애노드 전극으로 구성될 수 있으나, 반드시 이에 제한되는 것은 아니다.

- [0059] 일 예에 따르면, 애노드 전극(AE)은 후술되는 컨택패드(CP) 및 제2 리페어 전극(RE2)과 동일한층 및 동일한 공정을 통해 형성될 수 있다. 본 출원에 따른 유기발광 표시장치(100)는 유기발광소자(E)의 캐소드 전극(CE) 및 컨택패드(CP)의 물리적 및 전기적인 컨택이 추가적인 마스크 및 공정의 도입 없이, 후속의 유기발광소자(E)의 발광층(EL) 및 캐소드 전극(CE)의 증착 공정을 통해 이루어질 수 있다. 유기발광소자(E)의 캐소드 전극(CE) 및 컨택패드(CP)가 물리적 및 전기적인 컨택은 바람직하게 컨택 패드(CP)의 노출된 측면부를 통해서 이루어질 수 있고, 컨택 패드(CP)의 측면부와 캐소드 전극(CE)이 안정적으로 컨택되기 위해서는 컨택 패드(CP)는 소정의 두께 이상을 갖도록 형성되어야 한다.
- [0060] 일 예에 따르면, 애노드 전극(AE)은 통상적인 애노드 전극(AE) 두께의 2배 내지 5배의 두께로 형성될 수 있고, 예를 들면, 애노드 전극(AE)은 300 내지 500nm의 두께를 갖도록 설정될 수 있으며, 300 내지 500 nm의 두께의 애노드 전극(AE)이 제1 애노드 전극, 제2 애노드 전극, 제3 애노드 전극 및 제4 애노드 전극을 포함하는 복수층으로 구성되는 경우, 전술한 바와 같이 애노드 전극(AE)의 노출된 측면부가 내측으로 경사를 갖는 처마 형태를 갖도록 애노드 전극(AE)의 두께를 기준으로 중심에 위치한 애노드 전극과 외측에 위치한 애노드 전극(AE)의 식각 선택성(etch selectivity)가 상이한 물질로 구성하여 준비될 수 있다.
- [0061] 예를 들면, 애노드 전극(AE)의 두께를 기준으로 외측에는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 포함하는 투명 도전성 산화물(TCO)로 구성될 수 있고, 애노드 전극(AE)의 두께를 기준으로 중심측에는 몰리브덴 티타늄 합금(MoTi), 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 및 티타늄(Ti) 중 적어도 하나를 포함하는 애노드 전극(AE) 층을 포함할 수 있고, 또는 구리(Cu)와 같은 식각율이 높은 물질을 포함하는 애노드 전극(AE) 층을 더 포함할 수 있다.
- [0062] 컨택 패드(CP)는 애노드 전극(AE)의 일측으로 이격되고, 평탄화층(260) 상에 배치될 수 있다. 컨택 패드(CP)는 평탄화층(260) 상에서 애노드 전극(AE)과 이격되게 배치될 수 있고, 컨택 패드(CP)의 측면부 중 일측은 बैं크와 증착될 수 있고, 컨택 패드(CP)의 타측은 캐소드 전극(CE)와 전기적인 컨택을 위해 노출된 측면 구조를 가질 수 있다.
- [0063] 일 예에 따르면, 컨택 패드(CP)는 두께를 기준으로 외측에는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 포함하는 투명 도전성 산화물(TCO)로 구성될 수 있고, 컨택 패드(CP)의 두께를 기준으로 중심측에는 몰리브덴 티타늄 합금(MoTi), 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 및 티타늄(Ti) 중 적어도 하나를 포함하는 제2 리페어 전극(RE2) 층으로 이루어질 수 있고, 또는 구리(Cu)와 같은 식각율이 높은 물질을 포함하는 제2 리페어 전극(RE2) 층을 더 포함할 수 있다. 일 예에 따르면, 컨택 패드(CP)는 300 내지 500 nm의 두께를 갖도록 설정될 수 있다. 컨택 패드(CP)의 일측은 बैं크(B)에 의해 덮일 수 있으며, 제2 리페어 전극(RE2)의 बैं크(B) 상부에는 발광층(EL), 캐소드 전극(CE) 및 봉지층(270)이 순차적으로 적층될 수 있으나, 제2 리페어 전극(RE2)의 상부 구조는 반드시 이에 제한되는 것은 아니다.
- [0064] 또한, 컨택 패드(CP)는 하부의 제1 및 제2 보조 전원 라인(EVSS1, EVSS2)과의 전기적인 컨택을 위해 평탄화층(260) 및 패시베이션층(250)의 컨택홀을 통해서 보조 배선(AL)과 연결될 수 있다. 컨택 패드(CP)는 전술한 바와 같이 상기한 애노드 전극(AE)과 동일한 물질 및 동일한 공정에 의해 형성되면서, 애노드 전극(AE)과 이격되도록 평탄화층(260) 상에 형성될 수 있다.
- [0065] 도 6a를 참조하면, 제2 리페어 전극(RE2)은 유기발광소자(E)의 애노드 전극(AE)의 일측에 이격되어 평탄화층(260) 상부에 형성된 것을 알 수 있으며, 구동 박막트랜지스터(T)와 전기적으로 연결될 수 있다. 또한, 제2 리페어 전극(RE2)이 구동 박막트랜지스터(T)와 컨택홀을 통해 연결된 부분은 리페어부 제2 부분(RP2)일 수 있다. 제2 리페어 전극(RE2)은 애노드 전극(AE)과 동일한 층 상에 형성될 수 있고, 애노드 전극(AE)과 동일한 물질 및 동일한 공정에 의해 형성될 수 있으며, 소정의 패터닝 공정에 의해 형성될 수 있다.
- [0066] 일 예에 따르면, 제2 리페어 전극(RE2)은 두께를 기준으로 외측에는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 포함하는 투명 도전성 산화물(TCO)로 구성될 수 있고, 애노드 전극(AE)의 두께를 기준으로 중심측에는 몰리브덴 티타늄 합금(MoTi), 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 및 티타늄(Ti) 중 적어도 하나를 포함하는 제2 리페어 전극(RE2) 층으로 이루어질 수 있고, 또는 구리(Cu)와 같은 식각율이 높은 물질을 포함하는 제2 리페어 전극(RE2) 층을 더 포함할 수 있다. 일 예에 따르면, 제2 리페어 전극은 300 내지 500nm의 두께를 갖도록 설정될 수 있다. 제2 리페어 전극(RE2)의 노출된 부분은 बैं크(B)에 의해 덮일 수 있으며, 제2 리페어 전

극(RE2)의 बैं크(B) 상부에는 발광층(EL), 캐소드 전극(CE) 및 봉지층(270)이 순차적으로 적층될 수 있으나, 제2 리페어 전극(RE2)의 상부 구조는 반드시 이에 제한되는 것은 아니다.

- [0067] 발광층(EL)은 애노드 전극(AE)과 콘택 패드(CP) 상에 마련될 수 있다. 발광층(EL)은 픽셀 영역별로 구분되지 않고 전체 픽셀에 공통되도록 형성될 수 있다. 예를 들어, 발광층(EL)은 정공 수송층(Hole transporting layer), 발광층(Organic light emitting layer), 전자 수송층(Electron transporting layer)을 포함할 수 있다. 일 예에 따르면, 발광층(EL)은 발광층의 발광 효율 및 수명 등을 향상시키기 위한 적어도 하나 이상의 기능층을 더 포함할 수 있다.
- [0068] 일 예에 따르면, 발광층(EL)은 콘택 패드(CP)의 상면과 접촉하지만, 콘택 패드(CP)의 측면 일부와 접촉되지 않을 수 있다. 구체적으로, 콘택 패드(CP)의 타측에 노출된 측면은 콘택 패드(CP)의 두께 방향을 기준으로 오목할 수 있고, 콘택 패드(CP)의 상부는 처마 형태를 가질 수 있다. 이에 따라, 발광층(EL)은 처마 형태를 갖는 콘택 패드(CP)의 상부에 의하여 콘택 패드(CP)의 측면에서 끊어진 구조를 가질 수 있고, 콘택 패드(CP)의 타측에 노출된 측면과 접촉되지 않을 수 있다. 결과적으로, 본 출원에 따른 표시 장치는 발광층(EL)이 콘택 패드(CP)의 노출된 측면부와 접촉되지 않을 수 있다. 따라서, 도 6a에 도시된 바와 같이 후속 유기발광소자(E)의 캐소드 전극(CE)을 형성하는 경우, 콘택 패드(CP)의 노출된 측면부에 콘택된 구조를 가질 수 있다.
- [0069] 캐소드 전극(CE)은 발광층(EL) 상에 마련될 수 있다. 캐소드 전극(CE)은 픽셀 영역별로 구분되지 않고 전체 픽셀에 공통되는 전극 형태로 구현될 수 있다. 일 예에 따르면, 캐소드 전극(CE)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명 도전성 산화물(TCO)로 이루어질 수 있다. 전술한 바와 같이, 캐소드 전극(CE)은 발광층(EL)이 형성되지 않는 콘택 패드(CP)의 노출된 측면부와 직접 접촉될 수 있다.
- [0070] 제1 보조 전원 라인(EVSS1)은 콘택 패드(CP)와 보조 배선(AL)을 통해 콘택 전기적으로 연결되고, 게이트 전극(GE)과 동일층에서 동일한 물질로 이루어질 수 있다. 구체적으로, 제1 보조 전원 라인(EVSS1)은 게이트 절연막(230) 상에 배치될 수 있다. 제2 보조 전원 라인(EVSS2)은 콘택 패드(CP)와 보조 배선(AL)을 통해 전기적으로 연결되고, 차광층(LS)과 동일층에서 동일한 물질로 이루어질 수 있다. 구체적으로, 제2 보조 전원 라인(EVSS2)은 기판(210) 상에 배치될 수 있다. 따라서, 제1 및 제2 보조 전원 라인(EVSS1, EVSS2)은 보조 배선(AL)을 통해 콘택 패드(CP)와 전기적으로 연결될 수 있고, 이를 통해 콘택 패드(CP)와 연결되는 전극들의 전체 저항을 감소시킬 수 있다.
- [0071] 또한, 도 6a에서 알 수 있듯이, A-A'의 절단선에 콘택 패드(CP)와 보조 전원 라인(EVSS1, EVSS2)이 위치하는 것으로 도시하였으나, 이러한 콘택 패드(CP)와 보조 전원 라인(EVSS1, EVSS1)의 위치는 A-A'의 절단선 상에 위치하는 것에 제한되는 것은 아니고, 유기발광 표시장치의 설계조건에 따라 제한되지 않고, 다양한 위치에 형성될 수 있다.
- [0072] 또한, 본 출원의 일 예에 따른 유기발광 표시장치(100)는 차광층(LS)를 더 포함할 수 있고, 차광층(LS)은 박막 트랜지스터(T)와 중첩되도록 기판(210) 상에 배치될 수 있다. 예를 들어, 차광층(LS)은 기판(210) 상에 금속을 증착한 후 노광 패터닝을 수행하여 형성될 수 있다.
- [0073] 또한, 본 출원의 일 예에 따른 유기발광 표시장치(100)는 버퍼층(220)을 더 포함할 수 있고, 버퍼층(220)은 기판(210) 및 차광층(LS) 상에 배치될 수 있다. 일 예에 따르면, 버퍼층(220)은 복수의 무기막이 적층되어 형성될 수 있다. 예를 들어, 버퍼층(220)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN), 및 실리콘 산질화막(SiON) 중 하나 이상의 무기막이 적층된 다중막으로 형성될 수 있다. 이러한 버퍼층은 기판(210)을 통해 유기 발광 소자(E)에 침투하는 수분을 차단하기 위하여, 기판(210)의 상면 전체에 형성될 수 있다.
- [0074] 도 6a에서 알 수 있듯이, 본 출원의 일 예에 따른 유기발광 표시장치(100)는 구동 박막트랜지스터(T)의 드레인 전극(DE)은 유기발광소자(E)의 애노드 전극(AE)와 직접 전기적으로 연결되지 않고, 제2 리페어 전극(RE2)과 연결된 것을 알 수 있다. 도 6a의 제2 리페어 전극(RE2)을 도 6b에 결부하는 경우, 제2 리페어 전극(RE2)이 구동 박막트랜지스터(T)와 적어도 일부분 전기적으로 연결된 부분은 제3 리페어 부분(RP3)으로 정의될 수 있다.
- [0075] 도 6b는 도 5의 B-B' 절단선을 따라 도시한 단면도이고, 도 6c는 도 6b의 리페어부를 확대하여 도시한 것이다.
- [0076] 도 6b를 참조하면, 본 출원의 일 예에 따른 유기발광 표시장치(100)는 유기발광소자(E)의 애노드 전극(AE) 및 बैं크(B)에 의해 정의되는 발광영역(EA) 및 발광영역(EA)의 일측에 형성된 리페어부(RP)를 포함할 수 있다.
- [0077] 유기발광 표시장치(100)의 발광영역(EA)은 유기발광소자(E)의 애노드 전극(AE), 발광층(EL) 및 캐소드 전극(CE)이 중첩하여 형성되면서, बैं크(B)에 의해 구획된 영역으로 정의될 수 있다.

- [0078] 리페어부(RP)는 이러한 발광영역(EA)의 일측에 연장되어 형성되면서, 구동 박막트랜지스터(T) 및 유기발광소자(E)의 애노드 전극(AE)의 전기적인 연결을 위한 제1 리페어 전극(RE1) 및/또는 제2 리페어 전극(RE2)이 형성된 영역으로 정의될 수 있다.
- [0079] 또한, 리페어부(RP)는 애노드 전극(AE)과 연결된 제2리페어 전극(RE2)이 평탄화층(260) 상부에 형성된 리페어부 제1 부분(RP1), 리페어부 제1 부분(RP1)으로부터 연장되어 형성되고, 층간 절연막(240) 상부에 형성된 제1 리페어 전극(RE1) 및 평탄화층(260), 패시베이션층(250)의 적어도 일부가 식각되어 형성된 측벽과 제1 리페어 전극(RE1)의 적어도 일부와 중첩되어 형성되는 제2 리페어 전극(RE2)이 형성된 리페어부 제2 부분(RP2), 및 리페어부 제2 부분(RP2)으로부터 연장되어 형성되고, 평탄화층(260) 상부에 형성되면서, 구동 박막트랜지스터(T)와 전기적으로 연결된 제2 리페어 전극(RE2)이 형성된 리페어부 제3 부분(RP3)을 포함한다.
- [0080] 또한, 리페어부 제2 부분(RP2)에서는 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 적어도 일부분이 식각되어 형성되는 제1 커팅 포인트(CP1)를 더 포함할 수 있으며, 제1 커팅 포인트(CP1)의 형성을 위해 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 적어도 일부분을 식각하는 경우, 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 상대적 식각률을 고려하여, 후속의 리페어 공정 진행 시에 통상의 리페어 절단 공정에 의해 쉽게 절단될 수 있는 정도로 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 잔여 두께를 조절하여 준비될 수 있다. 일 예에 따르면, 제1 커팅 포인트(CP1)에 대응되는 영역에서는 제2 리페어 전극(RE2)의 전체가 식각될 수 있고, 제1 리페어 전극(RE1)의 절반 두께만 남기도록 식각될 수 있으나, 이에 반드시 제한되는 것은 아니다.
- [0081] 제1 리페어 전극(RE1)은 전술한 바와 같이 층간 절연막(240) 상부에 형성될 수 있고, 소스 전극(SE) 및 드레인 전극(DE)이 형성된 층간 절연막(240)과 동일층 상에 동일한 공정으로 형성될 수 있으며, 소정의 패터닝 공정을 통해서 형성될 수 있다. 일 예에 따르면, 제1 리페어 전극(RE1)은 소스 전극(SE) 및 드레인 전극(DE)과 동일한 물질이 사용될 수 있고, 예를 들면, 알루미늄(Al) 및 티타늄(Ti)이 적층된 2층 구조일 수 있고, 또는 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 형성될 수 있고, 제1 리페어 전극(RE1)은 300 내지 700nm의 두께로 형성될 수 있다. 전술한 바와 같이, 제1 리페어 전극(RE1)이 형성된 영역과 중첩된 영역은 리페어부 제2 부분(RP2)으로 정의될 수 있고, 제1 커팅 포인트(CP1)를 포함하는 적어도 하나의 커팅 포인트(CP)를 포함할 수 있으며, 유기발광 표시장치(100)의 리페어 공정이 수행되는 영역일 수 있다.
- [0082] 제2 리페어 전극(RE2)은 리페어부 제2부분(RP2)의 제1 리페어 전극(RE1)과 적어도 일부분 중첩되도록 형성될 수 있고, 제2 리페어 부분(RP2)의 평탄화층(260), 패시베이션층(250)의 적어도 일부가 식각되어 형성된 측벽에 형성될 수 있으며, 제1 리페어 부분(RP1) 및 제3 리페어 부분(RP3)의 평탄화층(260) 상부에 형성될 수 있다. 제2 리페어 전극(RE2)은 발광 영역(EA)의 애노드 전극(AE)과 동일한 층 상에 형성될 수 있으며, 소정의 패터닝 공정을 통해서 형성될 수 있다.
- [0083] 여기서, 동일한 층이라고 하는 것은, 평탄화층(260) 또는 패시베이션층(250)과 같이 단일층만을 의미하는 것이 아니고, 전술한 바와 같이 리페어부 제2 부분(RP2)에 대응되는 평탄화층(260) 및 층간 절연막(240)의 적어도 일부분이 식각되어 형성된 측벽 및 리페어부 제2 부분(RP2)의 제1 리페어 전극(RE1)과 같이, 본 출원에 따른 유기발광 표시장치(100)의 제2 리페어 전극(RE2)의 공정 수행 전에 소정의 프로파일로 형성되어 노출되어 있는 최외곽층에 대해서 동일한 공정으로 수행되는 경우에도, 동일층에 형성되는 것으로 정의될 수 있다.
- [0084] 도 6b에 도시된 바와 같이, 유기발광소자(E)의 애노드 전극(AE)은 구동 박막트랜지스터(T)와 직접적으로 연결된 것이 아니고, 리페어부(RP)의 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)을 통해서, 구동 박막트랜지스터(T)와 전기적으로 연결된다. 먼저, 외부에서 인가된 제어 신호를 게이트 구동부(130) 및 데이터 구동부(140) 등을 통해 구동 박막트랜지스터(T)에 인가되어, 구동 박막트랜지스터(T)가 턴온(Turn-on)되어 드레인 전극(DE)으로 전류가 공급될 수 있다. 다음으로, 구동 박막트랜지스터(T)의 드레인 전극(DE)과 전기적으로 연결된 리페어부 제3부분(RP3)의 제2 리페어 전극(RE2)으로 전류가 공급될 수 있다.
- [0085] 리페어부 제2 부분(RP2)의 제1 커팅 포인트(CP1)에 대응되는 제2 리페어 전극(RE2)이 모두 식각된 것이 아니라면, 리페어부 제3부분(RP3)의 제2 리페어 전극(RE2), 리페어부 제2부분(RP2)의 제2 리페어 전극(RE2), 및 리페어부 제2부분(RP3)의 제2 리페어 전극(RE2)을 전류 경로로 하여 전류가 공급될 수 있고, 다음으로 리페어부 제1 부분(RP1)의 제2 리페어 전극(RE2)과 연결되어 있는 유기발광소자(E)의 애노드 전극(E)에 전류가 공급될 수 있다.
- [0086] 리페어부 제2 부분(RP2)의 제1 커팅 포인트(CP1)에 대응되는 제2 리페어 전극(RE2)이 모두 식각되었다면, 리페어부 제3 부분(RP3)의 제2 리페어 전극(RE2)으로 공급된 전류는 리페어부 제2 부분(RP2)에서 제2 리페어 전극

(RE2)과 전기적으로 연결되어 있는 제1 리페어 전극(RE1)을 전류 이동 경로로 사용하여, 리페어부 제2 부분(RP2)의 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)을 통하여, 리페어부 제1 부분(RP1)의 제2 리페어 전극(RE2)으로 이동될 수 있고, 마지막으로 제2 리페어 전극(RE2)과 연결되어 있는 유기발광소자(E)의 애노드 전극(AE)에 전류가 공급될 수 있다.

[0087] 도 6c를 참조하면, 제1 커팅 포인트(CP1)는 제1 리페어 전극(RP1) 및 제2 리페어 전극(RP2)의 적어도 일부분이 식각되어 형성됨으로써, 서브 픽셀이 휘점화되는 경우 리페어 공정의 수행에 적합한 구조를 제공할 수 있다. 도 6b에서는 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2) 각각이 복수층으로 구성되는 것으로 도시하였으나, 도 6c에서는 설명을 위해 단일층으로 구성되는 것으로 도시하였다. 또한, 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)이 단일층 또는 복수층으로 구성되는 것 모두 본 발명의 범주에 포함되는 것으로 볼 수 있다.

[0088] 도 6c에서 알 수 있듯이, 제1 커팅 포인트(CP1)는 제1 커팅 포인트(CP1)가 형성되지 않은 영역과 비교하여 실질적으로 얇은 두께로 형성될 수 있고, 리페어 처리가 용이하게 수행될 수 있다. 예를 들어, 리페어 처리가 유기발광 표시장치(100)의 공정을 완료한 후에, 휘점화된 서브 픽셀에 대해서 선택적으로 수행되는 경우 레이저 조사 공정으로 수행될 수 있다. 전술한 바와 같이, 제1 커팅 포인트(CP1)는 제1 커팅 포인트(CP1)가 형성되지 않은 리페어부 제2 부분(RP2)의 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 두께와 비교하여 실질적으로 더 낮은 두께를 갖도록 형성됨으로써, 비교적 낮은 에너지의 레이저 조사로도 이러한 커팅 포인트(CP1)를 리페어 처리하는 것이 가능함으로써, 리페어 처리 공정 중 발생할 수 있는 유기발광소자(E), 봉지막(270)에 발생할 수 있는 데미지를 최소화할 수 있고, 이에 따라 유기발광 표시장치(100)의 신뢰성을 향상시킬 수 있다. 일 예에 따르면, 리페어부 제2 부분(RP2)의 제1 커팅 포인트(CP1)에서는 제2 리페어 전극(RE2)이 모두 식각될 수 있고, 제1 리페어 전극(RE1)은 적어도 일부분 식각될 수 있다. 또한, 다른 예에 따르면, 리페어부 제2 부분(RP2)의 제1 커팅 포인트(CP1)에서는 제2 리페어 전극(RE2)이 모두 식각될 수 있고, 제1 리페어 전극(RE1)은 식각되지 않을 수 있다.

[0089] 예를 들어, 리페어 처리를 위한 레이저의 조사는 기관(210)의 하측으로부터 레이저가 조사될 수 있고, 기관(210)의 얼라인 패턴을 이용하여 미리 설정된 리페어부(RP)의 커팅 포인트(CP1)에만 집중적으로 조사될 수 있다. 리페어 처리에 사용되는 방법은 당업계에서 소정의 패턴을 절단하기 위해 사용되는 방법이면 이에 제한되지 않고 사용될 수 있다.

[0090] 이러한 제1 커팅 포인트(CP1)를 형성하는 방법은 유기발광소자(E)의 애노드 전극(AE)을 패터닝하기 위한 식각 공정과 동시에 수행될 수 있고, 리페어부 제2 부분(RP2)의 제1 커팅 포인트(CP1)에 대응되는 제2 리페어 전극(RE2)은 식각되어 제거될 수 있다.

[0091] 전술한 바와 같이, 제1 리페어 전극(RE1)은 구동 박막트랜지스터(T)의 소스 전극(SE) 및 드레인 전극(DE)과 동일한 물질로 형성될 수 있고, 제2 리페어 전극(RE2)은 유기발광소자(E)의 애노드 전극(AE)과 동일한 물질로 형성될 수 있다.

[0092] 예를 들면, 제1 리페어 전극(RE1)은 전술한 바와 같이 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 포함하는 투명 도전성 산화물(TCO), 티타늄 합금(MoTi), 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 티타늄(Ti), 및 구리(Cu) 중 적어도 하나를 포함하는 단일층 또는 다중층으로 구성될 수 있고, 제2 리페어 전극(RE2)은 알루미늄(Al) 및 티타늄(Ti)를 포함하는 단일층 또는 다중층으로 구성될 수 있다. 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 물질을 선택함에 있어서, 제1 커팅 포인트(CP1)를 형성을 위해 상이한 식각 선택성(etch selectivity)을 갖도록 구성될 수 있다. 즉, 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)은 서로 상이한 물성을 갖는 물질로 형성될 수 있고, 제2 리페어 전극(RE2)에 대한 식각 선택성(etch selectivity)이 높은 식각액을 이용하여 식각을 수행하는 경우, 제1 리페어 전극(RE1)은 일종의 에치 스탱퍼(etch stopper)로 작용할 수 있고, 식각 수행 시간을 조절하여 잔존하는 제1 리페어 전극(RE1)의 두께를 조절할 수 있다.

[0093] 도 7a는 본 출원에 따른 유기발광 표시장치를 구성하는 구성하는 서브 픽셀의 애노드 전극, 리페어부 및 구동 박막트랜지스터를 간략히 도시한 것이고, 도 7b는 도 7a는 본 출원에 따른 리페어 영역을 포함하는 복수의 픽셀 영역을 나타낸 평면도이다.

[0094] 도 7a에 도시된 바와 같이, 픽셀 영역의 서브 픽셀을 구성하고 있는 유기발광소자(E)의 애노드 전극(AE)은 서로 분리되어 형성된 애노드 전극 제1부분(AE1) 및 애노드 전극 제2부분(AE2)을 포함하는 "분할 구조(Partition Structure)"로 구성될 수 있다. 이에 따라, 분할 구조의 애노드 전극 제1부분(AE1) 및 애노드 전극 제2부분(AE2)에 대응되는 영역에 휘점화가 발생하는 경우, 후술되는 제1 커팅 포인트(RP2(CP1)) 및 제2 커팅 포인트

(RP2(CP2))에 대해서 선택적으로 리페어 처리를 수행함으로써, 애노드 전극 제1부분(AE1) 또는 애노드 전극 제2부분(AE2) 중 한 영역에서 문제가 발생한 경우 나머지 하나는 정상적으로 이용할 수 있게 된다.

- [0095] 본 출원의 일 예에 따르면, 픽셀 영역의 서브 픽셀이 애노드 전극 제 1부분(AE1) 및 애노드 전극 제 2부분(AE2)을 포함하는 "분할 구조(Partition Structure)"로 구성되는 경우, 리페어부(RP)는 유기발광소자(E)에 인접하게 형성되고, 애노드 전극 제 1부분(AE1)에 인접하여 형성되는 리페어부 제1 부분(RP1), 애노드 전극 제 2 부분(AE2)에 인접하여 형성되는 리페어부 제4 부분(RP4), 리페어부 제1 부분(RP1) 및 제4 부분(RP4)를 연결 시키고, 구동 박막트랜지스터(T)로부터 애노드 전극 제1부분(AE1) 및 애노드 전극 제2부분(AE2)의 전류 경로 상에 위치하는 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)를 포함하는 리페어부 제2 부분(RP2) 및 리페어부 제2 부분(RP2)으로부터 구동 박막트랜지스터(T) 측으로 분기(branch)되어 형성되면서, 구동 박막트랜지스터(T)와 전기적으로 연결되는 제 3 부분(RP3)을 포함할 수 있다.
- [0096] 도 7b를 참조하면, 각각의 픽셀(P1, P2, P3, P4)은 복수의 서브 픽셀(R, G, B, W)의 일측에 형성된 리페어 영역(RA)을 포함할 수 있다. 다시 말하면, 본 출원에 따른 픽셀(P1, P2, P3, P4)은 복수의 서브 픽셀(R, G, B, W)에 의해 정의되는 발광 영역(EA) 및 투과 영역(TA)의 사이에 배치되는 리페어 영역(RA)을 더 포함할 수 있다. 또한, 리페어 영역(RA)은 전술한 도 7a의 리페어부 제1 부분(RP1), 리페어부 제2 부분(RP2), 리페어부 제3 부분(RP3) 및 리페어부 제4부분(RP4)를 포함하는 리페어부(RP)가 마련되는 영역과 중첩되는 영역으로도 정의될 수 있다.
- [0097] 또한, 도 7b에 도시된 바와 같이, 본 출원에 따른 유기발광 표시장치(100)의 픽셀(P1, P2, P3, P4)의 서브 픽셀(R, G, B, W) 각각이 일측에 형성된 리페어 영역(RA)이 돌출된 형태로 마련되는 경우, 투과 영역(TA)은 돌출되어 형성된 리페어 영역(RA)에 대응되어 다각형의 형태로 제공될 수 있다.
- [0098] 다만, 이러한 리페어 영역(RA)의 구성은 이에 제한되는 것은 아니고, 후술되는 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)가 형성되기 위해서, 유기발광소자(E) 또는 유기발광소자(E)의 애노드 전극(AE)의 일측으로부터 돌출된 구조로 형성되는 것이라면 제한되지 않을 수 있다.
- [0099] 도 7b에서 투과 영역(TA)은 기관(210)의 상부에 순차적으로 적층된 버퍼층(220), 층간 절연막(240), 패시베이션층(250) 및 평탄화층(260)을 포함하는 적층구조를 가질 수 있으나, 당업계에서 공지된 투과 영역(TA)의 적층 구조이면 제한되지 않고 적용될 수 있다.
- [0100] 도 8a는 도 7의 C-C' 절단선을 따라 도시한 단면도이다. 도 8a의 유기발광 표시장치(100)의 단면도는 전술한 도 6a의 단면도 대비 가운데에 형성된 구동 박막트랜지스터(T)를 기준으로 대칭적으로 애노드 전극 제1 부분(AE1)과 이에 대응되는 유기발광소자(E) 및 애노드 전극 제2 부분(AE2)과 이에 대응되는 유기발광소자(E)가 형성된 것을 제외하고는 동일하므로 반복되는 부분에 대한 중복 설명은 생략한다. 또한, 도 8a에서는 도 6a, 도 8d 및 도 8e와의 절단 방향의 차이로 제2 리페어 전극(RE2)과 연결되는 구동 박막 트랜지스터(T)의 드레인 전극(DE) 및 차광층(LS)만 도시하였다.
- [0101] 도 8a에서 알 수 있듯이, 본 출원의 일 예에 따른 유기발광 표시장치(100)는 구동 박막트랜지스터(T)의 드레인 전극(DE)은 유기발광소자(E)의 애노드 전극 제 1부분(AE1) 및 애노드 전극 제2 부분(AE2)과 직접 전기적으로 연결되지 않고, 제2 리페어 전극(RE2)과 연결된 것을 알 수 있다.
- [0102] 또한, 도 8a에서 알 수 있듯이, C-C'의 절단선에 콘택 패드(CP)와 보조 전원 라인(EVSS1, EVSS2)이 위치하는 것으로 도시하였으나, 이러한 콘택 패드(CP)와 보조 전원 라인(EVSS1, EVSS1)의 위치는 A-A'의 절단선 상에 위치하는 것에 제한되는 것은 아니고, 유기발광 표시장치의 설계조건에 따라 제한되지 않고, 다양한 위치에 형성될 수 있다.
- [0103] 도 8b는 도 7의 D-D' 절단선을 따라 도시한 단면도이고, 도 8c는 리페어부를 확대하여 도시한 도면이다.
- [0104] 도 8b를 참조하면, 본 출원의 일 예에 따른 유기발광 표시장치(100)는 유기발광소자(E)의 애노드 전극 제1 부분(AE1), 애노드 전극 제2 부분(AE2) 및 बैं크(B)에 의해 정의되는 발광영역(EA) 및 발광영역(EA)의 일측에 형성된 리페어부(RP)를 포함할 수 있다. 유기발광 표시장치(100)의 발광영역(EA)은 유기발광소자(E)의 애노드 전극 제1 부분(AE1), 애노드 전극 제2 부분(AE2), 발광층(EL) 및 캐소드 전극(CE)이 중첩하여 형성되면서, बैं크에 의해 구획된 영역으로 정의될 수 있다.
- [0105] 리페어부(RP)는 이러한 발광영역(EA)의 일측에 연장되어 형성되면서, 구동 박막트랜지스터(T) 및 유기발광소자(E)의 애노드 전극 제1 부분(AE1), 애노드 전극 제2 부분(AE2)의 전기적인 연결을 위한 제1 리페어 전극(RE1)

및/또는 제2 리페어 전극(RE2)이 형성된 영역으로 정의될 수 있다.

- [0106] 또한, 리페어부(RP)는 애노드 전극 제1 부분(AE1)과 연결된 제2리페어 전극(RE2)이 평탄화층(260) 상부에 형성된 리페어부 제1 부분(RP1), 애노드 전극 제2 부분(AE2)과 연결된 제2리페어 전극(RE2)이 평탄화층(260) 상부에 형성된 리페어부 제4 부분(RP4), 리페어부 제1 부분(RP1) 및 리페어부 제4 부분(RP4)으로부터 연장되어 형성되고, 층간 절연막(240) 상부에 형성된 제1 리페어 전극(RE1) 및 평탄화층(260), 패시베이션층(250)의 적어도 일부가 식각되어 형성된 측벽과 제1 리페어 전극(RE1)의 적어도 일부와 중첩되어 형성되는 제2 리페어 전극(RE2)이 형성된 리페어부 제2 부분(RP2)을 포함할 수 있다.
- [0107] 또한, 도 8d 및 도 8e에 도시된 바와 같이, 본 출원에 따른 리페어부(RP)는 리페어부 제2 부분(RP2)으로부터 연장되어 형성되고, 평탄화층(260) 상부에 형성되면서, 구동 박막트랜지스터(T)와 전기적으로 연결된 제2 리페어 전극(RE2)이 형성된 리페어부 제3 부분(RP3)을 포함한다.
- [0108] 또한, 리페어부 제2 부분(RP2)에서는 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 적어도 일부분이 식각되어 형성되는 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)를 더 포함할 수 있으며, 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)는 전술한 바와 같이, 구동 박막트랜지스터(T)로부터 애노드 전극 제1 부분(AE1) 및 애노드 전극 제2 부분(AE2)으로의 전류 경로에 중첩되는 리페어부 제2 부분(RP2)에 형성될 수 있다.
- [0109] 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)의 형성을 위해 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 적어도 일부분을 식각하는 경우, 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 상대적 식각률을 고려하여, 후속의 리페어 공정 진행 시에 통상의 리페어 절단 공정에 의해 쉽게 절단될 수 있는 정도로 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 잔여 두께를 조절하여 준비될 수 있다. 일 예에 따르면, 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)에 대응되는 영역에서는 제2 리페어 전극(RE2)의 전체가 식각될 수 있고, 제1 리페어 전극(RE1)의 절반 두께만 남기도록 식각될 수 있으나, 이에 반드시 제한되는 것은 아니다.
- [0110] 제1 리페어 전극(RE1)은 전술한 바와 같이 층간 절연막(240) 상부에 형성될 수 있고, 소스 전극(SE) 및 드레인 전극(DE)이 형성된 층간 절연막(240)과 동일층 상에 동일한 공정으로 형성될 수 있으며, 소정의 패터닝 공정을 통해서 형성될 수 있다. 일 예에 따르면, 제1 리페어 전극(RE1)은 소스 전극(SE) 및 드레인 전극(DE)과 동일한 물질이 사용될 수 있고, 예를 들면, 알루미늄(Al) 및 티타늄(Ti)이 적층된 2층 구조일 수 있고, 또는 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 형성될 수 있다. 제1 리페어 전극(RE1)은 300 내지 700 nm의 두께로 형성될 수 있다. 전술한 바와 같이, 제1 리페어 전극(RE1)이 형성된 영역과 중첩된 영역은 리페어부 제2 부분(RP2)으로 정의될 수 있고, 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)를 포함하는 복수의 커팅 포인트(CP)를 포함할 수 있으며, 유기발광 표시장치(100)의 리페어 공정이 수행되는 영역일 수 있다. 제2 리페어 전극(RE2)은 리페어부 제2부분(RP2)의 제1 리페어 전극(RE1)과 적어도 일부분 중첩되도록 형성될 수 있고, 제2 리페어 부분(RP2)의 평탄화층(260), 패시베이션층(250)의 적어도 일부가 식각되어 형성된 측벽에 형성될 수 있으며, 제1 리페어 부분(RP1) 및 제3 리페어 부분(RP3)의 평탄화층(260) 상부에 형성될 수 있다. 제2 리페어 전극(RE2)은 발광 영역(EA)의 애노드 전극 제1부분(AE1) 및 애노드 전극 제2부분(AE2)과 동일한 층 상에 형성될 수 있으며, 애노드 전극 제1부분(AE1) 및 애노드 전극 제2부분(AE2)과 동일한 공정으로 형성될 수 있으며, 소정의 패터닝 공정을 통해서 형성될 수 있다.
- [0111] 또한, 도 8b에서 알 수 있듯이, 발광 영역(EA)의 애노드 전극 제1 부분(AE1), 애노드 전극 제2 부분(AE2)과 리페어부(RP)의 제1 리페어 전극(RE1)은 동일한 층 상에 형성된 것을 알 수 있다. 여기서, 동일한 층이라고 하는 것은, 평탄화층(260) 또는 패시베이션층(250)과 같이 단일층만을 의미하는 것이 아니고, 전술한 바와 같이 리페어부 제2 부분(RP2)에 대응되는 평탄화층(260) 및 층간 절연막(240)의 적어도 일부분이 식각되어 형성된 측벽 및 리페어부 제2 부분(RP2)의 제1 리페어 전극(RE1)과 같이, 본 출원에 따른 유기발광 표시장치(100)의 제2 리페어 전극(RE2)의 공정 수행 전에 소정의 프로파일로 형성되어 노출되어 있는 최외곽층에 대해서 동일한 공정으로 수행되는 경우에도, 동일층에 형성되는 것으로 정의될 수 있다.
- [0112] 따라서, 앞선 도 8a에 도시된 바와 같이, 애노드 전극 제1 부분(AE1) 및 애노드 전극 제2 부분(AE2)은 평탄화층(260) 상에 형성된 것을 알 수 있고, 도 6b에 도시된 바와 같이 제2 리페어 전극(RE2)은 평탄화층(260) 상에 형성될 뿐만 아니라, 식각되어 적어도 일부가 노출된 제1 리페어 전극(RE1) 및 패시베이션층(250) 상에도 형성될 수 있으며, 이러한 경우에도 유기발광소자(E)의 애노드 전극 제1 부분(AE1) 및 애노드 전극 제2 부분(AE2)과 제2 리페어 전극(RE2)은 동일한 층 상에 배치된 것으로 볼 수 있다. 도 8b에서 알 수 있듯이, 발광 영역 중 제1 애노드 전극(AE1)이 위치한 발광 영역의 일측에는 리페어부 제1부분(RP1)이 형성될 수 있고, 발광 영역 중 애노드 전극 제2 부분(AE2)이 위치한 발광영역의 일측에는 리페어부 제4부분(RP4)가 형성될 수 있다. 또한, 리페어

부 제2 부분(RP2)에는 적어도 두 개의 커팅 포인트가 형성될 수 있으며, 예를 들어 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)가 형성될 수 있다. 이때, 제1 커팅 포인트(CP1)는 유기발광소자의 애노드 전극 제1 부분(AE1) 및 구동 박막트랜지스터(T)의 전류 경로 상에 형성될 수 있고, 제2 커팅 포인트(CP2)는 유기발광소자의 애노드 전극 제2부분(AE2) 및 구동 박막트랜지스터(T)의 전류 경로 상에 형성될 수 있다.

[0113] 따라서, 도 7a에서 도시된 바와 같이 유기발광소자(E)의 애노드 전극(AE)이 애노드 전극 제1 부분(AE1) 및 애노드 전극 제2 부분(AE2)를 포함하는 분기된 구조를 갖고, 애노드 전극 제1 부분(AE1) 및 애노드 전극 제2 부분(AE2) 중 하나의 분기된 서브 서 휘점화 불량이 발생하는 경우 제1 및 제2 커팅 포인트(CP1, CP2) 중 선택적으로 리페어 공정을 수행함으로써, 휘점화가 발생한 분기된 서브 픽셀을 암점화시켜 리페어를 수행할 수 있다.

[0114] 도 8c를 참조하면, 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)는 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 적어도 일부가 식각되어 형성됨으로써, 서브 픽셀이 휘점화되는 경우 리페어 공정의 수행에 적합한 구조를 제공할 수 있다. 도 8b에서는 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2) 각각이 복수층으로 구성되는 것으로 도시하였으나, 도 8c에서는 설명을 위해 단일층으로 구성되는 것으로 도시하였다. 또한, 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)이 단일층 또는 복수층으로 구성되는 것 모두 본 발명의 범주에 포함되는 것으로 볼 수 있다.

[0115] 즉, 커팅 포인트(CP1, CP2)는 커팅 포인트(CP1, CP2)가 형성되지 않은 영역과 비교하여 실질적으로 얇은 두께로 형성됨으로써, 리페어 처리가 용이하게 수행될 수 있다. 예를 들어, 리페어 처리가 유기발광 표시장치(100)의 공정을 완료한 후에, 휘점화된 서브 픽셀에 대해서 선택적으로 수행되는 경우 레이저 조사 공정으로 수행될 수 있다. 전술한 바와 같이, 커팅 포인트(CP1, CP2)는 커팅 포인트가 형성되지 않은 리페어부 제2 부분(RP2)의 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 두께와 비교하여 실질적으로 더 낮은 두께를 갖도록 형성됨으로써, 비교적 낮은 에너지의 레이저 조사로도 이러한 커팅 포인트(CP1, CP2)를 리페어 처리하는 것이 가능함으로써, 리페어 처리 공정 중 발생할 수 있는 유기발광소자(E), 봉지막(270)에 발생할 수 있는 손상을 최소화할 수 있고, 이에 따라 유기발광 표시장치(100)의 신뢰성을 향상시킬 수 있다.

[0116] 일 예에 따르면, 리페어부 제2 부분(RP2)의 제1 및 제2 커팅 포인트(CP1, CP2)에서는 제2 리페어 전극(RE2)이 모두 식각될 수 있고, 제1 리페어 전극(RE1)은 적어도 일부분 식각될 수 있다. 또한, 다른 예에 따르면, 리페어부 제2 부분(RP2)의 제1 커팅 포인트(CP1)에서는 제2 리페어 전극(RE2)이 모두 식각될 수 있고, 제1 리페어 전극(RE1)은 식각되지 않을 수 있다.

[0117] 이러한 제1 및 제2 커팅 포인트(CP1, CP2)를 형성하는 방법은 유기발광소자(E)의 애노드 전극(AE)을 패터닝하기 위한 식각 공정과 동시에 수행될 수 있고, 리페어부 제2 부분(RP2)의 제1 및 제2 커팅 포인트(CP1, CP2)에 대응되는 제2 리페어 전극(RE2)은 식각되어 제거될 수 있다. 또한, 바람직하게 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)은 서로 상이한 전극 물질로 형성될 수 있다.

[0118] 예를 들면, 제1 리페어 전극(RE1)은 전술한 바와 같이 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 포함하는 투명 도전성 산화물(TCO), 티타늄 합금(MoTi), 알루미늄(Al), 은(Ag), 몰리브덴(Mo), 티타늄(Ti), 및 구리(Cu) 중 적어도 하나를 포함하는 단일층 또는 다중층으로 구성될 수 있고, 제2 리페어 전극(RE2)은 알루미늄(Al) 및 티타늄(Ti)를 포함하는 단일층 또는 다중층으로 구성될 수 있다. 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)의 물질을 선택함에 있어서, 제1 커팅 포인트(CP1)를 형성을 위해 상이한 식각 선택성(etch selectivity)을 갖도록 구성될 수 있다. 즉, 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)은 서로 상이한 물성을 갖는 물질로 형성될 수 있고, 제2 리페어 전극(RE2)에 대한 식각 선택성(etch selectivity)이 높은 식각액을 이용하여 식각을 수행하는 경우, 제1 리페어 전극(RE1)은 일종의 에치 스탑퍼(etch stopper)로 작용할 수 있고, 식각 수행 시간을 조절하여 잔존하는 제1 리페어 전극(RE1)의 두께를 조절할 수 있다.

[0119] 도 8d는 도 7의 제1 애노드 전극, 리페어부 및 구동 박막트랜지스터를 따라 절단한 절단선(미도시)의 단면도이고, 도 8e는 도 7의 제2 애노드 전극, 리페어부 및 구동 박막트랜지스터를 따라 절단한 절단선(미도시)의 단면도이다.

[0120] 도 8d 및 도 8e의 단면도는 도 6a의 단면도에 대비하여, 각각 애노드 전극(AE)이 애노드 전극 제1 부분(AE1) 및 애노드 전극 제2 부분(AE2)으로 변경되고, 제1 커팅 포인트(CP1)가 제1 커팅 포인트(CP1) 및 제2 커팅 포인트(CP2)로 변경된 것을 제외하고는 동일한 단면도 형상을 나타내고 있는 것을 알 수 있다.

[0121] 도 8d에 도시된 바와 같이, 유기발광소자(E)의 애노드 전극 제1 부분(AE1)은 구동 박막트랜지스터(T)와 직접적으로 연결된 것이 아니고, 리페어부(RP)의 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)을 통해서, 구동 박막

트랜지스터(T)와 전기적으로 연결될 수 있다. 먼저, 외부에서 인가된 제어 신호를 게이트 구동부(130) 및 데이터 구동부(140) 등을 통해 구동 박막트랜지스터(T)에 인가되어, 구동 박막트랜지스터(T)가 턴온(Turn-on)되어 드레인 전극(DE)으로 전류가 공급될 수 있다. 다음으로, 구동 박막트랜지스터(T)의 드레인 전극(DE)과 전기적으로 연결된 리페어부 제3부분(RP3)의 제2 리페어 전극(RE2)으로 전류가 공급될 수 있다.

- [0122] 리페어부 제2 부분(RP2)의 제1 컷팅 포인트(CP1)에 대응되는 제2 리페어 전극(RE2)이 모두 식각된 것이 아니라면, 리페어부 제3부분(RP3)의 제2 리페어 전극(RE2), 리페어부 제2부분(RP2)의 제2 리페어 전극(RE2), 및 리페어부 제2부분(RP3)의 제2 리페어 전극(RE2)으로 전류가 공급되고, 제2 리페어 전극(RE2)과 연결되어 있는 유기발광소자(E)의 애노드 전극(E)에 전류가 공급될 수 있다.
- [0123] 리페어부 제2 부분(RP2)의 제1 컷팅 포인트(CP1)에 대응되는 제2 리페어 전극(RE2)이 모두 식각되었다면, 리페어부 제3 부분(RP3)의 제2 리페어 전극(RE2)으로 공급된 전류는 리페어부 제2 부분(RP2)에서 제2 리페어 전극(RE2)과 전기적으로 연결되어 있는 제1 리페어 전극(RE1)을 전류 이동 경로로 사용하여, 리페어부 제2 부분(RP2)의 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)을 통하여, 리페어부 제1 부분(RP3)의 제2 리페어 전극(RE2)으로 이동될 수 있고, 마지막으로 제2 리페어 전극(RE2)과 연결되어 있는 유기발광소자(E)의 애노드 전극 제1 부분(AE1)에 전류가 공급될 수 있다.
- [0124] 도 8e에 도시된 바와 같이, 유기발광소자(E)의 애노드 전극 제2 부분(AE2)은 구동 박막트랜지스터(T)와 직접적으로 연결된 것이 아니고, 리페어부(RP)의 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)을 통해서, 구동 박막트랜지스터(T)와 전기적으로 연결될 수 있다. 먼저, 외부에서 인가된 제어 신호를 게이트 구동부(130) 및 데이터 구동부(140) 등을 통해 구동 박막트랜지스터(T)에 인가되어, 구동 박막트랜지스터(T)가 턴온(Turn-on)되어 드레인 전극(DE)으로 전류가 공급될 수 있다. 다음으로, 구동 박막트랜지스터(T)의 드레인 전극(DE)과 전기적으로 연결된 리페어부 제3부분(RP3)의 제2 리페어 전극(RE2)으로 전류가 공급될 수 있다.
- [0125] 리페어부 제2 부분(RP2)의 제2 컷팅 포인트(CP2)에 대응되는 제2 리페어 전극(RE2)이 모두 식각된 것이 아니라면, 리페어부 제3부분(RP3)의 제2 리페어 전극(RE2), 리페어부 제2부분(RP2)의 제2 리페어 전극(RE2), 및 리페어부 제2부분(RP3)의 제2 리페어 전극(RE2)으로 전류가 공급되고, 제2 리페어 전극(RE2)과 연결되어 있는 유기발광소자(E)의 애노드 전극(E)에 전류가 공급될 수 있다.
- [0126] 리페어부 제2 부분(RP2)의 제2 컷팅 포인트(CP2)에 대응되는 제2 리페어 전극(RE2)이 모두 식각되었다면, 리페어부 제3 부분(RP3)의 제2 리페어 전극(RE2)으로 공급된 전류는 리페어부 제2 부분(RP2)에서 제2 리페어 전극(RE2)과 전기적으로 연결되어 있는 제1 리페어 전극(RE1)을 전류 이동 경로로 사용하여, 리페어부 제2 부분(RP2)의 제1 리페어 전극(RE1) 및 제2 리페어 전극(RE2)을 통하여, 리페어부 제4 부분(RP3)의 제2 리페어 전극(RE2)으로 이동될 수 있고, 마지막으로 제2 리페어 전극(RE2)과 연결되어 있는 유기발광소자(E)의 애노드 전극 제1 부분(AE2)에 전류가 공급될 수 있다.
- [0127] 본 출원에 따른 유기발광 표시장치는 다음과 같이 설명될 수 있다.
- [0128] 본 출원에 따른 유기발광 표시장치는, 기판 상에 구비되며, 복수의 서브픽셀을 포함하는 픽셀 영역 내에 형성되는 구동 박막트랜지스터, 구동 박막 트랜지스터와 전기적으로 연결되는 유기발광소자, 및 유기발광소자의 일측에 형성되는 리페어부를 포함하고, 유기발광소자는 리페어부를 통해서 구동 박막트랜지스터와 전기적으로 연결된다.
- [0129] 본 출원의 일 예에 따르면, 구동 박막트랜지스터는, 액티브층, 액티브층 상부 또는 하부에 형성되는 게이트 전극, 액티브층 및 게이트 전극 사이에 배치되는 게이트 절연막, 액티브층의 일측에 접속된 소스 전극, 및 액티브층의 타측에 접속된 드레인 전극을 포함하고, 액티브층, 게이트 전극 및 게이트 절연막을 감싸면서 배치되고, 소스 전극 및 드레인 전극과 액티브층과의 접촉을 위한 컨택홀을 포함하는 층간 절연막을 더 포함하고, 드레인 전극은 리페어부와 연결될 수 있다.
- [0130] 박막 트랜지스터를 보호하는 층간 절연막을 더 포함할 수 있다.
- [0131] 본 출원의 일 예에 따르면, 유기발광소자는, 리페어부와 연결되는 애노드 전극, 애노드 전극 상부에 형성된 발광층, 및 발광층 상부에 형성되는 캐소드 전극을 포함할 수 있다.
- [0132] 본 출원의 일 예에 따르면, 리페어부는, 층간 절연막 상에 형성되는 제1 리페어 전극 및 제1 리페어 전극 상에 형성되는 제2 리페어 전극을 포함할 수 있다.
- [0133] 본 출원의 일 예에 따르면, 리페어부는, 제1 리페어 전극 및 제2 리페어 전극의 적어도 일부분이 식각되어 형성

되는 적어도 하나의 컷팅 포인트를 포함하는, 유기발광 본 출원의 일 예에 따르면, 제1 리페어 전극은 소스 전극 및 드레인 전극과 동일한 층에 형성될 수 있다.

[0134] 본 출원의 일 예에 따르면, 제2 리페어 전극은, 유기발광소자의 애노드 전극과 동일한 층에 형성되고, 구동 박막트랜지스터와 전기적으로 연결될 수 있다.

[0135] 본 출원의 일 예에 따르면, 애노드 전극은, 하나의 서브픽셀 내에서 서로 수평적으로 분리되어 있는 애노드 전극 제1 부분 및 애노드 전극 제2부분을 포함하고, 애노드 전극 제1 부분 및 애노드 전극 제2부분은 리페어부와 각각 전기적으로 연결될 수 있다.

[0136] 본 출원의 일 예에 따르면, 구동 박막트랜지스터 상부에 형성되는 평탄화층을 더 포함하고, 유기발광소자는 평탄화층 상부에 형성될 수 있다.

[0137] 본 출원의 일 예에 따르면, 픽셀 영역은 발광 영역의 적어도 일측으로 돌출되어 형성된 리페어 영역을 더 포함하고, 리페어 영역은 리페어부가 마련될 수 있다.

[0138] 상술한 본 출원의 예에 설명된 특징, 구조, 효과 등은 본 출원의 적어도 하나의 예에 포함되며, 반드시 하나의 예에만 한정되는 것은 아니다. 나아가, 본 출원의 적어도 하나의 예에서 예시된 특징, 구조, 효과 등은 본 출원이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 출원의 범위에 포함되는 것으로 해석되어야 할 것이다.

[0139] 이상에서 설명한 본 출원은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 출원의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 출원의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 출원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0140] 100: 유기발광 표시장치 110: 표시패널
- 120: 데이터 구동부 130: 게이트 구동부
- 140: 타이밍 컨트롤러 210: 기관
- 220: 버퍼층 230: 게이트 절연막
- 240: 층간 절연막 250: 패시베이션층
- 260: 평탄화층 270: 봉지층
- T: 구동 박막트랜지스터 E: 발광 소자
- AE: 애노드 전극 AE1: 애노드 전극 제1 부분
- AE2: 애노드 전극 제2 부분 EL: 발광층
- CE: 캐소드 전극 B: बैं크
- LS: 차광층 CP: 콘택 패드
- EVSS1, EVSS2: 제1 및 제2 보조 전원 라인
- AL: 보조 배선 SP: 신호 패드
- PAE: 패드 보조 전극
- PE: 패드 전극
- RP: 리페어부 RP1: 리페어부 제1 부분
- RP2: 리페어부 제2 부분 RP3: 리페어부 제3 부분
- RP3: 리페어부 제4 부분 RE1: 제1 리페어 전극

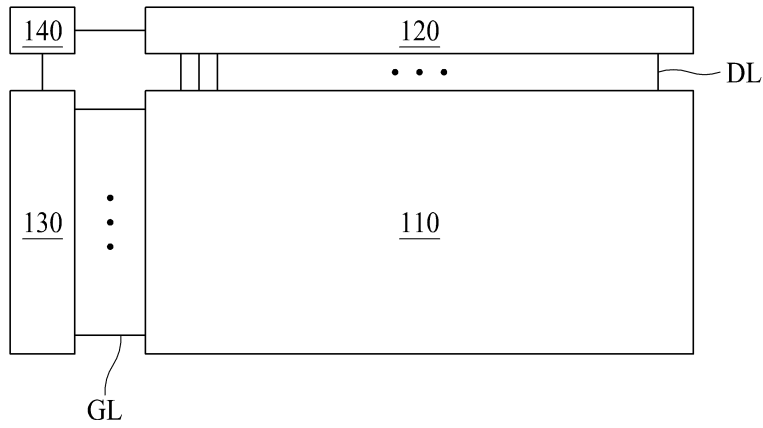
RE2: 제2 리페어 전극 RA: 리페어 영역

EA: 투과 영역

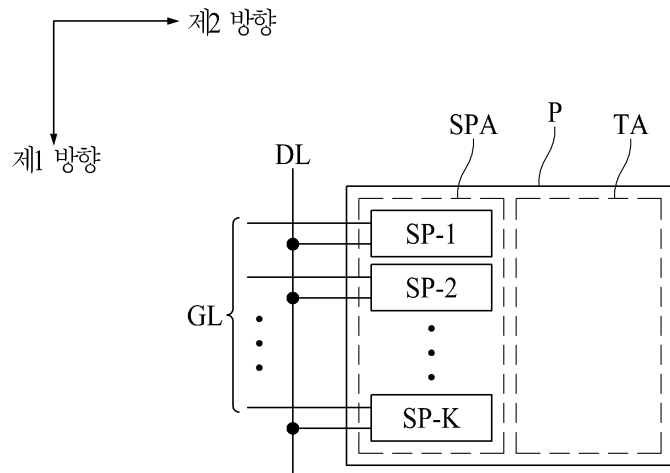
도면

도면1

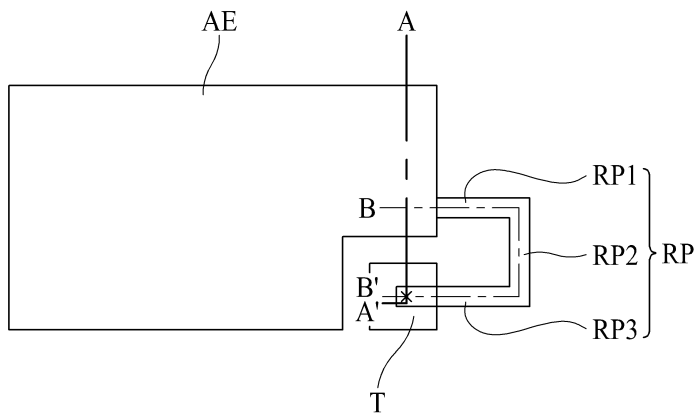
100



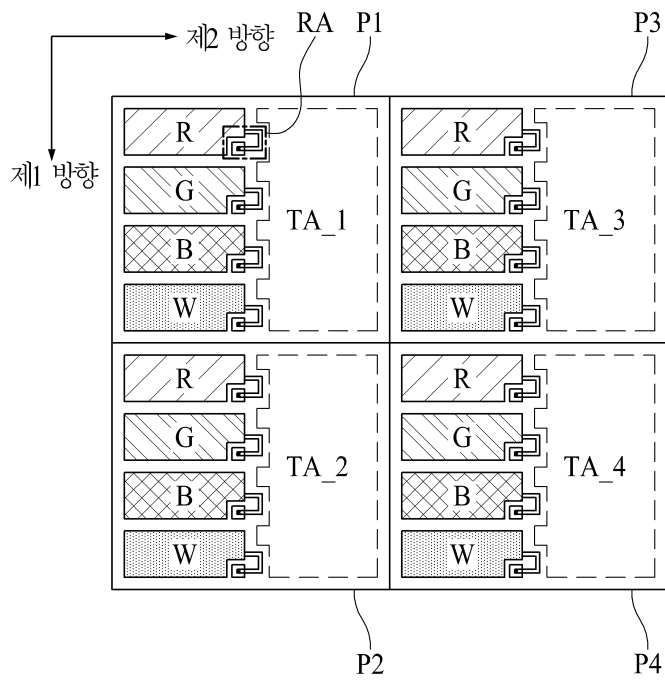
도면2



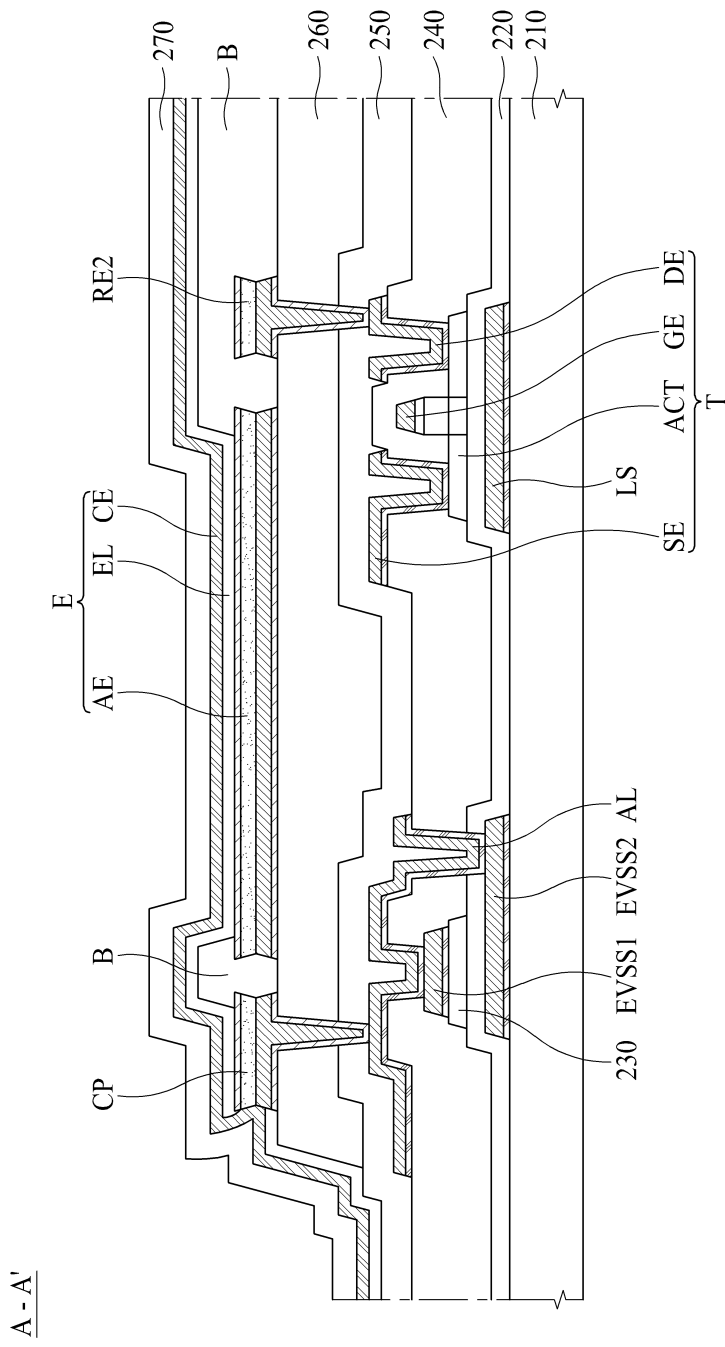
도면5a



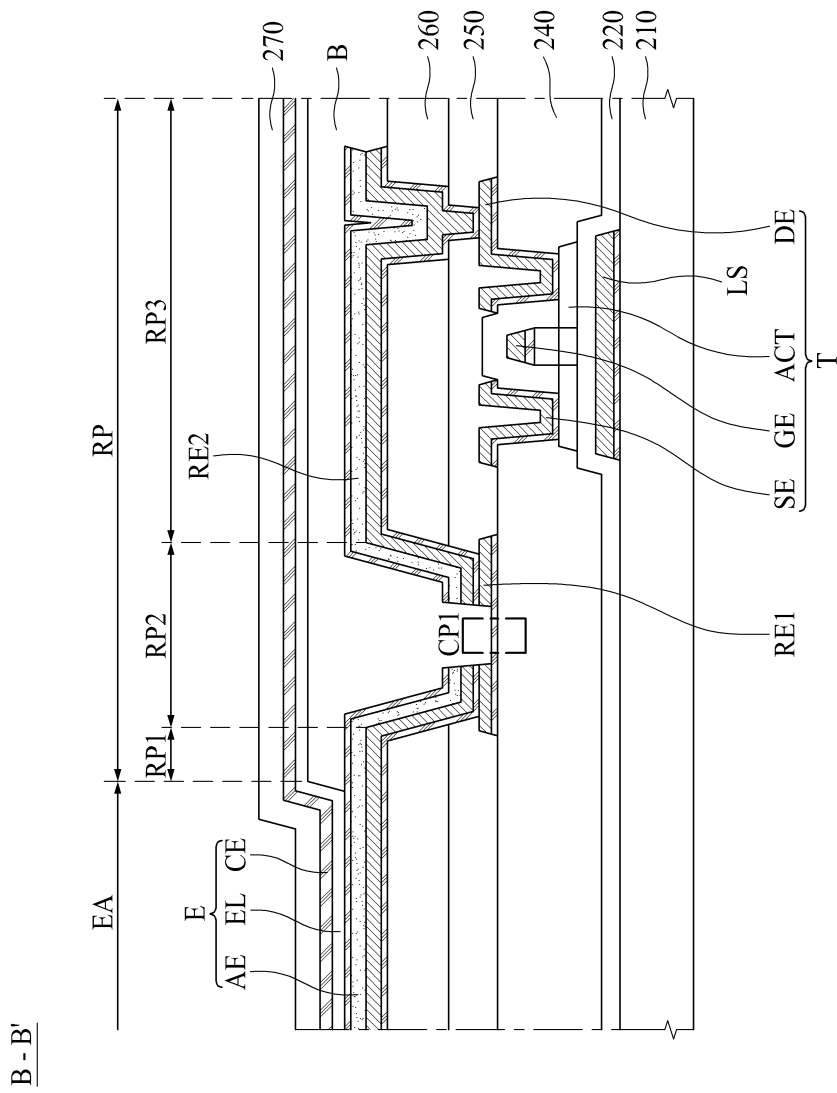
도면5b



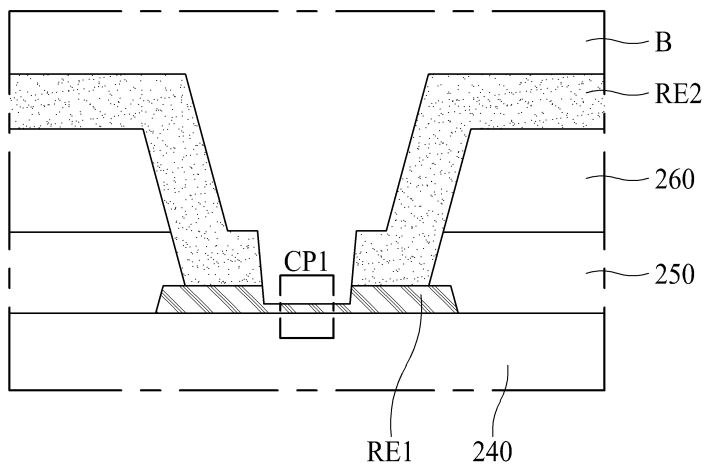
도면6a



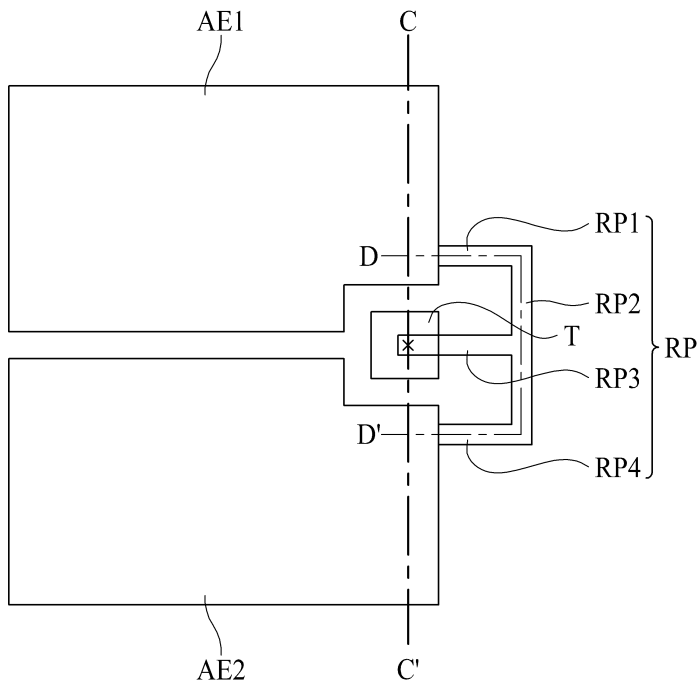
도면6b



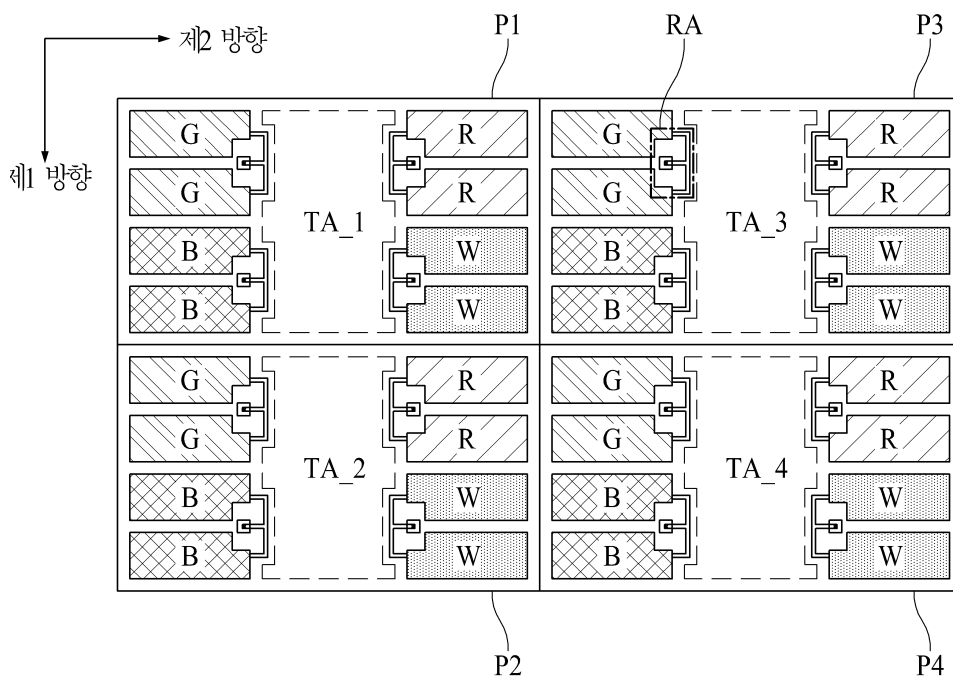
도면6c



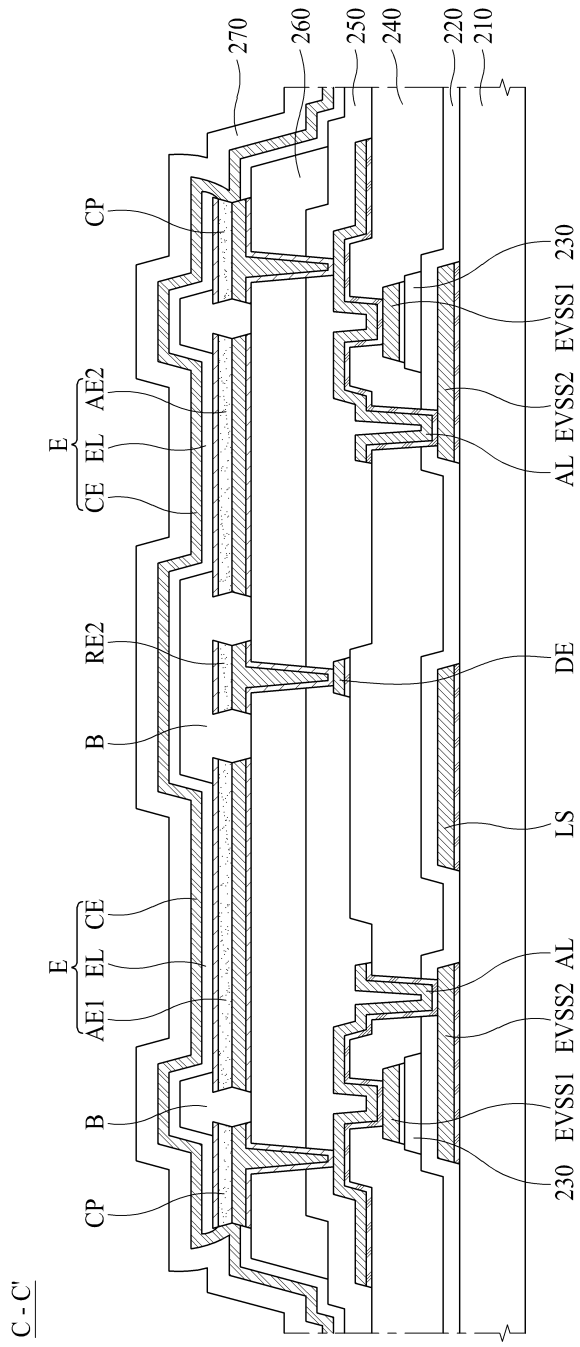
도면7a



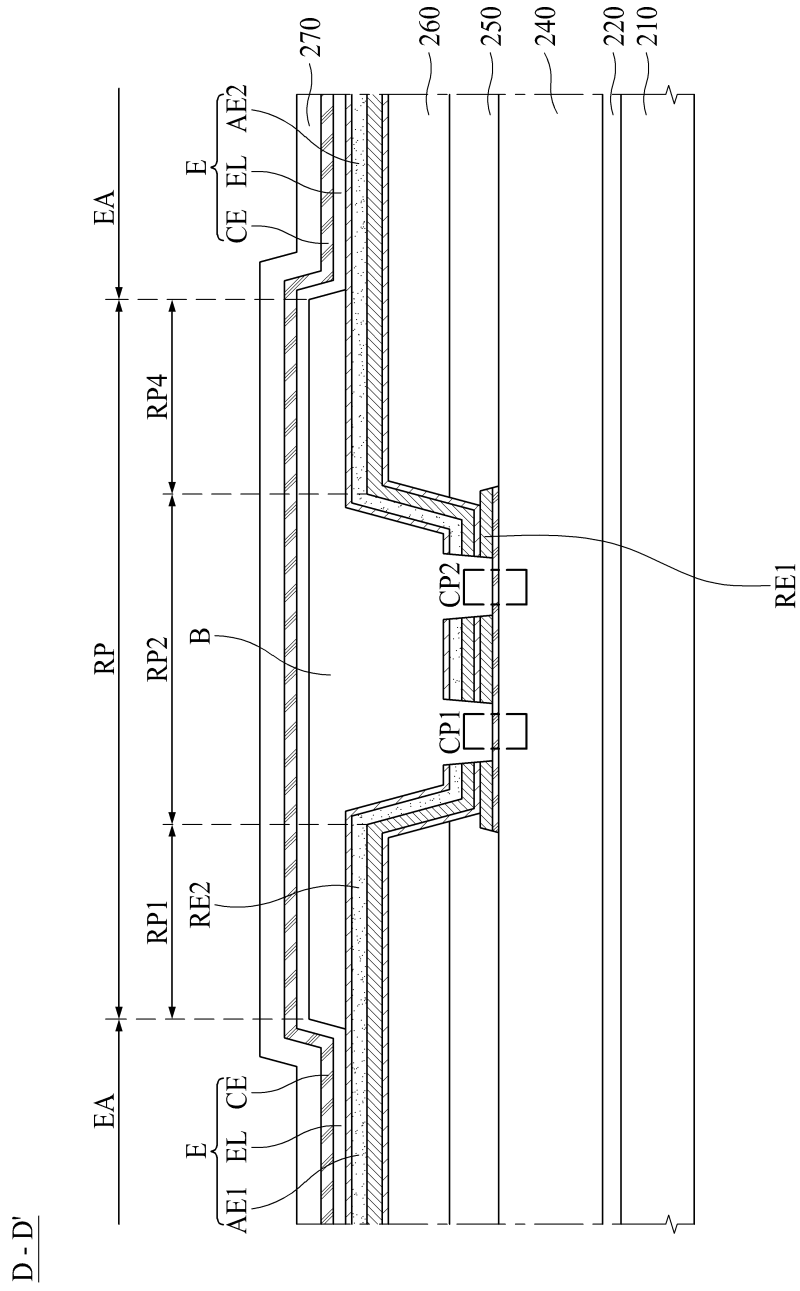
도면7b



도면8a



도면8b



도면8e

