(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0070512
(43) 공개일자 2020년06월18일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G09G 3/3208* (2016.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
G09G 3/3208 (2013.01)
(21) 출원번호 10-2018-0157411
(22) 출원일자 2018년12월07일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김동우
경기도 용인시 기흥구 기흥역로 63, 205동 3805호 (구갈동, 힐스테이트 기흥)
박준현
경기도 수원시 권선구 권선로694번길 25, 202동 501호 (권선동, 권선 SK VIEW)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

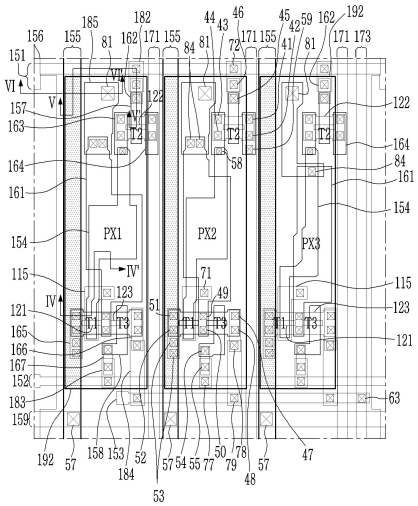
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **유기 발광 표시 장치**

(57) 요 약

본 개시는 유기 발광 표시 장치에 관한 것으로, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판 위의 반도체층; 상기 반도체층 위의 제1 게이트 절연막; 상기 제1 게이트 절연막 위의 제1 게이트층; 상기 제1 게이트층 위의 제2 게이트 절연막; 상기 제2 게이트 절연막 위의 제2 게이트층; 상기 제2 게이트층 위의 층간 절연막; 상기 층간 절연막 위에 위치하며, 데이터선 및 구동 전압선을 포함하는 데이터층; 상기 데이터층 위에 위치하는 상부 절연막; 및 상기 상부 절연막 위에 위치하며, 상기 제1 게이트층에 위치하는 제1 트랜지스터의 게이트 전극과 완전히 중첩하는 애노드 전극을 포함하며, 상기 애노드 전극은 상기 구동 전압선과 중첩하여 추가 축전기를 형성한다.

대 표 도 - 도3



(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 51/52 (2013.01)
(72) 발명자
이안수
서울특별시 광진구 아차산로70길 61, 502동 1802호 (광장동, 광장현대아파트)

조강문
경기도 화성시 탄요1길 75, 108동 1호 (반송동)

명 세 서

청구범위

청구항 1

기판;

상기 기판 위의 반도체층;

상기 반도체층 위의 제1 게이트 절연막;

상기 제1 게이트 절연막 위의 제1 게이트층;

상기 제1 게이트층 위의 제2 게이트 절연막;

상기 제2 게이트 절연막 위의 제2 게이트층;

상기 제2 게이트층 위의 층간 절연막;

상기 층간 절연막 위에 위치하며, 데이터선 및 구동 전압선을 포함하는 데이터층;

상기 데이터층 위에 위치하는 상부 절연막; 및

상기 상부 절연막 위에 위치하며, 상기 제1 게이트층에 위치하는 제1 트랜지스터의 게이트 전극과 완전히 중첩하는 애노드 전극을 포함하며,

상기 애노드 전극은 상기 구동 전압선과 중첩하여 추가 축전기를 형성하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 구동 전압선은 세로 방향으로 연장되어 있는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 애노드 전극의 상기 세로 방향으로 연장되는 일 변은 상기 구동 전압선에 중첩하는 유기 발광 표시 장치.

청구항 4

제1항에서,

상기 반도체층은 제1 트랜지스터의 제1 반도체, 제2 트랜지스터의 제2 반도체 및 제3 트랜지스터의 제3 반도체를 포함하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 제1 반도체, 상기 제2 반도체 및 상기 제3 반도체 중 적어도 하나는 개구부를 포함하는 유기 발광 표시 장치.

청구항 6

제4항에서,

상기 제1 트랜지스터의 제1 반도체는 채널 영역, 소스 영역 및 드레인 영역을 포함하고,

상기 소스 영역은 상기 애노드 전극 및 상기 구동 전압선과 중첩하는 유기 발광 표시 장치.

청구항 7

제4항에서,

상기 기판과 상기 반도체층 사이에 위치하는 중첩층을 더 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 중첩층은 상기 제1 반도체의 채널 영역과 중첩하는 채널 중첩부 및 상기 채널 중첩부로부터 연장되어 있는 확장부를 포함하며,

상기 중첩부의 확장부는 상기 제1 트랜지스터의 게이트 전극과 중첩하는 유기 발광 표시 장치.

청구항 9

제7항에서,

상기 제2 게이트층은 유지 전극을 포함하며,

상기 제1 트랜지스터의 게이트 전극 및 상기 유지 전극은 중첩하여 유지 축전기를 형성하고,

상기 유지 축전기는 상기 애노드 전극과 완전히 중첩하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 중첩층은 상기 유지 전극과 오프닝을 통해 연결되고,

상기 유지 전극은 상기 데이터층에 형성된 연결부를 통해 상기 애노드 전극과 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 11

제4항에서,

상기 제2 트랜지스터의 제2 반도체는 채널 영역, 소스 영역, 및 드레인 영역을 포함하고,

상기 소스 영역은 상기 데이터선과 중첩하며 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 12

제1항에서,

상기 제1 게이트층에 위치하며, 상기 구동 전압선과 교차하는 가로 방향으로 연장되어 있는 가로 구동 전압선을 더 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 가로 구동 전압선은 행방향으로 이웃하는 화소들 중 적어도 하나의 화소와 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 14

제1항에서,

상기 데이터층에 위치하며, 세로 방향으로 연장되어 있는 초기화 전압선을 더 포함하는 유기 발광 표시 장치.

청구항 15

제14항에서,

상기 초기화 전압선과 교차하는 가로 방향으로 위치하는 초기화 전압 전달부를 더 포함하며,

상기 초기화 전압 전달부는 행방향으로 이웃하는 화소들 중 적어도 하나의 화소와 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 16

제1항에서,

상기 데이터층에 위치하며, 세로 방향으로 연장되어 있는 구동 저전압선을 더 포함하는 유기 발광 표시 장치.

청구항 17

기판;

상기 기판 위의 반도체층;

상기 반도체층 위의 제1 게이트 절연막;

상기 제1 게이트 절연막 위의 제1 게이트층;

상기 제1 게이트층 위의 제2 게이트 절연막;

상기 제2 게이트 절연막 위의 제2 게이트층;

상기 제2 게이트층 위의 층간 절연막;

상기 층간 절연막 위에 위치하며, 데이터선 및 구동 전압선을 포함하는 데이터층;

상기 데이터층 위에 위치하는 상부 절연막; 및

상기 상부 절연막 위에 위치하는 애노드 전극을 포함하며,

상기 반도체층은 제1 트랜지스터의 제1 반도체, 제2 트랜지스터의 제2 반도체, 및 제3 트랜지스터의 제3 반도체를 포함하고,

상기 애노드 전극은 상기 제1 반도체, 상기 제2 반도체, 및 상기 제3 반도체와 중첩하며,

상기 애노드 전극은 상기 구동 전압선과 중첩하여 추가 축전기를 형성하는 유기 발광 표시 장치.

청구항 18

제17항에서,

상기 제1 게이트층은 가로 방향으로 연장되어 있는 스캔선 및 전단 스캔선을 더 포함하는 유기 발광 표시 장치.

청구항 19

제18항에서,

상기 제1 게이트층은 상기 제3 트랜지스터의 게이트 전극을 포함하고,

상기 제3 트랜지스터의 게이트 전극은 상기 제2 게이트층에 형성된 연결부 및 상기 데이터층에 형성된 연결부를 통해 상기 전단 스캔선과 전기적으로 연결되어 있는 유기 발광 표시 장치.

청구항 20

기판;

상기 기판 위의 반도체층;

상기 반도체층 위의 제1 게이트 절연막;

상기 제1 게이트 절연막 위의 제1 게이트층;

상기 제1 게이트층 위의 제2 게이트 절연막;

상기 제2 게이트 절연막 위의 제2 게이트층;

상기 제2 게이트층 위의 층간 절연막;

상기 층간 절연막 위에 위치하며, 데이터선 및 구동 전압선을 포함하는 데이터층;

상기 데이터층 위에 위치하는 상부 절연막;

상기 상부 절연막 위에 위치하며, 상기 제1 게이트층에 위치하는 제1 트랜지스터의 게이트 전극과 완전히 중첩하는 애노드 전극;

상기 애노드 전극 위에 위치하는 유기 발광층; 및

상기 유기 발광층 위에 위치하는 캐소드 전극을 포함하며,

상기 애노드 전극은 상기 구동 전압선과 중첩하여 추가 축전기를 형성하는 유기 발광 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 개시는 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로는 고해상도의 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 유기 발광 표시 장치는 액정 표시 장치에 비하여 화소 구조가 복잡하여, 고해상도로 갈수록 화소를 형성할 공간을 마련하기 어려운 점이 있다.

발명의 내용

해결하려는 과제

[0005] 실시예들은 구동 트랜지스터의 일 단에 연결된 유지 축전기의 용량이 증가된 고해상도의 유기 발광 표시 장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 한 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판 위의 반도체층; 상기 반도체층 위의 제1 게이트 절연막; 상기 제1 게이트 절연막 위의 제1 게이트층; 상기 제1 게이트층 위의 제2 게이트 절연막; 상기 제2 게이트 절연막 위의 제2 게이트층; 상기 제2 게이트층 위의 층간 절연막; 상기 층간 절연막 위에 위치하며, 데이터선 및 구동 전압선을 포함하는 데이터층; 상기 데이터층 위에 위치하는 상부 절연막; 및 상기 상부 절연막 위에 위치하며, 상기 제1 게이트층에 위치하는 제1 트랜지스터의 게이트 전극과 완전히 중첩하는 애노드 전극을 포함하며, 상기 애노드 전극은 상기 구동 전압선과 중첩하여 추가 축전기를 형성한다.

[0007] 상기 구동 전압선은 세로 방향으로 연장되어 있을 수 있다.

[0008] 상기 애노드 전극은 상기 세로 방향으로 연장되는 일 변은 상기 구동 전압선에 중첩할 수 있다.

[0009] 상기 반도체층는 제1 트랜지스터의 제1 반도체, 제2 트랜지스터의 제2 반도체 및 제3 트랜지스터의 제3 반도체를 포함하는 유기 발광 표시 장치.

[0010] 상기 제1 반도체, 상기 제2 반도체 및 상기 제3 반도체 중 적어도 하나는 개구부를 포함할 수 있다.

[0011] 상기 제1 트랜지스터의 제1 반도체는 채널 영역, 소스 영역 및 드레인 영역을 포함하고, 상기 소스 영역은 상기 애노드 전극 및 상기 구동 전압선과 중첩할 수 있다.

[0012] 상기 기판과 상기 반도체층의 사이에 위치하는 중첩층을 더 포함할 수 있다.

[0013] 상기 중첩층은 상기 제1 반도체의 채널 영역과 중첩하는 채널 중첩부 및 상기 채널 중첩부로부터 연장되어 있는 확장부를 포함하며, 상기 중첩부의 확장부는 상기 제1 트랜지스터의 게이트 전극과 중첩할 수 있다.

[0014] 상기 제2 게이트층은 유지 전극을 포함하며, 상기 제1 트랜지스터의 게이트 전극 및 상기 유지 전극은 중첩하여 유지 축전기를 형성하고, 상기 유지 축전기는 상기 애노드 전극과 완전히 중첩할 수 있다.

[0015] 상기 중첩층은 상기 유지 전극과 오프닝을 통해 연결되고, 상기 유지 전극은 상기 데이터층에 형성된 연결부를 통해 상기 애노드 전극과 전기적으로 연결되어 있을 수 있다.

[0016] 상기 제2 트랜지스터의 제2 반도체는 채널 영역, 소스 영역, 및 드레인 영역을 포함하고, 상기 소스 영역은 상기 데이터선과 중첩하며 전기적으로 연결되어 있을 수 있다.

[0017] 상기 제1 게이트층에 위치하며, 상기 구동 전압선과 교차하는 가로 방향으로 연장되는 가로 구동 전압선을 더 포함할 수 있다.

[0018] 상기 가로 구동 전압선은 행방향으로 이웃하는 화소들 중 적어도 하나의 화소와 전기적으로 연결되어 있을 수 있다.

[0019] 상기 데이터층에 위치하며, 세로 방향으로 연장되어 있는 초기화 전압선을 더 포함할 수 있다.

[0020] 상기 초기화 전압선과 교차하는 가로 방향으로 위치하는 초기화 전압 전달부를 더 포함하며, 상기 초기화 전압 전달부는 행방향으로 이웃하는 화소들 중 적어도 하나의 화소와 전기적으로 연결되어 있을 수 있다.

[0021] 상기 데이터층에 위치하며, 세로 방향으로 연장되어 있는 구동 저전압선을 더 포함할 수 있다.

[0022] 한 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판 위의 반도체층; 상기 반도체층 위의 제1 게이트 절연막; 상기 제1 게이트 절연막 위의 제1 게이트층; 상기 제1 게이트층 위의 제2 게이트 절연막; 상기 제2 게이트 절연막 위의 제2 게이트층; 상기 제2 게이트층 위의 층간 절연막; 상기 층간 절연막 위에 위치하며, 데이터선 및 구동 전압선을 포함하는 데이터층; 상기 데이터층 위에 위치하는 상부 절연막; 및 상기 상부 절연막 위에 위치하는 애노드 전극을 포함하며, 상기 반도체층은 제1 트랜지스터의 제1 반도체, 제2 트랜지스터의 제2 반도체, 및 제3 트랜지스터의 제3 반도체를 포함하고, 상기 애노드 전극은 상기 제1 반도체, 상기 제2 반도체, 및 상기 제3 반도체와 중첩하며, 상기 애노드 전극은 상기 구동 전압선과 중첩하여 추가 축전기를 형성한다.

[0023] 상기 제1 게이트층은 가로 방향으로 연장되어 있는 스캔선 및 전단 스캔선을 더 포함할 수 있다.

[0024] 상기 제1 게이트층은 상기 제3 트랜지스터의 게이트 전극을 포함하고, 상기 제3 트랜지스터의 게이트 전극은 상기 제2 게이트층에 형성된 연결부 및 상기 데이터층에 형성된 연결부를 통해 상기 전단 스캔선과 전기적으로 연결되어 있을 수 있다.

[0025] 한 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판 위의 반도체층; 상기 반도체층 위의 제1 게이트 절연막; 상기 제1 게이트 절연막 위의 제1 게이트층; 상기 제1 게이트층 위의 제2 게이트 절연막; 상기 제2 게이트 절연막 위의 제2 게이트층; 상기 제2 게이트층 위의 층간 절연막; 상기 층간 절연막 위에 위치하며, 데이터선 및 구동 전압선을 포함하는 데이터층; 상기 데이터층 위에 위치하는 상부 절연막; 상기 상부 절연막 위에 위치하며, 상기 제1 게이트층에 위치하는 제1 트랜지스터의 게이트 전극과 완전히 중첩하는 애노드 전극; 상기 애노드 전극 위에 위치하는 유기 발광층; 및 상기 유기 발광층 위에 위치하는 캐소드 전극을 포함하며, 상기 애노드 전극은 상기 구동 전압선과 중첩하여 추가 축전기를 형성한다.

발명의 효과

[0026] 실시예들에 따르면, 고해상도를 가지는 유기 발광 표시 장치에서, 구동 전압을 인가하는 구동 전압선이 애노드 전극과 중첩하도록 형성하여 추가적인 축전기를 형성하여 좁은 면적에서도 충분한 커패시턴스를 가질 수 있다.

[0027] 구동 트랜지스터의 일 단에 연결된 유지 축전기의 용량이 증가됨에 따라, 표시 장치의 화질을 높일 수 있다.

[0028] 또한, 화소 전극이 데이터선과 중첩하지 않으므로 데이터선과의 기생 커패시턴스에 의한 크로스 토크(crosstalk)가 감소될 수 있다.

도면의 간단한 설명

[0029] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.

도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.

도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이다.

도 4는 도 3의 실시예에서 IV-IV'선을 따라 자른 단면도이다.

도 5는 도 3의 실시예에서 V-V'선을 따라 자른 단면도이다.

도 6은 도 3의 실시예에서 VI-VI'선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0031] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0032] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.

[0033] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.

[0034] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0035] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.

[0036] 이하에서는 도 1을 통하여 일 실시예에 따른 유기 발광 표시 장치의 화소에 대하여 살펴본다.

[0037] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.

[0038] 도 1을 참고하면, 유기 발광 표시 장치의 화소(PX)는 여러 신호선들(151, 152, 171, 173, 155, 156)에 연결되어 있는 복수의 트랜지스터(T1, T2, T3), 유지 축전기(Cst), 추가 축전기(Ca), 및 유기 발광 다이오드(OLED)를 포함한다.

[0039] 도 1의 실시예에 따른 유기 발광 표시 장치는 고해상도에서 사용되는 유기 발광 표시 장치를 도시하고 있으며, 하나의 화소(PX)는 하나의 데이터선(171) 및 하나의 스캔선(151)에 의해 제어된다.

[0040] 먼저 하나의 화소(PX)의 구조를 살펴본다.

[0041] 하나의 화소(PX)가 포함하는 복수의 트랜지스터(T1, T2, T3)는 구동 트랜지스터(T1: 이하 제1 트랜지스터라고도 함)를 포함하며, 스캔선(151)에 연결되어 있는 스위칭 트랜지스터, 즉, 제2 트랜지스터(T2), 및 전단 스캔선(152)에 연결되어 있는 초기화 트랜지스터, 즉, 제3 트랜지스터(T3; 이하 감지 트랜지스터라고도 함)를 포함한다. 제3 트랜지스터는 전단 스캔선(152)과 다른 타이밍에 게이트 온 전압을 인가하는 신호선과 연결될 수도 있다.

[0042] 스캔선(151)은 게이트 구동부(도시되지 않음)에 연결되어 스캔 신호(Sn)를 제2 트랜지스터(T2)에 전달한다.

[0043] 전단 스캔선(152)은 게이트 구동부에 연결되어 전단에 위치하는 화소(PX)에 인가되는 전단 스캔 신호(Sn-1)를 제3 트랜지스터(T3)에 전달한다.

[0044] 데이터선(171)은 데이터 구동부(도시되지 않음)에서 생성되는 데이터 전압(Dm)을 전달하는 배선으로 하나의 화소(PX)에 대하여 하나의 데이터선(171)이 형성되어 있다. 하나의 데이터선(171)과 하나의 스캔선(151)은 하나의 화소(PX)를 선택하여 데이터 전압(Dm)을 입력할 수 있도록 한다. 화소(PX)에 제공된 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED; 유기 발광 소자라고도 함)가 발광하는 휘도가 변한다.

[0045] 구동 전압선(155)은 구동 전압(ELVDD)을 인가하며, 구동 저전압선(156)은 구동 저전압(ELVSS)을 인가한다. 본 실시예에 따른 구동 전압선(155) 및 구동 저전압선(156)은 세로 방향으로 연장되는 배선으로 형성되어 있으며, 이하에서는 각각 세로 구동 전압선 또는 세로 구동 저전압선이라고 한다. 구동 전압선(155) 및 구동 저전압선(156)에 인가되는 전압은 각각 일정한 전압이 인가될 수 있다. 구동 전압(ELVDD)은 구동 트랜지스터(T1)에서 출력 전류를 생성하도록 하는 입력 전압 역할을 수행하며, 출력 전류가 유기 발광 다이오드(OLED)로 인가될 때, 타 측 전극(이하 캐소드 라고도 함)에는 구동 저전압(ELVSS)이 인가된다.

[0046] 이하에서는 복수의 트랜지스터에 대하여 살펴본다.

[0047] 먼저, 구동 트랜지스터(T1)는 게이트 전극으로 인가되는 데이터 전압(Dm)에 따라서 출력되는 전류의 크기를 조절하는 트랜지스터로, 출력되는 구동 전류(Id)가 유기 발광 다이오드(OLED)로 인가되어 유기 발광 다이오드(OLED)의 밝기를 데이터 전압(Dm)에 따라서 조절한다. 이를 위하여 구동 트랜지스터(T1)의 제1 전극(입력측 전극)은 구동 전압(ELVDD)을 인가 받을 수 있도록 배치되고, 제2 전극(출력측 전극)은 유기 발광 다이오드(OLED)의 제1 전극(이하 애노드 또는 화소 전극이라고도 함)과 연결되어 있다. 또한, 구동 트랜지스터(T1)의 게이트 전극은 데이터 전압(Dm)을 인가받을 수 있도록 제2 트랜지스터(T2)의 제2 전극(출력측 전극)과 연결되어 있다.

[0048] 한편, 구동 트랜지스터(T1)의 게이트 전극은 유지 축전기(Cst)의 일 전극과 연결되어 있다. 유지 축전기(Cst)는 구동 트랜지스터(T1)의 게이트 전극으로 전달된 데이터 전압(Dm)이 한 프레임 동안 유지되도록 한다. 이에 유지 축전기(Cst)에 저장된 전압에 따라서 구동 트랜지스터(T1)의 게이트 전극의 전압이 변하고 그에 따라 구동 트랜지스터(T1)가 출력하는 구동 전류(Id)가 변경되어 한 프레임 동안 일정하게 출력된다.

[0049] 또한, 일 실시예에 따른 구동 트랜지스터(T1)는 채널이 위치하는 반도체층의 아래에 중첩층(115)을 더 포함한다. 중첩층(115)은 구동 트랜지스터(T1)의 채널 및 게이트 전극과 중첩하여 구동 트랜지스터(T1)의 특성을 향상시키는 역할 및 게이트 전극의 전압을 유지시키는 역할을 한다. 중첩층(115)이 게이트 전극과 중첩함에 따라 게이트 전극의 전압이 유지되어 유지 축전기(Cst)의 역할을 보완한다. 이하에는 중첩층(115)과 구동 트랜지스터(T1)의 게이트 전극 간의 중첩에 의하여 추가되는 축전기를 중첩 축전기(도시하지 않음)라 한다. 중첩층(115)은 구동 트랜지스터(T1)의 제2 전극(출력측 전극)과 전기적으로 연결되어 있으며, 그 결과 유기 발광 다이오드(OLED)의 애노드와도 연결되어 있다.

[0050] 제2 트랜지스터(T2; 이하 스위칭 트랜지스터라고도 함)는 데이터 전압(Dm)을 화소(PX)내로 받아들이는 트랜지스터이다. 게이트 전극은 스캔선(151)과 연결되어 있고, 제1 전극은 데이터선(171)과 연결되어 있으며, 제2 전극(출력측 전극)은 구동 트랜지스터(T1)의 게이트 전극과 연결되어 있다. 스캔선(151)을 통해 전달되는 스캔 신호(Sn)에 따라 제2 트랜지스터(T2)가 켜지면, 데이터선(171)을 통해 전달되는 데이터 전압(Dm)이 구동 트랜지스터(T1)의 게이트 전극으로 전달되며, 유지 축전기(Cst)에 저장된다.

[0051] 제3 트랜지스터(T3; 이하 초기화 트랜지스터 또는 감지 트랜지스터라고도 함)는 구동 트랜지스터(T1)의 제2 전극(출력측 전극), 유지 축전기(Cst)의 일 전극, 및 유기 발광 다이오드(OLED)의 애노드를 초기화시키는 역할을 한다. 제3 트랜지스터(T3)의 게이트 전극은 전단 스캔선(152)과 연결되어 있고, 제1 전극은 초기화 전압선(173)과 연결되어 있다. 제3 트랜지스터(T3)의 제2 전극(출력측 전극)은 구동 트랜지스터(T1)의 제2 전극(출력측 전극)과 전기적으로 연결되어 있으며, 그 결과 유기 발광 다이오드(OLED)의 애노드 및 중첩층(115)과도 연결되어 있다.

[0052] 초기화 전압선(173)은 초기화 전압만을 제공하지 않고, 구간에 따라서는 제3 트랜지스터(T3)의 제2 전극이 연결된 애노드의 전압을 감지하는 배선으로도 사용되어 감지선이라고도 한다. 그 결과 제3 트랜지스터(T3)를 감지 트랜지스터라고도 한다.

[0053] 제3 트랜지스터(T3)의 동작을 살펴본다. 유기 발광 다이오드(OLED)가 빛을 방출(발광 구간)할 때의 애노드의 전압은 유지 축전기(Cst)의 일 측 전극에 저장되어 있다. 이때, 유지 축전기(Cst)의 타 측 전극에는 데이터 전압(Dm)이 저장되어 있다. 이 때, 제3 트랜지스터(T3)의 게이트 전극으로 게이트 온 전압이 인가되면, 초기화 전압선(173)은 감지선으로 동작하며 애노드의 전압이 감지선을 통하여 감지부(도시하지 않음)로 전달된다. 이하에서는 이를 감지 구간이라고 한다. 그 후 제3 트랜지스터(T3)의 게이트 전극으로 게이트 온 전압이 인가되는 구간

중 나머지 구간에서는 초기화 전압선(173)이 초기화 전압(Vint)을 인가하여 애노드의 전압이 초기화되도록 한다. 이하에서는 이를 초기화 구간이라고 한다.

[0054] 감지 구간에서 감지된 전압이 인가된 데이터 전압(Dm)을 기초로 판단할 때 예상되는 애노드의 전압과 다른 경우에는 데이터 전압(Dm)을 수정하여 화소(PX)로 제공할 수 있다. 즉, 구동 트랜지스터(T1)의 특성이 변할 수 있는데, 이를 감지하여 그에 맞는 데이터 전압(Dm)을 제공하여 유기 발광 다이오드(OLED)가 정상 발광하도록 한다.

[0055] 즉, 유지 축전기(Cst)의 두 전극은 각각 데이터 전압(Dm)과 유기 발광 다이오드(OLED)의 애노드 전압(구동 트랜지스터의 출력측 전극 전압)을 한 프레임 동안 유지하는 역할을 하여야 한다.

[0056] 하지만, 최근 고해상도의 유기 발광 표시 장치를 형성하면서, 화소(PX)가 차지하는 면적이 줄어들고, 그에 따라 유지 축전기(Cst)를 형성할 수 있는 면적도 줄어들면서 한 프레임 동안 유지할 수 있는 유지 용량을 보유하지 못하는 문제가 있다.

[0057] 이에 본 실시예의 화소(PX)에서는 추가 축전기(Ca)를 더 포함하고, 유기 발광 다이오드(OLED)의 애노드 전압을 한 프레임 동안 유지하기에 충분한 유지 용량을 가지도록 한다.

[0058] 추가 축전기(Ca)는 유기 발광 다이오드(OLED)의 애노드와 연결되어 있는 일 측 전극과 구동 전압(ELVDD)이 인가되는 타 측 전극을 가져, 유기 발광 다이오드(OLED)의 애노드 전압을 유지시킨다.

[0059] 그러므로 하나의 화소(PX)가 가지는 축전기는 유지 축전기(Cst)와 추가 축전기(Ca)를 가지며, 이들을 통하여 한 프레임 동안 유기 발광 다이오드(OLED) 애노드의 전압을 유지할 수 있는 유지 용량을 확보한다. 또한, 실시예에 따라서는 중첩층(115)에 의한 중첩 축전기를 더 포함할 수 있다.

[0060] 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작에 대해 도 1 및 도 2를 참고하여 설명한다.

[0061] 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.

[0062] 도 2에서 SCAN으로 표시된 신호는 스캔선(151)으로 인가되는 신호이며, SENSING으로 표시된 신호는 전단 스캔선(152)으로 인가되는 신호를 도시하고 있다.

[0063] 먼저, 감지/초기화(Sensing/Initial) 구간 동안 하이 레벨의 전단 스캔 신호(Sn-1)가 전단 스캔선(152)을 통해 화소(PX)로 공급된다. 그러면, 이를 인가 받은 제3 트랜지스터(T3)가 켜진다. 이 때, 유기 발광 다이오드(OLED)의 애노드에 저장되어 있는 전압을 초기화 전압선(173)을 통하여 확인(감지 구간)하고, 그 후 유기 발광 다이오드(OLED)의 애노드의 전압을 초기화 전압(Vint)으로 변경하여 초기화 시킨다. (초기화 구간)

[0064] 감지 구간으로 인하여 각 화소(PX)에 위치하는 구동 트랜지스터(T1)가 공정 산포로 인해 서로 다른 문턱 전압(Vth)을 가지거나 장기간 동작하면서 구동 트랜지스터(T1)의 특성이 변하는 경우에 이를 감지하고 유기 발광 다이오드(OLED)가 정상 발광하도록 한다.

[0065] 이후, 데이터 기입(Data Writing) 구간 동안 스캔선(151)을 통해 하이 레벨의 스캔 신호(Sn)가 화소(PX)로 공급된다. 하이 레벨의 스캔 신호(Sn)에 의하여 제2 트랜지스터(T2)가 켜진다. 제2 트랜지스터(T2)가 턴 온 되면, 데이터 전압(Dm)이 제2 트랜지스터(T2)를 지나 구동 트랜지스터(T1)의 게이트 전극으로 입력되며, 유지 축전기(Cst)의 일 측 전극에 저장된다.

[0066] 구동 트랜지스터(T1)는 게이트 전극에 인가된 데이터 전압(Dm)에 따라서 턴 온 되는 정도가 정해지며, 제1 전극으로 입력되는 구동 전압(ELVDD)을 턴 온 되는 정도에 따라서 출력하여 유기 발광 다이오드(OLED)의 애노드로 전달한다.

[0067] 유기 발광 다이오드(OLED)의 애노드 전압은 유지 축전기(Cst)뿐만 아니라 중첩 축전기나 추가 축전기(Ca)에 저장되어 한 프레임 동안 유지된다.

[0068] 이상에서는 도 1을 통하여 회로 구조를 중심으로 살펴보았다.

[0069] 이하에서는 도 3 내지 도 6을 통하여 실시예에 따른 화소(PX)가 어떻게 구현되었는지 살펴본다.

[0070] 도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치의 한 화소 영역의 배치도이고, 도 4, 도 5 및 도 6은 도 3의 실시예에서 IV-IV'선, V-V'선 및 VI-VI'선을 따라 자른 단면도이다.

[0071] 도 3 내지 도 6을 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 기판(110) 위에 중첩층(115), 반도체층(121, 122, 123), 게이트층(151, 152, 153, 154, 157, 158, 159), 제2 게이트층(161, 162, 163, 164, 165,

166, 167), 제1 데이터층(171, 173, 155, 156, 182, 183, 184, 185), 애노드 전극(192), 유기 발광층(도시하지 않음), 공통 전극(도시하지 않음)을 각각 형성하며, 이들 층은 오프닝에 의하여 연결되지 않는 한 사이에 절연막을 두어 서로 절연되어 있다.

[0072] 기판(110)은 유리 기판으로 형성되거나 플라스틱 또는 폴리 이미드(PI)를 포함하는 플렉서블한 기판으로 형성될 수 있다. 플렉서블한 기판으로 형성되는 경우에는 유리 기판의 경우와 달리 추가적인 무기 절연막이 더 형성되어 있을 수 있다.

[0073] 기판(110) 위에 형성되어 있는 중첩층(115)을 살펴본다. 중첩층(115)은 구동 트랜지스터(T1)의 채널과 중첩하는 채널 중첩부 및 연결부를 포함한다. 중첩층(115)의 연결부는 후술하는 유지 전극(161)과 연결된다. 유지 전극(161)이 애노드의 전압을 인가 받으므로 중첩층(115)도 애노드의 전압을 인가 받는다. 중첩층(115)는 구동 트랜지스터(T1)의 게이트 전극(154)와 중첩하는 영역에서 중첩 축전기를 형성할 수 있다.

[0074] 기판(110) 및 중첩층(115) 위에는 버퍼층(11)이 덮여 있다. 버퍼층(11)은 무기 절연 물질로 형성될 수 있다.

[0075] 버퍼층(11) 위에는 반도체층(121, 122, 123)이 형성되어 있다. 각 반도체층(121, 122, 123)은 각각 구동 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)의 채널을 포함한다. 본 실시예에 따른 반도체층(121, 122, 123)은 산화물 반도체로 형성되어 있다. 제1 반도체(121)는 구동 트랜지스터(T1)의 반도체층으로써, 채널 영역과 채널 영역의 양측에 위치하는 소스/드레인 영역을 포함한다. 제2 반도체(122)는 제2 트랜지스터(T2)의 반도체층으로써, 채널 영역과 채널 영역의 양측에 위치하는 소스/드레인 영역을 포함하고, 제3 반도체(123)는 제3 트랜지스터(T3)의 반도체층으로써, 채널 영역 및 소스/드레인 영역을 포함한다.

[0076] 각 반도체층(121, 122, 123)의 채널 영역은 사각형의 중심에 개구부를 포함하는 형태로 두 개의 라인으로 형성될 수도 있고, 소스/드레인 영역을 연결하기 위하여 한 개의 라인으로만 형성될 수도 있다.

[0077] 각 반도체층(121, 122, 123)의 소스/드레인 영역은 각각 제1 전극/제2 전극(출력측 전극)에 전기적으로 연결되어 있다. 또한, 소스/드레인 영역은 확장되어, 오프닝을 통하여 다른 층과 전기적으로 연결되어 있다.

[0078] 반도체층(121, 122, 123) 및 버퍼층(11) 위에는 제1 게이트 절연막(12)이 덮여 있다. 제1 게이트 절연막(12)은 무기 절연 물질로 형성될 수 있다.

[0079] 제1 게이트 절연막(12)의 위에는 게이트층(151, 152, 153, 154, 157, 158, 159)이 형성되어 있다. 게이트층은 스캔선(151), 전단 스캔선(152), 초기화 전압 전달부(153), 구동 트랜지스터(T1)의 게이트 전극(154), 제2 트랜지스터(T2)의 게이트 전극(157), 제3 트랜지스터(T3)의 게이트 전극(158) 및 가로 구동 전압선(159)을 포함한다.

[0080] 스캔선(151)은 제1 방향(가로 방향)으로 뻗어 있으며, 전단 스캔선(152)도 제1 방향(가로 방향)으로 뻗어 있다.

[0081] 초기화 전압 전달부(153)는 제1 방향(가로 방향)으로 길게 형성된 섬형 구조를 가진다. 초기화 전압 전달부(153)는 일정 개수의 화소열마다 형성되는 초기화 전압선(173)와 복수의 화소를 연결시키기 위한 구조물이다. 즉, 초기화 전압 전달부(153)는 제1 방향(가로 방향)으로 인접하는 화소(PX)를 지나 초기화 전압선(173)이 형성될 위치까지 연장되어 있다. 본 실시예에서는 초기화 전압선(173)이 3개의 화소(PX1, PX2, PX3)마다 하나씩 형성되어 있다.

[0082] 가로 구동 전압선(159)은 제1 방향(가로 방향)으로 뻗어 있으며, 제2 방향(세로 방향)으로 연장된 구동 전압선(155)과 교차한다. 가로 구동 전압선(159)은 제2 방향(세로 방향)으로 인접한 화소(PX)들 사이에 위치하며, 제1 방향(가로 방향)으로 인접한 각 화소(PX1, PX2, PX3)마다 오프닝(57)을 통해 구동 전압선(155)과 전기적으로 연결된다.

[0083] 구동 트랜지스터(T1)의 게이트 전극(154)은 구동 트랜지스터(T1)의 채널이 위치하는 제1 반도체(121)와 중첩하는 중첩부와 중첩부로부터 연장되어 확장되어 있는 확장부, 그리고 제2 트랜지스터(T2)의 제2 반도체(122)와 연결되는 연장부를 포함한다. 정확하게 구동 트랜지스터(T1)의 게이트 전극(154)의 중첩부만이 게이트 전극의 역할을 수행하며, 확장부는 유지 축전기(Cst)의 일 측 전극을 구성한다. 또한, 게이트 전극(154)의 확장부는 중첩층(115)의 확장부와 중첩하여 중첩 축전기를 구성하고 있다. 또한, 게이트 전극(154)의 연장부는 오프닝(43, 44, 58) 및 제2 게이트층 연결부(163)를 통하여 제2 트랜지스터(T2)의 제2 반도체(122)와 연결되어 제2 트랜지스터(T2)의 제2 전극으로부터 데이터 전압(Dm)을 인가 받는다.

[0084] 도 3은 3개의 화소(PX1, PX2, PX3)를 도시한 것이며, 각 화소(PX1, PX2, PX3)의 구동 트랜지스터(T1)의 게이트

전극(154)은 다양한 크기로 형성될 수 있다. 여기서, 3개의 화소(PX1, PX2, PX3)는 각각 3원색 중 하나의 색을 표시할 수 있다.

[0085] 제2 트랜지스터(T2)의 게이트 전극(157)은 섬형 구조를 가지며, 제2 트랜지스터(T2)의 제2 반도체(122)와 중첩한다. 제2 반도체(122)와 게이트 전극(157)이 중첩하는 위치에 제2 트랜지스터(T2)의 채널이 형성된다. 게이트 전극(157)은 제2 게이트 전극 연결부(182) 및 제2 게이트층 연결부(162)를 통하여 스캔선(151)과 전기적으로 연결된다.

[0086] 제3 트랜지스터(T3)의 게이트 전극(158)도 섬형 구조를 가지며, 제3 트랜지스터(T3)의 제3 반도체(123)과 중첩한다. 제3 반도체(123)와 게이트 전극(158)이 중첩하는 위치에 제3 트랜지스터(T3)의 채널이 형성된다. 게이트 전극(158)은 제3 게이트 전극 연결부(183) 및 제2 게이트층 연결부(167)를 통하여 전단 스캔선(152)과 전기적으로 연결된다.

[0087] 게이트층(151, 152, 153, 154, 157, 158, 159) 및 제1 게이트 절연막(12) 위에는 제2 게이트 절연막(12-1)이 덮여 있다. 제2 게이트 절연막(12-1)은 무기 절연 물질로 형성될 수 있다.

[0088] 제2 게이트 절연막(12-1)의 위에는 제2 게이트층(161, 162, 163, 164, 165, 166, 167)이 위치하며, 제2 게이트층에는 유지 전극(161) 및 제2 게이트 연결부(162, 163, 164, 165, 166, 167)가 형성되어 있다.

[0089] 유지 전극(161)은 구동 트랜지스터(T1)의 게이트 전극(154)의 확장부와 중첩하는 확장부를 가지며, 확장부로부터 상하로 각각 연장되어 있는 제1 연장부 및 제2 연장부를 포함한다. 유지 전극(161)의 확장부에서 아래로 연장된 제1 연장부는 구동 트랜지스터(T1)의 제2 전극(출력측 전극)과 오프닝(49, 50)을 통해 연결되고, 중첩층(115)과는 오프닝(71)을 통하여 연결되어 있다. 또한, 유지 전극(161)의 확장부에서 위로 연장된 제2 연장부는 애노드 연결부(185)와 오프닝(84)을 통하여 연결되어 있다. 유지 전극(161)의 확장부는 게이트 전극(154)과 중첩하여 유지 축전기(Cst)를 구성한다.

[0090] 유지 전극(161)의 확장부와 게이트 전극(154)의 확장부는 화소(PX) 내에서 큰 면적을 차지하고는 있지만, 고해상도로 가면서 화소(PX)가 형성될 수 있는 면적이 줄어 유지 축전기(Cst)의 용량이 모자라는 문제가 발생하고 있다. 이러한 문제를 막기 위하여 추가 축전기(Ca)를 더 형성하며, 이에 대해서는 후술한다.

[0091] 제2 게이트층 연결부(162)는 섬형 구조를 가지며, 제2 게이트 전극 연결부(182) 및 제2 트랜지스터(T2)의 게이트 전극(157)과 중첩한다. 제2 게이트 전극 연결부(182)는 각각 오프닝(46, 45)을 통하여 제2 게이트 전극 연결부(182) 및 제2 트랜지스터(T2)의 게이트 전극(157)과 연결되어 있다.

[0092] 제2 게이트층 연결부(163)는 섬형 구조를 가지며, 구동 트랜지스터(T1)의 게이트 전극(154) 및 제2 트랜지스터(T2)의 제2 반도체(122) 영역 중 제2 전극(출력측 전극)과 중첩한다. 제2 게이트층 연결부(163)는 두 개의 오프닝(43, 44)을 통하여 제2 트랜지스터(T2)의 제2 반도체(122) 영역 중 제2 전극(출력측 전극)과 연결되고, 오프닝(58)을 통하여 구동 트랜지스터(T1)의 게이트 전극(154)과 연결되어 있다.

[0093] 제2 게이트층 연결부(164)는 섬형 구조를 가지며, 데이터선(171) 및 제2 트랜지스터(T2)의 제2 반도체(122) 영역 중 제1 전극과 중첩한다. 제2 게이트층 연결부(164)는 두 개의 오프닝(41, 42)을 통하여 제2 트랜지스터(T2)의 제2 반도체(122) 영역 중 제1 전극과 연결되고, 오프닝(59)을 통하여 데이터선(171)과 연결되어 있다.

[0094] 제2 게이트층 연결부(165)는 섬형 구조를 가지며, 구동 전압선(155) 및 구동 트랜지스터(T1)의 제1 반도체(121) 영역 중 제2 전극(출력측 전극)과 중첩한다. 제2 게이트층 연결부(165)는 두 개의 오프닝(51, 52)을 통하여 구동 트랜지스터(T1)의 제2 전극과 연결되고, 두 개의 오프닝(53)을 통하여 구동 전압선(155)과 연결되어 있다.

[0095] 제2 게이트층 연결부(166)는 섬형 구조를 가지며, 초기화 전압 제2 전달부(184) 및 제3 트랜지스터(T3)의 제3 반도체(123) 영역 중 제1 전극과 중첩한다. 제2 게이트층 연결부(166)는 두 개의 오프닝(47, 48)을 통하여 제3 트랜지스터(T3)의 제1 전극과 연결되고, 오프닝(78)을 통하여 초기화 전압 제2 전달부(184)와 연결되어 있다.

[0096] 제2 게이트층 연결부(167)는 섬형 구조를 가지며, 제3 게이트 전극 연결부(183) 및 제3 트랜지스터(T3)의 게이트 전극(158)과 중첩한다. 제2 게이트층 연결부(167)는 오프닝(54)을 통하여 제3 트랜지스터(T3)의 게이트 전극(158)과 연결되고, 오프닝(55)을 통하여 제3 게이트 전극 연결부(183)와 연결되어 있다.

[0097] 제2 게이트층(161, 162, 163, 164, 165, 166, 167) 및 제2 게이트 절연막(12-1)의 위에는 층간 절연막(13)이 덮여 있다. 층간 절연막(13)은 무기 절연 물질로 형성될 수 있다.

[0098] 층간 절연막(13)의 위에는 제1 데이터층(171, 173, 155, 156, 182, 183, 184, 185)이 형성되어 있다. 제1 데이

터층은 데이터선(171), 초기화 전압선(173), 구동 전압선(155), 구동 저전압선(156), 제2 게이트 전극 연결부(182), 제3 게이트 전극 연결부(183), 초기화 전압 제2 전달부(184), 및 애노드 연결부(185)를 포함한다.

[0099] 데이터선(171)은 하나의 화소마다 형성되어 있으며, 제1 방향(가로 방향)에 수직하는 제2 방향(세로 방향)으로 연장되어 있다. 데이터선(171)은 오프닝(59)을 통하여 제2 게이트층 연결부(164) 및 제2 트랜지스터(T2)의 제2 반도체(122)와 연결되어 제2 트랜지스터(T2)로 데이터 전압(Dm)을 인가한다.

[0100] 초기화 전압선(173)은 제2 방향(세로 방향)으로 연장되어 있으며, 초기화 전압(Vint)을 인가한다. 초기화 전압선(173)은 하나의 화소 마다 형성되지 않으며, 본 실시예에서는 3개의 화소(PX1, PX2, PX3)마다 하나의 초기화 전압선(173)이 형성되어 있다. 초기화 전압선(173)은 오프닝(63)을 통하여 초기화 전압 전달부(153)와 연결되며, 초기화 전압 전달부(153)는 오프닝(79)을 통하여 초기화 전압 제2 전달부(184)와 연결된다. 초기화 전압 제2 전달부(184)는 오프닝(78)을 통하여 제2 게이트층 연결부(166) 및 제3 트랜지스터(T3)의 제3 반도체(123)와 연결된다. 그 결과 각 화소의 제3 트랜지스터(T3)의 제1 전극에 초기화 전압(Vint)이 인가된다.

[0101] 구동 전압선(155) 및 구동 저전압선(156)도 제2 방향(세로 방향)으로 연장되어 있다. 구동 전압선(155)은 하나의 화소 마다 배치되어 있지만, 구동 저전압선(156)은 3개의 화소(PX1, PX2, PX3)마다 배치되어 있다. 구동 전압선(155)은 구동 전압(ELVDD)을 전달하며, 두 개의 오프닝(53)을 통하여 제2 게이트층 연결부(165) 및 구동 트랜지스터(T1)의 제1 반도체(121)와 연결되어 구동 트랜지스터(T1)의 제1 전극에 구동 전압(ELVDD)을 전달한다. 구동 전압선(155)은 구동 저전압선(156)에 비하여 좁은 폭을 가질 수 있다. 구동 저전압선(156)은 다른 층에 위치하는 배선과 중첩하는 영역에서 좁은 폭을 가질 수 있으며, 도 3에서는 스캔선(151)과 중첩하는 부분에서 좁은 폭을 가진다. 구동 저전압선(156)이 넓은 폭을 가지는 것은 구동 저전압(ELVSS)을 상부에 위치하는 캐소드 전극까지 전달하기 위하여 전기적으로 연결되는 구조를 형성하기 위한 것이다. 즉, 레이져 등으로 콘택을 형성하여 전기적으로 연결하기 위해서는 일정 수준의 폭이 필요하기 때문이다.

[0102] 제2 게이트 전극 연결부(182)는 섬형 구조를 가지며, 스캔선(151) 및 제2 게이트층 연결부(162)와 중첩한다. 제2 게이트층 연결부(162)는 제2 트랜지스터(T2)의 게이트 전극(157)과 중첩한다. 제2 게이트 전극 연결부(182)는 각각 오프닝(72, 46)을 통하여 스캔선(151) 및 제2 게이트층 연결부(162)와 연결되고, 제2 게이트층 연결부(162)는 오프닝(45)을 통하여 제2 트랜지스터(T2)의 게이트 전극(157)과 연결되어 스캔선(151)으로 인가되는 스캔 신호(Sn)를 제2 트랜지스터(T2)의 게이트 전극(157)으로 전달한다.

[0103] 제3 게이트 전극 연결부(183)는 섬형 구조를 가지며, 전단 스캔선(152) 및 제2 게이트층 연결부(167)과 중첩한다. 제2 게이트층 연결부(167)은 제3 트랜지스터(T3)의 게이트 전극(158)과 중첩한다. 제3 게이트 전극 연결부(183)는 각각 오프닝(77, 55)을 통하여 제2 게이트층 연결부(167) 및 전단 스캔선(152)과 연결되고, 제2 게이트층 연결부(167)는 오프닝(54)을 통하여 제3 트랜지스터(T3)의 게이트 전극(157)과 연결되어 전단 스캔선(152)으로 인가되는 전단 스캔 신호(Sn)를 제3 트랜지스터(T3)의 게이트 전극(158)으로 전달한다.

[0104] 애노드 연결부(185)는 유지 전극(161)의 제2 연장부와 하측의 두 개의 오프닝(84)을 통하여 연결되어 있으며, 상측의 오프닝(81)을 통하여 애노드 전극(192)과 연결되어 있다. 그 결과 구동 트랜지스터(T1)의 출력 전류를 애노드 전극(192)으로 전달한다.

[0105] 제1 데이터층(171, 173, 155, 156, 182, 183, 184, 185) 및 층간 절연막(13)의 위에는 유기 절연막(15)이 위치한다. 유기 절연막(15)은 유기 절연 물질로 형성되며, 단차를 없애고 평탄화시키는 특성을 가진다. 여기서, 유기 절연막(15)은 상부 절연막이라 할 수 있다.

[0106] 유기 절연막(15)의 위에는 애노드 전극(192)이 형성되어 있다.

[0107] 애노드 전극(192)은 유기 발광 다이오드(OLED)의 일 측 전극으로 구동 트랜지스터(T1)로부터 출력되는 전류를 유기 발광층으로 전달한다. 구동 트랜지스터(T1)로부터 출력 전류를 인가 받기 위하여 애노드 전극(192)은 오프닝(81)에 의하여 애노드 연결부(185)와 연결되며, 애노드 연결부(185)는 오프닝(84)에 의하여 유지 전극(161)과 연결되어 있다.

[0108] 도 3을 참고하면, 애노드 전극(192)은 구동 트랜지스터(T1), 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)와 중첩하도록 화소 전면에 걸쳐 위치하고, 구동 전압선(155)의 일 변과 애노드 전극(192)의 일 변이 나란하게 중첩된다.

[0109] 여기서, 애노드 전극(192)이 구동 전압선(155)과 중첩하는 영역은 추가 축전기(Ca)를 형성한다. 추가 축전기(Ca)가 형성되는 영역에 대하여, 도 4, 도 5 및 도 6의 단면도를 참고하여 상세히 살펴본다.

[0110] 도 4를 참고하면, 기판(110) 위에는 중첩층(115)이 형성되고, 버퍼층(11)은 중첩층(115)을 덮고, 버퍼층(11) 위에는 구동 트랜지스터(T1)의 제1 반도체(121)가 형성된다. 제1 반도체(121)를 덮도록 제1 게이트 절연막(12)이 형성되고, 제1 게이트 절연막(12) 위에는 구동 트랜지스터(T1)의 게이트 전극(154)이 형성된다. 게이트 전극(154)을 덮도록 제2 게이트 절연막(12-1)이 형성되고, 제2 게이트 절연막(12-1) 위에 형성되는 제2 게이트층 연결부(165)는 오프닝(51)을 통해 제1 반도체(121)와 연결된다. 제2 게이트층 연결부(165)를 덮도록 층간 절연막(13)이 형성되고, 층간 절연막(13) 위에는 구동 전압선(155)이 형성된다. 구동 전압선(155) 위에는 유기 절연막(15)이 형성되고, 유기 절연막(15) 위에는 애노드 전극(192)이 중첩층(115), 구동 트랜지스터(T1)의 제1 반도체(121), 게이트 전극(154), 유지 전극(161), 제2 게이트층 연결부(165) 및 구동 전압선(155)과 중첩하도록 상부에 형성된다.

[0111] 여기서, 구동 전압선(155)의 일 단은 애노드 전극(192)의 일 단과 가상의 연장선에서 동일선상에 위치한다. 구동 전압선(155)과 애노드 전극(192)이 중첩하는 영역은 추가 축전기(Ca)가 형성되고, 고해상도의 유기 발광 표시 장치에서 좁은 면적에서도 충분한 커패시턴스를 가질 수 있게 된다.

[0112] 도 5를 참고하면, 애노드 전극(192)은 제2 반도체(122), 제2 트랜지스터(T2)의 게이트 전극(157), 스캔선(151), 제2 게이트층 연결부(162), 제2 게이트 전극 연결부(182) 및 구동 전압선(155)과 중첩하도록 상부에 형성된다. 도 5에서도, 구동 전압선(155)의 일 단은 애노드 전극(192)의 일 단과 가상의 연장선에서 동일선상에 위치함을 확인할 수 있다.

[0113] 도 6을 참고하면, 기판(110) 위에는 버퍼층(11), 제1 게이트 절연막(12), 제2 게이트 절연막(12-1), 층간 절연막(13)이 순차적으로 형성되고, 층간 절연막(13) 위에는 구동 저전압선(156), 구동 전압선(155) 및 애노드 연결부(185)가 형성된다. 구동 저전압선(156), 구동 전압선(155) 및 애노드 연결부(185) 위에는 유기 절연막(15)이 덮여 있으며, 유기 절연막(15) 위에는 애노드 전극(192)이 형성된다.

[0114] 애노드 전극(192)은 구동 전압선(155) 및 애노드 연결부(185)와 중첩하는 상부 영역에만 형성되고, 구동 저전압선(156)과는 중첩하지 않는다. 애노드 전극(192)은 오프닝(81)을 통해 애노드 연결부(185)와 연결되며, 구동 트랜지스터(T1)의 출력 전류를 애노드 전극(192)으로 전달한다.

[0115] 도시하지 않았지만, 인접하는 화소의 애노드 전극(192)의 사이에는 격벽이 형성되어 있다. 격벽은 애노드 전극(192)을 노출시키는 오프닝을 가지며, 오프닝 내에 유기 발광층이 위치할 수 있다.

[0116] 유기 발광층 및 격벽 위에는 캐소드 전극이 위치한다. 격벽은 캐소드 연결부를 노출시키는 오프닝을 더 포함한다. 캐소드 전극은 노출된 캐소드 연결부와 연결되어 구동 저전압(ELVSS)를 인가 받는다.

[0117] 이상과 같은 구조에 의하면, 애노드 전극(192)과 구동 전압선(155)이 중첩하면서 추가 축전기(Ca)를 형성한다. 실시예에 따라서는 애노드 전극(192)이 구동 저전압선(156)과 중첩하도록 확장되는 영역에 의하여 축전기가 형성될 수 있다. 그 결과 추가적으로 애노드의 전압을 유지시킬 수 있다.

[0118] 다시 도 3을 살펴보면, 애노드 전극(192)과 구동 전압선(155)은 구동 트랜지스터(T1)의 제2 전극(출력측 전극), 즉 소스 영역과 중첩한다. 반면, 구동 전압선(155)은 제2 트랜지스터(T2)의 제2 전극(출력측 전극), 즉 소스 영역과는 중첩하지 않는다. 제2 트랜지스터(T2)의 소스 영역은 데이터선(171)과만 중첩하고, 애노드 전극(192)은 데이터선(171)과 중첩하지 않음으로써, 데이터선(171)과 애노드 전극(192) 간에 발생하는 기생 커패시턴스에 의한 크로스토크를 방지할 수 있다.

[0119] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0120] 11: 버퍼층 110: 기판

115: 중첩층

12, 12-1: 제1, 2 게이트 절연막

121, 122, 123: 제1, 2, 3 반도체

13: 층간 절연막 15: 유기 절연막

151: 스캔선　　152: 전단 스캔선

153: 초기화 전압 전달부　　154, 157, 158: 게이트 전극

155: 구동 전압선　　156: 구동 저전압선

159: 가로 구동 전압선　　161: 유지 전극

162, 163, 164, 165, 166, 167: 제2 게이트층 연결부

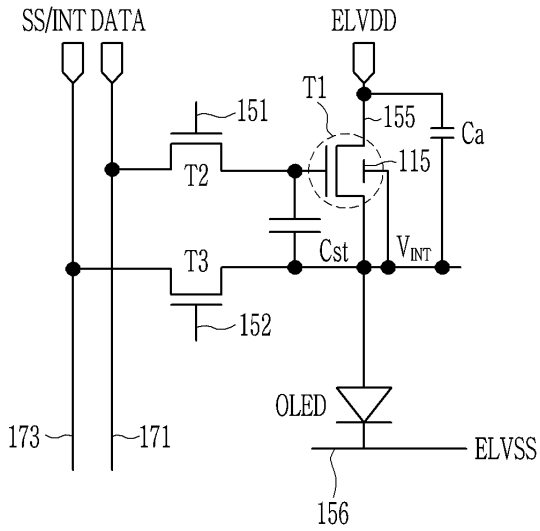
171: 데이터선　　173: 초기화 전압선

182, 183: 제2, 3 게이트 전극 연결부　184: 제2 전달부

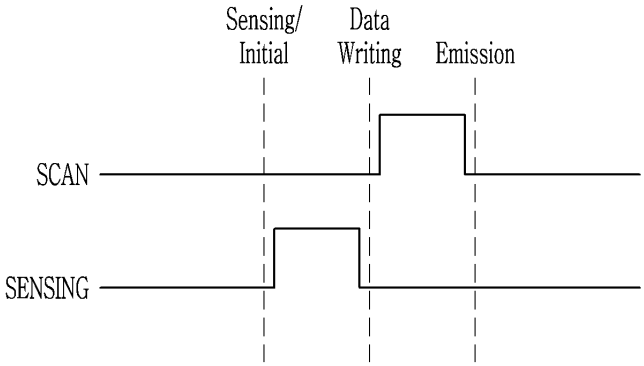
185: 애노드 연결부　　192: 애노드 전극

도면

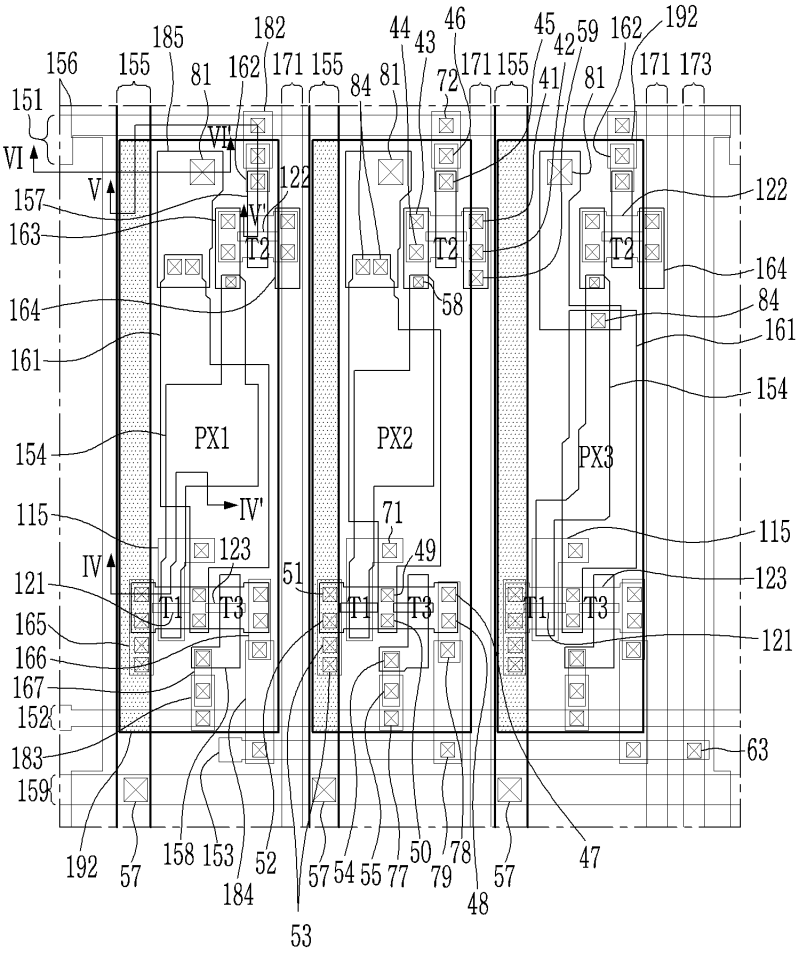
도면1



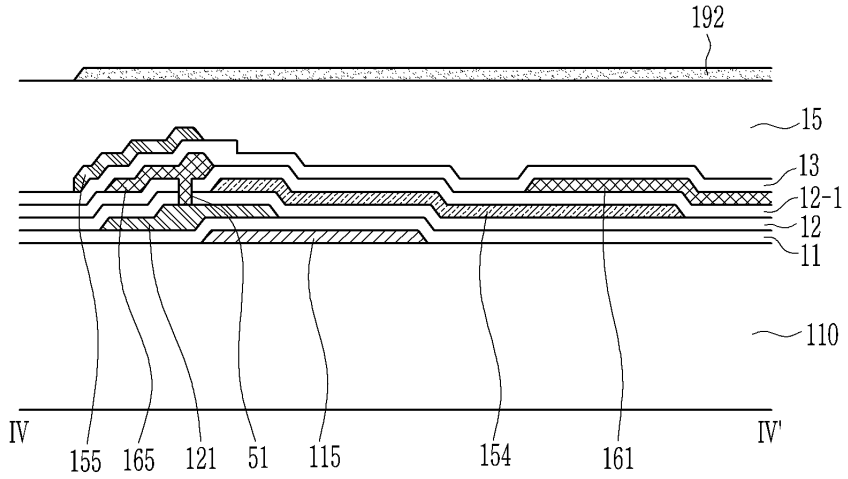
도면2



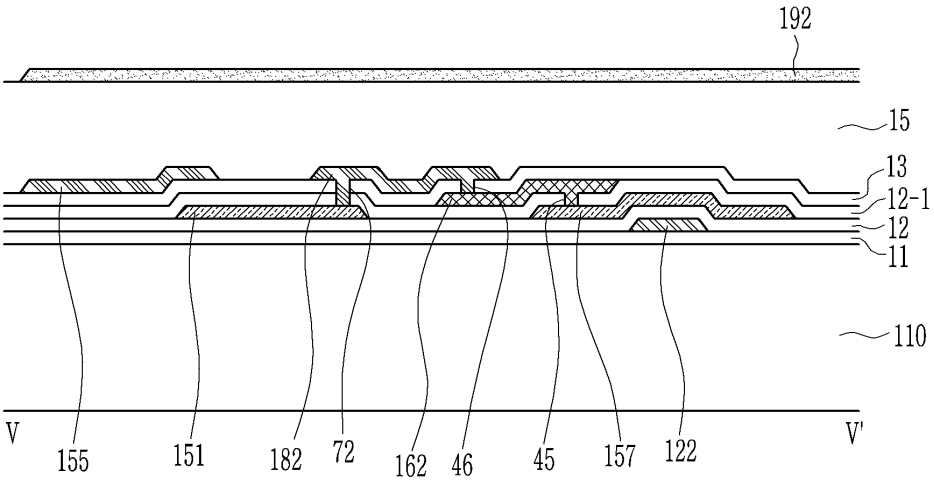
도면3


156
155
185
81
182
162
171
155
84
81
44
43
46
72
171
155
45
42
59
41
81
162
171
173
192
151
VI
VI'
V
V'
157
163
122
T2
164
161
154
115
IV
IV'
121
123
T1
T3
165
166
167
152
183
159
PX1
PX2
PX3
71
49
51
58
84
63
192
57
158
153
52
184
53
57
54
55
77
50
79
78
48
57
47

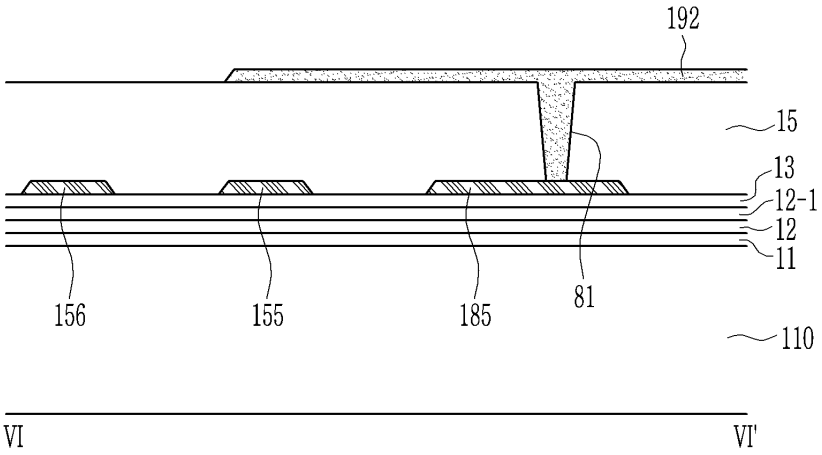
도면4


192
15
13
12-1
12
11
110
IV
IV'
155
165
121
51
115
154
161

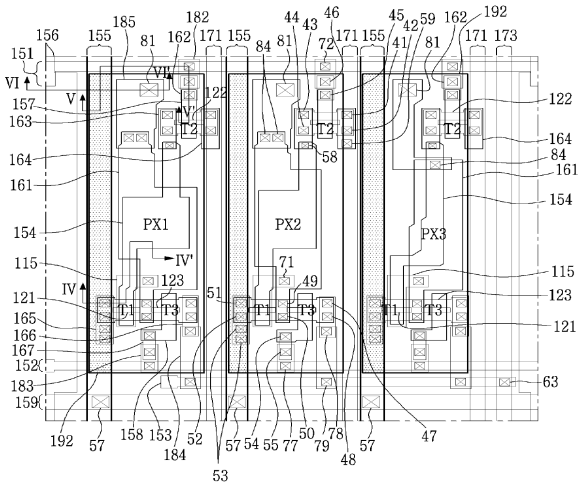
도면5


192
15
13
12-1
12
11
110
V
V'
155
151
182
72
162
46
45
157
122

도면6


192
15
13
12-1
12
11
110
VI
VI'
156
155
185
81

专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020200070512A	公开(公告)日	2020-06-18
申请号	KR1020180157411	申请日	2018-12-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김동우 박준현 이안수 조강문		
发明人	김동우 박준현 이안수 조강문		
IPC分类号	H01L27/32 G09G3/3208 H01L51/52		
CPC分类号	H01L27/3265 G09G3/3208 H01L27/3262 H01L51/52		
外部链接	Espacenet		

摘要(译)

本公开涉及一种有机发光显示装置，根据本发明实施方式的有机发光显示装置包括基板； 衬底上的半导体层； 半导体层上的第一栅极绝缘膜； 第一栅极绝缘层上方的第一栅极层； 第一栅极层上方的第二栅极绝缘层； 在第二栅极绝缘层之上的第二栅极层； 第二栅极层上方的层间绝缘膜； 层间绝缘层上的数据层，包括数据线和驱动电压线； 数据层上的上绝缘层； 以及在上绝缘层上并与位于第一栅极层上的第一晶体管的栅极完全重叠的阳极，其中该阳极与驱动电压线重叠以形成附加电容器。