



공개특허 10-2020-0007281



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0007281
(43) 공개일자 2020년01월22일

(51) 국제특허분류(Int. Cl.)
G09G 3/3225 (2016.01) *G09G 3/3266* (2016.01)
G09G 3/3275 (2016.01)

(52) CPC특허분류
G09G 3/3225 (2013.01)
G09G 3/3266 (2013.01)

(21) 출원번호 10-2018-0081196
(22) 출원일자 2018년07월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
정의현
경기도 파주시 월롱면 엘지로 245
김성훈
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인로얄

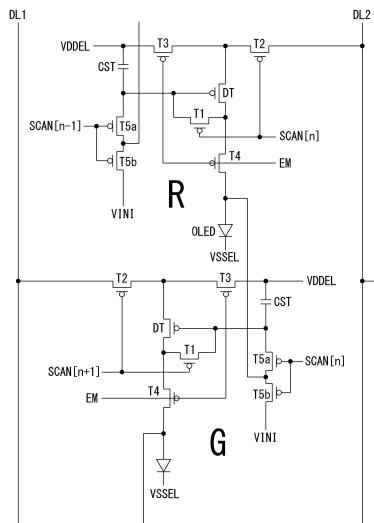
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 전계발광표시장치

(57) 요 약

본 발명은 표시 패널 및 구동부를 포함하는 전계발광표시장치를 제공한다. 표시 패널은 영상을 표시한다. 구동부는 표시 패널을 구동한다. 표시 패널은 제1서브 픽셀과 인접 배치된 제2서브 픽셀에 의해 제1서브 픽셀의 유기 발광다이오드가 초기화된다.

대 표 도 - 도8



(52) CPC특허분류

G09G 3/3275 (2013.01)
G09G 2230/00 (2013.01)
G09G 2310/0202 (2013.01)
G09G 2310/0245 (2013.01)

명세서

청구범위

청구항 1

영상을 표시하는 표시 패널; 및

상기 표시 패널을 구동하는 구동부를 포함하고,

상기 표시 패널은 제1서브 픽셀과 인접 배치된 제2서브 픽셀에 의해 상기 제1서브 픽셀의 유기 발광다이오드가 초기화되는 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1서브 픽셀은 제N스캔라인에 위치하고,

상기 제2서브 픽셀은 상기 제N스캔라인의 다음 단인 제N+1스캔라인에 위치하는 전계발광표시장치.

청구항 3

제2항에 있어서,

상기 제1서브 픽셀과 상기 제2서브 픽셀은

전기적으로 연결된 노드를 갖는 전계발광표시장치.

청구항 4

제1항에 있어서,

상기 제1서브 픽셀의 유기 발광다이오드의 애노드전극은

상기 제2서브 픽셀의 초기화 트랜지스터에 연결된 전계발광표시장치.

청구항 5

제1항에 있어서,

상기 제1서브 픽셀의 유기 발광다이오드는

상기 제1서브 픽셀의 구동 트랜지스터의 문턱전압이 샘플링되는 기간 동안

상기 제2서브 픽셀의 초기화 트랜지스터에 의해 초기화되는 전계발광표시장치.

청구항 6

제1항에 있어서,

상기 제1서브 픽셀의 구동 트랜지스터를 다이오드 커넥션 상태로 만드는 제1트랜지스터와 상기 제2서브 픽셀의 초기화 트랜지스터는 동일한 스캔라인에 게이트전극이 연결된 전계발광표시장치.

청구항 7

제1항에 있어서,

상기 제2서브 픽셀의 초기화 트랜지스터는

제1스캔라인에 게이트전극이 연결되고 상기 제2서브 픽셀의 구동 트랜지스터의 게이트전극에 제1전극이 연결된 제1초기화 트랜지스터와,

상기 제1스캔라인에 게이트전극이 연결되고 상기 제1초기화 트랜지스터의 제2전극에 제1전극이 연결되고 초기화

전압라인에 제2전극이 연결된 제2초기화 트랜지스터를 포함하는 전계발광표시장치.

청구항 8

제1항에 있어서,

상기 제1서브 픽셀은 좌측에 배치된 제1데이터라인에 연결되고 상기 제2서브 픽셀은 우측에 배치된 제2데이터라인에 연결되거나, 이와 반대로 상기 제1서브 픽셀은 우측에 배치된 제1데이터라인에 연결되고 상기 제2서브 픽셀은 좌측에 배치된 제2데이터라인에 연결된 전계발광표시장치.

청구항 9

제1항에 있어서,

상기 표시패널은

데이터라인을 사이에 두고 사선방향에서 동일한 색을 발광하는 서브 픽셀들을 포함하는 전계발광표시장치.

청구항 10

제1항에 있어서,

상기 표시 패널은

스캔라인에 게이트전극이 연결되고 구동 트랜지스터의 제2전극에 제1전극이 연결되고 상기 구동 트랜지스터의 게이트전극에 제2전극이 연결된 제1트랜지스터와,

상기 스캔라인에 게이트전극이 연결되고 제1데이터라인에 제1전극이 연결되고 상기 구동 트랜지스터의 제1전극에 제2전극이 연결된 제2트랜지스터와,

발광신호라인에 게이트전극이 연결되고 상기 제2트랜지스터의 제2전극 및 상기 구동 트랜지스터의 제1전극에 제1전극이 연결되고 제1전원라인에 제2전극이 연결된 제3트랜지스터와,

상기 발광신호라인에 게이트전극이 연결되고 상기 구동 트랜지스터의 제2전극에 제1전극이 연결되고 상기 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터와,

상기 스캔라인의 전단에 위치하는 전단 스캔라인에 게이트전극이 연결되고 커패시터의 타단 및 상기 구동 트랜지스터의 게이트전극에 제1전극이 연결된 제5A트랜지스터와,

상기 전단 스캔라인에 게이트전극이 연결되고 상기 제5A트랜지스터의 제2전극에 제1전극이 연결되고 초기화전압라인에 제2전극이 연결된 제5B트랜지스터를 포함하는 전계발광표시장치.

청구항 11

제N스캔라인에 위치하고 유기 발광다이오드, 상기 유기 발광다이오드에 구동전류를 공급하는 구동 트랜지스터, 상기 구동 트랜지스터를 다이오드 커넥션 상태로 만드는 제1트랜지스터를 갖는 제1서브 픽셀과, 상기 제N스캔라인의 다음 단인 제N+1스캔라인에 위치하고 초기화 트랜지스터를 갖는 제2서브 픽셀을 포함하는 표시 패널; 및

상기 표시 패널을 구동하는 구동부를 포함하고,

상기 제2서브 픽셀의 초기화 트랜지스터는 상기 제N스캔라인을 통해 공급된 제N스캔신호에 의해 턴온되고, 상기 제1서브 픽셀의 상기 유기 발광다이오드의 애노드전극에 초기화전압라인을 통해 공급된 초기화전압을 전달하는 전계발광표시장치.

청구항 12

제11항에 있어서,

상기 제1서브 픽셀의 제1트랜지스터와,

상기 제2서브 픽셀의 초기화 트랜지스터는 상기 제N스캔라인에 게이트전극이 연결된 전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치, 액정표시장치 및 플라즈마표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 발광다이오드는 유기물을 기반으로 구현되거나 무기물을 기반으로 구현된다.

[0005] 전계발광표시장치는 구동 시간이 지남에 따라 소자의 특성이 열화 된다. 그러므로 소자의 특성이나 열화를 보상하기 위한 보상 회로를 추가하기도 한다. 이처럼, 보상 회로를 추가할 경우 소자의 안정적인 구동은 물론이고 고해상도 구현의 적합성이나 소비전력 절감 가능성 등 고려할 부분이 많다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 고집적화 및 구동 소비전력을 절감할 수 있는 고해상도 모델을 구현하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 표시 패널 및 구동부를 포함하는 전계발광표시장치를 제공한다. 표시 패널은 영상을 표시한다. 구동부는 표시 패널을 구동한다. 표시 패널은 제1서브 픽셀과 인접 배치된 제2서브 픽셀에 의해 제1서브 픽셀의 유기 발광다이오드가 초기화된다.

[0008] 제1서브 픽셀은 제N스캔라인에 위치하고, 제2서브 픽셀은 제N스캔라인의 다음 단인 제N+1스캔라인에 위치할 수 있다.

[0009] 제1서브 픽셀과 제2서브 픽셀은 전기적으로 연결된 노드를 가질 수 있다.

[0010] 제1서브 픽셀의 유기 발광다이오드의 애노드전극은 제2서브 픽셀의 초기화 트랜지스터에 연결될 수 있다.

[0011] 제1서브 픽셀의 유기 발광다이오드는 제1서브 픽셀의 구동 트랜지스터의 문턱전압이 샘플링되는 기간 동안 제2서브 픽셀의 초기화 트랜지스터에 의해 초기화될 수 있다.

[0012] 제1서브 픽셀의 구동 트랜지스터를 다이오드 커넥션 상태로 만드는 제1트랜지스터와 제2서브 픽셀의 초기화 트랜지스터는 동일한 스캔라인에 게이트전극이 연결될 수 있다.

[0013] 제2서브 픽셀의 초기화 트랜지스터는 제1스캔라인에 게이트전극이 연결되고 제2서브 픽셀의 구동 트랜지스터의 게이트전극에 제1전극이 연결된 제1초기화 트랜지스터와, 제1스캔라인에 게이트전극이 연결되고 제1초기화 트랜지스터의 제2전극에 제1전극이 연결되고 초기화전압라인에 제2전극이 연결된 제2초기화 트랜지스터를 포함할 수 있다.

[0014] 제1서브 픽셀은 좌측에 배치된 제1데이터라인에 연결되고 제2서브 픽셀은 우측에 배치된 제2데이터라인에 연결되거나, 이와 반대로 제1서브 픽셀은 우측에 배치된 제1데이터라인에 연결되고 제2서브 픽셀은 좌측에 배치된 제2데이터라인에 연결될 수 있다.

[0015] 표시패널은 데이터라인을 사이에 두고 사선방향에서 동일한 색을 발광하는 서브 픽셀들을 포함할 수 있다.

[0016] 표시 패널은 스캔라인에 게이트전극이 연결되고 구동 트랜지스터의 제2전극에 제1전극이 연결되고 구동 트랜지

스터의 게이트전극에 제2전극이 연결된 제1트랜지스터와, 스캔라인에 게이트전극이 연결되고 제1레이터라인에 제1전극이 연결되고 구동 트랜지스터의 제1전극에 제2전극이 연결된 제2트랜지스터와, 발광신호라인에 게이트전극이 연결되고 제2트랜지스터의 제2전극 및 구동 트랜지스터의 제1전극에 제1전극이 연결되고 제1전원라인에 제2전극이 연결된 제3트랜지스터와, 발광신호라인에 게이트전극이 연결되고 구동 트랜지스터의 제2전극에 제1전극이 연결되고 유기 발광다이오드의 애노드전극에 제2전극이 연결된 제4트랜지스터와, 스캔라인의 전단에 위치하는 전단 스캔라인에 게이트전극이 연결되고 커페시터의 타단 및 구동 트랜지스터의 게이트전극에 제1전극이 연결된 제5A트랜지스터와, 전단 스캔라인에 게이트전극이 연결되고 제5A트랜지스터의 제2전극에 제1전극이 연결되고 초기화전압라인에 제2전극이 연결된 제5B트랜지스터를 포함할 수 있다.

[0017] 다른 측면에서 본 발명은 표시 패널 및 구동부를 포함하는 전계발광표시장치를 제공한다. 표시 패널은 제N스캔라인에 위치하고 유기 발광다이오드, 유기 발광다이오드에 구동전류를 공급하는 구동 트랜지스터, 구동 트랜지스터를 다이오드 커넥션 상태로 만드는 제1트랜지스터를 갖는 제1서브 픽셀과, 제N스캔라인의 다음 단인 제N+1스캔라인에 위치하고 초기화 트랜지스터를 갖는 제2서브 픽셀을 포함한다. 구동부는 표시 패널을 구동한다. 제2서브 픽셀의 초기화 트랜지스터는 제N스캔라인을 통해 공급된 제N스캔신호에 의해 턴온되고, 제1서브 픽셀의 유기 발광다이오드의 애노드전극에 초기화전압라인을 통해 공급된 초기화전압을 전달한다.

[0018] 제1서브 픽셀의 제1트랜지스터와, 제2서브 픽셀의 초기화 트랜지스터는 제N스캔라인에 게이트전극이 연결될 수 있다.

발명의 효과

[0019] 본 발명은 6T(Transistor)1C(Capacitor) 역감마 내부 보상회로를 기반으로 RGB 독립 구동이 가능한 펜타일 서브 픽셀 구조를 구현하여 고해상도 모델에서 고집적화 및 구동 소비전력을 절감할 수 있는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 유기전계발광표시장치의 개략적인 블록도.

도 2는 보상 회로를 갖는 서브 픽셀의 회로 구성 예시도.

도 3 내지 도 5는 실험예에 따라 보상 회로를 갖는 서브 픽셀들을 설명하기 위한 도면들.

도 6 내지 도 9는 실시예에 따라 보상 회로를 갖는 서브 픽셀들을 설명하기 위한 도면들.

도 10은 실험예의 초기화 및 샘플링 방식을 설명하기 위한 도면.

도 11은 실시예의 초기화 및 샘플링 방식을 설명하기 위한 도면.

도 12 및 도 13은 실험예 대비 실시예의 이점을 설명하기 위한 도면들.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0022] 이하에서 설명되는 전계발광표시장치는 텔레비전, 오디오/비디오 기기, 영상 플레이어, 개인용 컴퓨터(PC), 흡시어터, 스마트폰, 가상현실기기(VR), 증강현실기기(AR), 옥내외 광고표시장치, 차량용 표시장치 등 다양한 분야에 이용될 수 있다.

[0023] 아울러, 이하에서 설명되는 전계발광표시장치는 유기 발광다이오드를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)는 물론이고, 무기 발광다이오드를 기반으로 구현된 무기전계발광표시장치(Inorganic Light Emitting Display Device)에도 적용 가능하다. 그러나 이하에서는 유기전계발광표시장치를 일례로 설명한다.

[0024] 한편, 이하에서 설명되는 트랜지스터들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3단자 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이고, 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 트랜지스터(또는 n 타입 트랜지스터, NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 트랜지스터에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐

른다. p 타입 트랜지스터(또는 p 타입 트랜지스터, PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 트랜지스터에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 즉, MOSFET의 소스와 드레인은 고정된 것이 아니다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 그러므로 이하의 실시예에서는 트랜지스터의 소스와 드레인 또는 드레인과 소스를 제1전극과 제2전극으로 설명한다.

[0025] 아울러, 본 발명에서 설명되는 트랜지스터는 산화물 트랜지스터(Oxide TFT), 비정질 실리콘 트랜지스터(a-Si TFT), 저온 폴리 실리콘 트랜지스터(Low Temperature Poly Silicon; LTPS TFT) 중 하나로 이루어지나 이에 한정되지 않는다.

[0026] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 보상 회로를 갖는 서브 픽셀의 회로 구성 예시도이다.

[0027] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(151), 데이터 구동부(155), 스캔 구동부(157), 표시 패널(110) 및 전원 공급부(153)를 포함한다.

[0028] 타이밍 제어부(151)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기 신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호 등을 공급받는다. 타이밍 제어부(151)는 구동신호에 기초하여 스캔 구동부(157)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(155)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC) 등을 출력한다. 타이밍 제어부(151)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

[0029] 데이터 구동부(155)는 타이밍 제어부(151)로부터 공급된 데이터 타이밍 제어신호(DDC) 등에 응답하여 타이밍 제어부(151)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압을 기반으로 디지털 데이터신호를 아날로그 데이터신호(이하 데이터전압)로 변환하여 출력한다. 데이터 구동부(155)는 데이터라인들(DL1 ~ DLn)을 통해 데이터전압을 출력한다. 데이터 구동부(155)는 IC 형태로 형성될 수 있다.

[0030] 스캔 구동부(157)는 타이밍 제어부(151)로부터 공급된 게이트 타이밍 제어신호(GDC) 등에 응답하여 스캔신호 등을 출력한다. 스캔 구동부(157)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호 등을 출력한다. 스캔 구동부(157)는 IC 형태로 형성되거나 표시 패널(110)에 게이트인패널(Gate In Panel) 방식(박막 공정으로 기판 상에 트랜지스터를 형성하는 방식)으로 형성된다.

[0031] 전원 공급부(153)는 제1전원라인(VDDEL)과 제2전원라인(VSSEL)을 통해 표시 패널(110)과 전기적으로 연결된다. 전원 공급부(153)는 고전위전압(Vddel)과 저전위전압(Vsse1) 등을 출력한다. 전원 공급부(153)로부터 출력된 고전위전압(Vddel)은 제1전원라인(VDDEL)을 통해 표시 패널(110)에 공급되고 저전위전압(Vsse1)은 제2전원라인(VSSEL)을 통해 표시 패널(110)에 공급된다. 전원 공급부(153)는 IC 형태로 형성될 수 있다.

[0032] 표시 패널(110)은 데이터 구동부(155)로부터 공급된 데이터전압, 스캔 구동부(157)로부터 공급된 스캔신호 그리고 전원 공급부(153)로부터 공급된 고전위전압(Vddel)과 저전위전압(Vsse1) 등을 기반으로 영상을 표시한다. 표시 패널(110)은 고전위전압(Vddel)과 저전위전압(Vsse1) 외에도 초기화전압(Vini)을 공급받는다. 초기화전압(Vini)은 전원 공급부(153) 또는 데이터 구동부(155)로부터 공급받을 수 있다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.

[0033] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함할 수 있다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다. 서브 픽셀들(SP)은 백색의 빛을 적색, 녹색 및 청색 등의 빛으로 변환하는 컬러필터층을 포함할 수 있으나 이에 한정되지 않는다. 서브 픽셀들(SP)은 빛을 발광하는 발광다이오드 그리고 발광다이오드를 동작시키는 트랜지스터들과 같은 소자들을 포함한다. 소자들은 구동 시간이 지남에 따라 특성이 열화 되는바 이를 보상하기 위한 보상 회로를 추가하는 추세이다.

[0034] 도 2에 도시된 바와 같이, 보상 회로를 갖는 서브 픽셀은 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5a, T5b)(초기화 트랜지스터로서, T5a는 제1초기화 트랜지스터, T5b는 제2초기화 트랜지스터로 정의될 수 있음), 구동 트랜지스터(DT), 커페시터(CST) 및 유기 발광다이오드(OLED)를 포함할 수 있다.

[0035] 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 제4트랜지스터(T4), 제5트랜지스터(T5a, T5b), 구동 트랜지스터(DT)는 p 타입 트랜지스터(p-MOS TFT)로 이루어진다.

[0036] 제1트랜지스터(T1)는 제N스캔라인(SCAN[n])(현재 단의 스캔라인)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 제2전극과 제4트랜지스터(T4)의 제1전극이 공통으로 연결된 제3노드에 제1전극이 연결되고 구동 트랜지스터(DT)의 게이트전극과 커패시터(CST)의 타단이 공통으로 연결된 제1노드에 제2전극이 연결된다.

[0037] 제2트랜지스터(T2)는 제N스캔라인(SCAN[n])에 게이트전극이 연결되고 제1데이터라인(DL1)에 제1전극이 연결되고 구동 트랜지스터(DT)의 제1전극 및 제3트랜지스터(T3)의 제1전극이 공통으로 연결된 제2노드에 제2전극이 연결된다.

[0038] 제3트랜지스터(T3)는 발광신호라인(EM)에 게이트전극이 연결되고 제2트랜지스터(T2)의 제2전극 및 구동 트랜지스터(DT)의 제1전극이 공통으로 연결된 제2노드에 제1전극이 연결되고 제1전원라인(VDDEL)에 제2전극이 연결된다.

[0039] 제4트랜지스터(T4)는 발광신호라인(EM)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.

[0040] 제5트랜지스터(T5a, T5b)는 구동 안정성(전류 누설 방지 등)을 높이기 위해 두 개의 트랜지스터로 구성된 것을 일례로 하지만 하나로 구성될 수도 있다. 제5A트랜지스터(T5a)는 제N스캔라인(SCAN[n-1])(이전 단의 스캔라인)에 게이트전극이 연결되고 커패시터(CST)의 타단 및 구동 트랜지스터(DT)의 게이트전극에 제1전극이 연결되고 제5B트랜지스터(T5b)의 제1전극에 제2전극이 연결된다. 제5B트랜지스터(T5b)는 제N스캔라인(SCAN[n-1])에 게이트전극이 연결되고 제5A트랜지스터(T5a)의 제2전극에 제1전극이 연결되고 초기화전압라인(VINI)에 제2전극이 연결된다.

[0041] 구동 트랜지스터(DT)는 제1트랜지스터(T1)의 제2전극, 커패시터(CST)의 타단, 제5A트랜지스터(T5a)의 제1전극이 공통으로 연결된 제1노드에 게이트전극이 연결되고 제2트랜지스터(T2)의 제2전극과 제3트랜지스터(T3)의 제1전극이 공통으로 연결된 제2노드에 제1전극이 연결되고 제1트랜지스터(T1)의 제1전극과 제4트랜지스터(T4)의 제1전극이 공통으로 연결된 제3노드에 제2전극이 연결된다.

[0042] 커패시터(CST)는 제1전원라인(VDDEL)과 제3트랜지스터(T3)의 제2전극에 일단이 연결되고 제5A트랜지스터(T5a)의 제1전극, 구동 트랜지스터(DT)의 게이트전극 및 제1트랜지스터(T1)의 제2전극이 공통으로 연결된 제1노드에 타단이 연결된다.

[0043] 유기 발광다이오드(OLED)는 제4트랜지스터(T4)의 제2전극에 애노드전극이 연결되고 제2전원라인(VSSEL)에 캐소드전극이 연결된다.

[0044] 본 발명은 초기화전압라인(VINI)을 통해 전달되는 초기화전압을 기반으로 구동 트랜지스터(DT)의 제1노드뿐만 아니라 유기 발광다이오드(OLED)의 애노드전극까지 초기화할 수 있는 회로를 구현하고자 한다. 이처럼, 회로를 추가할 경우 소자의 안정적인 구동은 물론이고 고해상도 구현의 적합성이나 소비전력 절감 가능성 등 고려할 부분이 많다.

[0045] <실험 예>

[0046] 도 3 내지 도 5는 실험예에 따라 보상 회로를 갖는 서브 픽셀들을 설명하기 위한 도면들이다.

[0047] 도 3에 도시된 바와 같이, 실험예에는 도 2에 도시된 서브 픽셀을 기반으로 한다. 그리고 초기화전압라인(VINI)을 통해 전달되는 초기화전압을 기반으로 구동 트랜지스터(DT)의 제1노드뿐만 아니라 유기 발광다이오드(OLED)의 애노드전극까지 초기화하기 위해 제6트랜지스터(T6)가 추가된다.

[0048] 제6트랜지스터(T6)는 제N스캔라인(SCAN[n])에 게이트전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제1전극이 연결되고 초기화전압라인(VINI)에 제2전극이 연결된다. 제6트랜지스터(T6)가 턴온되면, 유기 발광다이오드(OLED)의 애노드전극은 초기화전압라인(VINI)을 통해 전달되는 초기화전압에 의해 초기화된다.

[0049] 도 4에 도시된 바와 같이, 실험예에 따른 서브 픽셀들은 표시 패널 상에 RGBG 형태로 배치된다. 이 구조에 따르면, 녹색 서브 픽셀(G)은 상단(또는 제1스캔라인 단)과 하단(또는 제2스캔라인 단)에 연속하도록 수직 배치되지만 적색 서브 픽셀(R)과 청색 서브 픽셀(B)은 상단과 하단에 인접하고 녹색 서브 픽셀(G)과 이에 연결된 데이터라인을 사이에 두고 사선방향에 동일한 색이 위치하도록 상단과 하단으로 나누어 교번 배치된다.

[0050] 도 5에 도시된 바와 같이, 표시 패널 상의 모든 서브 픽셀들은 도 3에 도시된 회로를 기반으로 구현된다. 실험예에 따르면, 제2데이터라인(DL2)에 연결된 녹색 서브 픽셀(G)은 관계가 없으나 제1데이터라인(DL1)과 제3데이터라인(DL3)에 연결된 적색 서브 픽셀(R)과 청색 서브 픽셀(B)은 동일한 데이터라인을 사용하는바 스캔라인마다

데이터전압을 변경하는 구동 방식을 사용하게 된다.

[0051] <실시예>

[0052] 도 6 내지 도 9는 실시예에 따라 보상 회로를 갖는 서브 픽셀들을 설명하기 위한 도면들이다.

[0053] 도 6에 도시된 바와 같이, 실시예에 따른 서브 픽셀들은 실험예와 유사하게 표시 패널 상에 RGBG 형태로 배치되지만 데이터라인을 사이에 두고 사선방향에 동일한 색이 위치한다. 이 구조에 따르면, 좌우 인접하며 동일한 색을 발광하는 서브 픽셀들이 데이터라인을 사이에 두고 사선방향에 위치하도록 배치된다. 즉, 실시예는 펜타일(Pentile) 형태(또는 이와 유사한)의 서브 픽셀 구조를 갖는다.

[0054] 예컨대, 제2데이터라인(DL2)을 기준으로 좌측 상단과 우측 하단에 적색 서브 픽셀(R)이 배치되고 좌측 하단과 우측 상단에 녹색 서브 픽셀(G)이 배치된 예가 대표적이다. 그러나 제3데이터라인(DL3)을 기준으로 우측 하단에 녹색 서브 픽셀(G)이 배치된 것과 제4데이터라인(DL4)을 기준으로 좌측 상단에 청색 서브 픽셀(B)이 배치된 것을 통해 알 수 있듯이, 상단과 하단에 RG가 교차 배치된 제1쌍이 존재한다면 상단과 하단에 BG가 교차 배치된 제2쌍이 존재하게 된다.

[0055] 그리고 실시예에 따르면, 적색 서브 픽셀은 적색용 데이터라인에, 녹색 서브 픽셀은 녹색용 데이터라인에 그리고 청색용 서브 픽셀은 청색용 데이터라인에 연결된다. 또한, 상단과 하단으로 상호 인접하고 서로 다른 색을 발광하는 적어도 두 개의 서브 픽셀들은 상호 간의 전기적인 연결을 돋는 노드를 갖는다.

[0056] 도 7에 도시된 바와 같이, 전기적인 연결 노드에 의해 상단의 서브 픽셀에 포함된 유기 발광다이오드의 애노드 전극은 하단의 서브 픽셀에 포함된 트랜지스터를 통해 초기화가 이루어질 수 있는데 이는 다음에서 더욱 자세히 다룬다.

[0057] 도 8에 도시된 바와 같이, 상단(예: 제N스캔라인단)에는 제1서브 픽셀로서 적색 서브 픽셀(R)이 하단(예: 제N+1스캔라인단)에는 제2서브 픽셀로서 녹색 서브 픽셀(G)이 배치될 수 있다. 적색 서브 픽셀(R)은 우측에 배치된 제2데이터라인(DL2)에 연결되고, 녹색 서브 픽셀(G)은 좌측에 배치된 제1데이터라인(DL1)에 연결(또는 이와 반대로 연결 가능함)될 수 있다. 상단의 적색 서브 픽셀(R)에 포함된 소자들과 하단의 녹색 서브 픽셀(G)에 포함된 소자들의 연결 관계가 상이한바 이를 구분하여 설명하면 다음과 같다.

[0058] [상단의 적색 서브 픽셀(R)]

[0059] 제1트랜지스터(T1)는 제N스캔라인(SCAN[n])에 게이트전극이 연결되고 구동 트랜지스터(DT)의 제2전극과 제4트랜지스터(T4)의 제1전극이 공통으로 연결된 제3노드에 제1전극이 연결되고 구동 트랜지스터(DT)의 게이트전극과 커페시터(CST)의 타단이 공통으로 연결된 제1노드에 제2전극이 연결된다.

[0060] 제2트랜지스터(T2)는 제N스캔라인(SCAN[n])에 게이트전극이 연결되고 제2데이터라인(DL2)에 제1전극이 연결되고 구동 트랜지스터(DT)의 제1전극 및 제3트랜지스터(T3)의 제1전극이 공통으로 연결된 제2노드에 제2전극이 연결된다.

[0061] 제3트랜지스터(T3)는 발광신호라인(EM)에 게이트전극이 연결되고 제2트랜지스터(T2)의 제2전극 및 구동 트랜지스터(DT)의 제1전극이 공통으로 연결된 제2노드에 제1전극이 연결되고 제1전원라인(VDDEL)에 제2전극이 연결된다.

[0062] 제4트랜지스터(T4)는 발광신호라인(EM)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.

[0063] 제5A트랜지스터(T5a)는 제N-1스캔라인(SCAN[n-1])(제N스캔라인단의 전단)에 게이트전극이 연결되고 커페시터(CST)의 타단 및 구동 트랜지스터(DT)의 게이트전극에 제1전극이 연결되고 제5B트랜지스터(T5b)의 제1전극에 제2전극이 연결된다. 제5B트랜지스터(T5b)는 제N스캔라인(SCAN[n-1])에 게이트전극이 연결되고 제5A트랜지스터(T5a)의 제2전극에 제1전극이 연결되고 초기화전압라인(VINI)에 제2전극이 연결된다. 제5A트랜지스터(T5a)와 제5B트랜지스터(T5b)의 공통 노드는 상단의 서브 픽셀에 포함된 유기 발광다이오드의 애노드전극에 연결된다.

[0064] 구동 트랜지스터(DT)는 제1트랜지스터(T1)의 제2전극, 커페시터(CST)의 타단, 제5A트랜지스터(T5a)의 제1전극이 공통으로 연결된 제1노드에 게이트전극이 연결되고 제2트랜지스터(T2)의 제2전극과 제3트랜지스터(T3)의 제1전극이 공통으로 연결된 제2노드에 제1전극이 연결되고 제1트랜지스터(T1)의 제1전극과 제4트랜지스터(T4)의 제1전극이 공통으로 연결된 제3노드에 제2전극이 연결된다.

[0065] 커패시터(CST)는 제1전원라인(VDDEL)과 제3트랜지스터(T3)의 제2전극에 일단이 연결되고 제5A트랜지스터(T5a)의 제1전극, 구동 트랜지스터(DT)의 게이트전극 및 제1트랜지스터(T1)의 제2전극이 공통으로 연결된 제1노드에 타단이 연결된다.

[0066] 유기 발광다이오드(OLED)는 제4트랜지스터(T4)의 제2전극에 애노드전극이 연결되고 제2전원라인(VSSEL)에 캐소드전극이 연결된다. 유기 발광다이오드(OLED)의 애노드전극은 하단의 녹색 서브 픽셀(G)에 포함된 제5A트랜지스터(T5A)와 제5B트랜지스터(T5B)의 공통 노드에 연결된다.

[0067] [하단의 녹색 서브 픽셀(G)]

[0068] 제1트랜지스터(T1)는 제N+1스캔라인(SCAN[n+1])에 게이트전극이 연결되고 구동 트랜지스터(DT)의 제2전극과 제4트랜지스터(T4)의 제1전극이 공통으로 연결된 제3노드에 제1전극이 연결되고 구동 트랜지스터(DT)의 게이트전극과 커패시터(CST)의 타단이 공통으로 연결된 제1노드에 제2전극이 연결된다.

[0069] 제2트랜지스터(T2)는 제N+1스캔라인(SCAN[n+1])에 게이트전극이 연결되고 제2데이터라인(DL2)에 제1전극이 연결되고 구동 트랜지스터(DT)의 제1전극 및 제3트랜지스터(T3)의 제1전극이 공통으로 연결된 제2노드에 제2전극이 연결된다.

[0070] 제3트랜지스터(T3)는 발광신호라인(EM)에 게이트전극이 연결되고 제2트랜지스터(T2)의 제2전극 및 구동 트랜지스터(DT)의 제1전극이 공통으로 연결된 제2노드에 제1전극이 연결되고 제1전원라인(VDDEL)에 제2전극이 연결된다.

[0071] 제4트랜지스터(T4)는 발광신호라인(EM)에 게이트전극이 연결되고 구동 트랜지스터(DT)의 제2전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.

[0072] 제5A트랜지스터(T5a)는 제N스캔라인(SCAN[n])(제N-1스캔라인단의 전단 즉, 상단의 적색 서브 픽셀)에 게이트전극이 연결되고 커패시터(CST)의 타단 및 구동 트랜지스터(DT)의 게이트전극에 제1전극이 연결되고 제5B트랜지스터(T5b)의 제1전극에 제2전극이 연결된다. 제5B트랜지스터(T5b)는 제N스캔라인(SCAN[n])에 게이트전극이 연결되고 제5A트랜지스터(T5a)의 제2전극에 제1전극이 연결되고 초기화전압라인(VINI)에 제2전극이 연결된다. 제5A트랜지스터(T5a)와 제5B트랜지스터(T5b)의 공통 노드는 상단의 적색 서브 픽셀(R)에 포함된 유기 발광다이오드(OLED)의 애노드전극에 연결된다.

[0073] 구동 트랜지스터(DT)는 제1트랜지스터(T1)의 제2전극, 커패시터(CST)의 타단, 제5A트랜지스터(T5a)의 제1전극이 공통으로 연결된 제1노드에 게이트전극이 연결되고 제2트랜지스터(T2)의 제2전극과 제3트랜지스터(T3)의 제1전극이 공통으로 연결된 제2노드에 제1전극이 연결되고 제1트랜지스터(T1)의 제1전극과 제4트랜지스터(T4)의 제1전극이 공통으로 연결된 제3노드에 제2전극이 연결된다.

[0074] 커패시터(CST)는 제1전원라인(VDDEL)과 제3트랜지스터(T3)의 제2전극에 일단이 연결되고 제5A트랜지스터(T5a)의 제1전극, 구동 트랜지스터(DT)의 게이트전극 및 제1트랜지스터(T1)의 제2전극이 공통으로 연결된 제1노드에 타단이 연결된다.

[0075] 유기 발광다이오드(OLED)는 제4트랜지스터(T4)의 제2전극에 애노드전극이 연결되고 제2전원라인(VSSEL)에 캐소드전극이 연결된다. 유기 발광다이오드(OLED)의 애노드전극은 하단의 서브 픽셀에 포함된 제5A트랜지스터와 제5B트랜지스터의 공통 노드에 연결된다.

[0076] 이상, 상단의 적색 서브 픽셀(R)과 하단의 녹색 서브 픽셀(G)의 접속 관계를 통해 알 수 있듯이, 표시 패널 상의 모든 서브 픽셀들은 유기 발광다이오드(OLED)의 초기화를 위해 상단과 하단 간의 종속적인 접속 관계가 이루어질 수 있다.

[0077] 도 9에 도시된 바와 같이, 실시예에 따른 서브 픽셀들은 초기화 기간(Initial), 샘플링 기간(Sampling), 발광 기간(Emission)의 순으로 동작한다. 초기화 기간(Initial) 동안에는 서브 픽셀들에 포함된 구동 트랜지스터의 제1노드의 초기화가 이루어진다. 샘플링 기간(Sampling) 동안에는 서브 픽셀들에 포함된 구동 트랜지스터의 문턱전압 샘플링이 이루어진다. 발광 기간(Emission) 동안에는 서브 픽셀들에 포함된 유기 발광다이오드의 발광 동작이 이루어진다.

[0078] 도 9 그리고 도 8의 적색 서브 픽셀(R)을 기준으로 초기화 기간(Initial), 샘플링 기간(Sampling), 발광 기간(Emission) 동안에 이루어지는 동작과 관련하여 설명을 구체화하면 다음과 같다.

[0079] 초기화 기간(Initial) 동안, 제5A 및 제5B트랜지스터(T5a, 5Tb)(초기화 트랜지스터)는 제N-1스캔라인(SCAN[n-

1])의 제N-1스캔신호(Scan[N-1])에 의해 턴온된다. 제5A 및 제5B트랜지스터(T5a, 5Tb)가 턴온됨에 따라 초기화 전압라인(VINI)의 초기화전압(Vini)은 적색 서브 픽셀(R)에 포함된 구동 트랜지스터(DT)의 제1노드에 전달된다. 그 결과 구동 트랜지스터(DT)의 게이트에 연결된 제1노드는 초기화전압에 의해 초기화된다.

[0080] 샘플링 기간(Sampling) 동안, 제1트랜지스터(T1)와 제2트랜지스터(T2)는 제N스캔라인(SCAN[n])의 제N스캔신호(Scan[N])에 의해 턴온된다. 제1트랜지스터(T1)가 턴온됨에 따라 구동 트랜지스터(DT)는 게이트전극과 제2전극이 연결되어 다이오드 커넥션 상태가 된다. 그리고 제2트랜지스터(T2)가 턴온됨에 따라 데이터전압이 커페시터(CST)에 인가되면서 구동 트랜지스터(DT)의 문턱전압이 샘플링된다.

[0081] 이와 더불어, 적색 서브 픽셀(R)의 하단에 위치하는 녹색 서브 픽셀(G)에 포함된 제5A 및 제5B트랜지스터(T5a, 5Tb) 또한 제N스캔신호(Scan[N])에 의해 턴온된다. 그 이유는 적색 서브 픽셀(R)과 그 하단의 녹색 서브 픽셀(G)이 종속적으로 연결되어 있고, 적색 서브 픽셀(R)의 제1 및 제2트랜지스터(T1, T2) 그리고 녹색 서브 픽셀(G)의 제5A 및 제5B트랜지스터(T5a, 5Tb)의 게이트전극이 모두 제N스캔신호(Scan[N])에 연결되어 있기 때문이다.

[0082] 녹색 서브 픽셀(G)에 포함된 제5A 및 제5B트랜지스터(T5a, 5Tb)가 턴온됨에 따라 초기화전압라인(VINI)의 초기화전압(Vini)은 적색 서브 픽셀(R)에 포함된 유기 발광다이오드(OLED)의 애노드전극에 전달된다. 그 결과 적색 서브 픽셀(R)에 포함된 발광다이오드(OLED)는 구동 트랜지스터(DT)의 샘플링과 동시에 초기화된다.

[0083] 발광 기간(Emission) 동안, 제3트랜지스터(T3)와 제4트랜지스터(T4)는 제N발광신호라인(EM[n])의 발광신호(EM[n])에 의해 턴온된다. 제3트랜지스터(T3)가 턴온됨에 따라 제1전원라인(VDDEL)의 고전위전압이 구동 트랜지스터(DT)에 인가되고 구동 트랜지스터(DT)는 데이터전압을 기반으로 구동전류를 생성하게 된다. 제4트랜지스터(T4)가 턴온됨에 따라 구동 트랜지스터(DT)로부터 생성된 구동전류는 유기 발광다이오드(OLED)의 애노드전극과 캐소드전극을 지나 제2전원라인(VSSEL)으로 흐르게 된다. 그 결과, 유기 발광다이오드(OLED)는 빛을 발광하게 된다.

[0084] 이하, 실험예와 실시예 간의 차이점을 설명한다.

[0085] 도 10은 실험예의 초기화 및 샘플링 방식을 설명하기 위한 도면이고, 도 11은 실시예의 초기화 및 샘플링 방식을 설명하기 위한 도면이며, 도 12 및 도 13은 실험예 대비 실시예의 이점을 설명하기 위한 도면들이다.

[0086] 도 10에 도시된 바와 같이, 실험예는 제N스캔라인(SCAN[n])에 제1트랜지스터(T1), 제2트랜지스터(T2) 및 제6트랜지스터(T6)의 게이트전극이 공통으로 연결된 구조를 취한다.

[0087] 그 결과, 적색 서브 픽셀(R)의 구동 트랜지스터(DT)는 턴온된 제1 및 제2트랜지스터(T1, T2)에 의해 문턱전압 샘플링이 이루어진다. 그리고 유기 발광다이오드(OLED)는 이와 함께 턴온된 제6트랜지스터(T6)에 의해 초기화가 이루어진다. 즉, 실험예는 자신의 서브 픽셀에 포함된 제6트랜지스터(T6)가 턴온될 때 유기 발광다이오드(OLED)의 초기화가 이루어진다.

[0088] 도 11에 도시된 바와 같이, 실시예는 제N스캔라인(SCAN[n])에 제1트랜지스터(T1) 및 제2트랜지스터(T2)의 게이트전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극이 다음 단에 존재하는 제5A트랜지스터(T5a)와 제5B트랜지스터(T5b)의 공통 노드에 연결된 구조를 취한다.

[0089] 그 결과, 적색 서브 픽셀(R)의 구동 트랜지스터(DT)는 턴온된 제1 및 제2트랜지스터(T1, T2)에 의해 문턱전압 샘플링이 이루어진다. 그리고 유기 발광다이오드(OLED)는 녹색 서브 픽셀(G)에서 턴온된 제5B트랜지스터(T5b)에 의해 초기화가 이루어진다. 즉, 실시예는 다음단 서브 픽셀에 포함된 제5B트랜지스터(T5b)가 턴온될 때, 유기 발광다이오드(OLED)의 초기화가 이루어진다.

[0090] 도 12(a)는 실험예를 구동하기 위한 데이터 구동부의 데이터전압 출력 양상을 나타낸 것이고, 도 12(b)는 실시예를 구동하기 위한 데이터 구동부의 데이터전압 출력 양상을 나타낸 것이다.

[0091] 도 3, 도 5 및 도 12(a)를 통해 알 수 있듯이, 실험예를 따르면 데이터 구동부의 제1채널(CH1)과 제3채널(CH3)을 통해 출력되는 적색 데이터전압(R)을 녹색 데이터전압(G)으로 또는 녹색 데이터전압(G)을 적색 데이터전압(R)으로 변경하기 위한 데이터 스윙(Data Swing)이 발생한다.

[0092] 반면, 도 7, 도 8 및 도 12(b)를 통해 알 수 있듯이, 실시예를 따르면 데이터 구동부의 제1 내지 제4채널(CH1 ~ CH4)을 통해 출력되는 데이터전압이 각 데이터라인(DL1 ~ DL4)마다 정해져 있기 때문에 데이터 스윙(Data Swing)이 발생하지 않는다. 즉, 데이터 구동부는 각 채널들(CH1 ~ CH4)을 통해 녹색 데이터전압, 적색 데이터전

암, 청색 데이터전압을 계속 출력할 뿐, 데이터 스윙을 하지 않는다.

[0093] 그러므로 실시예는 실시예에 대비 데이터 구동부의 소비전력을 절감할 수 있다.

[0094] 도 13(a)는 실시예를 기반으로 구현한 서브 팩셀의 발광영역(EMA)과 회로영역(DRA)의 크기(HE1, HD1)를 나타낸 것이고, 도 13(b)는 실시예를 기반으로 구현한 서브 팩셀의 발광영역(EMA)과 회로영역(DRA)의 크기(HE2, HD2)를 나타낸 것이다. 발광영역(EMA)은 유기 발광다이오드가 배치된 영역(개구영역으로 정의되기도 함)이고, 회로영역(DRA)은 구동 트랜지스터 등과 같이 유기 발광다이오드를 구동하는 회로들이 배치된 영역이다.

[0095] 도 13(a)와 도 13(b)의 비교를 통해 알 수 있듯이, 실시예를 따르면 별도의 트랜지스터(도 3의 T6)를 추가하지 않고도 유기 발광다이오드를 초기화할 수 있다. 이 때문에, 실시예는 회로영역(DRA)의 크기(HD2)를 실시예보다 작게 구성하는 대신 발광영역(EMA)의 크기(HE2)를 키울 수 있는 레이아웃이 가능하다.

[0096] 그러므로 실시예는 실시예에 대비 서브 팩셀의 개구율(개구영역)을 증가시키거나 고해상도 구현에 적합하도록 고집적화할 수 있는 구조(여유 공간)를 제공할 수 있다.

[0097] 이상, 본 발명은 6T(Transistor)1C(Capacitor) 역감마 내부 보상회로를 기반으로 RGB 독립 구동이 가능한 펜타일 서브 팩셀 구조를 구현하여 고해상도 모델에서 고집적화 및 구동 소비전력을 절감할 수 있는 효과가 있다.

[0098] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

T1: 제1트랜지스터 T2: 제2트랜지스터

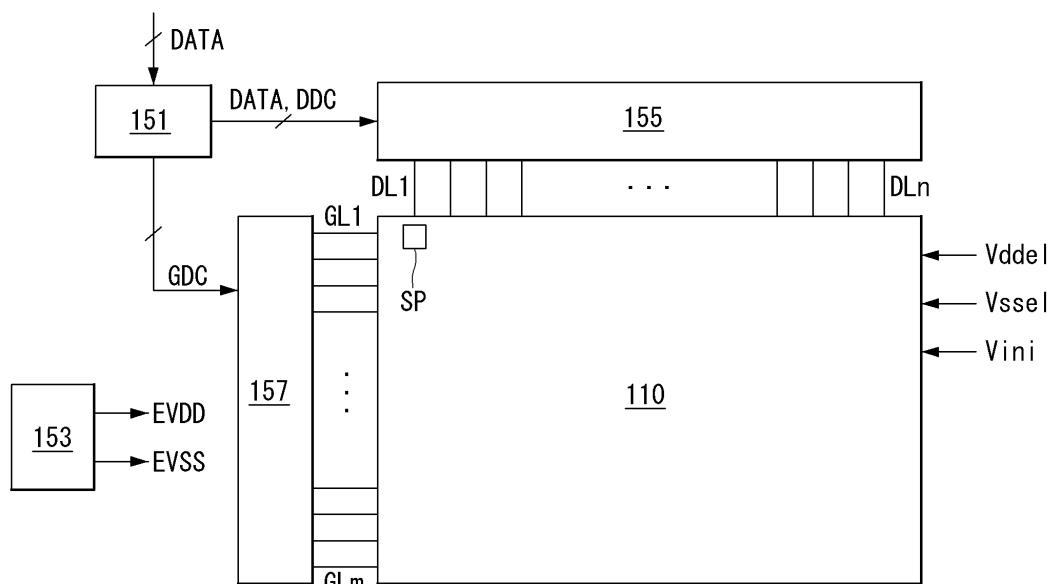
T3: 제3트랜지스터 T4: 제4트랜지스터

T5a, T5b: 제5트랜지스터 DT: 구동 트랜지스터

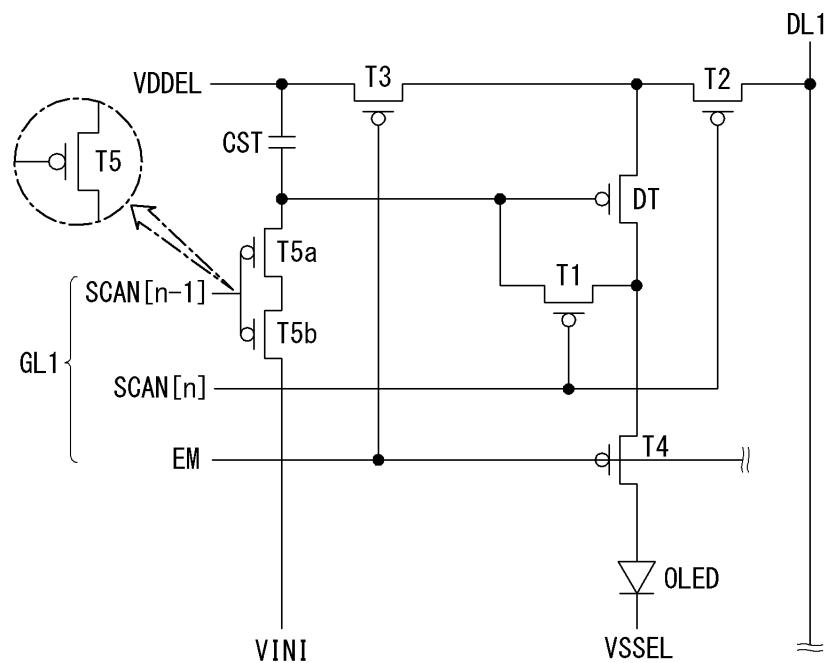
CST: 커패시터 OLED: 유기 발광다이오드

도면

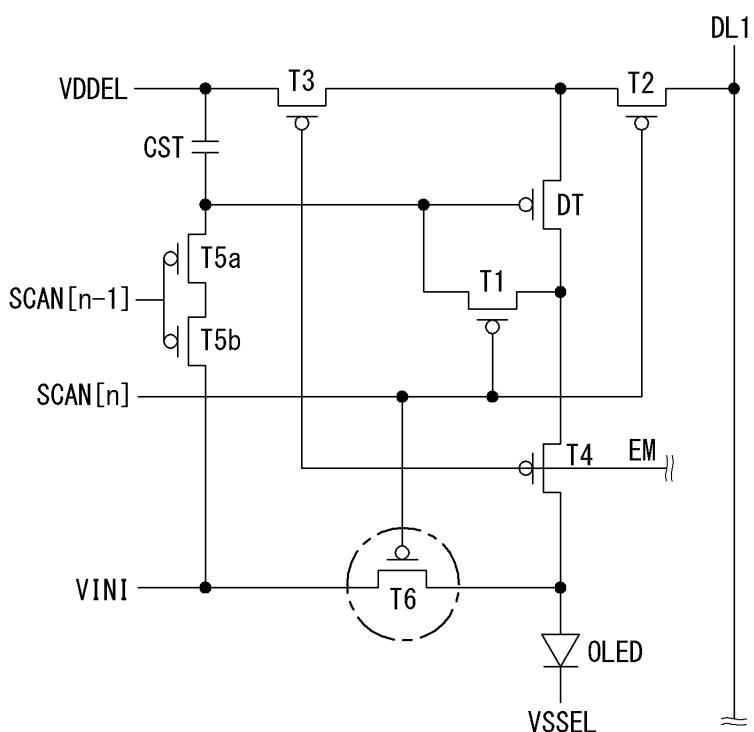
도면1



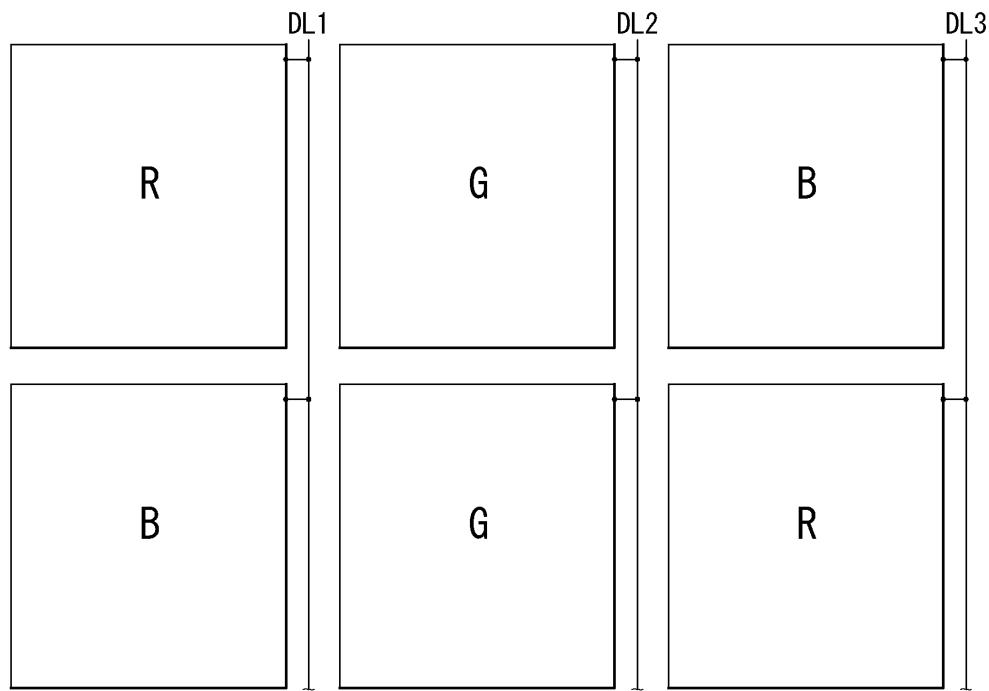
도면2



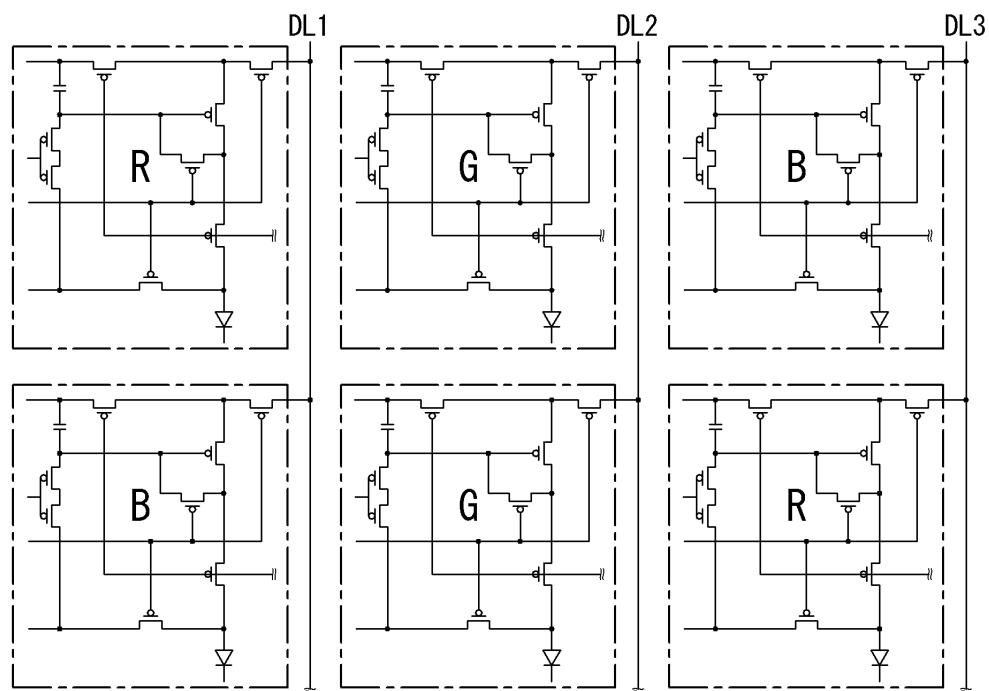
도면3



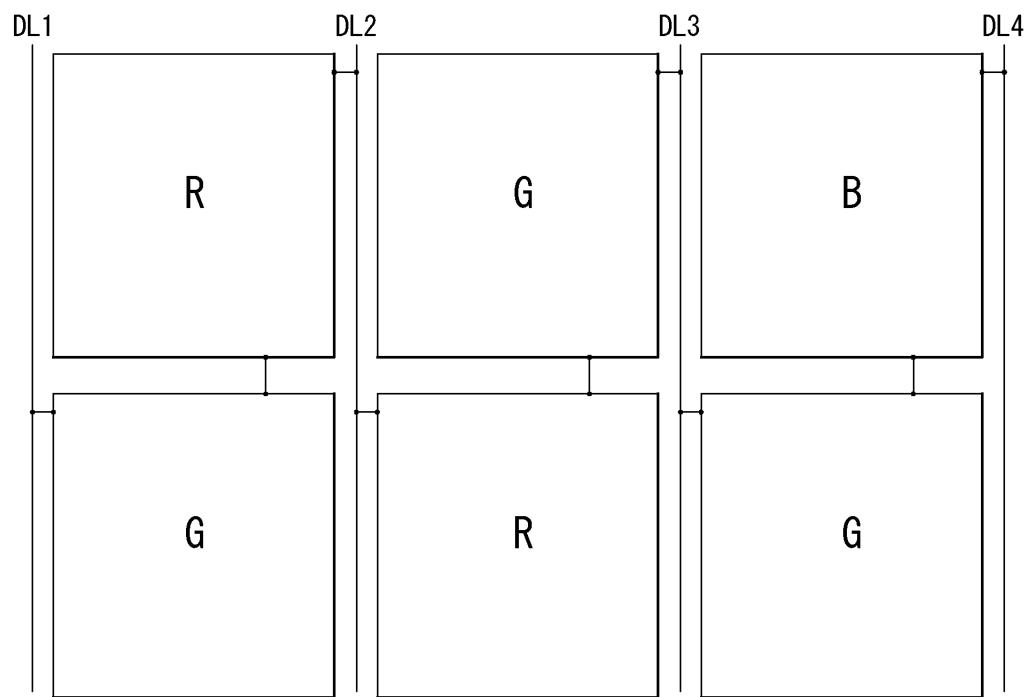
도면4



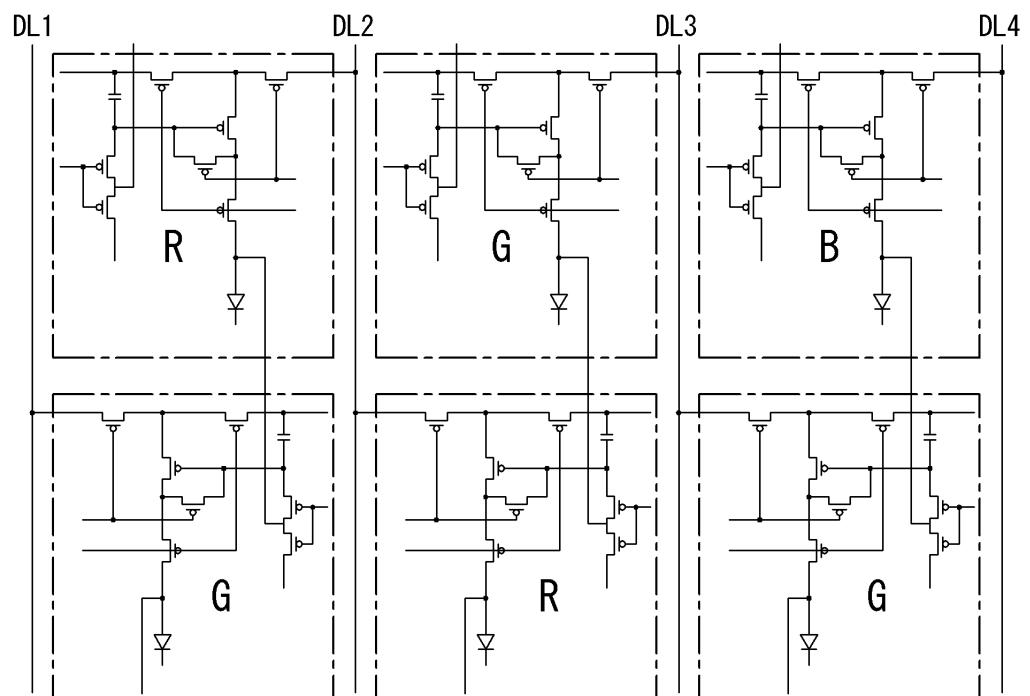
도면5



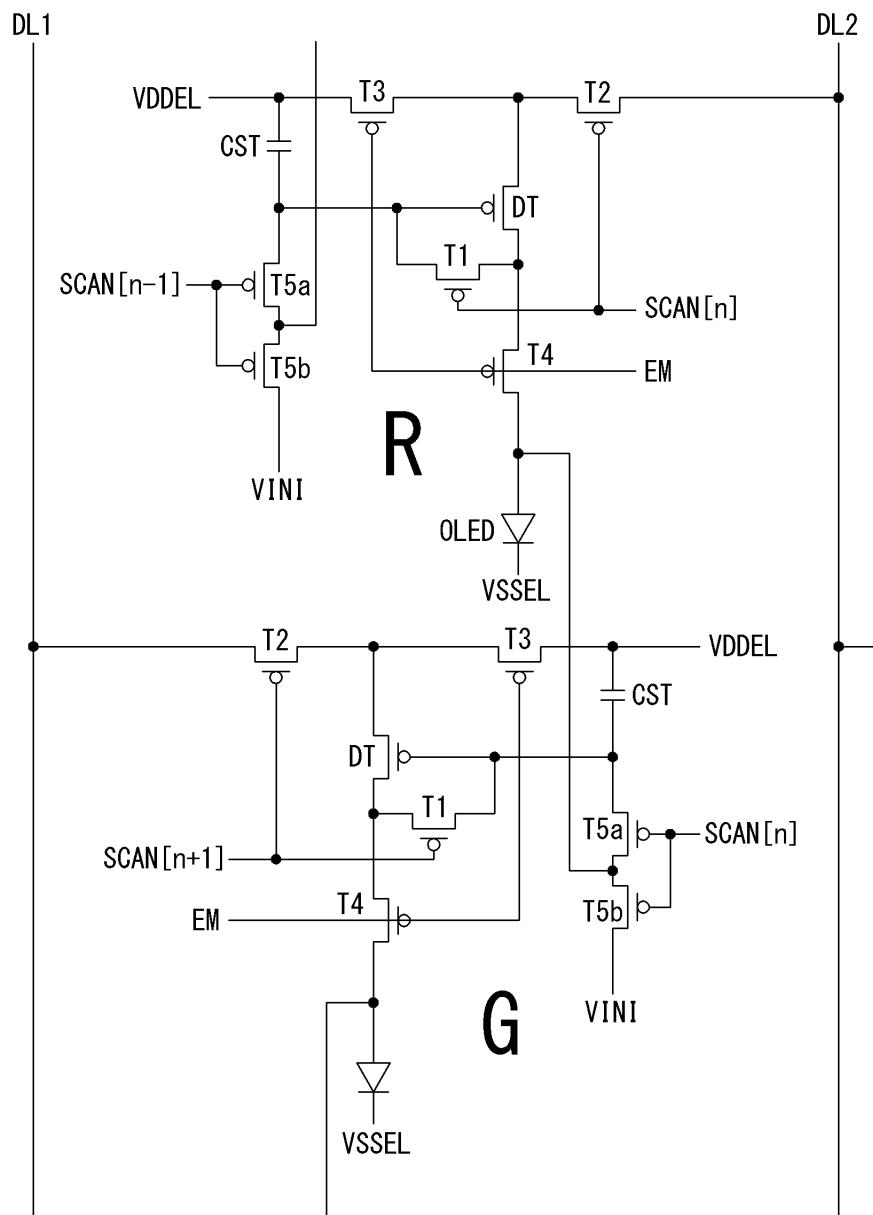
도면6



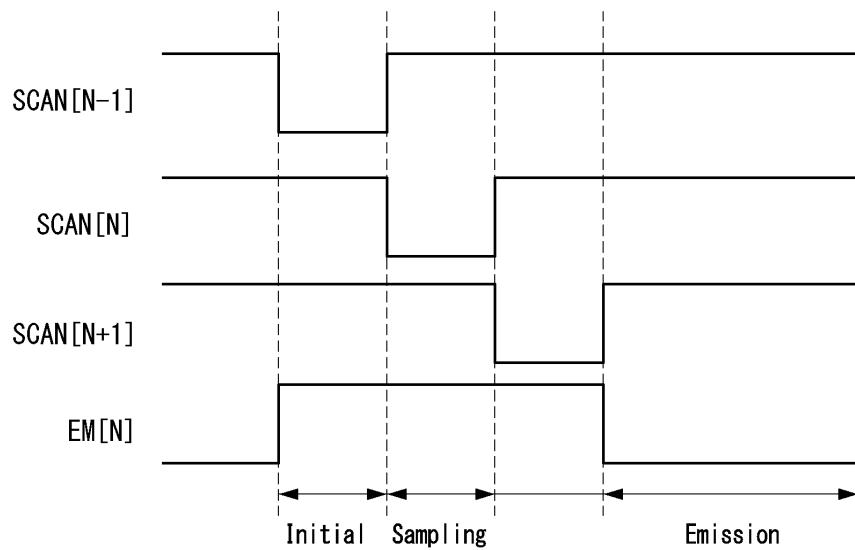
도면7



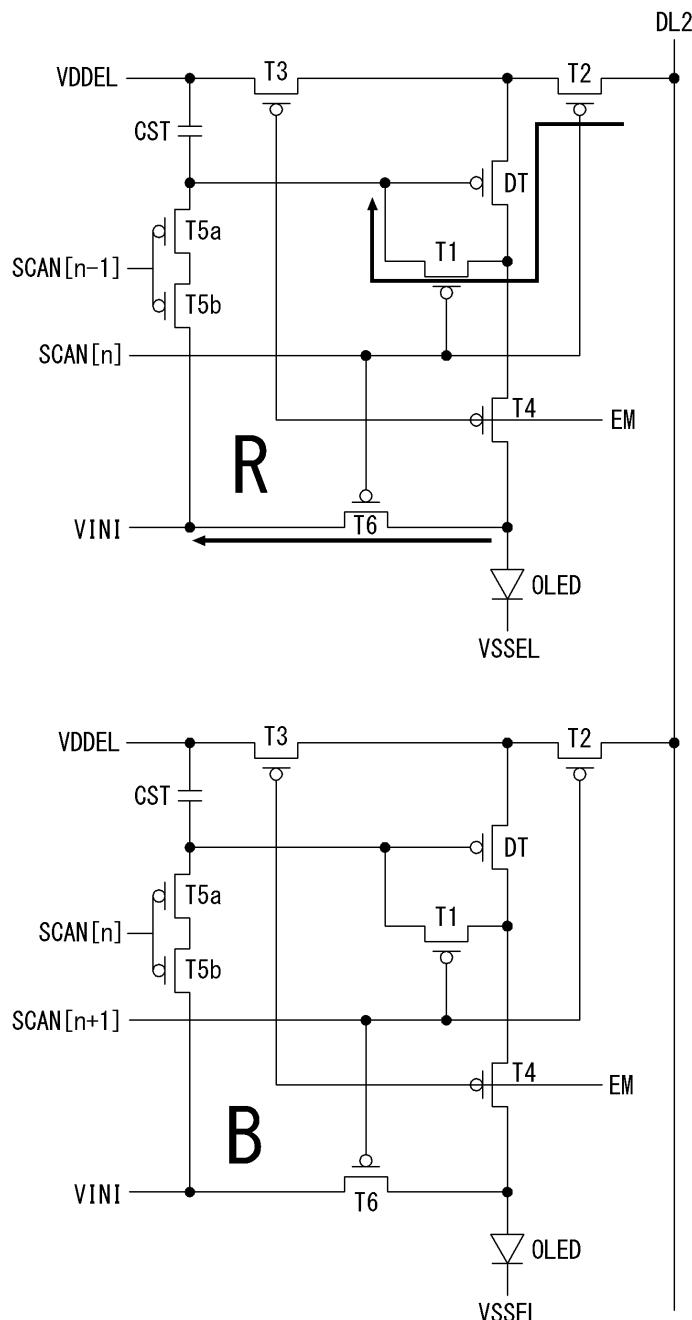
도면8



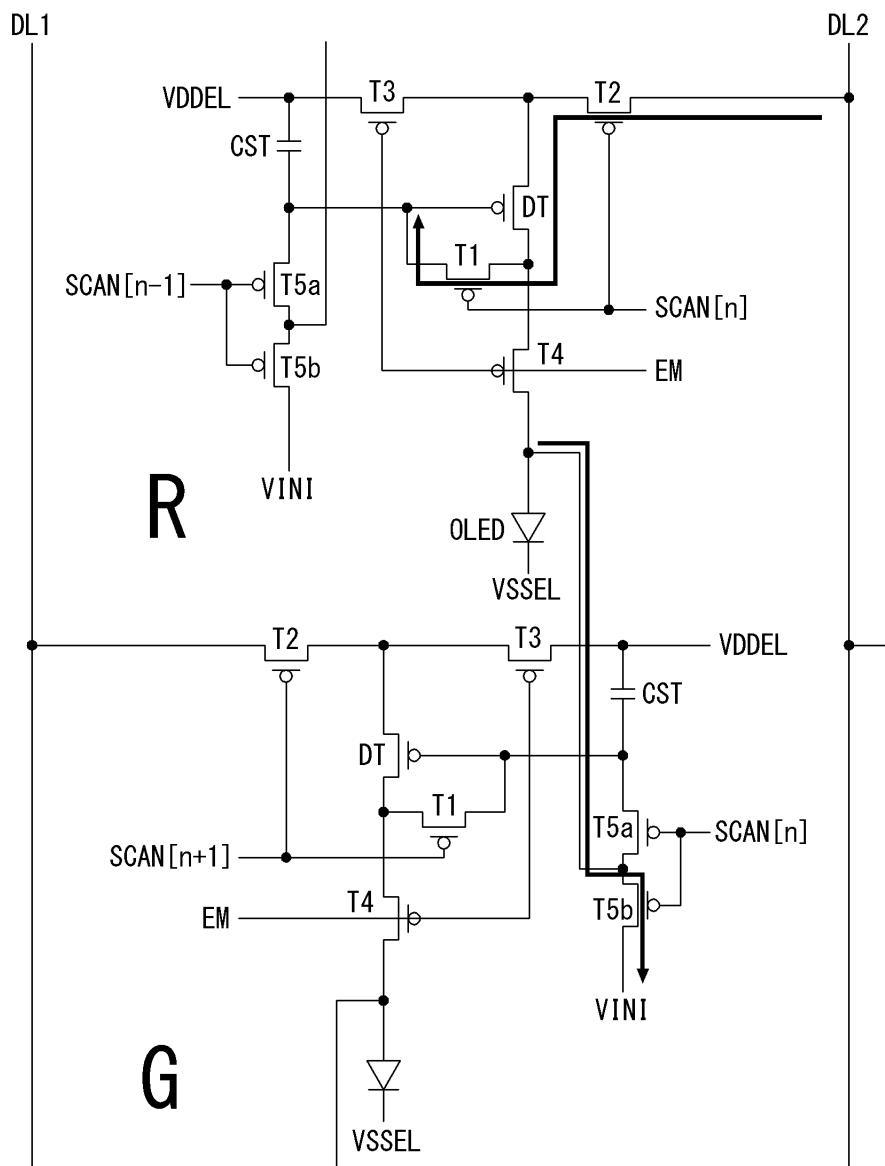
도면9



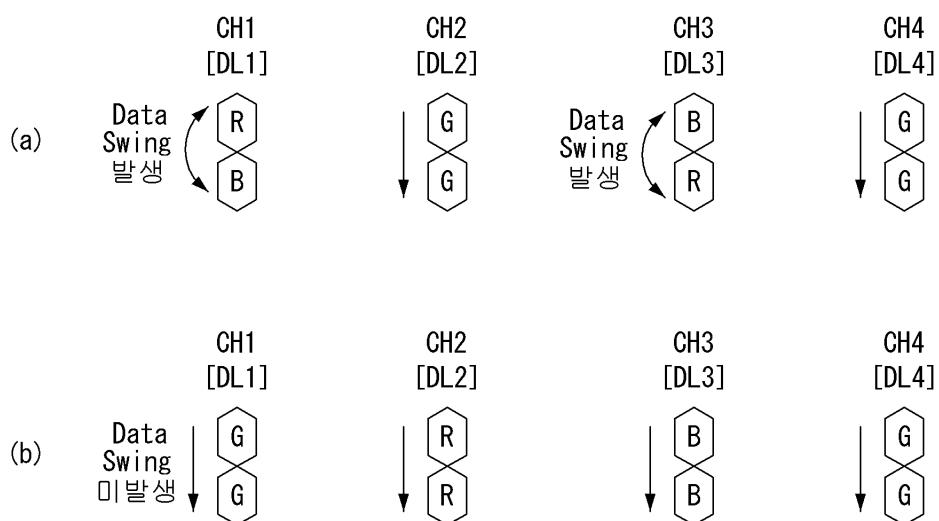
도면10



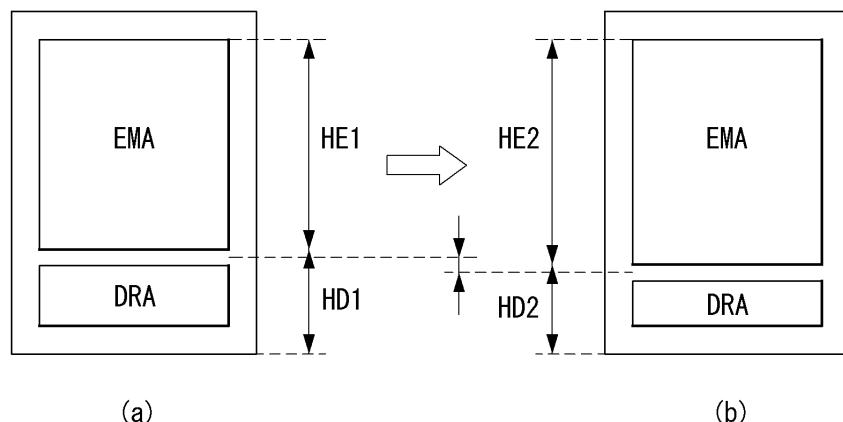
도면11



도면12



도면13



(a)

(b)

专利名称(译)	发光显示装置		
公开(公告)号	KR1020200007281A	公开(公告)日	2020-01-22
申请号	KR1020180081196	申请日	2018-07-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정의현 김성훈		
发明人	정의현 김성훈		
IPC分类号	G09G3/3225 G09G3/3266 G09G3/3275		
CPC分类号	G09G3/3225 G09G3/3266 G09G3/3275 G09G2230/00 G09G2310/0202 G09G2310/0245		
外部链接	Espacenet		

摘要(译)

本发明提供了一种包括显示面板和驱动单元的电致发光显示器。显示面板显示图像。驱动单元驱动显示面板。在显示面板中，第一子像素的有机发光二极管由与第一子像素相邻设置的第二子像素初始化。电致发光显示器可以减少用于驱动的功耗。

