



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0079309
(43) 공개일자 2019년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2017-0181417
(22) 출원일자 2017년12월27일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
손훈석
경기도 파주시 월롱면 엘지로 245
(74) 대리인
네이트특허법인

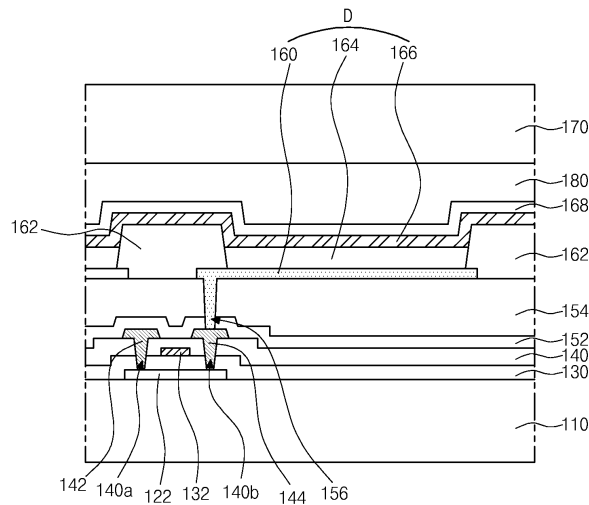
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 발명은 전계발광 표시장치에 관한 것으로, 본 발명에 따른 전계발광 표시장치는, 표시영역과 비표시영역이 정의된 기관과, 기관 상부의 표시영역에 위치하는 박막트랜지스터와, 박막트랜지스터에 연결되고 제1 전극과 발광층 및 제2 전극을 포함하는 발광다이오드와, 비표시영역에 위치하고 제1 전극에 제1 전압을 인가하기 위한 제1 링크 배선과, 비표시영역에 제1 링크 배선과 이격되어 위치하는 제2 링크 배선과, 비표시영역에 위치하고 제2 전극과 연결되어 제2 전압을 공급하며 제1 링크 배선에 대응하여 개구부를 가지는 도전 패턴을 포함한다. 따라서, 제1 링크 배선과 도전 패턴 간의 전기적 단락을 방지할 수 있다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/5203 (2013.01)

명세서

청구범위

청구항 1

표시영역과 비표시영역이 정의된 기관과;

상기 기관 상부의 표시영역에 위치하는 박막트랜지스터와;

상기 박막트랜지스터에 연결되고, 제1 전극과 발광층 및 제2 전극을 포함하는 발광다이오드와;

상기 비표시영역에 위치하고 상기 제1 전극에 제1 전압을 인가하기 위한 제1 링크 배선과;

상기 비표시영역에 상기 제1 링크 배선과 이격되어 위치하는 제2 링크 배선과;

상기 비표시영역에 위치하고 상기 제2 전극과 연결되어 제2 전압을 공급하며, 상기 제1 링크 배선에 대응하여 개구부를 가지는 도전 패턴

을 포함하는 전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 도전 패턴은 상기 제1 링크 배선과 중첩하는 길이가 상기 제2 링크 배선과 중첩하는 길이보다 짧은 전계발광 표시장치.

청구항 3

제1항에 있어서,

상기 도전 패턴은 상기 제1 전극과 동일 물질로 동일층에 위치하는 전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 제1 및 제2 링크 배선과 상기 도전 패턴 사이에 유기절연층을 더 포함하고, 상기 도전 패턴은 상기 유기절연층의 가장자리를 덮으며 상기 개구부를 통해 상기 유기절연층의 가장자리를 노출하는 전계발광 표시장치.

청구항 5

제4항에 있어서,

상기 기관 상부에 이격되어 배치된 커버 기관과;

상기 기관 및 상기 커버 기관 사이의 상기 비표시영역에 구비된 쉘 패턴

을 더 포함하고,

상기 쉘 패턴은 상기 유기절연층의 가장자리와 중첩하는 전계발광 표시장치.

청구항 6

제1항에 있어서,
 상기 표시영역에 상기 박막트랜지스터와 전기적으로 연결되는 게이트 배선 및 데이터 배선을 더 포함하고,
 상기 제2 링크 배선은 상기 데이터 배선과 연결되는 전계발광 표시장치.

청구항 7

제1항에 있어서,
 상기 비표시영역에서 상기 도전 패턴과 중첩하고 상기 도전 패턴과 전기적으로 연결되는 제1 패턴을 더 포함하
 고,
 상기 제1 패턴은 상기 제1 링크 배선과 동일 물질로 동일층에 위치하는 전계발광 표시장치.

청구항 8

제7항에 있어서,
 상기 제1 패턴은 상기 비표시영역에서 상기 표시영역 쪽으로 갈수록 폭이 좁아지는 전계발광 표시장치.

청구항 9

제7항에 있어서,
 상기 제1 패턴과 상기 제1 링크 배선은 상기 박막트랜지스터의 게이트 전극과 동일 물질로 동일층에 위치하는
 전계발광 표시장치.

청구항 10

제9항에 있어서,
 상기 도전 패턴과 상기 제1 패턴 사이에 상기 도전 패턴 및 상기 제1 패턴과 연결되는 제2 패턴을 더 포함하고,
 상기 제2 패턴은 상기 박막트랜지스터의 소스 및 드레인 전극과 동일 물질로 동일층에 위치하는 전계발광 표시
 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것으로, 보다 상세하게는 신호 배선 간 전기적 단락을 방지할 수 있는 전
 계발광 표시장치에 관한 것이다.

배경 기술

[0003] 최근, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판표시장치(flat panel display)가 널리 개
 발되어 다양한 분야에 적용되고 있다.

[0004] 평판표시장치 중에서, 전계발광 표시장치(electroluminescent display device)는 전자 주입 전극인 음극과 정공
 주입 전극인 양극 사이에 형성된 발광층에 전하를 주입하여 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내는
 소자이다. 이러한 전계발광 표시장치는 플라스틱과 같은 유연한 기판(flexible substrate) 위에도 형성할 수 있
 을 뿐 아니라, 자체 발광형이기 때문에 대조비(contrast ratio)가 크며, 응답시간이 수 마이크로초(μ s) 정도이
 므로 동화상 구현이 쉽고, 시야각의 제한이 없다.

- [0005] 전계발광 표시장치는 구동 방식에 따라 수동형(passive matrix type) 및 능동형(active matrix type)으로 나누어질 수 있는데, 저소비전력, 고정세, 대형화가 가능한 능동형 전계발광 표시장치가 다양한 표시장치에 널리 이용되고 있다.
- [0006] 이러한 능동형 전계발광 표시장치는 기판 상에 박막트랜지스터가 형성되고, 박막트랜지스터와 연결되어 발광다이오드가 형성되며, 발광다이오드는 박막트랜지스터의 온/오프에 의해 선택적으로 발광한다.
- [0007] 한편, 전계발광 표시장치는 발광층으로부터 발광된 빛의 출력 방향에 따라 하부 발광 방식(bottom-emission type)과 상부 발광 방식(top-emission type)으로 나누어진다. 하부 발광 방식에서는 발광층으로부터 발광된 빛이 박막트랜지스터 및 발광다이오드가 형성된 기판을 통해 출력되고, 상부 발광 방식에서는 발광층으로부터 발광된 빛이 기판의 반대 방향을 통해 출력된다.
- [0008] 이중, 상부 발광 방식은 발광다이오드 하부에 박막트랜지스터 및 배선을 구성할 수 있으므로, 하부 발광 방식에 비해 동일 면적 대비 넓은 발광영역을 확보할 수 있는 장점이 있다.
- [0009] 이러한 상부 발광 방식 전계발광 표시장치는 박막트랜지스터 및 발광다이오드가 형성된 기판 상부에 커버 기판을 배치하고, 기판과 커버 기판의 가장자리를 쉘 패턴으로 합착하여 형성된다. 그런데, 합착 과정에서 쉘 패턴으로부터 이물이 발생되며, 이러한 이물에 의해 서로 다른 신호를 인가하기 위한 신호 배선 간에 전기적 단락(electrical short)이 발생하는 문제가 있다.
- [0010] 이러한 전기적 단락은 발화를 유발하여 구동 불량이 생기고, 심할 경우 화재 발생의 원인이 되므로 안정성이 저하되는 문제가 있다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 상기한 문제를 해결하기 위한 것으로, 전계발광 표시장치의 신호 배선 간의 전기적 단락을 해결하고자 한다.
- [0013] 또한, 본 발명은 전계발광 표시장치의 발화를 방지하여 안정성을 높이고자 한다.

과제의 해결 수단

- [0015] 상기한 목적을 달성하기 위하여, 본 발명에 따른 전계발광 표시장치는, 표시영역과 비표시영역이 정의된 기판과, 기판 상부의 표시영역에 위치하는 박막트랜지스터와, 박막트랜지스터에 연결되고 제1 전극과 발광층 및 제2 전극을 포함하는 발광다이오드와, 비표시영역에 위치하고 제1 전극에 제1 전압을 인가하기 위한 제1 링크 배선과, 비표시영역에 제1 링크 배선과 이격되어 위치하는 제2 링크 배선과, 비표시영역에 위치하고 제2 전극과 연결되어 제2 전압을 공급하며 제1 링크 배선에 대응하여 개구부를 가지는 도전 패턴을 포함한다.
- [0016] 또한, 본 발명의 전계발광 표시장치는, 제1 및 제2 링크 배선과 도전 패턴 사이에 유기절연층을 더 포함하고, 도전 패턴은 유기절연층의 가장자리를 덮으며 개구부를 통해 유기절연층의 가장자리를 노출한다.

발명의 효과

- [0018] 본 발명의 전계발광 표시장치는, 상부 발광 방식을 적용하여 동일 면적 대비 보다 넓은 발광영역을 가질 수 있다. 이에 따라, 휘도를 향상시키고 소비 전력을 낮출 수 있다.
- [0019] 또한, 본 발명의 전계발광 표시장치에서는, 발광다이오드의 제1 전극에 연결되는 링크 배선과 제2 전극에 연결되는 도전 패턴 간의 전기적 단락을 방지할 수 있다.
- [0020] 따라서, 발화를 방지하여 안정성을 향상시킬 수 있다.

[0021] 또한, 도전 패턴의 저항 감소를 최소화하여 표시영역 전면에 걸쳐 균일한 신호가 인가될 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 실시예에 따른 전계발광 표시장치의 하나의 화소영역을 나타내는 회로도이다.

도 2는 본 발명의 실시예에 따른 전계발광 표시장치의 하나의 화소영역에 대한 단면도이다.

도 3은 본 발명의 실시예에 따른 전계발광 표시장치를 개략적으로 도시한 도면이다.

도 4는 본 발명의 전계발광 표시장치의 비표시영역에 대한 개략적인 단면도이다.

도 5는 본 발명의 실시예에 따른 전계발광 표시장치의 비표시영역에 대한 개략적인 평면도이다.

도 6은 본 발명의 실시예에 따른 전계발광 표시장치의 비표시영역에 대한 개략적인 단면도로, 도 5의 VI-VI선에 대응하는 단면을 도시한다.

도 7은 본 발명의 실시예에 따른 전계발광 표시장치의 비표시영역에 대한 개략적인 단면도로, 도 5의 VII-VII선에 대응하는 단면을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명에 따른 전계발광 표시장치는, 표시영역과 비표시영역이 정의된 기판과; 상기 기판 상부의 표시영역에 위치하는 박막트랜지스터와; 상기 박막트랜지스터에 연결되고, 제1 전극과 발광층 및 제2 전극을 포함하는 발광 다이오드와; 상기 비표시영역에 위치하고 상기 제1 전극에 제1 전압을 인가하기 위한 제1 링크 배선과; 상기 비표시영역에 상기 제1 링크 배선과 이격되어 위치하는 제2 링크 배선과; 상기 비표시영역에 위치하고 상기 제2 전극과 연결되어 제2 전압을 공급하며, 상기 제1 링크 배선에 대응하여 개구부를 가지는 도전 패턴을 포함한다.

[0025] 상기 도전 패턴은 상기 제1 링크 배선과 중첩하는 길이가 상기 제2 링크 배선과 중첩하는 길이보다 짧다.

[0026] 상기 도전 패턴은 상기 제1 전극과 동일 물질로 동일층에 위치할 수 있다.

[0027] 본 발명의 전계발광 표시장치는 상기 제1 및 제2 링크 배선과 상기 도전 패턴 사이에 유기절연층을 더 포함하고, 상기 도전 패턴은 상기 유기절연층의 가장자리를 덮으며 상기 개구부를 통해 상기 유기절연층의 가장자리를 노출할 수 있다.

[0028] 또한, 본 발명의 전계발광 표시장치는, 상기 기판 상부에 이격되어 배치된 커버 기판과; 상기 기판 및 상기 커버 기판 사이의 상기 비표시영역에 구비된 쉴 패턴을 더 포함할 수 있으며, 상기 쉴 패턴은 상기 유기절연층의 가장자리와 중첩할 수 있다.

[0029] 또한, 본 발명의 전계발광 표시장치는, 상기 표시영역에 상기 박막트랜지스터와 전기적으로 연결되는 게이트 배선 및 데이터 배선을 더 포함하고, 상기 제2 링크 배선은 상기 데이터 배선과 연결될 수 있다.

[0030] 한편, 본 발명의 전계발광 표시장치는, 상기 비표시영역에서 상기 도전 패턴과 중첩하고 상기 도전 패턴과 전기적으로 연결되는 제1 패턴을 더 포함하고, 상기 제1 패턴은 상기 제1 링크 배선과 동일 물질로 동일층에 위치할 수 있다.

[0031] 상기 제1 패턴은 상기 비표시영역에서 상기 표시영역 쪽으로 갈수록 폭이 좁아질 수 있다.

[0032] 상기 제1 패턴과 상기 제1 링크 배선은 상기 박막트랜지스터의 게이트 전극과 동일 물질로 동일층에 위치할 수 있다.

[0033] 또한, 본 발명의 전계발광 표시장치는, 상기 도전 패턴과 상기 제1 패턴 사이에 상기 도전 패턴 및 상기 제1 패턴과 연결되는 제2 패턴을 더 포함하고, 상기 제2 패턴은 상기 박막트랜지스터의 소스 및 드레인 전극과 동일 물질로 동일층에 위치할 수 있다.

[0035] 이하, 도면을 참조하여 본 발명의 실시예에 따른 전계발광 표시장치에 대하여 상세히 설명한다.

[0036] 본 발명의 실시예에 따른 전계발광 표시장치는 영상을 구현하는 표시영역과 표시영역을 둘러싸는 비표시영역을

가지며, 표시영역에는 다수의 화소(pixel)를 포함한다. 하나의 화소는 적, 녹, 청색 부화소(sub pixels)를 포함하며, 각 부화소에 해당하는 화소영역은 도 1과 같은 구성을 가질 수 있다.

- [0037] 도 1은 본 발명의 실시예에 따른 전계발광 표시장치의 하나의 화소영역을 나타내는 회로도이다.
- [0038] 도 1에 도시한 바와 같이, 본 발명의 전계발광 표시장치는 서로 교차하여 화소영역(P)을 정의하는 게이트 배선(GL)과 데이터 배선(DL)을 포함하고, 각각의 화소영역(P)에는 스위칭 박막트랜지스터(Ts)와 구동 박막트랜지스터(Td), 스토리지 커패시터(Cst), 그리고 발광다이오드(D)가 형성된다.
- [0039] 보다 상세하게, 스위칭 박막트랜지스터(Ts)의 게이트 전극은 게이트 배선(GL)에 연결되고 소스 전극은 데이터 배선(DL)에 연결된다. 구동 박막트랜지스터(Td)의 게이트 전극은 스위칭 박막트랜지스터(Ts)의 드레인 전극에 연결되고, 소스 전극은 고전위 전압(VDD)에 연결된다. 발광다이오드(D)의 애노드(anode)는 구동 박막트랜지스터(Td)의 드레인 전극에 연결되고, 캐소드(cathode)는 저전위 전압(VSS)에 연결된다. 스토리지 커패시터(Cst)는 구동 박막트랜지스터(Td)의 게이트 전극과 드레인 전극에 연결된다.
- [0040] 이러한 전계발광 표시장치의 영상표시 동작을 살펴보면, 게이트 배선(GL)을 통해 인가된 게이트 신호에 따라 스위칭 박막트랜지스터(Ts)가 턴-온(turn-on) 되고, 이때, 데이터 배선(DL)으로 인가된 데이터 신호가 스위칭 박막트랜지스터(Ts)를 통해 구동 박막트랜지스터(Td)의 게이트 전극과 스토리지 커패시터(Cst)의 일 전극에 인가된다.
- [0041] 구동 박막트랜지스터(Td)는 데이터 신호에 따라 턴-온 되어 발광다이오드(D)를 흐르는 전류를 제어하여 영상을 표시한다. 발광다이오드(D)는 구동 박막트랜지스터(Td)를 통하여 전달되는 고전위 전압(VDD)의 전류에 의하여 발광한다.
- [0042] 즉, 발광다이오드(D)를 흐르는 전류의 양은 데이터 신호의 크기에 비례하고, 발광다이오드(D)가 방출하는 빛의 세기는 발광다이오드(D)를 흐르는 전류의 양에 비례하므로, 화소영역(P)은 데이터 신호의 크기에 따라 상이한 계조를 표시하고, 그 결과 전계발광 표시장치는 영상을 표시한다.
- [0043] 스토리지 커패시터(Cst)는 데이터 신호에 대응되는 전하를 일 프레임(frame) 동안 유지하여 발광다이오드(D)를 흐르는 전류의 양을 일정하게 하고 발광다이오드(D)가 표시하는 계조를 일정하게 유지시키는 역할을 한다.
- [0044] 한편, 화소영역(P)에는 스위칭 및 구동 박막트랜지스터(Ts, Td)와 스토리지 커패시터(Cst) 외에 다른 박막트랜지스터와 커패시터가 더 추가될 수도 있다.
- [0045] 즉, 전계발광 표시장치에서는, 데이터 신호가 구동 박막트랜지스터(Td)의 게이트 전극에 인가되어, 발광다이오드(D)가 발광하여 계조를 표시하는 상대적으로 긴 시간 동안 구동 박막트랜지스터(Td)가 턴-온 된 상태를 유지하는데, 이러한 데이터 신호의 장시간 인가에 의하여 구동 박막트랜지스터(Td)는 열화(deterioration)될 수 있다. 이에 따라, 구동 박막트랜지스터(Td)의 이동도(mobility) 및/또는 문턱전압(threshold voltage: V_{th})이 변하게 되며, 전계발광 표시장치의 화소영역(P)은 동일한 데이터 신호에 대하여 상이한 계조를 표시하게 되고, 휘도 불균일이 나타나 전계발광 표시장치의 화질이 저하된다.
- [0046] 따라서, 이러한 구동 박막트랜지스터(Td)의 이동도 및/또는 문턱전압의 변화를 보상하기 위해, 각 화소영역(P)에는 전압 변화를 감지하기 위한 적어도 하나의 센싱 박막트랜지스터 및/또는 커패시터가 더 추가될 수 있으며, 센싱 박막트랜지스터 및/또는 커패시터는 기준 전압을 인가하고 센싱전압을 출력하기 위한 기준 배선과 연결될 수 있다.
- [0048] 도 2는 본 발명의 실시예에 따른 전계발광 표시장치의 단면도로, 하나의 화소영역을 도시한다.
- [0049] 도 2에 도시한 바와 같이, 기판(110) 상부에 패터닝된 반도체층(122)이 형성된다. 기판(110)은 유리기판이나 플라스틱기판일 수 있다. 일례로, 플라스틱 기판으로 폴리이미드가 사용될 수 있으며, 이에 제한되지 않는다.
- [0050] 여기서, 기판(110)과 반도체층(122) 사이에는 버퍼층(도시하지 않음)이 더 형성될 수 있다.
- [0051] 반도체층(122)은 산화물 반도체 물질로 이루어질 수 있는데, 이 경우 반도체층(122) 하부에는 차광패턴(도시하지 않음)이 더 형성될 수 있으며, 차광패턴은 반도체층(122)으로 입사되는 빛을 차단하여 반도체층(122)이 빛에 의해 열화되는 것을 방지한다. 이와 달리, 반도체층(122)은 다결정 실리콘으로 이루어질 수도 있으며, 이 경우 반도체층(122)의 양 가장자리에 불순물이 도핑되어 있을 수 있다.

- [0052] 반도체층(122) 상부에는 절연물질로 이루어진 게이트 절연막(130)이 실질적으로 기판(110) 전면에 형성된다. 게이트 절연막(130)은 산화 실리콘(SiO₂)과 같은 무기절연물질로 형성될 수 있다. 반도체층(122)이 다결정 실리콘으로 이루어질 경우, 게이트 절연막(130)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiN_x)으로 형성될 수 있다.
- [0053] 게이트 절연막(130) 상부에는 금속과 같은 도전성 물질로 이루어진 게이트 전극(132)이 반도체층(122)의 중앙에 대응하여 형성된다. 또한, 게이트 절연막(130) 상부에는 게이트 배선(도시하지 않음)과 제1 커패시터 전극(도시하지 않음)이 형성될 수 있다. 게이트 배선은 제1방향을 따라 연장되고, 제1 커패시터 전극은 게이트 전극(132)에 연결된다.
- [0054] 한편, 본 발명의 실시예에서는 게이트 절연막(130)이 기판(110) 전면에 형성되어 있으나, 게이트 절연막(130)은 게이트 전극(132)과 동일한 모양으로 패터닝될 수도 있다.
- [0055] 게이트 전극(132) 상부에는 절연물질로 이루어진 층간 절연막(140)이 실질적으로 기판(110) 전면에 형성된다. 층간 절연막(140)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiN_x)과 같은 무기절연물질로 형성되거나, 포토 아크릴(photo acryl)이나 벤조사이클로부텐(benzocyclobutene)과 같은 유기절연물질로 형성될 수 있다.
- [0056] 층간 절연막(140)은 반도체층(122)의 양측 상면을 노출하는 제1 및 제2 반도체 컨택홀(140a, 140b)을 가진다. 제1 및 제2 반도체 컨택홀(140a, 140b)은 게이트 전극(132)의 양측에 게이트 전극(132)과 이격되어 위치한다. 여기서, 제1 및 제2 반도체 컨택홀(140a, 140b)은 게이트 절연막(130) 내에도 형성된다. 이와 달리, 게이트 절연막(130)이 게이트 전극(132)과 동일한 모양으로 패터닝될 경우, 제1 및 제2 반도체 컨택홀(140a, 140b)은 층간 절연막(140) 내에만 형성된다.
- [0057] 층간 절연막(140) 상부에는 금속과 같은 도전성 물질로 소스 및 드레인 전극(142, 144)이 형성된다. 또한, 층간 절연막(140) 상부에는 제2방향을 따라 연장되는 데이터 배선(도시하지 않음)과 전원 배선(도시하지 않음) 및 제2 커패시터 전극(도시하지 않음)이 형성될 수 있다.
- [0058] 소스 및 드레인 전극(142, 144)은 게이트 전극(132)을 중심으로 이격되어 위치하며, 각각 제1 및 제2 반도체 컨택홀(140a, 140b)을 통해 반도체층(122)의 양측과 접촉한다. 도시하지 않았지만, 데이터 배선은 제2방향을 따라 연장되고 게이트 배선과 교차하여 각 화소영역을 정의하며, 고전위 전압을 공급하는 전원 배선은 데이터 배선과 이격되어 위치한다. 제2 커패시터 전극은 드레인 전극(144)과 연결되고, 제1 커패시터 전극과 중첩하여 둘 사이의 층간 절연막(140)을 유전체로 스토리지 커패시터를 이룬다.
- [0059] 한편, 반도체층(122)과, 게이트 전극(132), 그리고 소스 및 드레인 전극(142, 144)은 박막트랜지스터를 이룬다. 여기서, 박막트랜지스터는 반도체층(122)의 일측, 즉, 반도체층(122)의 상부에 게이트 전극(132)과 소스 및 드레인 전극(142, 144)이 위치하는 코플라나(coplanar) 구조를 가진다.
- [0060] 이와 달리, 박막트랜지스터는 반도체층의 하부에 게이트 전극이 위치하고 반도체층의 상부에 소스 및 드레인 전극이 위치하는 역 스테aggered(inverted staggered) 구조를 가질 수 있다. 이 경우, 반도체층은 비정질 실리콘으로 이루어질 수 있다.
- [0061] 여기서, 박막트랜지스터는 전계발광 표시장치의 구동 박막트랜지스터에 해당하며, 구동 박막트랜지스터와 동일한 구조의 스위칭 박막트랜지스터(도시하지 않음)가 각 화소영역에 대응하여 기판(110) 상에 더 형성된다. 구동 박막트랜지스터의 게이트 전극(132)은 스위칭 박막트랜지스터의 드레인 전극(도시하지 않음)에 연결되고 구동 박막트랜지스터의 소스 전극(142)은 전원 배선(도시하지 않음)에 연결된다. 또한, 스위칭 박막트랜지스터의 게이트 전극(도시하지 않음)과 소스 전극(도시하지 않음)은 게이트 배선 및 데이터 배선과 각각 연결된다.
- [0062] 또한, 구동 박막트랜지스터와 동일한 구조의 센싱 박막트랜지스터가 각 화소영역에 대응하여 기판(110) 상에 더 형성될 수 있다.
- [0063] 소스 및 드레인 전극(142, 144) 상부에는 절연물질로 제1 절연막(152)과 제2 절연막(154)이 실질적으로 기판(110) 전면에 순차적으로 형성된다. 제1 절연막(152)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiN_x)과 같은 무기절연물질로 형성될 수 있으며, 제2 절연막(154)은 포토 아크릴이나 벤조사이클로부텐과 같은 유기절연물질로 형성될 수 있다. 이에 따라, 제2 절연막(154)의 상면은 평탄할 수 있다.
- [0064] 제1 절연막(152)과 제2 절연막(154)은 드레인 전극(144)을 노출하는 드레인 컨택홀(156)을 가진다. 여기서, 드레인 컨택홀(156)은 제2 반도체 컨택홀(140b) 바로 위에 형성된 것으로 도시되어 있으나, 제2 반도체 컨택홀

(140b)과 이격되어 형성될 수도 있다.

- [0065] 제1 절연막(152)과 제2 절연막(154) 중 하나는 생략될 수도 있으며, 일례로, 무기절연물질로 이루어진 제1 절연막(152)이 생략될 수 있다.
- [0066] 제2 절연막(154) 상부에는 비교적 일함수가 높은 도전성 물질로 제1 전극(160)이 형성된다. 제1 전극(160)은 각 화소영역마다 형성되고, 드레인 컨택홀(156)을 통해 드레인 전극(144)과 접촉한다. 일례로, 제1 전극(160)은 인듐-틴-옥사이드(indium tin oxide: ITO)나 인듐-징크-옥사이드(indium zinc oxide: IZO)와 같은 투명 도전성 물질로 형성될 수 있다.
- [0067] 본 발명의 전계발광 표시장치는 상부 발광 방식일 수 있으며, 제1 전극(160) 하부에는 반사율이 높은 금속 물질로 형성되는 반사전극 또는 반사층이 더욱 형성될 수 있다. 예를 들어, 반사전극 또는 반사층은 알루미늄-팔라듐-구리(aluminum-paladium-copper: APC) 합금이나 은(Ag)으로 이루어질 수 있다. 이때, 제1 전극(160)은 ITO/APC/ITO나 ITO/Ag/ITO의 3중층 구조를 가질 수 있으며, 이에 제한되지 않는다.
- [0068] 제1 전극(160) 상부에는 절연물질로 बैं크층(162)이 형성된다. बैं크층(162)은 소수성 특성을 갖는 유기절연물질로 이루어질 수 있다. बैं크층(162)은 인접한 화소영역 사이에 위치하고, 제1 전극(160)을 노출하는 투과홀을 가지며, 제1 전극(160)의 가장자리를 덮는다.
- [0069] 여기서, बैं크층(162)은 단일층 구조를 가지는 것으로 도시되어 있으나, 이에 제한되지 않는다. 일례로, बैं크층은 이중층 구조를 가질 수도 있다. 즉, बैं크층은 제1 बैं크와 제1 बैं크 상부의 제2 बैं크를 포함하고, 제1 बैं크의 폭이 제2 बैं크의 폭보다 넓을 수 있다. 이때, 제1 बैं크는 친수성 특성을 갖는 무기절연물질이나 유기절연물질로 이루어질 수 있으며, 제2 बैं크는 소수성 특성을 갖는 유기절연물질로 이루어질 수 있다.
- [0070] बैं크층(162)의 투과홀을 통해 노출된 제1 전극(160) 상부에는 발광층(164)이 형성된다. 도시하지 않았지만, 발광층(164)은 제1 전극(160) 상부로부터 순차적으로 위치하는 정공보조층(hole auxiliary layer)과 발광물질층(light-emitting material layer) 및 전자보조층(electron auxiliary layer)을 포함할 수 있다. 발광물질층은 인광화합물 또는 형광화합물과 같은 유기발광물질로 이루어지거나 양자 점(quantum dot)과 같은 무기발광물질로 이루어질 수 있다.
- [0071] 여기서, 정공보조층과 발광물질층 및 전자보조층은 용액 공정을 통해 형성될 수 있다. 이에 따라, 공정을 단순화하고 대면적 고해상도의 표시장치를 제공할 수 있다. 용액 공정으로는 스핀 코팅법이나 잉크젯 프린팅법 또는 스크린 프린팅법이 사용될 수 있다.
- [0072] 이와 달리, 정공보조층과 발광물질층 및 전자보조층은 진공 증착을 통해 형성될 수도 있다.
- [0073] 또는, 정공보조층과 발광물질층 및 전자보조층은 용액 공정과 진공 증착의 조합에 의해 형성될 수도 있다.
- [0074] 정공보조층은 정공주입층(hole injecting layer: HIL)과 정공수송층(hot transporting layer: HTL) 중 적어도 하나를 포함할 수 있으며, 전자보조층은 전자주입층(electron injecting layer: EIL)과 전자수송층(electron transporting layer: ETL) 중 적어도 하나를 포함할 수 있다.
- [0075] 도면 상에서, 발광층(164)은 बैं크층(162)으로 둘러싸인 제1 전극(160) 상부에만 형성된 것으로 도시되어 있으나, 발광층(164)은 실질적으로 기판(110) 전면에 형성될 수도 있다. 즉, 발광층(164)은 बैं크층(162)의 상면과 측면에도 형성될 수 있다.
- [0076] 발광층(164) 상부에는 비교적 일함수가 낮은 도전성 물질로 이루어진 제2 전극(166)이 실질적으로 기판(110) 전면에 형성된다. 여기서, 제2 전극(166)은 알루미늄(aluminum)이나 마그네슘(magnesium), 은(silver) 또는 이들의 합금으로 형성될 수 있다.
- [0077] 제1 전극(160)과 발광층(164) 및 제2 전극(166)은 발광다이오드(D)를 이루며, 제1 전극(160)은 애노드(anode)의 역할을 하고, 제2 전극(166)은 캐소드(cathode)의 역할을 한다.
- [0078] 앞서 언급한 바와 같이, 본 발명의 전계발광 표시장치는 발광층(164)으로부터의 빛이 제2 전극(166)을 통해 외부로 출력되는 상부 발광 방식(top emission type)일 수 있으며, 제2 전극(166)은 빛이 투과되도록 비교적 얇은 두께를 가질 수 있다. 따라서, 동일 면적 대비 보다 넓은 발광영역을 가질 수 있으며, 휘도를 향상시키고 소비 전력을 낮출 수 있다.
- [0079] 이때, 발광다이오드(D)는 마이크로 캐비티 효과에 해당하는 소자 두께를 가질 수 있다. 이에 따라, 광 효율을

높일 수 있다.

- [0080] 제2 전극(166) 상부의 실질적으로 기관(110) 전면에는 보호층(168)이 형성된다. 보호층(168)은 산화 실리콘(SiO₂)이나 질화 실리콘(SiNx)과 같은 무기절연물질로 형성될 수 있다.
- [0081] 한편, 보호층(168)이 형성된 기관(110) 상부에 커버 기관(170)이 이격되어 위치한다. 커버 기관(170)은 유리 기관이나 플라스틱 기관일 수 있다. 일례로, 플라스틱 기관으로 폴리이미드가 사용될 수 있으며, 이에 제한되지 않는다.
- [0082] 커버 기관(170)과 보호층(168) 사이에는 충전층(180)이 위치한다. 충전층(180)은 광경화성 또는 열경화성 물질로 이루어질 수 있다. 또한, 충전층(180)은 흡습제를 포함할 수 있으며, 외부에서 유입되는 수분이나 산소를 차단함으로써 발광다이오드(D)를 보호할 수 있다.
- [0084] 이러한 화소영역의 박막트랜지스터 및 발광다이오드(D)에 신호를 인가하기 위해, 본 발명의 전계발광 표시장치는 비표시영역에 다수의 구성 요소를 포함하며, 이에 대해 도 3을 참조하여 설명한다.
- [0085] 도 3은 본 발명의 실시예에 따른 전계발광 표시장치를 개략적으로 도시한 도면이다.
- [0086] 도 3에 도시한 바와 같이, 본 발명의 실시예에 따른 전계발광 표시장치는 기관(도 2의 110) 상에 정의되는 표시영역(AA)과 비표시영역(NAA)을 포함하고, 비표시영역(NAA)에는 표시영역(AA)을 둘러싸며, 기관(도 2의 110)과 커버 기관(도 2의 170)을 합착하기 위한 쉘 패턴(190)이 형성된다.
- [0087] 앞서 언급한 바와 같이, 표시영역(AA)에는 다수의 화소영역이 위치하고, 각 화소영역은 도 1 및 도 2에 도시된 구성을 가질 수 있다.
- [0088] 즉, 표시영역(AA)에는 다수의 게이트 배선(도 1의 GL)과 다수의 데이터 배선(도 1의 DL)이 교차하여 다수의 화소영역(도 1의 P)을 정의하며, 각 화소영역(도 1의 P)에는 박막트랜지스터(도 1의 Ts, Td)와 커패시터(도 1의 Cst) 및 발광다이오드(도 1의 D)가 위치한다. 이때, 도시한 것처럼, 발광다이오드(도 1의 D)의 제2 전극(166)은 표시영역(AA)의 전면에 형성되고, 비표시영역(NAA)으로 일부 연장되어 쉘 패턴(190)과 이격될 수 있다.
- [0089] 게다가, 표시영역(AA)에는 구동 박막트랜지스터(도 1의 Td)의 소스 전극(도 2의 142)과 연결되어 발광다이오드(도 1의 D)의 제1 전극(도 2의 160)에 고전위 전압(VDD)을 공급하기 위한 전원 배선(도시하지 않음)이 더 형성되며, 전원 배선은 데이터 배선(도 1의 DL)과 평행하게 형성될 수 있다.
- [0090] 또한, 표시영역(AA)의 각 화소영역(도 1의 P)에는 센싱 박막트랜지스터(도시하지 않음)가 더 형성될 수 있으며, 센싱 박막트랜지스터에 기준 전압을 인가하고 센싱전압을 출력하기 위한 기준 배선(도시하지 않음)이 데이터 배선(도 1의 DL)과 평행하게 더 형성될 수도 있다.
- [0091] 한편, 박막트랜지스터(도 1의 Ts, Td)를 덮으며, 유기절연물질로 이루어지는 제2 절연막(154)은 표시영역(AA)의 전면에 형성되고, 비표시영역(NAA)까지 연장되어 쉘 패턴(190)과 중첩한다. 이때, 쉘 패턴(190)은 제2 절연막(154)의 가장자리를 덮는다.
- [0092] 이러한 제2 절연막(154)은 투습률이 높아 외부로 노출될 경우 수분의 침투가 용이하므로, 제2 절연막(154)의 가장자리를 쉘 패턴(190)으로 덮어 수분이 침투하는 것을 방지한다. 이때, 제2 절연막(154)의 가장자리는 쉘 패턴(190)의 외측면과 일정 거리로 이격되는 것이 바람직하며, 이에 따라, 쉘 패턴(190)의 외측면과 제2 절연막(154)의 가장자리 사이의 거리는, 쉘 패턴(190)의 내측면과 제2 절연막(154)의 가장자리 사이의 거리보다 큰 것이 바람직하다.
- [0093] 표시영역(AA)의 일측에 대응하는 비표시영역(NAA)에는, 표시영역(AA)의 배선들에 신호를 인가하기 위한 패드부(PA)와 링크부(LNK)가 구비된다. 패드부(PA)는 외부의 구동 회로(도시하지 않음)와 연결되며, 링크부(LNK)는 패드부(PA)를 표시영역(AA)의 배선들과 연결한다. 이때, 패드부(PA)와 링크부(LNK)의 각각은 다수의 그룹으로 나뉘며, 하나의 그룹은 하나의 구동 회로와 연결될 수 있다.
- [0094] 여기서, 링크부(LNK)는 제1 링크 배선과 제2 링크 배선을 포함할 수 있다. 제1 링크 배선은 표시영역(AA)의 전원 배선과 연결되어, 구동 회로로부터 패드부(PA)를 통해 인가된 고전위 전압(VDD)이 발광다이오드(도 1의 D)의 제1 전극(도 2의 160)에 전달되도록 한다. 반면, 제2 링크 배선은 표시영역(AA)의 데이터 배선(도 1의 DL)에 연결되어, 구동 회로로부터 패드부(PA)를 통해 인가된 데이터 신호가 스위칭 박막트랜지스터(도 1의 Ts)에 전달되

도록 한다. 또한, 링크부(LNK)는 다른 신호를 인가하기 위한 링크 배선을 더 포함할 수 있으며, 이러한 링크부(LNK)의 구조에 대해 추후 상세히 설명한다.

- [0095] 한편, 비표시영역(NAA)에서 인접한 두 그룹의 링크부(LNK) 사이에는, 발광다이오드(도 1의 D)의 제2 전극(166)에 저전위 전압(VSS)을 인가하기 위한 제1 패턴(232)이 위치한다. 제1 패턴(232)은 비표시영역(NAA)에서 표시영역(AA) 쪽으로 갈수록 좁아지는 폭을 가질 수 있다. 반면, 링크부(LNK)는 비표시영역(NAA)에서 표시영역(AA) 쪽으로 갈수록 폭이 넓어질 수 있다. 즉, 인접한 링크 배선은 비표시영역(NAA)에서 표시영역(AA) 쪽으로 갈수록 간격이 넓어질 수 있다.
- [0096] 링크부(LNK)와 제1 패턴(232)은 동일 물질로 동일층에 형성될 수 있다. 일례로, 링크부(LNK)와 제1 패턴(232)은 게이트 전극(도 2의 132)과 동일 물질로 동일층에 형성될 수 있으며, 이에 제한되지 않는다.
- [0097] 또한, 비표시영역(NAA)에는 링크부(LNK) 및 제1 패턴(232)과 중첩하는 도전 패턴(260)이 형성된다. 도전 패턴(260)은 발광다이오드(도 1의 D)의 제1 전극(도 2의 160)과 동일 물질로 동일층에 형성될 수 있다.
- [0098] 본 발명의 도전 패턴(260)은 비표시영역(NAA)까지 연장된 제2 전극(166)과 중첩하며 접촉하고, 컨택홀을 통해 제1 패턴(232)과 연결된다. 이에 따라, 제1 패턴(232)을 통해 인가된 저전위 전압(VSS)은 도전 패턴(260)을 통해 제2 전극(166)으로 전달된다. 이러한 제1 패턴(232)과 도전 패턴(260) 및 제2 전극(166)의 연결 구조는 추후 상세히 설명한다.
- [0099] 이러한 도전 패턴(260)은 제2 절연막(154)의 가장자리를 덮는다. 앞서 언급한 바와 같이, 제2 절연막(154)은 투습률이 높기 때문에, 도전 패턴(260)이 제2 절연막(154)의 가장자리를 덮어 수분이 침투하는 것을 방지한다. 즉, 도전 패턴(260)은 제2 절연막(154)의 상면 및 측면을 덮을 수 있다.
- [0100] 한편, 본 발명의 도전 패턴(260)은 링크부(LNK)에 대응하여 적어도 하나의 개구부(262)를 가진다. 이에 따라, 도전 패턴(260)은 개구부(262)를 통해 링크부(LNK)에 대응하는 제2 절연막(154)의 가장자리를 부분적으로 노출한다. 이러한 도전 패턴(260)의 개구부(262)에 대해 추후 상세히 설명한다.
- [0101] 한편, 표시영역(AA)에는 도전 패턴(260)과 동일 물질로 동일 층에 적어도 하나의 보조 패턴(264)이 더 형성될 수 있다. 보조 패턴(264)은 컨택홀(266)을 통해 제2 전극(166)과 접촉하여 저항을 낮춤으로써, 표시영역(AA) 전면에 걸쳐 균일한 저전위 전압(VSS)이 인가되도록 할 수 있다. 컨택홀(266)은 다수의 위치에 다수 개로 형성될 수 있으며, 이에 제한되지 않는다. 이러한 보조 패턴(264)과 컨택홀(266)은 생략될 수 있다.
- [0102] 앞서 언급한 바와 같이, 본 발명의 실시예에 따른 전계발광 표시장치에서는, 제1 패턴(232) 및 도전 패턴(260)을 통해 발광다이오드(도 2의 D)의 제2 전극(166)에 저전위 전압(VSS)을 인가하며, 이를 위한 연결 구조에 대해 도 4를 참조하여 설명한다.
- [0103] 도 4는 본 발명의 전계발광 표시장치의 비표시영역에 대한 개략적인 단면도로, 도 3의 A1 영역에 대한 단면을 도시한다.
- [0104] 도 4에 도시한 바와 같이, 기판(110) 상에 게이트 절연막(130)이 형성되고, 게이트 절연막(130) 상부에 제1 패턴(232)이 형성된다. 제1 패턴(232)은 게이트 전극(도 2의 132)과 동일 물질로 동일 공정을 통해 형성될 수 있다.
- [0105] 제1 패턴(232) 상부에는 층간 절연막(140)이 형성되고, 층간 절연막(140)은 제1 패턴(232)을 노출하는 제1 컨택홀(140c)을 가진다.
- [0106] 층간 절연막(140) 상부에는 제2 패턴(234)이 형성된다. 제2 패턴(234)은 소스 및 드레인 전극(도 2의 142, 144)과 동일 물질로 동일 공정을 통해 형성될 수 있다. 제2 패턴(234)은 제1 컨택홀(140c)을 통해 제1 패턴(232)과 접촉한다.
- [0107] 제2 패턴(234) 상부에는 무기절연물질로 이루어진 제1 절연막(152)과 유기절연물질로 이루어진 제2 절연막(154)이 순차적으로 형성된다. 제1 절연막(152)과 제2 절연막(154)은 제2 패턴(234)을 노출하는 제2 컨택홀(154a)을 가진다. 이때, 제2 컨택홀(154a)은 제1 컨택홀(140c)에 대응하여 형성될 수 있다.
- [0108] 다음, 제2 절연막(154) 상부에는 도전 패턴(260)이 형성된다. 도전 패턴(260)은 제2 컨택홀(154a)을 통해 제2 패턴(234)과 접촉한다. 도전 패턴(260)은 발광다이오드(도 2의 D)의 제1 전극(도 2의 160)과 동일 물질로 동일 공정을 통해 형성될 수 있다.

- [0109] 한편, 제2 패턴(234)은 도전 패턴(260)과 제1 패턴(232) 간의 접촉을 위한 단차를 완화하는 것으로 생략될 수도 있다. 이 경우 제2 컨택홀(154a)은 제1 컨택홀(140c)과 함께 제1 패턴(232)을 노출하고, 도전 패턴(260)은 제1 및 제2 컨택홀(140c, 154a)을 통해 제1 패턴(232)과 접촉할 수 있다.
- [0110] 본 발명에서는 제1 및 제2 컨택홀(140c, 154a)이 하나인 것으로 도시하였으나, 제1 및 제2 컨택홀(140c, 154a)의 개수는 이에 제한되지 않으며, 다수 개로 구성될 수 있다.
- [0111] 다음, 도전 패턴(260) 상부에는 제2 전극(166)이 형성되며, 제2 전극(166)은 도전 패턴(260)과 중첩하며 접촉한다.
- [0112] 또한, 제2 전극(166) 상부에는 보호층(168)이 형성되고, 보호층(168) 상부에 커버 기판(170)이 위치하며, 보호층(168)과 커버 기판(170) 사이에는 충전층(180)이 위치한다.
- [0113] 이와 같이, 본 발명의 실시예에 따른 전계발광 표시장치에서, 발광다이오드(도 2의 D)의 제2 전극(166)은 제1 패턴(232)과 제2 패턴(234) 및 도전 패턴(260)에 직접 또는 간접적으로 연결되어 저전위 전압(VSS)을 공급 받는다.
- [0114] 이때, 링크부(LNK)와 중첩하는 도전 패턴(260)은 적어도 하나의 개구부(262)를 가짐으로써, 도전 패턴(260)과 링크부(LNK)의 링크 배선 간의 전기적 단락을 방지할 수 있다. 이에 대해, 도 5 내지 도 7을 참조하여 상세히 설명한다.
- [0115] 도 5는 본 발명의 실시예에 따른 전계발광 표시장치의 비표시영역에 대한 개략적인 평면도이고, 도 6과 도 7은 본 발명의 실시예에 따른 전계발광 표시장치의 비표시영역에 대한 개략적인 단면도이다. 여기서, 도 5는 도 3의 A2 영역에 대한 평면을 도시하고, 도 6은 도 5의 VI-VI선에 대한 단면을 도시하며, 도 7은 도 5의 VII-VII선에 대한 단면을 도시한다.
- [0116] 도 5 내지 도 7에 도시한 바와 같이, 기판(110) 상에 게이트 절연막(130)이 형성되고, 게이트 절연막(130) 상부에 제1 링크 배선(242)과 제2 링크 배선(244) 및 제3 링크 배선(246)이 형성된다. 제1 내지 제3 링크 배선(242, 244, 246)은 게이트 전극(도 2의 132)과 동일 물질로 동일 공정을 통해 형성될 수 있다.
- [0117] 제1 링크 배선(242)은 표시영역(도 3의 AA)의 전원 배선과 연결되어, 구동 회로로부터 패드부(도 3의 PA)를 통해 인가된 고전위 전압(VDD)이 발광다이오드(도 2의 D)의 제1 전극(도 2의 160)에 전달되도록 한다.
- [0118] 제2 링크 배선(244)은 표시영역(도 3의 AA)의 데이터 배선(도 1의 DL)에 연결되어, 구동 회로로부터 패드부(도 3의 PA)를 통해 인가된 데이터 신호가 스위칭 박막트랜지스터(도 1의 Ts)에 전달되도록 한다. 이러한 제2 링크 배선(244)은 적, 녹, 청 부화소의 데이터 배선에 각각 연결되는 제1 내지 제3 데이터 링크(244a, 244b, 244c)를 포함할 수 있다.
- [0119] 제3 링크 배선(246)은 표시영역(도 3의 AA)의 기준 배선(도시하지 않음)에 연결되어 기준 전압을 인가하고 센싱 전압을 출력할 수 있다.
- [0120] 여기서, 제1 링크 배선(242)은 제2 및 제3 링크 배선(244, 246)에 비해 높은 전위의 전압을 공급하며, 이러한 제1 링크 배선(242)은 제2 및 제3 링크 배선(244, 246)보다 넓은 폭을 가질 수 있다.
- [0121] 인접한 제1 링크 배선(242) 사이에는 다수의 제2 링크 배선(244)과 다수의 제3 링크 배선(246)이 위치할 수 있다. 일례로, 인접한 제1 링크 배선(242) 사이에는 두 개의 제2 링크 배선(244)과 두 개의 제3 링크 배선(246)이 위치할 수 있다. 이때, 제1 데이터 링크(244a)와 제2 데이터 링크(244b), 제3 링크 배선(246), 제3 데이터 링크(244c)가 순차적으로 반복 배치될 수 있으며, 이에 제한되지 않는다.
- [0122] 다음, 제1 내지 제3 링크 배선(242, 244, 246) 상부에는 층간 절연막(140)이 형성되고, 층간 절연막(140) 상부에는 제1 절연막(152)과 제2 절연막(154)이 순차적으로 형성된다.
- [0123] 이때, 제2 절연막(154)은 제1 내지 제3 링크 배선(242, 244, 246)의 일단 상부에 위치하는 제1 절연막(152)의 상면을 노출한다. 즉, 제2 절연막(154)의 가장자리는 제1 내지 제3 링크 배선(242, 244, 246) 상부의 제1 절연막(152) 상에 위치한다.
- [0124] 다음, 제2 절연막(154) 상부에는 도전 패턴(260)이 형성된다. 도전 패턴(260)은 제1 내지 제3 링크 배선(242, 244, 246)과 부분적으로 중첩한다.
- [0125] 이러한 도전 패턴(260)은 제1 링크 배선(242)에 대응하여 개구부(262)를 가지며, 도전 패턴(260)은 개구부(26

2)를 통해 제1 링크 배선(242)에 대응하는 제2 절연막(154)의 가장자리를 노출한다. 이때, 도전 패턴(260)은 제2 및 제3 링크 배선(244, 246)에 대응하는 제2 절연막(154)의 가장자리를 덮는다. 즉, 도전 패턴(260)은 제2 및 제3 링크 배선(244, 246) 상부에 위치하는 제2 절연막(154)의 상면 및 측면을 덮는다.

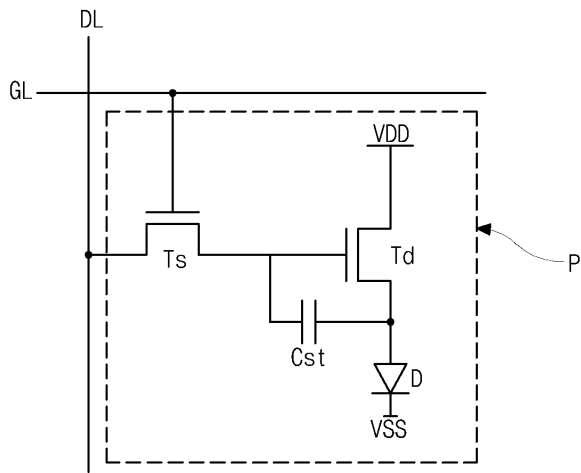
- [0126] 여기서, 개구부(262)의 폭은 제1 링크 배선(242)의 폭보다 큰 것이 바람직하다.
- [0127] 한편, 이러한 개구부(262)에 의해, 도전 패턴(260)은 제1 링크 배선(242)과 중첩하는 길이가 제2 또는 제3 링크 배선(244, 246)과 중첩하는 길이보다 짧다.
- [0128] 다음, 도전 패턴(260) 상부에는 제2 전극(166)이 형성된다. 제2 전극(166)은 도전패턴(260)과 중첩하며 접촉한다. 여기서, 제2 전극(166)의 가장자리는 제2 절연막(154) 및 도전 패턴(260) 상부에 위치한다.
- [0129] 이어, 제2 전극(166) 상부에는 보호층(168)이 형성되고, 보호층(168) 상부에는 커버 기판(170)이 위치한다. 보호층(168)과 커버 기판(170) 사이에는 쉘 패턴(190)과 충전층(180)이 형성되며, 쉘 패턴(190)은 충전층(180)을 둘러싼다.
- [0130] 여기서, 쉘 패턴(190)은 제1 내지 제3 링크 배선(242, 244, 246)과 중첩하며, 제2 절연막(154) 및 도전 패턴(260)의 가장자리와도 중첩된다. 또한, 쉘 패턴(190)은 제2 전극(166)의 가장자리와 이격되어 위치한다.
- [0131] 이와 같이, 본 발명의 실시예에 따른 전개발광 표시장치에서는, 제2 전극(166)과 연결되는 도전 패턴(260)이 제1 링크 배선(242)에 대응하여 개구부(262)를 가진다. 이에 따라, 개구부(262)를 통해 제1 링크 배선(242)에 대응하는 제2 절연막(154)의 가장자리를 노출하며, 개구부(262)에 대응하는 도전 패턴(260)의 가장자리가 제2 절연막(154) 상부에 위치함으로써, 도전 패턴(260)과 제1 링크 배선(242) 간의 거리가 멀어지게 되므로, 쉘 패턴(190)에 의해 이물이 발생하더라도, 도전 패턴(260)과 제1 링크 배선(242) 간의 전기적 단락을 방지할 수 있다. 따라서, 발화를 방지하여 안정성을 향상시킬 수 있다.
- [0132] 이러한 본 발명의 도전 패턴(260)은 제1 링크 배선(242)에만 대응하여 개구부(262)를 가지므로, 면적의 축소를 최소화하여 저항 감소가 최소화되며, 이에 따라 표시영역 전면에 걸쳐 균일한 신호가 인가될 수 있다. 이때, 제2 또는 제3 링크 배선(244, 246)은 제1 링크 배선(242)에 비해 낮은 전압이 인가되므로, 도전 패턴(260)과 제2 또는 제3 링크 배선(244, 246) 사이에 전기적 단락이 발생하더라도 발화가 일어나지 않으며, 인가되는 신호의 조절에 의해 구동 불량을 해결할 수 있다.
- [0134] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

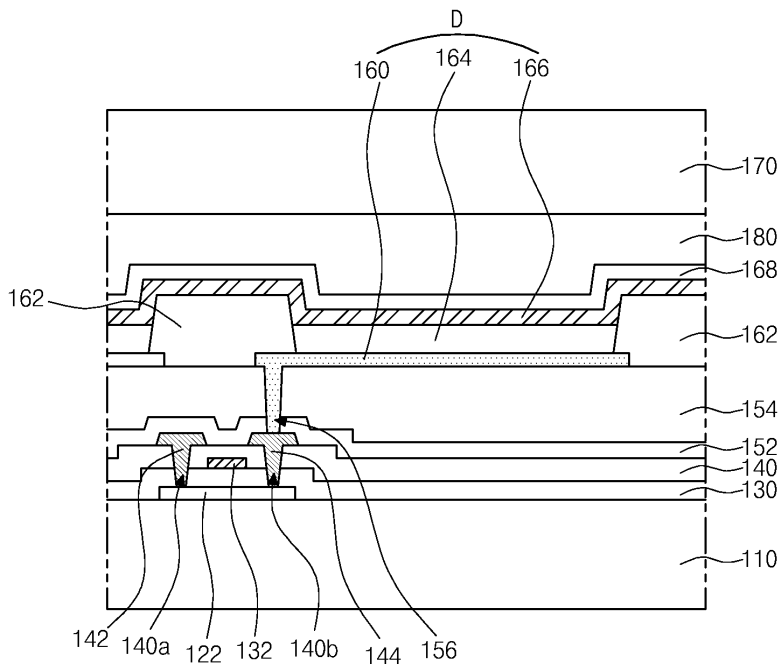
- [0136] 110: 기판 122: 반도체층
- 130: 게이트 절연막 132: 게이트 전극
- 140: 층간 절연막 140a: 제1 반도체 컨택홀
- 140b: 제2 반도체 컨택홀 142: 소스 전극
- 144: 드레인 전극 152: 제1 절연막
- 154: 제2 절연막 156: 드레인 컨택홀
- 160: 제1 전극 162: बैं크층
- 164: 발광층 166: 제2 전극
- 170: 커버 기판 180: 충전층
- D: 발광다이오드

도면

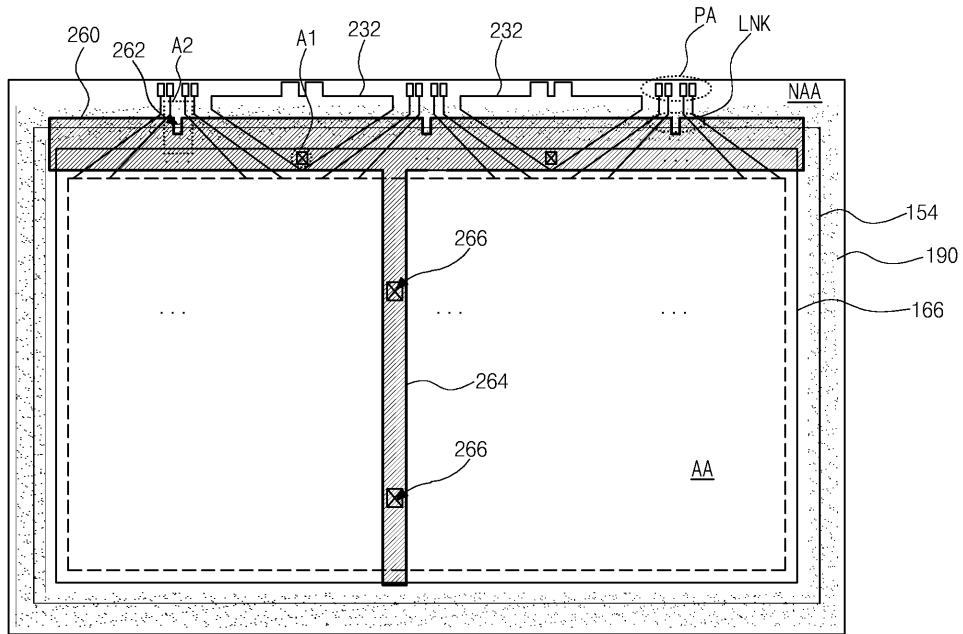
도면1



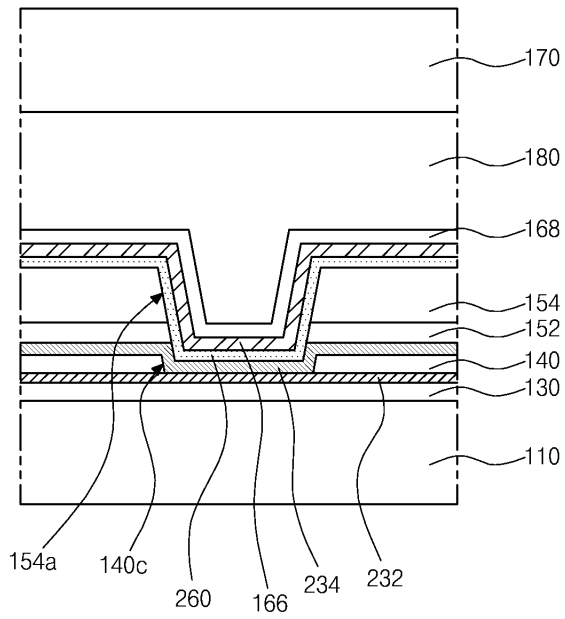
도면2



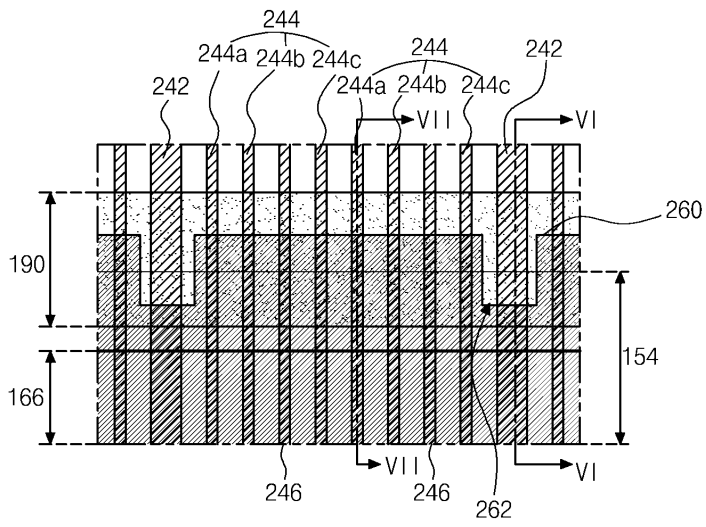
도면3



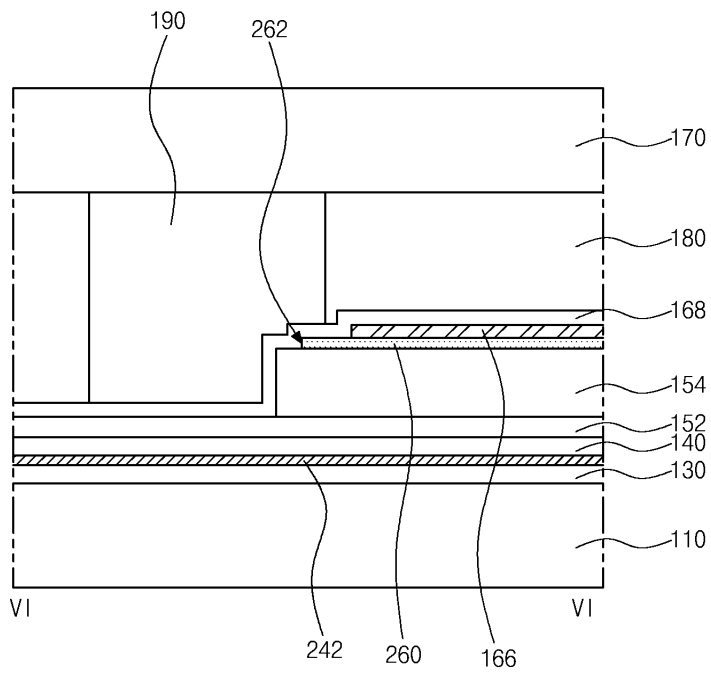
도면4



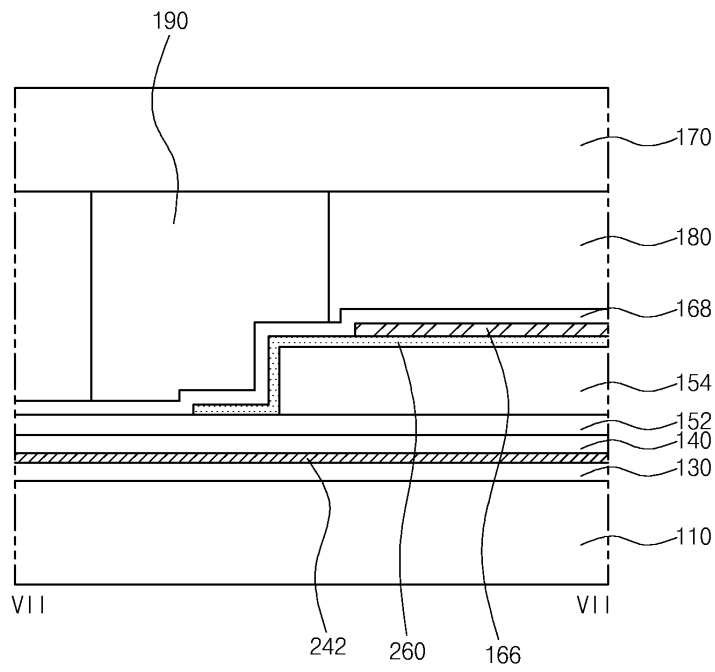
도면5



도면6



도면7



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190079309A	公开(公告)日	2019-07-05
申请号	KR1020170181417	申请日	2017-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	손훈석		
发明人	손훈석		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L27/3258 H01L27/3262 H01L51/5203 H01L51/56 H01L2227/323 H01L27/3279 H01L51/5246 H01L27/3251 H01L51/5237		
外部链接	Espacenet		

摘要(译)

电致发光显示器技术领域本发明涉及一种电致发光显示器。根据本发明的电致发光显示装置包括：基板，在基板上限定显示区域和非显示区域；和薄膜晶体管，其位于基板上部的显示区域中；发光二极管，其连接至薄膜晶体管并包括第一电极，发光层和第二电极；第一连接线位于非显示区域中，并配置为向第一电极施加第一电压；在非显示区域中与第一连接线间隔开的第二连接线；导电图案位于非显示区域中，连接至第二电极以提供第二电压，并具有与第一连接线相对应的开口。因此，可以防止第一连接线和导电图案之间的电短路。

