



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0074813
(43) 공개일자 2019년06월28일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0176450

(22) 출원일자 2017년12월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이승주

경기도 파주시 월롱면 엘지로 245

이현재

경기도 파주시 월롱면 엘지로 245

김종택

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인(유한) 대아

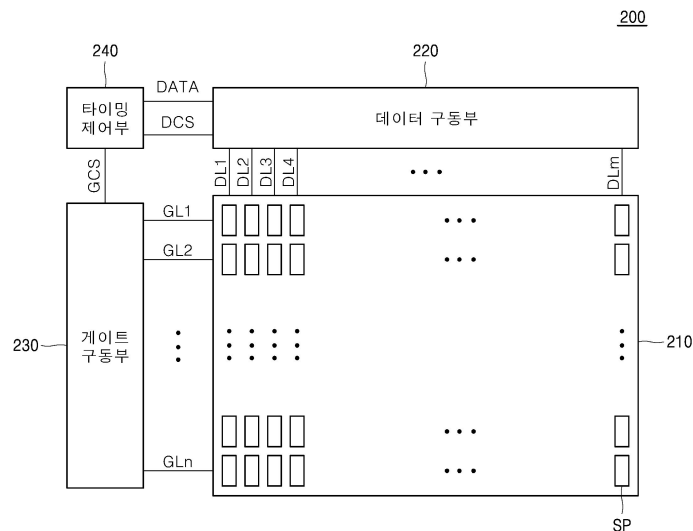
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기발광 다이오드 표시장치 및 그 구동 방법

(57) 요약

본 발명은 유기발광 다이오드 표시장치 및 그 구동 방법에 관한 것이다. 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치는 데이터 라인들과 게이트 라인들이 교차되고 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널, 상기 데이터 라인들을 통해 상기 서브 픽셀에 데이터 전압을 공급하는 데이터 구동부, 상기 게이트 라인들을 통해 상기 서브 픽셀에 스캔 신호를 공급하는 게이트 구동부; 및 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 제어부를 포함하고, 상기 타이밍 제어부는 상기 서브 픽셀에 대한 입력 데이터에 기초하여, 보상 기간 동안 상기 서브

대표도



(52) CPC특허분류

G09G 2300/043 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/0257 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들과 게이트 라인들이 교차되고 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널;
상기 데이터 라인들을 통해 상기 서브 픽셀에 데이터 전압을 공급하는 데이터 구동부;
상기 게이트 라인들을 통해 상기 서브 픽셀에 스캔 신호를 공급하는 게이트 구동부; 및
상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 제어부를 포함하고,
상기 타이밍 제어부는
상기 서브 픽셀에 대한 입력 데이터에 기초하여, 보상 기간 동안 상기 서브 픽셀에 포함된 보상 트랜지스터를
통해 구동 트랜지스터의 보상 동작을 수행하는
유기발광 다이오드 표시장치.

청구항 2

제1항에 있어서,
상기 보상 기간은
상기 구동 트랜지스터에 데이터 신호가 공급되지 않는 기간에 포함되는
유기발광 다이오드 표시장치.

청구항 3

제2항에 있어서,
상기 타이밍 제어부는
상기 게이트 구동부의 시프트 레지스터를 통해 상기 보상 트랜지스터에 스캔 신호를 공급하는
유기발광 다이오드 표시장치.

청구항 4

제1항에 있어서,
상기 타이밍 제어부는
상기 구동 트랜지스터의 보상 동작 중 상기 보상 트랜지스터를 제어하여 상기 서브 픽셀에 포함된 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가하는
유기발광 다이오드 표시장치.

청구항 5

제1항에 있어서,
상기 타이밍 제어부는

상기 구동 트랜지스터의 보상 동작 중 상기 서브 픽셀에 포함된 발광 트랜지스터를 제어하여 상기 서브 픽셀에 포함된 구동 트랜지스터에 흐르는 전류를 차단하는

유기발광 다이오드 표시장치.

청구항 6

제1항에 있어서,

상기 구동 트랜지스터의 보상 동작은

상기 보상 트랜지스터를 통해 상기 구동 트랜지스터의 전압-전류 특성을 복원하는

유기발광 다이오드 표시장치.

청구항 7

제1항에 있어서,

상기 서브 픽셀은

제1 전압과 연결되는 제1 전극, 제1 스캔 라인과 연결되는 게이트 전극 및 제1 노드와 연결되는 제2 전극을 구비하는 제1 트랜지스터;

제3 전압과 연결되는 제1 전극, 제3 스캔 라인과 연결되는 게이트 전극 및 상기 제1 노드와 연결되는 제2 전극을 구비하는 보상 트랜지스터;

제1 전원 전압과 연결되는 제1 전극, 상기 제1 노드와 연결되는 게이트 전극 및 제2 전극을 구비하는 구동 트랜지스터;

제1 전원 전압과 연결되는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되는 제2 전극을 구비하는 저장 커패시터;

상기 구동 트랜지스터의 제2 전극과 연결되는 제1 전극, 발광 제어 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 발광 제어 트랜지스터; 및

상기 발광 제어 트랜지스터의 제2 전극에 연결되는 애노드 전극 및 제2 전원 전압에 연결되는 캐소드 전극을 구비하는 유기발광 다이오드를 포함하는

유기발광 다이오드 표시장치.

청구항 8

제7항에 있어서,

상기 서브 픽셀은

제2 전압과 연결되는 제1 전극, 제2 스캔 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 제2 트랜지스터를 더 포함하는

유기발광 다이오드 표시장치.

청구항 9

제7항에 있어서,

상기 제1 트랜지스터, 상기 보상 트랜지스터, 상기 구동 트랜지스터 및 상기 발광 제어 트랜지스터는 PMOS 트랜

지스터로 이루어지는
유기발광 다이오드 표시장치.

청구항 10

제7항에 있어서,
상기 보상 트랜지스터는
상기 구동 트랜지스터의 보상 동작 중 온 되어, 상기 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가하는
유기발광 다이오드 표시장치.

청구항 11

제7항에 있어서,
상기 발광 제어 트랜지스터는
상기 구동 트랜지스터의 보상 동작 중 오프 되어 상기 서브 픽셀에 포함된 구동 트랜지스터에 전류가 흐르지 않도록 하는
유기발광 다이오드 표시장치.

청구항 12

제1항에 있어서,
상기 서브 픽셀은
제1 전압과 연결되는 제1 전극, 제1 스캔 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 제1 트랜지스터;
제2 전압과 연결되는 제1 전극, 제2 스캔 라인과 연결되는 게이트 전극 및 제2 노드와 연결되는 제2 전극을 구비하는 제2 트랜지스터;
제3 전압과 연결되는 제1 전극, 제3 스캔 라인과 연결되는 게이트 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 보상 트랜지스터;
제1 전원 전압과 연결되는 제1 전극, 상기 제1 트랜지스터의 제2 전극과 연결되는 게이트 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 구동 트랜지스터;
상기 구동 트랜지스터의 게이트 전극과 연결되는 제1 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 저장 커패시터;
상기 제2 노드와 연결되는 제1 전극, 발광 제어 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 발광 제어 트랜지스터; 및
상기 발광 제어 트랜지스터의 제2 전극에 연결되는 애노드 전극 및 제2 전원 전압에 연결되는 캐소드 전극을 구비하는 유기발광 다이오드를 포함하는
유기발광 다이오드 표시장치.

청구항 13

제12항에 있어서,

상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 보상 트랜지스터 및 상기 발광 제어 트랜지스터는 NMOS 트랜지스터로 이루어지는

유기발광 다이오드 표시장치.

청구항 14

제12항에 있어서,

상기 보상 트랜지스터는

상기 구동 트랜지스터의 보상 동작 중 온 되어, 상기 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가하는

유기발광 다이오드 표시장치.

청구항 15

제12항에 있어서,

상기 발광 제어 트랜지스터는

상기 구동 트랜지스터의 보상 동작 중 오프 되어 상기 서브 픽셀에 포함된 구동 트랜지스터에 전류가 흐르지 않도록 하는

유기발광 다이오드 표시장치.

청구항 16

데이터 라인들과 게이트 라인들이 교차되고 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널, 상기 데이터 라인들을 통해 상기 서브 픽셀에 데이터 전압을 공급하는 데이터 구동부, 상기 게이트 라인들을 통해 상기 서브 픽셀에 스캔 신호를 공급하는 게이트 구동부 및 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 제어부를 포함하는 유기발광 다이오드 표시장치의 구동 방법에 있어서,

상기 서브 픽셀에 대한 입력 데이터를 분석하는 단계;

상기 데이터 라인들을 통해 상기 서브 픽셀에 데이터 전압을 공급하고, 상기 게이트 라인들을 통해 상기 서브 픽셀에 스캔 신호를 공급하는 단계; 및

보상 기간 동안 상기 서브 픽셀에 포함된 보상 트랜지스터를 통해 구동 트랜지스터의 보상 동작을 수행하는 단계를 포함하는

유기발광 다이오드 표시장치 구동 방법.

청구항 17

제16항에 있어서,

상기 보상 기간은

상기 구동 트랜지스터에 데이터 신호가 공급되지 않는 기간에 포함되는

유기발광 다이오드 표시장치 구동 방법.

청구항 18

제17항에 있어서,

상기 구동 트랜지스터의 보상 동작을 수행하는 단계는

상기 게이트 구동부의 시프트 레지스터를 통해 상기 보상 트랜지스터에 스캔 신호를 공급하는 단계를 포함하는

유기발광 다이오드 표시장치 구동 방법.

청구항 19

제16항에 있어서,

상기 구동 트랜지스터의 보상 동작을 수행하는 단계는

상기 보상 트랜지스터를 제어하여 상기 서브 픽셀에 포함된 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가하는 단계를 포함하는

유기발광 다이오드 표시장치 구동 방법.

청구항 20

제16항에 있어서,

상기 구동 트랜지스터의 보상 동작을 수행하는 단계는

상기 서브 픽셀에 포함된 발광 트랜지스터를 제어하여 상기 서브 픽셀에 포함된 구동 트랜지스터에 흐르는 전류를 차단하는 단계를 포함하는

유기발광 다이오드 표시장치 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 다이오드 표시장치 및 그 구동 방법에 관한 것으로, 보다 상세하게는 구동 트랜지스터의 히스테리시스 특성 개선이 가능한 외부 보상 방식의 유기발광 다이오드 표시장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0003] 유기발광 다이오드(Organic Light Emitting Diode: OLED) 표시장치는 표시패널에 구비되는 유기발광 다이오드가 높은 휘도와 낮은 동작 전압 특성을 가지며, 또한 스스로 빛을 내는 자체 발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하다는 장점이 있다.

[0004] 또한, 유기발광 다이오드 표시장치는 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적인 특성이 있다.

[0005] 유기발광 다이오드 표시장치는 하나의 화소가 스위칭 트랜지스터, 구동 트랜지스터, 충전 커패시터 및 유기발광 다이오드를 포함하며, 스위칭 트랜지스터가 구동 트랜지스터의 게이트에 화상의 계조에 대응하는 데이터 전압을 인가하고, 데이터 전압에 따라 구동 트랜지스터가 유기발광 다이오드로 전류를 공급하여 화상을 표시하게 된다.

[0006] 문턱 전압, 이동도 등과 같은 구동 트랜지스터의 전기적 특성은 모든 화소에서 동일하게 설계됨이 바람직하나, 실제로는 여러 원인에 의해 화소 간에서 조금씩 편차를 보인다.

[0007] 특히 구동시간 경과에 따른 게이트-바이어스 스트레스(Gate-Bias Stress)로 인해 화소 간 구동 트랜지스터의 문턱 전압은 달라질 수 있으며, 각 화소의 구동 트랜지스터 간의 문턱 전압 변동의 편차는 동일한 데이터 전압에 대해 구동전류 편차를 발생시켜 화상의 얼룩 불량(mura)의 원인이 된다.

[0008] 이와 같은 문제를 해결하기 위해, 구동 트랜지스터의 전기적 특성 편차를 보상하기 위한 다양한 보상 방안들이

알려져 있다.

- [0009] 보상 방안은 크게 내부 보상 방식과 외부 보상 방식으로 나누어진다.
- [0010] 내부 보상 방식은 구동 트랜지스터의 문턱 전압 변화를 샘플링(Sampling)하여 구동 트랜지스터들 간의 문턱 전압 편차를 화소 회로 내부에서 자동으로 보상한다.
- [0011] 이와 같은 내부 보상을 위해서는 유기발광 다이오드에 흐르는 구동전류가 구동 트랜지스터의 문턱 전압에 상관 없이 결정되도록 해야 하기 때문에 화소 회로의 구성이 매우 복잡하며, 특히 고속 구동 및 고해상도 특성을 갖는 표시장치는 내부 보상을 하기 위한 충분한 샘플링 시간을 확보하기 어렵다는 문제가 있다.
- [0012] 한편, 외부 보상 방식은 기준전압을 인가하는 스위칭 트랜지스터를 더 구비함으로써, 기준전압의 변동량을 감지하여 이를 통해 각 구동 트랜지스터의 문턱 전압 편차를 연산하고 데이터 전압을 보상한다.
- [0013] 외부 보상 방식은 고속 구동 및 고해상도 특성을 갖는 표시장치에 적합하며, 구동 트랜지스터 자체의 문턱 전압 변동의 편차뿐만 아니라, 캐리어 이동도(mobility) 편차도 연산할 수 있어 소자특성 편차에 대한 보상능력을 극대화 할 수 있는 장점이 있다.
- [0014] 그러나, 외부 보상 방식은 특정 기간에서만 문턱 전압을 보상하는 방식으로 초기 보상 이후에는 실시간으로 변동되는 문턱 전압을 보상하기 어려우며, 특히 구동 트랜지스터의 히스테리시스(Hysteresis) 특성을 개선하지 못하여 잔상 복원 성능이 나빠지는 단점이 있다.
- [0015] 도 1은 구동 트랜지스터의 히스테리시스 특성을 보여주는 그래프이다.
- [0016] 도 1을 참조하면, PMOS 화소의 구동 트랜지터에 순차적으로 인가되는 게이트-소스 전압(V_{gs})이 점차 감소할 때 측정된 PMOS 화소의 구동 트랜지터의 전압-전류 특성 곡선(12) 및 PMOS 화소의 구동 트랜지터에 순차적으로 인가되는 게이트-소스 전압(V_{gs})이 점차 증가할 때 측정된 PMOS 화소의 구동 트랜지터의 전압-전류 특성 곡선(14)이 나타나 있다.
- [0017] 이처럼 구동 트랜지터는 순차적으로 인가되는 게이트-소스 전압(V_{gs})의 증가 또는 감소여부에 따라 동일한 게이트-소스 전압(V_{gs1})에 대해서 ΔI_{ds} 만큼 서로 다른 크기의 전류값을 가지며, 이러한 서로 다른 크기의 전류값은 화소의 히스테리시스 특성을 나타낸다.
- [0018] 즉, 표시장치의 화소가 저계조에서 고계조로 전환되거나, 고계조에서 저계조로 전환될 때, 구동 트랜지스터가 동일한 게이트-소스 전압(V_{gs})에 대해 서로 다른 크기의 전류를 통해 서로 다른 휘도로 화소를 구동하게 된다.
- [0019] 만약 인접한 화소 간 계조의 변화가 서로 반대 방향일 경우, 서로 다른 휘도로 구동되는 인접 화소는 표시장치의 사용자가 육안을 통해 잔상으로 인식할 수 있게 된다.
- [0020] 결국, 고속 구동 및 고해상도 특성을 가지는 표시장치의 구동 트랜지스터에 대한 전기적 편차 보상을 수행함과 동시에, 구동 트랜지스터의 히스테리시스 특성을 개선할 수 있는 방안이 요구된다.

발명의 내용

해결하려는 과제

- [0022] 본 발명은 외부 보상 방식을 사용하여 고속 구동 및 고해상도 특성을 가지는 표시장치의 구동 트랜지스터의 문턱 전압을 보상할 수 있는 유기발광 다이오드 표시장치 및 그 구동 방법을 제공하는 것을 목적으로 한다.
- [0023] 또한 본 발명은 각 서브 픽셀의 보상 트랜지스터의 순차적 구동을 통해 고속 구동 및 고해상도 특성을 가지는 표시장치의 구동 트랜지스터의 히스테리시스 특성을 개선할 수 있는 유기발광 다이오드 표시장치 및 그 구동 방법을 제공하는 것을 목적으로 한다.
- [0024] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

- [0026] 이러한 목적을 달성하기 위한 본 발명의 일 측면은, 데이터 라인들과 게이트 라인들이 교차되고 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널, 상기 데이터 라인들을 통해 상기 서브 픽셀에 데이터 전압을 공급하는 데이터 구동부, 상기 게이트 라인들을 통해 상기 서브 픽셀에 스캔 신호를 공급하는 게이트 구동부 및 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 제어부를 포함하고, 상기 타이밍 제어부는 상기 서브 픽셀에 대한 입력 데이터에 기초하여, 보상 기간 동안 상기 서브 픽셀에 포함된 보상 트랜지스터를 통해 구동 트랜지스터의 보상 동작을 수행하는 유기발광 다이오드 표시장치를 제공할 수 있다.
- [0027] 본 발명의 일 실시예에 따르면, 상기 보상 기간은 상기 구동 트랜지스터에 데이터 신호가 공급되지 않는 기간에 포함될 수 있다.
- [0028] 또한 본 발명의 일 실시예에 따르면, 상기 타이밍 제어부는 상기 게이트 구동부의 시프트 레지스터를 통해 상기 보상 트랜지스터에 스캔 신호를 공급할 수 있다.
- [0029] 또한 본 발명의 일 실시예에 따르면, 상기 타이밍 제어부는 상기 구동 트랜지스터의 보상 동작 중 상기 보상 트랜지스터를 제어하여 상기 서브 픽셀에 포함된 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가할 수 있다.
- [0030] 또한 본 발명의 일 실시예에 따르면, 상기 타이밍 제어부는 상기 구동 트랜지스터의 보상 동작 중 상기 서브 픽셀에 포함된 발광 트랜지스터를 제어하여 상기 서브 픽셀에 포함된 구동 트랜지스터에 흐르는 전류를 차단할 수 있다.
- [0031] 또한 본 발명의 일 실시예에 따르면, 상기 구동 트랜지스터의 보상 동작은 상기 보상 트랜지스터를 통해 상기 구동 트랜지스터의 전압-전류 특성을 복원할 수 있다.
- [0032] 또한 본 발명의 일 실시예에 따르면, 서브 픽셀은 제1 전압과 연결되는 제1 전극, 제1 스캔 라인과 연결되는 게이트 전극 및 제1 노드와 연결되는 제2 전극을 구비하는 제1 트랜지스터, 제3 전압과 연결되는 제1 전극, 제3 스캔 라인과 연결되는 게이트 전극 및 상기 제1 노드와 연결되는 제2 전극을 구비하는 보상 트랜지스터, 제1 전원 전압과 연결되는 제1 전극, 상기 제1 노드와 연결되는 게이트 전극 및 제2 전극을 구비하는 구동 트랜지스터, 제1 전원 전압과 연결되는 제1 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되는 제2 전극을 구비하는 저장 커패시터, 상기 구동 트랜지스터의 제2 전극과 연결되는 제1 전극, 발광 제어 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 발광 제어 트랜지스터 및 상기 발광 제어 트랜지스터의 제2 전극에 연결되는 애노드 전극 및 제2 전원 전압에 연결되는 캐소드 전극을 구비하는 유기발광 다이오드를 포함할 수 있다.
- [0033] 또한 본 발명의 일 실시예에 따르면, 제2 전압과 연결되는 제1 전극, 제2 스캔 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 제2 트랜지스터를 더 포함할 수 있다.
- [0034] 또한 본 발명의 일 실시예에 따르면, 상기 보상 트랜지스터는 상기 구동 트랜지스터의 보상 동작 중 온 되어, 상기 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가할 수 있다.
- [0035] 또한 본 발명의 일 실시예에 따르면, 상기 발광 제어 트랜지스터는 상기 구동 트랜지스터의 보상 동작 중 오프 되어 상기 서브 픽셀에 포함된 구동 트랜지스터에 전류가 흐르지 않도록 할 수 있다.
- [0036] 또한 본 발명의 다른 실시예에 따르면, 상기 서브 픽셀은 제1 전압과 연결되는 제1 전극, 제1 스캔 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 제1 트랜지스터, 제2 전압과 연결되는 제1 전극, 제2 스캔 라인과 연결되는 게이트 전극 및 제2 노드와 연결되는 제2 전극을 구비하는 제2 트랜지스터, 제3 전압과 연결되는 제1 전극, 제3 스캔 라인과 연결되는 게이트 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 보상 트랜지스터, 제1 전원 전압과 연결되는 제1 전극, 상기 제1 트랜지스터의 제2 전극과 연결되는 게이트 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 구동 트랜지스터, 상기 구동 트랜지스터의 게이트 전극과 연결되는 제1 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 저장 커패시터, 상기 제2 노드와 연결되는 제1 전극, 발광 제어 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 발광 제어 트랜지스터 및 상기 발광 제어 트랜지스터의 제2 전극에 연결되는 애노드 전극 및 제2 전원 전압에 연결되는 캐소드 전극을 구비하는 유기발광 다이오드를 포함할 수 있다.
- [0037] 또한 본 발명의 다른 실시예에 따르면, 상기 서브픽셀은 제2 전압과 연결되는 제1 전극, 제2 스캔 라인과 연결

되는 게이트 전극 및 제2 전극을 구비하는 제2 트랜지스터를 더 포함할 수 있다.

- [0038] 또한 본 발명의 다른 실시예에 따르면, 상기 제1 트랜지스터, 상기 보상 트랜지스터, 상기 구동 트랜지스터 및 상기 발광 제어 트랜지스터는 PMOS 트랜지스터로 이루어질 수 있다.
- [0039] 또한 본 발명의 다른 실시예에 따르면, 상기 보상 트랜지스터는 상기 구동 트랜지스터의 보상 동작 중 온 되어, 상기 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가할 수 있다.
- [0040] 또한 본 발명의 다른 실시예에 따르면, 상기 발광 제어 트랜지스터는 상기 구동 트랜지스터의 보상 동작 중 오프 되어 상기 서브 픽셀에 포함된 구동 트랜지스터에 전류가 흐르지 않도록 할 수 있다.
- [0041] 또한 본 발명의 다른 실시예에 따르면, 상기 서브 픽셀은 제1 전압과 연결되는 제1 전극, 제1 스캔 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 제1 트랜지스터, 제2 전압과 연결되는 제1 전극, 제2 스캔 라인과 연결되는 게이트 전극 및 제2 노드와 연결되는 제2 전극을 구비하는 제2 트랜지스터, 제3 전압과 연결되는 제1 전극, 제3 스캔 라인과 연결되는 게이트 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 보상 트랜지스터, 제1 전원 전압과 연결되는 제1 전극, 상기 제1 트랜지스터의 제2 전극과 연결되는 게이트 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 구동 트랜지스터, 상기 구동 트랜지스터의 게이트 전극과 연결되는 제1 전극 및 상기 제2 노드와 연결되는 제2 전극을 구비하는 저장 커패시터, 상기 제2 노드와 연결되는 제1 전극, 발광 제어 라인과 연결되는 게이트 전극 및 제2 전극을 구비하는 발광 제어 트랜지스터 및 상기 발광 제어 트랜지스터의 제2 전극에 연결되는 애노드 전극 및 제2 전원 전압에 연결되는 캐소드 전극을 구비하는 유기발광 다이오드를 포함할 수 있다.
- [0042] 또한 본 발명의 다른 실시예에 따르면, 상기 구동 트랜지스터, 상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 보상 트랜지스터 및 상기 발광 제어 트랜지스터는 NMOS 트랜지스터로 이루어질 수 있다.
- [0043] 또한 본 발명의 다른 실시예에 따르면, 상기 보상 트랜지스터는 상기 구동 트랜지스터의 보상 동작 중 온 되어, 상기 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가할 수 있다.
- [0044] 또한 본 발명의 다른 실시예에 따르면, 상기 발광 제어 트랜지스터는 상기 구동 트랜지스터의 보상 동작 중 오프 되어 상기 서브 픽셀에 포함된 구동 트랜지스터에 전류가 흐르지 않도록 할 수 있다.
- [0045] 이러한 목적을 달성하기 위한 본 발명의 다른 측면은 라인들과 게이트 라인들이 교차되고 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시패널, 상기 데이터 라인들을 통해 상기 서브 픽셀에 데이터 전압을 공급하는 데이터 구동부, 상기 게이트 라인들을 통해 상기 서브 픽셀에 스캔 신호를 공급하는 게이트 구동부 및 상기 데이터 구동부 및 상기 게이트 구동부를 제어하는 타이밍 제어부를 포함하는 유기발광 다이오드 표시장치의 구동 방법에 있어서, 상기 서브 픽셀에 대한 입력 데이터를 분석하는 단계, 상기 데이터 라인들을 통해 상기 서브 픽셀에 데이터 전압을 공급하고, 상기 게이트 라인들을 통해 상기 서브 픽셀에 스캔 신호를 공급하는 단계 및 보상 기간 동안 상기 서브 픽셀에 포함된 보상 트랜지스터를 통해 구동 트랜지스터의 보상 동작을 수행하는 단계를 포함하는 유기발광 다이오드 표시장치 구동 방법을 제공할 수 있다.
- [0046] 본 발명의 일 실시예에 따르면, 상기 보상 기간은 상기 구동 트랜지스터에 데이터 신호가 공급되지 않는 기간에 포함될 수 있다.
- [0047] 또한 본 발명의 일 실시예에 따르면, 상기 구동 트랜지스터의 보상 동작을 수행하는 단계는 상기 게이트 구동부의 시프트 레지스터를 통해 상기 보상 트랜지스터에 스캔 신호를 공급하는 단계를 포함할 수 있다.
- [0048] 또한 본 발명의 일 실시예에 따르면, 상기 구동 트랜지스터의 보상 동작을 수행하는 단계는 상기 보상 트랜지스터를 제어하여 상기 서브 픽셀에 포함된 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가하는 단계를 포함할 수 있다.
- [0049] 또한 본 발명의 일 실시예에 따르면, 상기 구동 트랜지스터의 보상 동작을 수행하는 단계는 상기 서브 픽셀에 포함된 발광 트랜지스터를 제어하여 상기 서브 픽셀에 포함된 구동 트랜지스터에 흐르는 전류를 차단하는 단계를 포함할 수 있다.
- [0050] 또한 본 발명의 일 실시예에 따르면, 상기 구동 트랜지스터의 보상 동작을 수행하는 단계는 상기 보상 트랜지스터를 통해 상기 구동 트랜지스터의 전압-전류 특성을 복원할 수 있다.

발명의 효과

- [0052] 본 발명의 유기발광 다이오드 표시장치 및 그 구동 방법에 의하면, 외부 보상 방식을 사용하여 고속 구동 및 고 해상도 특성을 가지는 표시장치의 구동 트랜지스터의 문턱 전압을 보상할 수 있는 효과가 있다.
- [0053] 또한 본 발명의 유기발광 다이오드 표시장치 및 그 구동 방법에 의하면, 각 서브 픽셀의 보상 트랜지스터의 순차적 구동을 통해 구동 트랜지스터의 히스테리시스 특성을 개선할 수 있는 효과가 있다.

도면의 간단한 설명

- [0055] 도 1은 구동 트랜지스터의 히스테리시스 특성을 보여주는 그래프이다.
- 도 2는 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치의 개략적인 구성을 나타낸 블록도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시패널의 시프트 레지스터를 설명하기 위한 블록도이다.
- 도 4는 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치의 서브 픽셀 회로의 구조를 나타낸 예시도이다.
- 도 5는 도 4의 서브 픽셀 회로의 동작을 설명하기 위한 타이밍도이다.
- 도 6은 본 발명의 다른 실시예에 따른 유기발광 다이오드 표시장치의 서브 픽셀 회로의 구조를 나타낸 예시도이다.
- 도 7은 도 6의 서브 픽셀 회로의 동작을 설명하기 위한 타이밍도이다.
- 도 8은 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치의 보상 기간을 나타내기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0056] 진술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.
- [0057] 도 2는 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치의 개략적인 구성을 나타낸 블록도이다.
- [0058] 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치(200)는 데이터 라인(DL)들과 게이트 라인(GL)들이 교차되고 매트릭스 형태로 배치된 복수의 서브 픽셀(SP)을 포함하는 표시패널(210), 데이터 라인(DL)들을 통해 상기 서브 픽셀(SP)에 데이터 전압을 공급하는 데이터 구동부(220), 게이트 라인(GL)들을 통해 상기 서브 픽셀(SP)에 스캔 신호를 공급하는 게이트 구동부(230) 및 데이터 구동부(220)와 게이트 구동부(230)를 제어하는 타이밍 제어부(240)를 포함한다.
- [0059] 표시패널(210)에는 다수의 데이터 라인(DL)들과 다수의 게이트 라인(GL)들이 교차되고, 복수의 서브 픽셀(SP)들이 매트릭스 형태로 배치되며, 각각의 서브 픽셀(SP)은 트랜지스터가 구비되어 입력된 데이터에 의한 영상을 표시한다.
- [0060] 표시패널(210)에 배치되는 서브 픽셀(SP)은 트랜지스터 등의 회로 소자를 포함하여 구성될 수 있다. 일 예로, 표시패널(210)의 서브 픽셀(SP)은 유기발광 다이오드와 이를 구동하기 위한 구동 트랜지스터 등의 소자로 구성되어 있다.
- [0061] 서브 픽셀(SP)을 구성하는 소자의 종류 및 개수는 표시패널(210)의 기능 및 설계 방식 등에 따라 다양하게 정해질 수 있다.
- [0062] 타이밍 제어부(240)는 데이터 구동부(220) 및 게이트 구동부(230)의 구동 타이밍을 제어한다.
- [0063] 타이밍 제어부(240)는 외부로부터 입력되는 영상 데이터를 표시패널(210)의 해상도에 맞게 재정렬하여 데이터 구동부(220)에 공급하고, 타이밍 신호들에 기초하여 데이터 구동부(220)의 동작 타이밍을 제어하기 위한 데이터

제어신호(DCS) 및 게이트 구동부(230)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)를 공급한다.

- [0064] 게이트 타이밍 제어신호(GCS)는 게이트 스타트 펄스(Gate Start Pulse, VST) 및 게이트 시프트 클럭(Gate Shift Clock) 등을 포함한다.
- [0065] 데이터 구동부(220)는 데이터 제어신호(DCS)를 기반으로 타이밍 제어부(240)로부터 입력되는 입력 영상의 디지털 데이터를 아날로그 데이터 전압으로 변환하여 데이터 라인(DL)에 공급한다.
- [0066] 데이터 구동부(220)는 디지털 데이터를 감마 보상 전압으로 변환하는 디지털-아날로그 컨버터(Digital to Analog Converter)를 이용하여 데이터 전압을 출력한다.
- [0067] 게이트 구동부(230)는 게이트 타이밍 제어신호(GCS)를 기반으로 스캔 신호와 발광 제어 신호를 출력하여 데이터 전압이 충전되는 서브 픽셀(SP)을 선택하고 발광 타이밍을 조절한다.
- [0068] 게이트 구동부(230)는 시프트 레지스터(Shift register)를 이용하여 스캔 신호와 발광 제어 신호를 시프트시킴으로써 각 신호들을 복수의 게이트 라인(GL)에 순차적으로 공급할 수 있다.
- [0069] 게이트 스타트 펄스(VST)는 매 프레임 기간마다 프레임 기간의 초기에 1회 발생되어 시프트 레지스터에 입력되며, 게이트 온 전압 펄스가 출력되는 타이밍을 제어한다. 이때 게이트 시프트 클럭은 시프트 레지스터에 입력되어 시프트 타이밍(shift timing)을 제어한다.
- [0070] 도 3은 본 발명의 일 실시예에 따른 표시패널의 시프트 레지스터를 설명하기 위한 블록도이다.
- [0071] 본 발명의 일 실시예에 따른 시프트 레지스터(30)는 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)가 공급되는 제1 클럭 신호 공급 라인 및 제2 클럭 신호 공급 라인에 선택적으로 접속되고, 게이트 스타트 펄스(VST)에 따라 종속적으로 구동되는 n개의 스테이지(ST1 내지 STn)를 포함한다.
- [0072] 게이트 스타트 펄스(VST)는 제1 스테이지(ST1)에 공급된다. 또한, 제2 스테이지 내지 제n 스테이지(ST2 내지 STn) 각각은 이전 단 스테이지(ST1 내지 STn-1)의 출력 신호를 게이트 스타트 펄스(VST)로 공급받게 된다.
- [0073] 게이트 구동부(230)는 시프트 레지스터(30)의 n개의 스테이지(ST1 내지 STn)를 이용하여 n개의 게이트 라인(GL1 내지 GLn)에 게이트 온 전압 펄스를 공급함으로써 각 신호를 복수의 게이트 라인(GL)에 순차적으로 공급하여 데이터 전압이 충전되는 서브 픽셀(SP)들을 선택하고 발광 타이밍을 조절한다.
- [0074] 타이밍 제어부(240)는 서브 픽셀(SP)에 대한 입력 데이터에 기초하여, 보상 기간 동안 서브 픽셀(SP)에 포함된 보상 트랜지스터를 통해 구동 트랜지스터의 보상 동작을 수행한다.
- [0075] 영상 데이터에 대응되는 각 서브 픽셀(SP)의 입력 데이터는 각 서브 픽셀(SP)의 휘도에 관한 정보를 포함하며, 타이밍 제어부(240)는 각 서브 픽셀(SP)의 휘도 변화, 즉 계조의 변화에 기초하여 구동 트랜지스터의 보상 동작을 수행할 수 있다.
- [0076] 타이밍 제어부(240)는 게이트 구동부(230)의 시프트 레지스터(30)를 통해 보상 트랜지스터에 스캔 신호를 공급한다.
- [0077] 전술한 것과 같이, 게이트 구동부(230)는 시프트 레지스터(30)를 이용하여 스캔 신호와 발광 제어 신호를 시프트시킴으로써 각 신호들을 복수의 게이트 라인(GL)에 순차적으로 공급할 수 있다.
- [0078] 타이밍 제어부(240)는 시프트 레지스터(30)를 통해 각 서브 픽셀(SP)의 보상 트랜지스터를 구동하기 위한 스캔 신호를 순차적으로 공급할 수 있다.
- [0079] 타이밍 제어부(240)가 구동 트랜지스터의 보상 동작을 수행하는 보상 기간은 구동 트랜지스터에 데이터 신호가 공급되지 않는 기간에 포함되도록 설정될 수 있다.
- [0080] 타이밍 제어부(240)는 구동 트랜지스터의 보상 동작 중 보상 트랜지스터를 제어하여 서브 픽셀(SP)에 포함된 구동 트랜지스터에 발광 전압 또는 비발광 전압을 선택적으로 인가할 수 있다.
- [0081] 타이밍 제어부(240)는 구동 트랜지스터의 보상 동작 중 서브 픽셀(SP)에 포함된 발광 트랜지스터를 제어하여 서브 픽셀(SP)에 포함된 구동 트랜지스터에 흐르는 전류를 차단할 수 있다.
- [0082] 이하에서, 도 4 내지 도 7을 통해 본 발명의 유기발광 다이오드 표시장치 구동 트랜지스터의 보상 동작을 수행하는 과정을 상세히 설명한다.

- [0083] 도 4는 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치의 서브 픽셀 회로의 구조를 나타낸 예시도이다.
- [0084] 도 4를 참조하면, 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치의 서브 픽셀(40)은 제1 트랜지스터(P1), 제2 트랜지스터(P2), 보상 트랜지스터(P3), 구동 트랜지스터(P4), 저장 커패시터(Cst), 발광 제어 트랜지스터(P5) 및 유기발광 다이오드(OLED)를 포함한다.
- [0085] 여기서 제1 트랜지스터(P1), 제2 트랜지스터(P2), 보상 트랜지스터(P3), 구동 트랜지스터(P4) 및 발광 제어 트랜지스터(P5)는 모두 PMOS 트랜지스터로 이루어진다.
- [0086] 제1 트랜지스터(P1)는 제1 전압(Vdata)과 제1 노드(ND1) 사이에 연결된다.
- [0087] 제1 트랜지스터(P1)는 제1 전압(Vdata)과 연결되는 제1 전극(예를 들어, 소스 전극), 제1 스캔 라인(SL1)과 연결되는 게이트 전극 및 제1 노드(ND1)와 연결되는 제2 전극(예를 들어, 드레인 전극)을 구비한다.
- [0088] 제1 트랜지스터(P1)는 제1 스캔 라인(SL1)을 통해 수신되는 제1 스캔 신호(SCAN1)에 응답하여 제1 전압(Vdata)을 제1 노드(ND1)에 선택적으로 공급할 수 있다.
- [0089] 제2 트랜지스터(P2)는 제2 전압(Vref)과 구동 트랜지스터(P4) 사이에 연결된다.
- [0090] 제2 트랜지스터(P2)는 제2 전압(Vref)과 연결되는 제1 전극(예를 들어, 소스 전극), 제2 스캔 라인(SL2)과 연결되는 게이트 전극 및 제2 전극(예를 들어, 드레인 전극)을 구비한다.
- [0091] 제2 트랜지스터(P2)는 제2 스캔 라인(SL2)을 통해 수신되는 제2 스캔 신호(SCAN2)에 응답하여 제2 전압(Vref)을 구동 트랜지스터(P4)의 제2 전극(예를 들어, 드레인 전극)에 선택적으로 공급할 수 있다.
- [0092] 보상 트랜지스터(P3)는 제3 전압(VDI)과 제1 노드(ND1) 사이에 연결된다.
- [0093] 보상 트랜지스터(P3)는 제3 전압(VDI)과 연결되는 제1 전극(예를 들어, 소스 전극), 제3 스캔 라인(SL3)과 연결되는 게이트 전극 및 상기 제1 노드(ND1)와 연결되는 제2 전극(예를 들어, 드레인 전극)을 구비한다.
- [0094] 보상 트랜지스터(P3)는 제3 스캔 라인(SL3)을 통해 수신되는 제3 스캔 신호(SCAN3)에 응답하여 제3 전압(VDI)의 발광 전압 또는 비발광 전압을 제1 노드(ND1)에 선택적으로 공급할 수 있다.
- [0095] 구동 트랜지스터(P4)는 제1 전원 전압(VDD) 및 발광 제어 트랜지스터(P5) 사이에 연결된다.
- [0096] 구동 트랜지스터(P4)는 제1 전원 전압(VDD)과 연결되는 제1 전극(예를 들어, 소스 전극), 상기 제1 노드(ND1)와 연결되는 게이트 전극 및 상기 제2 트랜지스터(P2)의 제2 전극(예를 들어, 드레인 전극)과 연결되는 제2 전극(예를 들어, 드레인 전극)을 구비한다.
- [0097] 구동 트랜지스터(P4)는 저장 커패시터(Cst)에 저장된 전압에 기초하여 유기발광 다이오드(OLED)에 제공되는 구동 전류를 생성한다.
- [0098] 저장 커패시터(Cst)는 제1 노드(ND1)와 구동 트랜지스터(P4)의 제1 전극(예를 들어, 소스 전극) 사이에 연결된다.
- [0099] 저장 커패시터(Cst)는 제1 전원 전압(VDD)과 연결되는 제1 전극(예를 들어, 소스 전극) 및 상기 구동 트랜지스터(P4)의 게이트 전극과 연결되는 제2 전극(예를 들어, 드레인 전극)을 구비한다.
- [0100] 발광 제어 트랜지스터(P5)는 구동 트랜지스터(P4)와 유기발광 다이오드(OLED) 사이에 연결된다.
- [0101] 발광 제어 트랜지스터(P5)는 상기 구동 트랜지스터(P4)의 제2 전극(예를 들어, 드레인 전극)과 연결되는 제1 전극(예를 들어, 소스 전극), 발광 제어 라인(EML)과 연결되는 게이트 전극 및 제2 전극(예를 들어, 드레인 전극)을 구비한다.
- [0102] 발광 제어 트랜지스터(P5)는 발광 제어 신호(EM)에 응답하여 제1 전원 전압(VDD)으로부터 구동 트랜지스터(P4), 발광 제어 트랜지스터(P5) 및 유기발광 다이오드(OLED)를 통하여 제2 전원 전압(VSS)으로 흐르는 구동 전류의 경로를 연결 또는 차단함으로써, 유기발광 다이오드(OLED)의 발광을 제어할 수 있다.
- [0103] 발광 제어 트랜지스터(P5)는 구동 트랜지스터(P4)의 보상 동작 중 오프 되어 상기 서브 픽셀에 포함된 구동 트랜지스터(P4)에 전류가 흐르지 않도록 할 수 있다.
- [0104] 유기발광 다이오드(OLED)는 발광 제어 트랜지스터(P5)와 제2 전원 전압(VSS) 사이에 연결된다.

- [0105] 유기발광 다이오드(OLED)는 발광 제어 트랜지스터(P5)의 제2 전극(예를 들어, 드레인 전극)에 연결되는 애노드 전극 및 제2 전원 전압(VSS)에 연결되는 캐소드 전극을 구비한다.
- [0106] 유기발광 다이오드(OLED)는 제1 전원 전압(VDD)으로부터 구동 트랜지스터(P4), 발광 제어 트랜지스터(P5) 및 유기발광 다이오드(OLED)를 통해 제2 전원 전압(VSS)으로 흐르는 구동 전류에 응답하여 발광할 수 있다.
- [0107] 유기 발광 다이오드는 애노드 전극 및 캐소드 전극에 의해 생성되는 기생 커패시터(미도시)를 포함할 수 있다.
- [0108] 도 5는 도 4의 서브 픽셀 회로의 동작을 설명하기 위한 타이밍도이다.
- [0109] 도 5를 참조하면, 하나의 프레임 기간 동안 변화하는 제3 전압(VDI), 제1 스캔 신호(SCAN1), 제2 스캔 신호(SCAN2), 제3 스캔 신호(SCAN3) 및 발광 제어 신호(EM)의 전압 레벨이 나타나있다.
- [0110] 참고로, 제2 스캔 신호(SCAN2)는 외부 보상을 위한 구동 트랜지스터(P4)의 전류 센싱에 사용되는 신호로, 본 발명의 구동 트랜지스터(P4)의 보상 동작에 영향을 주지 않기 위해 하이 로직 레벨을 유지한다.
- [0111] 따라서 본 발명의 유기발광 다이오드 표시장치가 외부 보상을 수행하지 않도록 설계된 경우, 제2 트랜지스터(P2), 제2 전압(Vref), 제2 스캔 라인(SL2) 및 제2 스캔 신호(SCAN2)는 생략될 수 있다.
- [0112] 제1 트랜지스터(P1)는 로우 로직 레벨의 제1 스캔 신호(SCAN1)에 응답하여 제1 전압(Vdata)을 제1 노드(ND1)에 공급할 수 있다.
- [0113] 제1 전원 전압(VDD) 및 제1 노드(ND1)에 공급되는 제1 전압(Vdata)으로 인해 저장 커패시터(Cst)는 충전되고, 구동 트랜지스터(P4)는 제1 전원 전압(VDD)으로부터 발광 제어 트랜지스터(P5)로 흐르는 구동 전류의 경로를 연결할 수 있다.
- [0114] 발광 제어 트랜지스터(P5)는 로우 로직 레벨의 발광 제어 신호(EM)에 응답하여 구동 트랜지스터(P4)로부터 유기발광 다이오드(OLED)를 거쳐 제2 전원 전압(VSS)으로 흐르는 구동 전류의 경로를 연결함으로써, 유기발광 다이오드(OLED)를 발광시킬 수 있다.
- [0115] 발광 제어 트랜지스터(P5)가 하이 로직 레벨의 발광 제어 신호(EM)에 응답하여 구동 트랜지스터(P4)로부터 유기발광 다이오드(OLED)를 거쳐 제2 전원 전압(VSS)으로 흐르는 구동 전류의 경로를 차단하면, 보상 트랜지스터(P3)는 로우 로직 레벨의 제3 스캔 신호(SCAN3)에 응답하여 제3 전압(VDI)의 발광 전압 또는 비발광 전압을 제1 노드(ND1)에 선택적으로 공급할 수 있다(51, 52).
- [0116] 이때, 보상 트랜지스터(P3)를 통해 제1 노드(ND1)에 공급되는 발광 전압은 0[V]의 전압 크기를 가질 수 있으며, 비발광 전압은 제1 전원 전압(VDD)과 동일한 전압 크기를 가질 수 있다.
- [0117] 보상 트랜지스터(P3)를 통해 제1 노드(ND1)에 0[V] 크기의 발광 전압이 인가되면, 구동 트랜지스터(P4)의 게이트-소스 전압(V_{gs})의 크기는 제1 전원 전압(VDD)의 크기와 동일하므로, 이와 같은 발광 전압의 인가는 화이트 데이터 신호를 제1 노드(ND1)에 전송하는 것과 같다(52).
- [0118] 반대로, 보상 트랜지스터(P3)를 통해 제1 노드(ND1)에 제1 전원 전압(VDD)과 동일한 크기의 비발광 전압이 인가되면, 구동 트랜지스터(P4)의 게이트-소스 전압(V_{gs})의 크기는 0[V]가 되므로, 이와 같은 비발광 전압의 인가는 블랙 데이터 신호를 제1 노드(ND1)에 전송하는 것과 같다(51).
- [0119] 만약 서브 픽셀의 계조가 고계조에서 저계조로 전환될 경우, 계조의 전환 시점 이전에 제1 노드(ND1)에는 보상 트랜지스터(P3)를 통해 제1 전원 전압(VDD)과 동일한 크기의 비발광 전압이 인가될 수 있다.
- [0120] 이때 구동 트랜지스터(P4)의 게이트-소스 전압(V_{gs})의 크기는 0[V]가 되므로, 구동 트랜지스터(P4)의 전압-전류 특성은 미리 게이트-소스 전압이 감소하는 방향의 구동 트랜지스터의 전압-전류 특성을 갖도록 보상될 수 있다.
- [0121] 반대로, 서브 픽셀의 계조가 저계조에서 고계조로 전환될 경우, 계조의 전환 시점 이전에 제1 노드(ND1)에는 보상 트랜지스터(P3)를 통해 0[V] 크기의 발광 전압이 인가될 수 있다.
- [0122] 이때 구동 트랜지스터(P4)의 게이트-소스 전압(V_{gs})의 크기는 제1 전원 전압(VDD)의 크기와 동일해지므로, 구동 트랜지스터(P4)의 전압-전류 특성은 미리 게이트-소스 전압이 증가하는 방향의 구동 트랜지스터의 전압-전류 특성을 갖도록 보상될 수 있다.
- [0123] 제3 스캔 신호(SCAN3)의 로우 로직 레벨 구간은 발광 제어 신호(EM)의 하이 로직 레벨 구간에 포함되므로, 보상 트랜지스터(P3)의 제3 전압(VDI) 인가 기간 동안 구동 트랜지스터(P4)의 구동 전류 경로는 차단된다. 따라서 보

상 트랜지스터(P3)의 제3 전압(VDI) 인가는 유기발광 다이오드(OLED)의 발광을 통해 표현되지 않는다.

- [0124] 이처럼 본 발명의 유기발광 다이오드 표시장치는 이와 같은 각 서브 픽셀에 포함된 구동 트랜지스터의 전압-전류 특성 보상을 통해 모든 서브 픽셀들이 실질적으로 동일한 전압-전류 특성을 가질 수 있도록 제어함으로써 히스테리시스 특성을 개선할 수 있다.
- [0125] 도 6은 본 발명의 다른 실시예에 따른 유기발광 다이오드 표시장치의 서브 픽셀 회로의 구조를 나타낸 예시도이다.
- [0126] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 유기발광 다이오드 표시장치의 서브 픽셀은 제1 트랜지스터(N1), 제2 트랜지스터(N2), 보상 트랜지스터(N3), 구동 트랜지스터(N4), 저장 커패시터(Cst), 발광 제어 트랜지스터(N5) 및 유기발광 다이오드(OLED)를 포함한다.
- [0127] 여기서 제1 트랜지스터(N1), 제2 트랜지스터(N2), 보상 트랜지스터(N3), 구동 트랜지스터(N4) 및 발광 제어 트랜지스터(N5)는 모두 NMOS 트랜지스터로 이루어진다.
- [0128] 제1 트랜지스터(N1)는 제1 전압(Vdata)과 구동 트랜지스터(N4) 사이에 연결된다.
- [0129] 제1 트랜지스터(N1)는 제1 전압(Vdata)과 연결되는 제1 전극(예를 들어, 드레인 전극), 제1 스캔 라인(SL1)과 연결되는 게이트 전극 및 제2 전극(예를 들어, 소스 전극)을 구비한다.
- [0130] 제1 트랜지스터(N1)는 제1 스캔 라인(SL1)을 통해 수신되는 제1 스캔 신호(SCAN1)에 응답하여 제1 전압(Vdata)을 구동 트랜지스터(N4)의 게이트 전극에 선택적으로 공급할 수 있다.
- [0131] 제2 트랜지스터(N2)는 제2 전압(Vref)과 제2 노드(ND2) 사이에 연결된다.
- [0132] 제2 트랜지스터(N2)는 제2 전압(Vref)과 연결되는 제1 전극(예를 들어, 드레인 전극), 제2 스캔 라인(SL2)과 연결되는 게이트 전극 및 제2 노드(ND2)와 연결되는 제2 전극(예를 들어, 소스 전극)을 구비한다.
- [0133] 제2 트랜지스터(N2)는 제2 스캔 라인(SL2)을 통해 수신되는 제2 스캔 신호(SCAN2)에 응답하여 제2 전압(Vref)을 제2 노드(ND2)에 선택적으로 공급할 수 있다.
- [0134] 보상 트랜지스터(N3)는 제3 전압(VDI)과 제2 노드(ND2) 사이에 연결된다.
- [0135] 제3 전압(VDI)과 연결되는 제1 전극(예를 들어, 드레인 전극), 제3 스캔 라인(SL3)과 연결되는 게이트 전극 및 상기 제2 노드(ND2)와 연결되는 제2 전극(예를 들어, 소스 전극)을 구비한다.
- [0136] 보상 트랜지스터(N3)는 제3 스캔 라인(SL3)을 통해 수신되는 제3 스캔 신호(SCAN3)에 응답하여 제3 전압(VDI)의 발광 전압 또는 비발광 전압을 제2 노드(ND2)에 선택적으로 공급할 수 있다.
- [0137] 구동 트랜지스터(N4)는 제1 전원 전압(VDD) 및 발광 제어 트랜지스터(N5) 사이에 연결된다.
- [0138] 구동 트랜지스터(N4)는 제1 전원 전압(VDD)과 연결되는 제1 전극(예를 들어, 드레인 전극), 상기 제1 트랜지스터(N1)의 제2 전극(예를 들어, 소스 전극)과 연결되는 게이트 전극 및 상기 제2 노드(ND2)와 연결되는 제2 전극(예를 들어, 소스 전극)을 구비한다.
- [0139] 구동 트랜지스터(N4)는 저장 커패시터(Cst)에 저장된 전압에 기초하여 유기발광 다이오드(OLED)에 제공되는 구동 전류를 생성한다.
- [0140] 저장 커패시터(Cst)는 제2 노드(ND2)와 구동 트랜지스터(N4)의 게이트 전극 사이에 연결된다.
- [0141] 저장 커패시터(Cst)는 구동 트랜지스터(N4)의 게이트 전극과 연결되는 제1 전극(예를 들어, 드레인 전극) 및 상기 제2 노드(ND2)와 연결되는 제2 전극(예를 들어, 소스 전극)을 구비한다.
- [0142] 발광 제어 트랜지스터(N5)는 구동 트랜지스터(N4)와 유기발광 다이오드(OLED) 사이에 연결된다.
- [0143] 발광 제어 트랜지스터(N5)는 제2 노드(ND2)와 연결되는 제1 전극(예를 들어, 드레인 전극), 발광 제어 라인(EML)과 연결되는 게이트 전극 및 제2 전극(예를 들어, 소스 전극)을 구비한다.
- [0144] 발광 제어 트랜지스터(N5)는 발광 제어 신호(EM)에 응답하여 제1 전원 전압(VDD)으로부터 구동 트랜지스터(N4), 발광 제어 트랜지스터(N5) 및 유기발광 다이오드(OLED)를 통하여 제2 전원 전압(VSS)으로 흐르는 구동 전류의 경로를 연결 또는 차단함으로써, 유기발광 다이오드(OLED)의 발광을 제어할 수 있다.
- [0145] 발광 제어 트랜지스터(N5)는 구동 트랜지스터(N4)의 보상 동작 중 오프 되어 상기 서브 픽셀에 포함된 구동 트

랜지스터(N4)에 전류가 흐르지 않도록 할 수 있다.

- [0146] 유기발광 다이오드(OLED)는 발광 제어 트랜지스터(N5)와 제2 전원 전압(VSS) 사이에 연결된다.
- [0147] 유기발광 다이오드(OLED)는 발광 제어 트랜지스터(N5)의 제2 전극(예를 들어, 소스 전극)에 연결되는 애노드 전극 및 제2 전원 전압(VSS)에 연결되는 캐소드 전극을 구비한다.
- [0148] 유기발광 다이오드(OLED)는 제1 전원 전압(VDD)으로부터 구동 트랜지스터(N4), 발광 제어 트랜지스터(N5) 및 유기발광 다이오드(OLED)를 통해 제2 전원 전압(VSS)으로 흐르는 구동 전류에 응답하여 발광할 수 있다.
- [0149] 유기 발광 다이오드는 애노드 전극 및 캐소드 전극에 의해 생성되는 기생 커패시터(미도시)를 포함할 수 있다.
- [0150] 도 7은 도 6의 서브 픽셀 회로의 동작을 설명하기 위한 타이밍도이다.
- [0151] 도 7을 참조하면, 하나의 프레임 기간 동안 변화하는 제3 전압(VDI), 제1 스캔 신호(SCAN1), 제2 스캔 신호(SCAN2), 제3 스캔 신호(SCAN3) 및 발광 제어 신호(EM)의 전압 레벨이 나타나있다.
- [0152] 제1 트랜지스터(N1)는 하이 로직 레벨(High Logic level)의 제1 스캔 신호(SCAN1)에 응답하여 제1 전압(Vdata)을 구동 트랜지스터(N4)의 게이트 전극에 공급할 수 있다.
- [0153] 제2 트랜지스터(N2)는 하이 로직 레벨의 제2 스캔 신호(SCAN2)에 응답하여 제2 전압(Vref)을 제2 노드(ND2)에 공급할 수 있다.
- [0154] 게이트 전극에 공급되는 제1 전압(Vdata) 및 제1 노드(ND1)에 공급되는 제2 전압(Vref)으로 인해 저장 커패시터(Cst)는 충전되고, 구동 트랜지스터(N4)는 제1 전원 전압(VDD)으로부터 발광 제어 트랜지스터(N5)로 흐르는 구동 전류의 경로를 연결할 수 있다.
- [0155] 발광 제어 트랜지스터(N5)는 하이 로직 레벨의 발광 제어 신호(EM)에 응답하여 구동 트랜지스터(N4)로부터 유기발광 다이오드(OLED)를 거쳐 제2 전원 전압(VSS)으로 흐르는 구동 전류의 경로를 연결함으로써, 유기발광 다이오드(OLED)를 발광시킬 수 있다.
- [0156] 발광 제어 트랜지스터(N5)가 로우 로직 레벨(Low Logic level)의 발광 제어 신호(EM)에 응답하여 구동 트랜지스터(N4)로부터 유기발광 다이오드(OLED)를 거쳐 제2 전원 전압(VSS)으로 흐르는 구동 전류의 경로를 차단하면, 보상 트랜지스터(N3)는 하이 로직 레벨의 제3 스캔 신호(SCAN3)에 응답하여 제3 전압(VDI)의 발광 전압 또는 비발광 전압을 제2 노드(ND2)에 선택적으로 공급할 수 있다(71, 72).
- [0157] 이때, 보상 트랜지스터(N3)를 통해 제2 노드(ND2)에 공급되는 발광 전압은 0[V]의 전압 크기를 가질 수 있으며, 비발광 전압은 제1 전압(Vdata)과 동일한 전압 크기를 가질 수 있다.
- [0158] 보상 트랜지스터(N3)를 통해 제2 노드(ND2)에 0[V] 크기의 발광 전압이 인가되면, 구동 트랜지스터(N4)의 게이트-소스 전압(Vgs)의 크기는 제1 전압(Vdata)의 크기와 동일하므로, 이와 같은 발광 전압의 인가는 화이트 데이터 신호를 제2 노드(ND2)에 전송하는 것과 같다(72).
- [0159] 반대로, 보상 트랜지스터(N3)를 통해 제2 노드(ND2)에 제1 전압(Vdata)과 동일한 크기의 비발광 전압이 인가되면, 구동 트랜지스터(N4)의 게이트-소스 전압(Vgs)의 크기는 0[V]가 되므로, 이와 같은 비발광 전압의 인가는 블랙 데이터 신호를 제2 노드(ND2)에 전송하는 것과 같다(71).
- [0160] 만약 서브 픽셀의 계조가 고계조에서 저계조로 전환될 경우, 계조의 전환 시점 이전에 제2 노드(ND2)에는 보상 트랜지스터(N3)를 통해 제1 전압(Vdata)과 동일한 크기의 비발광 전압이 인가될 수 있다.
- [0161] 이때 구동 트랜지스터(N4)의 게이트-소스 전압(Vgs)의 크기는 0[V]가 되므로, 구동 트랜지스터(N4)의 전압-전류 특성은 미리 게이트-소스 전압이 감소하는 방향의 구동 트랜지스터의 전압-전류 특성을 갖도록 보상될 수 있다.
- [0162] 반대로, 서브 픽셀의 계조가 저계조에서 고계조로 전환될 경우, 계조의 전환 시점 이전에 제2 노드(ND2)에는 보상 트랜지스터(N3)를 통해 0[V] 크기의 발광 전압이 인가될 수 있다.
- [0163] 이때 구동 트랜지스터(N4)의 게이트-소스 전압(Vgs)의 크기는 제1 전압(Vdata)의 크기와 동일해지므로, 구동 트랜지스터(N4)의 전압-전류 특성은 미리 게이트-소스 전압이 증가하는 방향의 구동 트랜지스터의 전압-전류 특성을 갖도록 보상될 수 있다.
- [0164] 제3 스캔 신호(SCAN3)의 하이 로직 레벨 구간은 발광 제어 신호(EM)의 로우 로직 레벨 구간에 포함되므로, 보상 트랜지스터(N3)의 제3 전압(VDI) 인가 기간 동안 구동 트랜지스터(N4)의 구동 전류 경로는 차단된다. 따라서 보

상 트랜지스터(N3)의 제3 전압(VDI) 인가는 유기발광 다이오드(OLED)의 발광을 통해 표현되지 않는다.

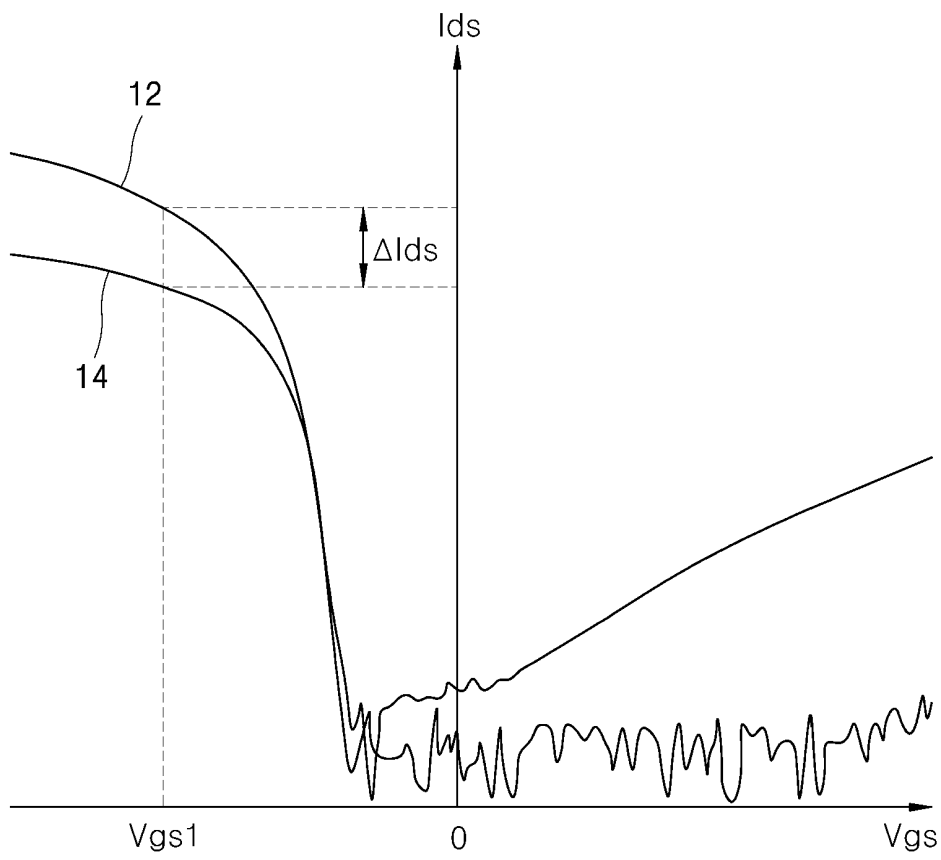
- [0165] 이처럼 본 발명의 유기발광 다이오드 표시장치는 이와 같은 각 서브 픽셀에 포함된 구동 트랜지스터(N4)의 전압-전류 특성 보상을 통해 모든 서브 픽셀들이 실질적으로 동일한 전압-전류 특성을 가질 수 있도록 제어함으로써 히스테리시스 특성을 개선할 수 있다.
- [0166] 도 8은 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치의 보상 기간을 나타내기 위한 타이밍도이다.
- [0167] 도 8을 참고하면, 본 발명의 일 실시예에 따른 유기발광 다이오드 표시장치에서 한 프레임 표시 구간은 액티브(Active) 구간 및 블랭크(Blank) 구간으로 구분된다.
- [0168] 액티브 구간은 서브 픽셀에 입력 영상의 데이터가 기입되는 구간이며, 블랭크 구간은 서브 픽셀에 입력 영상의 데이터가 기입되지 않는 구간이다. 즉, 블랭크 구간은 타이밍 제어부에 입력되는 데이터 인에이블 신호(Data Enable, DE)가 로우 로직 레벨로 유지되는 기간을 의미한다.
- [0169] 액티브 구간에서 각 서브 픽셀의 제1 트랜지스터(N1)는 제1 전압(Vdata)을 통해 데이터 신호를 공급할 수 있다.
- [0170] 제1 스캔 신호(SCAN1)에 대한 게이트 스타트 펄스가 게이트 구동부의 시프트 레지스터에 입력되면, 시프트 레지스터는 복수의 게이트 라인(GL)에 순차적으로 제1 스캔 신호(SCAN1)를 공급한다.
- [0171] 제1 스캔 신호(SCAN1)를 공급받은 각 수평 라인의 제1 트랜지스터(N1)는 액티브 구간의 지속 시간과 동일한 시간(A) 동안 각 수평 라인의 서브 픽셀에 데이터 신호에 대응되는 입력 영상의 데이터를 기입한다.
- [0172] 블랭크 구간에서 각 서브 픽셀의 보상 트랜지스터(N3)는 제3 전압(VDI)을 통해 발광 전압 또는 비발광 전압을 공급할 수 있다.
- [0173] 제3 스캔 신호(SCAN3)에 대한 게이트 스타트 펄스가 게이트 구동부의 시프트 레지스터에 입력되면, 시프트 레지스터는 복수의 게이트 라인(GL)에 순차적으로 제3 스캔 신호(SCAN3)를 공급한다.
- [0174] 제3 스캔 신호(SCAN3)를 공급받은 각 수평 라인의 보상 트랜지스터(N3)는 블랭크 구간의 지속 시간과 동일한 시간(B) 동안 각 수평 라인의 서브 픽셀에 발광 신호에 대응되는 화이트 데이터 또는 비발광 신호에 대응되는 블랙 데이터를 기입한다.
- [0175] 이처럼 본 발명의 유기발광 다이오드 표시장치는 각 서브 픽셀의 보상 트랜지스터의 순차적 구동을 통해 구동 트랜지스터의 히스테리시스 특성을 개선할 수 있는 보상 시간을 각 수평라인의 서브 픽셀에 동일하게 적용함으로써, 고속 구동 및 고해상도 특성을 가지는 표시장치의 구동 트랜지스터의 히스테리시스 특성을 효과적으로 개선할 수 있는 효과를 갖는다.
- [0176] 전술한 본 발명은, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

부호의 설명

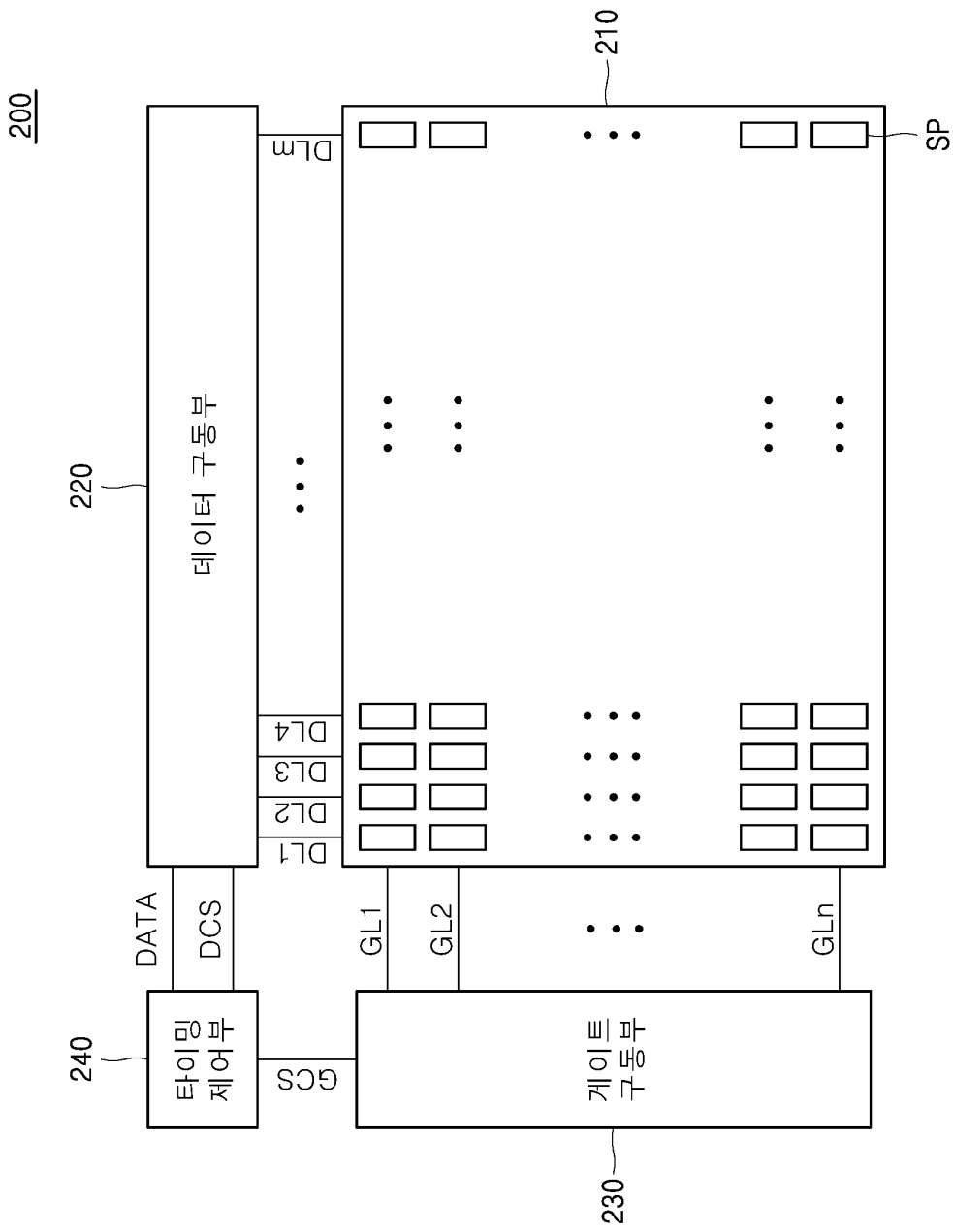
- [0178] 200: 유기발광 다이오드 표시장치
- 210: 표시패널
- 220: 데이터 구동부
- 230: 게이트 구동부
- 240: 타이밍 제어부

도면

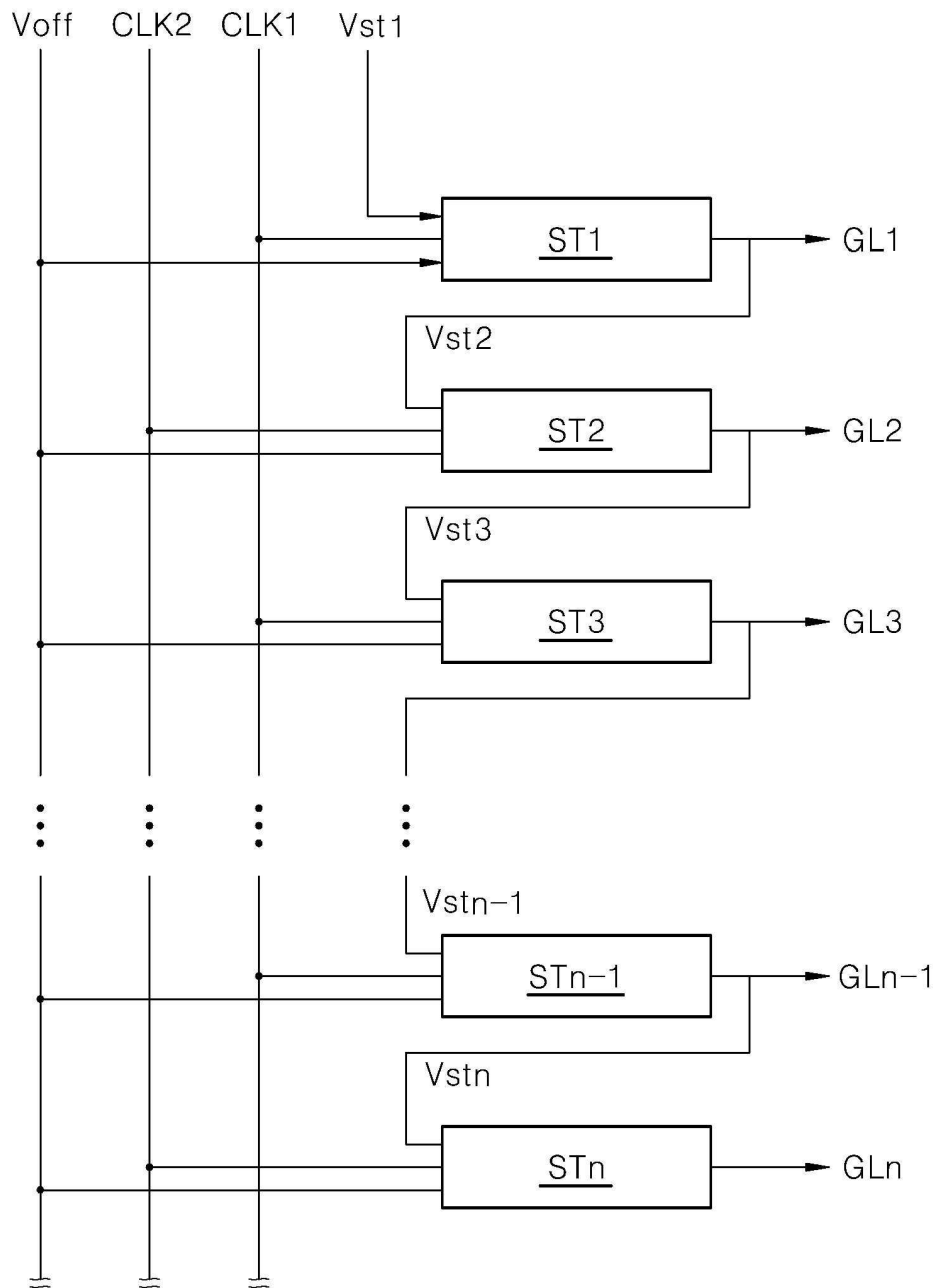
도면1



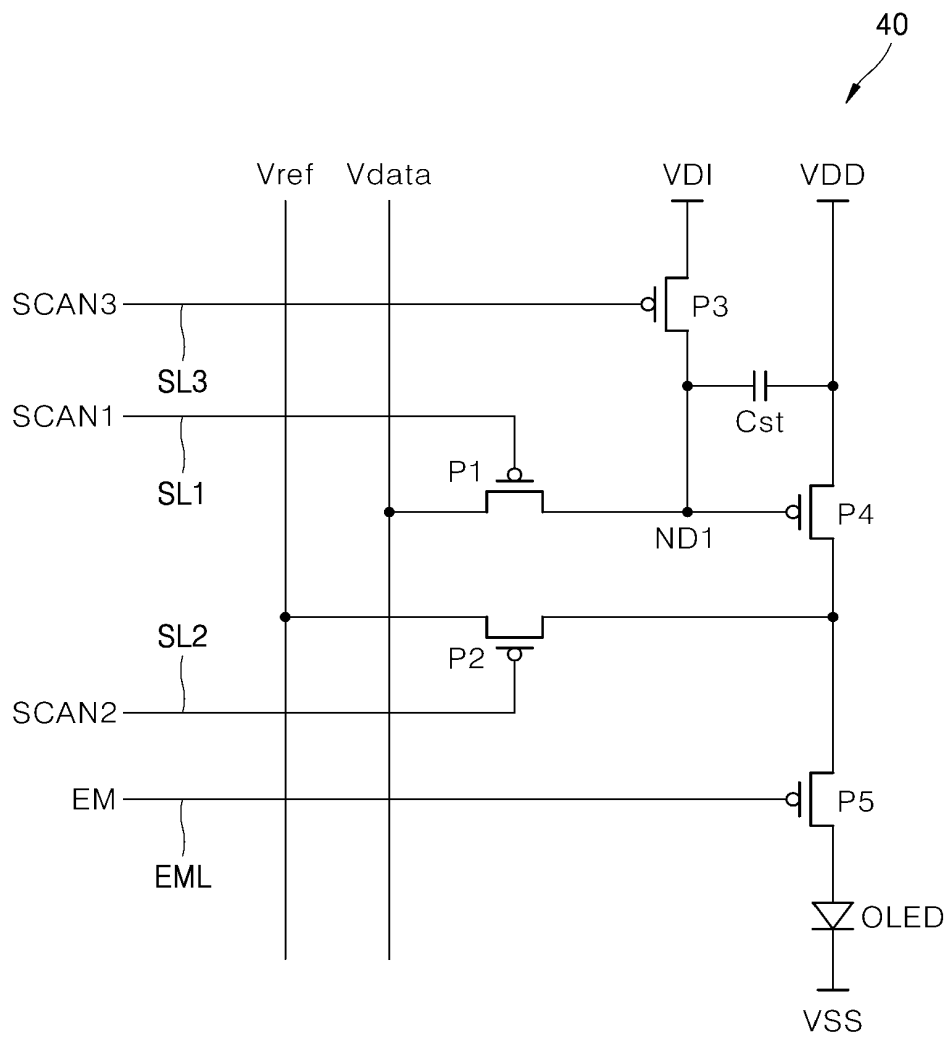
도면2



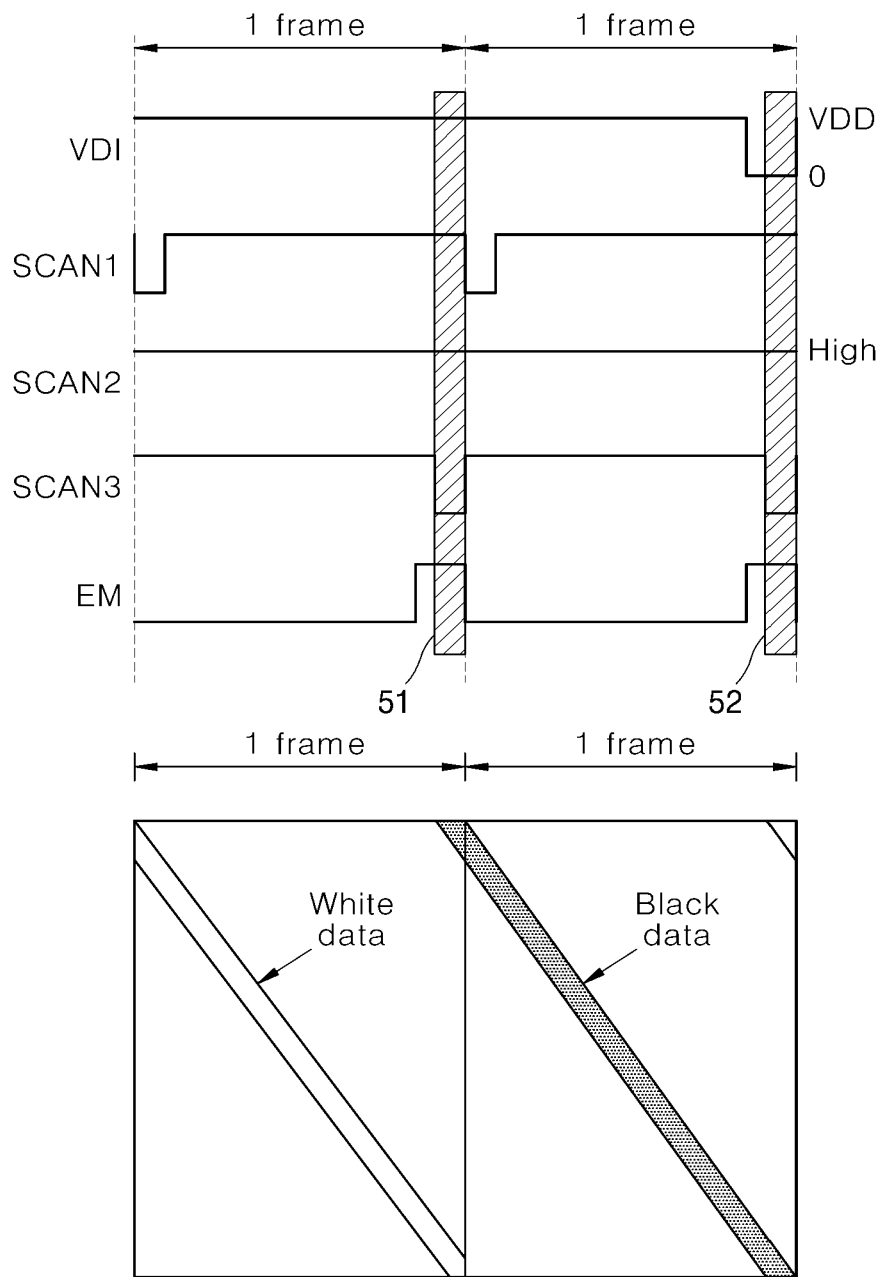
도면3



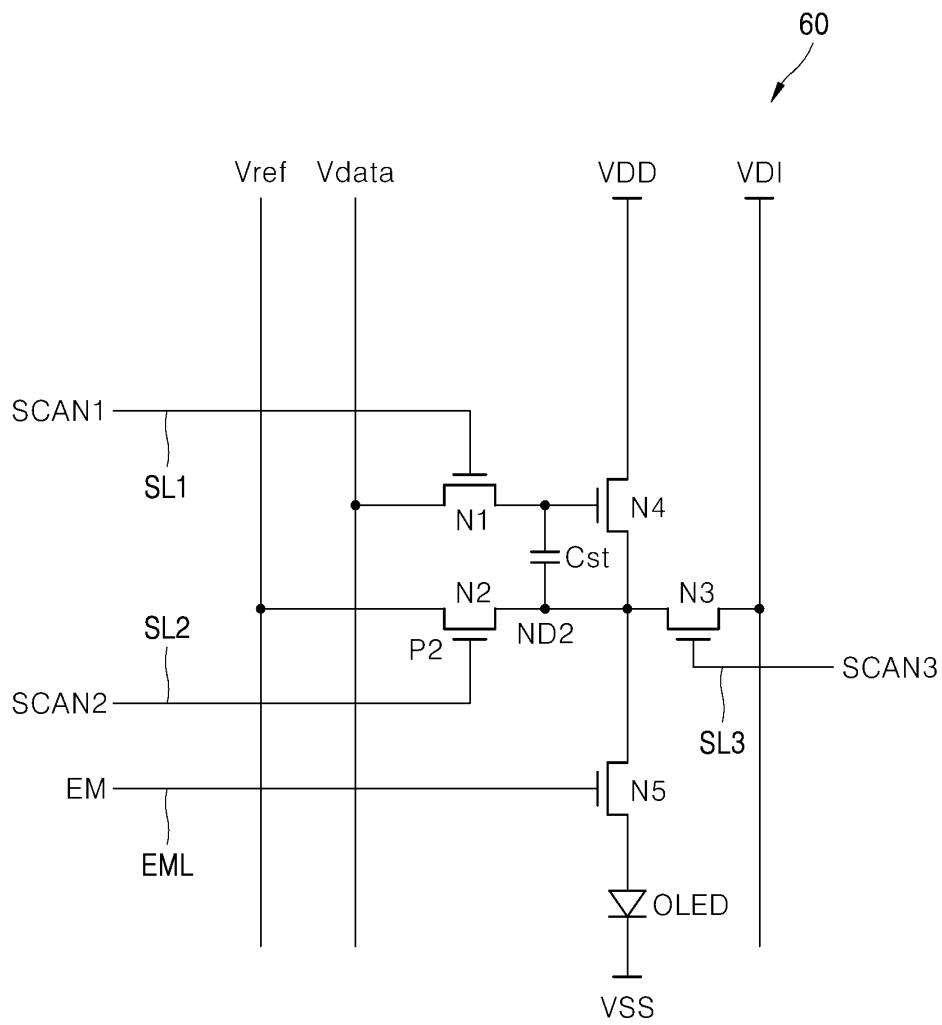
도면4



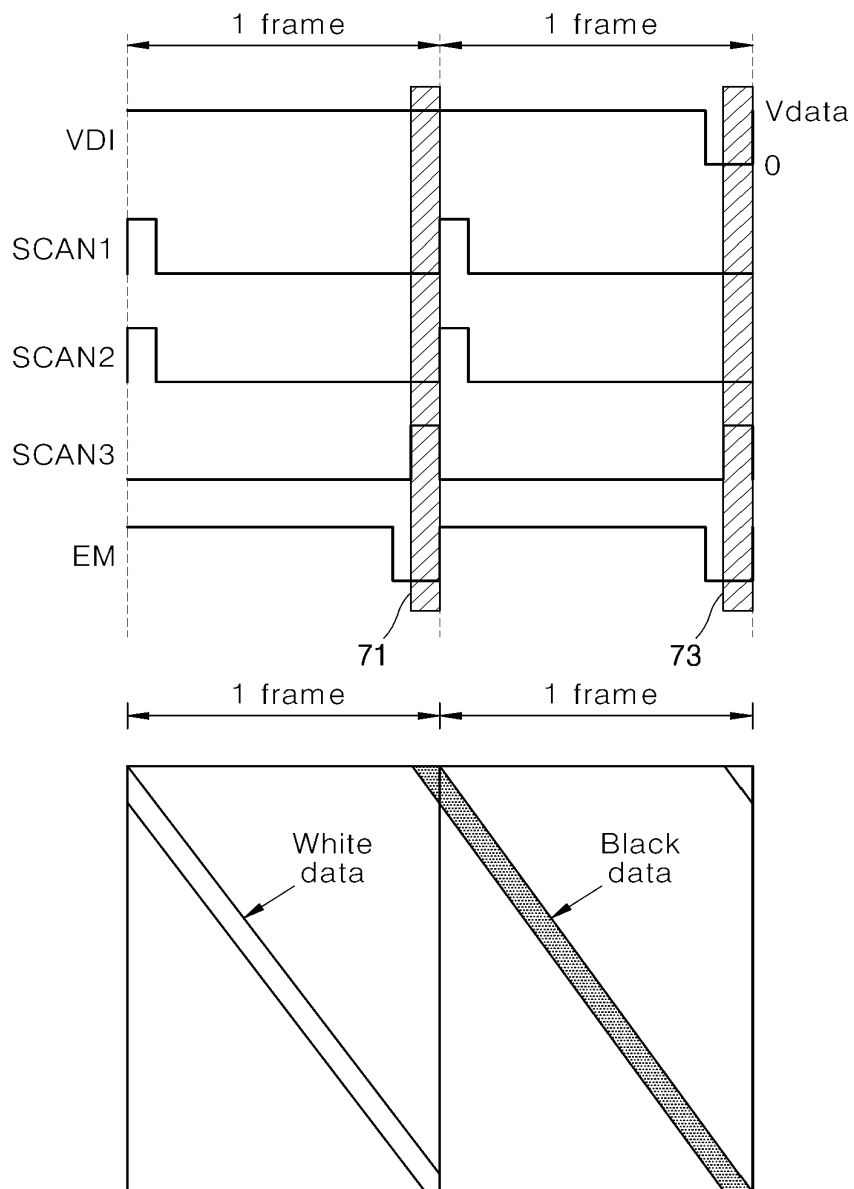
도면5



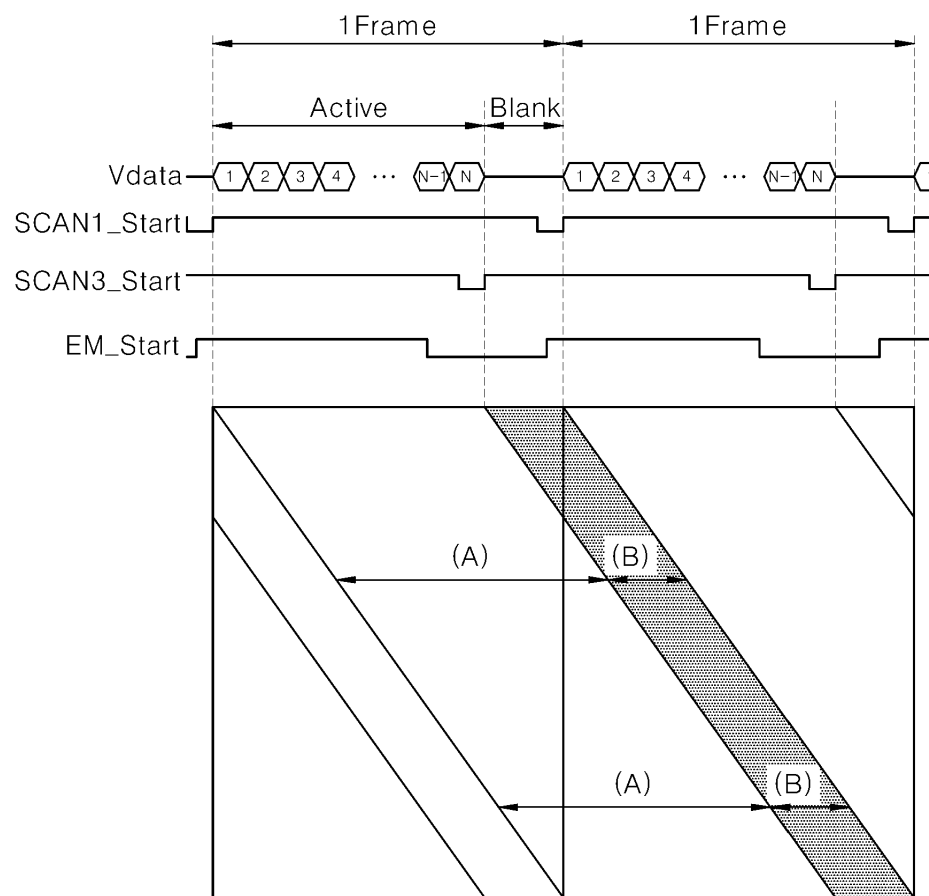
도면6



도면7



도면8



专利名称(译)	有机发光二极管显示装置及其驱动方法		
公开(公告)号	KR1020190074813A	公开(公告)日	2019-06-28
申请号	KR1020170176450	申请日	2017-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이승주 이현재 김종택		
发明人	이승주 이현재 김종택		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/043 G09G2300/0842 G09G2310/0286 G09G2310/08 G09G2320/0233 G09G2320/0257		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器及其驱动方法技术领域本发明涉及有机发光二极管显示器及其驱动方法。根据本发明实施例的有机发光二极管显示器包括显示面板，该显示面板包括多个子像素，其中，数据线和栅极线相交并布置成矩阵，并且数据电压通过数据线施加到子像素。数据驱动器通过栅极线将扫描信号提供给子像素；以及用于控制数据驱动器和栅极驱动器的时序控制器，其中，时序控制器被配置为基于子像素的输入数据在补偿时段期间执行子操作。

