



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0055642
(43) 공개일자 2019년05월23일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3211 (2013.01)

H01L 27/3258 (2013.01)

(21) 출원번호 10-2017-0152579

(22) 출원일자 2017년11월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

염서준

경기도 파주시 월롱면 엘지로 245

고동국

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인(유한) 대아

전체 청구항 수 : 총 15 항

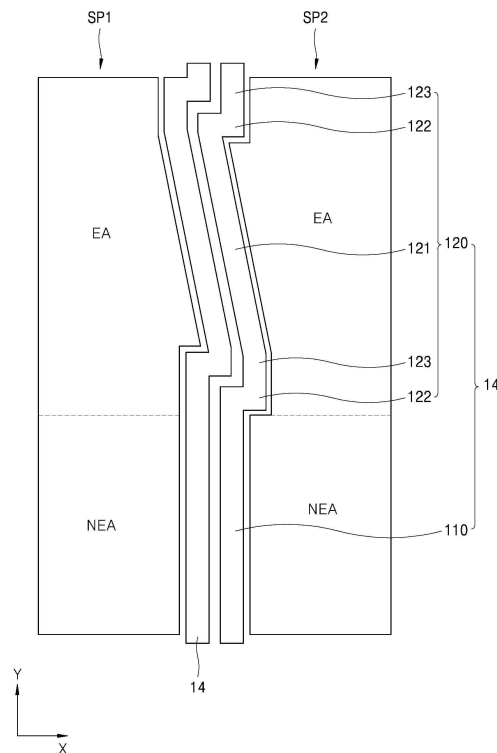
(54) 발명의 명칭 표시패널

(57) 요약

본 발명의 일 예시는 각 단위화소에 구비되고 서로 다른 색상에 대응하며 제 1 방향으로 나란하게 배열된 제 1, 제 2, 제 3 및 제 4 서브화소 각각의 발광영역에 배치되는 유기발광소자, 상기 제 1, 제 2, 제 3 및 제 4 서브화소 각각의 비발광영역에 배치되고 상기 유기발광소자에 구동전류를 공급하는 회로부, 상기 제 1 방향에 교차하는

(뒷면에 계속)

대표도 - 도3



제 2 방향으로 나란하게 배열된 서브화소들로 이루어진 각 수직라인에 대응하는 데이터라인을 포함하는 표시패널을 제공한다. 여기서, 상기 데이터라인은 상기 비발광영역 사이에 배치되고 상기 제 2 방향의 직선 형태로 이루어지는 일직선형상부, 및 상기 발광영역 사이에 배치되고 상기 제 2 방향에 비스듬한 사선과 상기 제 1 방향의 직선을 포함하는 형태로 이루어지는 다각형상부를 포함한다. 이로써, 각 단위화소의 양측 가장자리에 배치된 제 1 및 제 4 서브화소의 발광영역 사이의 최소 간격이 제 1 및 제 4 서브화소의 비발광영역 사이의 간격보다 작아질 수 있으므로, 제 1 및 제 4 서브화소에서 방출되는 광의 혼색이 용이해질 수 있다.

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

표시영역에 매트릭스 배열된 복수의 단위화소를 포함하고, 상기 각 단위화소는 서로 다른 색상에 대응하며 제 1 방향으로 나란하게 배열된 제 1, 제 2, 제 3 및 제 4 서브화소를 포함하는 표시패널에 있어서,

상기 제 1, 제 2, 제 3 및 제 4 서브화소 각각의 발광영역에 배치되는 유기발광소자;

상기 제 1, 제 2, 제 3 및 제 4 서브화소 각각의 비발광영역에 배치되고 상기 유기발광소자에 구동전류를 공급하는 회로부;

상기 제 1 방향에 교차하는 제 2 방향으로 나란하게 배열된 서브화소들로 이루어진 각 수직라인에 대응하는 데이터라인을 포함하고,

상기 데이터라인은

상기 비발광영역 사이에 배치되고 상기 제 2 방향의 직선 형태로 이루어지는 일직선형상부; 및

상기 발광영역 사이에 배치되고 상기 제 2 방향에 비스듬한 사선과 상기 제 1 방향의 직선을 포함하는 형태로 이루어지는 다각형상부를 포함하는 표시패널.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 서브화소와 상기 제 3 및 제 4 서브화소는 상기 제 2 및 제 3 서브화소 사이의 경계를 기준으로 상호 선대칭하는 형태인 표시패널.

청구항 3

제 2 항에 있어서,

상기 제 1 및 제 4 서브화소의 비발광영역 사이의 간격은 제 1 거리값이고,

상기 제 1 및 제 4 서브화소의 발광영역 중 적어도 일부 사이의 간격은 제 2 거리값 내지 제 3 거리값의 범위로 가변되며,

상기 제 2 거리값은 상기 제 1 거리값보다 작고, 상기 제 3 거리값은 상기 제 1 거리값보다 큰 표시패널.

청구항 4

제 1 항에 있어서,

상기 데이터라인은 상기 제 1 및 제 2 서브화소 사이와 상기 제 3 및 제 4 서브화소 사이에 각각 두 개씩 나란하게 배치되고,

상기 제 1 및 제 2 서브화소 사이에 배치된 두 개의 데이터라인과, 상기 제 3 및 제 4 서브화소 사이에 배치된 두 개의 데이터라인은 상기 제 2 및 제 3 서브화소 사이의 경계를 기준으로 상호 선대칭하는 형태인 표시패널.

청구항 5

제 1 항에 있어서,

상기 일직선형상부와 상기 다각형상부는 상호 동일한 층에 배치되는 표시패널.

청구항 6

제 1 항에 있어서,

상기 다각형상부 중 적어도 일부는 상기 일직선형상부와 상이한 층에 배치되고 콘택홀을 통해 상기 일직선형상부에 연결되며, 나머지 다른 일부는 상기 일직선형상부와 동일한 층에 배치되는 표시패널.

청구항 7

제 1 항에 있어서,

상기 데이터라인의 상기 다각형상부 중 상기 제 1 방향의 직선 형태로 이루어진 일부는 상기 일직선형상부와 상이한 층에 배치되고, 나머지 다른 일부는 상기 일직선형상부와 동일한 층에 배치되는 표시패널.

청구항 8

제 1 항에 있어서,

제 1 구동전원을 공급하는 제 1 전원라인; 및

기준전원을 공급하는 기준전원라인을 더 포함하고,

상기 제 1 전원라인 및 상기 기준전원라인 각각은 둘 이상의 수직라인에 대응하며 상기 제 2 방향의 직선 형태로 이루어지고,

상기 제 1 전원라인 및 상기 기준전원라인 중 어느 하나는 상기 제 2 및 제 3 서브화소 사이에 배치되며 다른 나머지 하나는 상기 제 1 및 제 4 서브화소 사이에 배치되는 표시패널.

청구항 9

제 8 항에 있어서,

상기 회로부는 상기 제 1 전원라인 및 상기 제 1 구동전원보다 낮은 전위의 제 2 구동전원을 공급하는 제 2 전원라인 사이에 상기 유기발광소자와 직렬로 연결되고 상기 유기발광소자에 구동전류를 공급하는 제 1 박막트랜지스터;

상기 제 1 박막트랜지스터의 게이트전극에 연결된 제 1 노드 및 상기 제 1 박막트랜지스터와 상기 유기발광소자 사이의 제 2 노드 사이에 배치되는 스토리지 커패시터;

상기 제 1 노드 및 상기 데이터라인 사이에 연결되는 제 2 박막트랜지스터; 및

상기 제 2 노드 및 상기 기준전원라인 사이에 연결되는 제 3 박막트랜지스터를 포함하는 표시패널.

청구항 10

제 9 항에 있어서,

상기 제 1, 제 2 및 제 3 박막트랜지스터 중 적어도 어느 하나는

기관 상에 배치되는 차광층;

상기 차광층을 덮는 버퍼절연막 상에 배치되고 상기 차광층에 중첩하는 액티브층;

상기 액티브층을 덮는 게이트절연막 상에 배치되고 상기 액티브층의 일부에 중첩하는 게이트전극; 및

상기 액티브층 및 상기 게이트전극을 덮는 층간절연막 상에 배치되고 상기 액티브층의 양측 가장자리에 중첩하는 소스전극과 드레인전극을 포함하는 표시패널.

청구항 11

제 10 항에 있어서,

상기 데이터라인, 상기 제 1 전원라인 및 상기 기준전원라인은 상기 층간절연막 상에 배치되는 표시패널.

청구항 12

제 10 항에 있어서,

상기 제 1 전원라인 및 상기 기준전원라인은 상기 층간절연막 상에 배치되고,

상기 데이터라인의 상기 일직선형상부는 상기 층간절연막 상에 배치되며,

상기 데이터라인의 상기 다각형상부 중 적어도 일부는 상기 일직선형상부와 상이한 층에 배치되고 콘택홀을 통해 상기 일직선형상부에 연결되며, 나머지 다른 일부는 상기 층간절연막 상에 배치되는 표시패널.

청구항 13

제 12 항에 있어서,

상기 게이트절연막과 상기 층간절연막 사이에 배치되는 중간절연막; 및

상기 중간절연막 상에 배치되고 콘택홀을 통해 상기 제 1 전원라인에 연결되는 제 1 브릿지패턴; 및

상기 중간절연막 상에 배치되고 콘택홀을 통해 상기 기준전원라인에 연결되는 제 2 브릿지패턴을 더 포함하는 표시패널.

청구항 14

제 13 항에 있어서,

상기 데이터라인의 상기 다각형상부 중 상기 제 1 방향의 직선 형태로 이루어진 일부는 상기 기판, 상기 버퍼절연막, 상기 게이트절연막 및 상기 층간절연막 중 어느 하나 상에 배치되는 표시패널.

청구항 15

제 1 항 내지 제 14 항 중 어느 한 항에 있어서,

상기 제 1 방향을 기준으로 상기 각 단위화소의 양측 가장자리에 배치되는 상기 제 1 및 제 4 서브화소 중 어느 하나는 적색에 대응하고 다른 나머지 하나는 녹색에 대응하며,

상기 제 1 및 제 4 서브화소 사이에 배치되는 제 2 및 제 3 서브화소 중 어느 하나는 백색에 대응하고 다른 나머지 하나는 청색에 대응하는 표시패널.

발명의 설명

기술 분야

본 발명은 표시영역에 매트릭스 배열되는 복수의 단위화소를 포함하고, 각 단위화소가 서로 다른 색상에 대응하

[0001]

는 네 개의 서브화소를 포함하는 표시패널에 관한 것이다.

배경 기술

- [0003] 표시장치(Display Device)는 TV, 휴대폰, 노트북 및 태블릿 등과 같은 다양한 전자기기에 적용된다. 이에 표시 장치의 박형화, 경량화 및 저소비전력화 등을 개발시키기 위한 연구가 계속되고 있다.
- [0004] 표시장치의 대표적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.
- [0005] 이러한 평판표시장치들은 영상 표시가 구현되는 평판의 표시패널과 표시패널을 구동하는 구동부를 포함하는 것이 일반적이다.
- [0006] 표시패널은 상호 대향 합착되는 한 쌍의 기판과, 한 쌍의 기판 사이에 배치되는 편광물질 또는 발광물질을 포함하는 구조로 이루어질 수 있다. 그리고, 표시패널은 영상이 표시되는 표시영역에 매트릭스 배열되고 각 영상프레임에 대응하는 광을 방출하는 복수의 단위화소를 포함한다.
- [0007] 그리고, 표시패널이 컬러영상을 표시하기 위하여, 각 단위화소는 서로 다른 기초색상에 대응한 둘 이상의 서브화소를 포함할 수 있다. 여기서, 기초색상은 적색(RED), 녹색(GREEN) 및 청색(BLUE)을 포함할 수 있다.
- [0008] 또한, 각 단위화소의 백색휘도를 향상시키기 위하여, 각 단위화소는 백색(WHITE)에 대응한 서브화소를 더 포함할 수 있다. 이 경우, 각 단위화소는 적색(RED), 녹색(GREEN), 청색(BLUE) 및 백색(WHITE)에 대응하는 네 개의 서브화소로 이루어질 수 있다.
- [0009] 이러한 각 단위화소는 서로 다른 색상에 대응한 둘 이상의 서브화소에서 각각의 휘도와 색상으로 방출되는 광의 혼합색으로 소정 컬러를 표시한다.
- [0010] 그런데, 각 단위화소가 일 방향으로 나란하게 배열된 네 개의 서브화소로 이루어진 경우, 양측 가장자리에 배치된 두 개의 서브화소는 이들 사이에 배치된 두 개의 서브화소에 대응하는 간격만큼 상호 이격된다. 그로 인해, 양측 가장자리에 배치된 두 개의 서브화소에서 방출된 광의 혼합색이 표시되기 어려운 문제점이 있다. 즉, 양측 가장자리에 배치된 두 개의 서브화소에 대응한 색상이 개별적으로 시인되는 문제점이 있다.
- [0011] 특히, 각 색상의 서브화소가 수직방향으로 나란하게 배열된 경우, 각 단위화소의 양측 가장자리에 배치된 두 개의 서브화소에 대응하는 색상이 수직라인 형태로 시인되는 색땀불량이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0013] 본 발명은 각 단위화소의 양측 가장자리에 배치된 두 개의 서브화소에서 방출되는 광의 혼합색이 표시되기가 용이해질 수 있는 표시패널을 제공하기 위한 것이다.
- [0014] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

- [0016] 본 발명의 일 예시는 표시영역에 매트릭스 배열된 복수의 단위화소를 포함하고, 상기 각 단위화소는 서로 다른 색상에 대응하며 제 1 방향으로 나란하게 배열된 제 1, 제 2, 제 3 및 제 4 서브화소를 포함하는 표시패널에 있어서, 상기 제 1, 제 2, 제 3 및 제 4 서브화소 각각의 발광영역에 배치되는 유기발광소자, 상기 제 1, 제 2,

제 3 및 제 4 서브화소 각각의 비발광영역에 배치되고 상기 유기발광소자에 구동전류를 공급하는 회로부, 상기 제 1 방향에 교차하는 제 2 방향으로 나란하게 배열된 서브화소들로 이루어진 각 수직라인에 대응하는 데이터라인을 포함하는 표시패널을 제공한다. 여기서, 상기 데이터라인은 상기 비발광영역 사이에 배치되고 상기 제 2 방향의 직선 형태로 이루어지는 일직선형상부, 및 상기 발광영역 사이에 배치되고 상기 제 2 방향에 비스듬한 사선과 상기 제 1 방향의 직선을 포함하는 형태로 이루어지는 다각형상부를 포함한다.

- [0017] 상기 제 1 및 제 2 서브화소와 상기 제 3 및 제 4 서브화소는 상기 제 2 및 제 3 서브화소 사이의 경계를 기준으로 상호 선대칭하는 형태일 수 있다.
- [0018] 상기 제 1 및 제 4 서브화소의 비발광영역 사이의 간격은 제 1 거리값이고, 상기 제 1 및 제 4 서브화소의 발광영역 중 적어도 일부 사이의 간격은 제 2 거리값 내지 제 3 거리값의 범위로 가변되며, 상기 제 2 거리값은 상기 제 1 거리값보다 작고, 상기 제 3 거리값은 상기 제 1 거리값보다 크다.
- [0019] 상기 데이터라인은 상기 제 1 및 제 2 서브화소 사이와 상기 제 3 및 제 4 서브화소 사이에 각각 두 개씩 나란하게 배치되고, 상기 제 1 및 제 2 서브화소 사이에 배치된 두 개의 데이터라인과, 상기 제 3 및 제 4 서브화소 사이에 배치된 두 개의 데이터라인은 상기 제 2 및 제 3 서브화소 사이의 경계를 기준으로 상호 선대칭하는 형태일 수 있다.
- [0020] 상기 일직선형상부와 상기 다각형상부는 상호 동일한 층에 배치될 수 있다.
- [0021] 또는, 상기 데이터라인의 상기 다각형상부 중 상기 제 1 방향의 직선 형태로 이루어진 일부는 상기 일직선형상부와 상이한 층에 배치되고, 나머지 다른 일부는 상기 일직선형상부와 동일한 층에 배치될 수 있다.
- [0022] 상기 제 1 방향을 기준으로 상기 각 단위화소의 양측 가장자리에 배치되는 상기 제 1 및 제 4 서브화소 중 어느 하나는 적색에 대응하고 다른 나머지 하나는 녹색에 대응하며, 상기 제 1 및 제 4 서브화소 사이에 배치되는 제 2 및 제 3 서브화소 중 어느 하나는 백색에 대응하고 다른 나머지 하나는 청색에 대응할 수 있다.

발명의 효과

- [0024] 본 발명의 각 실시예에 따르면, 표시영역에 매트릭스 배열되는 복수의 단위화소를 포함하고, 각 단위화소는 서로 다른 색상에 대응하며 제 1 방향으로 나란하게 배열되는 제 1, 제 2, 제 3 및 제 4 서브화소를 포함하는 표시패널에 있어서, 제 1 방향에 교차하는 제 2 방향으로 나란하게 배열된 서브화소들로 이루어진 각 수직라인에 대응한 데이터라인을 포함한다. 여기서, 데이터라인은 비발광영역 사이에 배치되고 제 2 방향의 직선 형태로 이루어지는 일직선형상부와, 발광영역 사이에 배치되고 제 2 방향에 비스듬한 사선과 제 1 방향의 직선을 포함하는 형태로 이루어지는 다각형상부를 포함한다.
- [0025] 이와 같이, 데이터라인이 발광영역 사이에서 사선과 제 1 방향의 직선을 포함하는 형태로 이루어짐으로써, 두 개의 제 1 방향으로 인접한 서브화소의 발광영역이 상호 대칭하고 상호 대향하는 방향으로 돌출된 영역을 포함하는 다각형 형태가 된다.
- [0026] 특히, 제 1 및 제 2 서브화소와 제 3 및 제 4 서브화소는 제 2 및 제 3 서브화소 사이의 경계를 기준으로 상호 선대칭하는 형태로 이루어진다. 이로써, 각 단위화소의 양측 가장자리에 배치된 제 1 및 제 4 서브화소의 발광영역 사이의 최소 간격이 제 1 및 제 4 서브화소의 비발광영역 사이의 간격보다 작아질 수 있다.
- [0027] 그러므로, 제 1 및 제 4 서브화소의 발광영역에서 방출되는 광의 혼색이 비교적 용이해질 수 있다. 그로 인해, 색감불량이 완화될 수 있는 장점이 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 제 1 실시예에 따른 유기발광표시장치를 나타낸 도면이다.
- 도 2는 도 1에 도시된 표시패널의 표시영역에 배치된 어느 하나의 단위화소를 구성하는 네 개의 서브화소에 대응한 등가회로의 일 예시를 나타낸 도면이다.
- 도 3은 본 발명의 제 1 실시예에 따른 표시패널에 있어서, 두 개의 인접한 서브화소와 이에 대응되는 데이터라인을 나타낸 도면이다.

도 4는 본 발명의 제 1 실시예에 따른 표시패널에 있어서, 어느 하나의 단위화소에 대응하는 제 1, 제 2, 제 3 및 제 4 서브화소를 나타낸 도면이다.

도 5는 도 3의 각 서브화소의 비발광영역에 배치되는 회로부에 대한 일 예시를 나타낸 도면이다.

도 6는 도 3의 A-A' 단면을 나타낸 도면이다.

도 7은 본 발명의 제 2 실시예에 따른 표시패널에 있어서, 두 개의 인접한 서브화소와 이에 대응되는 데이터라인을 나타낸 도면이다.

도 8, 도 9 및 도 10은 도 7의 B-B' 단면에 대한 예시들을 나타낸 도면이다.

도 11은 본 발명의 제 3 실시예에 따른 표시패널에 있어서, 어느 하나의 단위화소에 포함된 제 1, 제 2, 제 3 및 제 4 서브화소를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.
- [0031] 이하, 본 발명의 각 실시예에 따른 표시패널에 대하여 첨부한 도면을 참고로 하여 상세히 설명하기로 한다.
- [0032] 먼저 도 1 및 도 2를 참조하여 본 발명의 각 실시예에 따른 유기발광표시장치 및 그에 구비된 표시패널에 대해 설명한다.
- [0033] 도 1은 본 발명의 제 1 실시예에 따른 유기발광표시장치를 나타낸 도면이다. 도 2는 도 1에 도시된 표시패널의 표시영역에 배치된 어느 하나의 단위화소를 구성하는 네 개의 서브화소에 대응한 등가회로의 일 예시를 나타낸 도면이다.
- [0034] 도 1에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 유기발광표시장치는 영상이 표시되는 표시영역에 매트릭스 배열된 복수의 단위화소를 포함하는 표시패널(10)과, 표시패널(10)의 데이터라인(14)을 구동하는 데이터구동부(12)와, 표시패널(10)의 스캔라인(15)을 구동하는 게이트구동부(13)와, 데이터구동부(12) 및 게이트구동부(13) 각각의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 포함한다.
- [0035] 복수의 단위화소 각각은 서로 다른 색상에 대응하는 둘 이상의 서브화소(SP)를 포함한다. 각 서브화소(SP)는 상호 교차하는 스캔라인(15)과 데이터라인(14)에 의해 정의된 각 화소영역에 배치된다.
- [0036] 그리고, 표시패널(10)은 수평방향으로 나란하게 배열되는 서브화소(SP)들로 이루어진 각 수평라인에 대응한 스캔라인(15)과, 수직방향으로 나란하게 배열되는 서브화소(SP)들로 이루어진 각 수직라인에 대응한 데이터라인(14)을 더 포함한다.
- [0037] 도 1에 상세히 도시되지 않았으나, 각 수평라인에 대응하는 스캔라인(15)은 화소영역(SP)의 데이터를 기입하는 기간 동안 각 수평라인을 선택하기 위한 스캔신호(SCAN)를 공급하는 제 1 스캔라인, 및 화소영역(SP)의 데이터를 초기화하는 기간 동안 각 수평라인을 선택하기 위한 센스신호(SENSE)를 공급하는 제 2 스캔라인을 포함할 수 있다.
- [0038] 그리고, 표시패널(10)은 제 1 구동전원(EVDD)을 공급하는 제 1 전원라인과, 제 1 구동전원(EVDD)보다 낮은 전위의 제 2 구동전원(EVSS)을 공급하는 제 2 전원라인과, 기준전원(VREF)을 공급하는 기준전원라인을 더 포함할 수 있다. 여기서, 제 1 전원라인 및 기준전원라인 각각은 둘 이상의 수직라인에 대응될 수 있다. 그리고, 제 1 구동전원(VDD), 제 2 구동전원(VSS) 및 기준전원(VREF)은 데이터구동부(12)에 의해 공급될 수 있다.
- [0039] 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하고, 재정렬된 디지털 비디오 데이터(RGB')를 데이터구동부(12)에 공급한다.
- [0040] 그리고, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터구동부(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트구동부(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 공급한다.

- [0041] 데이터구동부(12)는 데이터 제어신호(DDC)에 기초하여 재정렬된 디지털 비디오 데이터(RGB')를 아날로그 데이터 전압으로 변환한다. 그리고, 데이터구동부(12)는 재정렬된 디지털 비디오 데이터(RGB')에 기초하여 각 수평기간 동안 데이터라인(15)을 통해 화소들에 데이터신호(VDATA)를 공급한다.
- [0042] 게이트구동부(13)는 게이트 제어신호(GDC)에 기초하여 각 수평라인에 대응하는 스캔신호(SCAN) 및 센스신호(SENSE)를 공급한다.
- [0044] 도 2에 도시한 바와 같이, 표시패널(10)에 배치된 어느 하나의 단위화소(UP)는 서로 다른 색상에 대응하고 제 1 방향(X 방향)으로 나란하게 배열되는 제 1, 제 2, 제 3 및 제 4 서브화소(SP1, SP2, SP3, SP4)를 포함한다.
- [0045] 여기서, 제 1, 제 2, 제 3 및 제 4 서브화소(SP1, SP2, SP3, SP4)는 적색(RED), 녹색(GREEN), 청색(BLUE) 및 백색(WHITE)에 대응될 수 있다. 예시적으로, 각 단위화소(UP)의 양측 가장자리에 배치되는 제 1 및 제 4 서브화소(SP1, SP4) 중 어느 하나는 적색(RED)에 대응되고, 다른 나머지 하나는 녹색(GREEN)에 대응될 수 있다. 그리고, 제 1 및 제 4 서브화소(SP1, SP4) 사이에 배치되는 제 2 및 제 3 서브화소(SP2, SP3) 중 어느 하나는 백색(WHITE)에 대응되고, 다른 나머지 하나는 청색(BLUE)에 대응될 수 있다. 즉, 도 2의 도시와 같이, 제 1, 제 2, 제 3 및 제 4 서브화소(SP1, SP2, SP3, SP4)는 순차적으로 적색(RED), 백색(WHITE), 청색(BLUE) 및 녹색(GREEN)에 대응될 수 있다.
- [0046] 표시패널(도 1의 10)은 각 수평라인에 스캔신호(SCAN)를 공급하는 제 1 스캔라인(15a) 및 각 수평라인에 센스신호(SENSE)를 공급하는 제 2 스캔라인(15b)을 포함한다.
- [0047] 그리고, 표시패널(도 1의 10)은 제 1 구동전원(EVDD)을 공급하는 제 1 전원라인(16), 제 2 구동전원(EVSS)을 공급하는 제 2 전원라인 및 기준전원(VREF)을 공급하는 기준전원라인(17)을 더 포함한다.
- [0048] 제 1, 제 2, 제 3 및 제 4 서브화소(SP1, SP2, SP3, SP4) 각각은 유기발광소자(OLED), 스토리지 커패시터(Cst), 제 1, 제 2, 제 3 박막트랜지스터(T1, T2, T3)를 포함할 수 있다. 여기서, 유기발광소자(OLED)는 각 서브화소의 발광영역(도 3의 EA)에 배치된다. 그리고, 유기발광소자(OLED)에 구동전류를 공급하기 위한 회로부는 스토리지 커패시터(Cst), 제 1, 제 2, 제 3 박막트랜지스터(T1, T2, T3)로 이루어지며 각 서브화소의 비발광영역(도 3의 NEA)에 배치된다.
- [0049] 유기발광소자(OLED)는 애노드전극과 캐소드전극, 및 이들 사이에 배치되는 유기발광층(미도시)을 포함한다. 예시적으로, 유기발광층은 정공주입층, 정공수송층, 발광층 및 전자수송층을 포함한다. 또는, 유기발광층은 전자주입층을 더 포함할 수 있다.
- [0050] 제 1 박막트랜지스터(T1)는 제 1 구동전원(EVDD)을 공급하는 제 1 전원라인(16)과 제 1 구동전원(EVDD)보다 낮은 전위의 제 2 구동전원(EVSS)을 공급하는 제 2 전원라인 사이에 유기발광소자(OLED)와 직렬로 연결된다.
- [0051] 스토리지 커패시터(Cst)는 제 1 박막트랜지스터(T1)의 게이트전극에 연결된 제 1 노드(ND1), 및 제 1 박막트랜지스터(T1)와 유기발광소자(OLED) 사이의 제 2 노드(ND2) 사이에 배치된다. 즉, 제 1 박막트랜지스터(T1)의 게이트전극이 스토리지 커패시터(Cst)에 연결되므로, 제 1 박막트랜지스터(T1)는 스토리지 커패시터(Cst)의 충전 전압에 기초하여 턴온된다.
- [0052] 그리고, 턴온된 제 1 박막트랜지스터(T1)를 통해, 구동전류가 유기발광소자(OLED)에 공급된다.
- [0053] 제 2 박막트랜지스터(T2)는 제 1 노드(ND1) 및 데이터라인(14) 사이에 연결된다. 제 2 박막트랜지스터(T2)는 제 1 스캔라인(15a)의 스캔신호(SCAN)에 기초하여 턴온하면 제 1 노드(ND1)에 데이터라인(14)의 데이터신호(VDATA)를 공급한다.
- [0054] 제 3 박막트랜지스터(T3)는 제 2 노드(ND2) 및 기준전원라인(17) 사이에 연결된다. 제 3 박막트랜지스터(T3)는 제 2 스캔라인(15b)의 센스신호(SENSE)에 기초하여 턴온하면 제 2 노드(ND2)에 기준전원(VREF)을 공급한다.
- [0056] 다음, 도 3 내지 도 6을 참조하여 본 발명의 제 1 실시예에 따른 표시패널에 대해 설명한다.
- [0057] 도 3은 본 발명의 제 1 실시예에 따른 표시패널에 있어서, 두 개의 인접한 서브화소와 이에 대응되는 데이터라인을 나타낸 도면이다. 도 4는 본 발명의 제 1 실시예에 따른 표시패널에 있어서, 어느 하나의 단위화소에 대응하는 제 1, 제 2, 제 3 및 제 4 서브화소를 나타낸 도면이다. 도 5는 도 3의 각 서브화소의 비발광영역에 배치

되는 회로부에 대한 일 예시를 나타낸 도면이다. 도 6는 도 3의 A-A' 단면을 나타낸 도면이다.

- [0059] 도 3에 도시한 바와 같이, 두 개의 제 1 방향(X)으로 인접한 서브화소(SP1, SP2) 각각은 광을 방출하는 유기발광소자(도 2의 OLED)가 배치되는 발광영역(EA)과, 유기발광소자(OLED)에 구동전류를 공급하는 회로부가 배치되는 비발광영역(NEA)을 포함한다. 여기서, 회로부는 스토리지 커패시터(도 2의 Cst), 제 1, 제 2 및 제 3 박막트랜지스터(도 2의 T1, T2, T3)를 포함할 수 있다.
- [0060] 서브화소(SP1, SP2) 간의 휘도 균일도를 위하여, 각 서브화소(SP1, SP2)는 동일한 회로부를 구비해야 하므로, 각 서브화소(SP1, SP2)의 비발광영역(NEA)은 소정 간격으로 이격되고 동일한 너비로 이루어질 수 있다.
- [0061] 그리고, 본 발명의 제 1 실시예에 따르면, 두 개의 인접한 서브화소(SP1, SP2)의 발광영역(EA)은 상호 대칭하고 상호 대향하는 방향으로 돌출된 형태이다.
- [0062] 이를 위해, 각 수직라인에 대응하는 데이터라인(14)은 인접한 서브화소(SP1, SP2)의 발광영역(EA) 사이에 배치되고 제 1 및 제 2 방향(X, Y)에 비스듬한 사선(121)을 포함하는 형태로 마련된다.
- [0063] 구체적으로 두 개의 제 1 방향(X)으로 인접한 서브화소(SP1, SP2)에 대응하는 두 개의 데이터라인(14)은 두 개의 인접한 서브화소(SP1, SP2) 사이에 배치될 수 있다.
- [0064] 그리고, 각 데이터라인(14)은 인접한 서브화소(SP1, SP2)의 비발광영역(NEA) 사이에 배치되는 일직선형상부(110)와, 인접한 서브화소(SP1, SP2)의 발광영역(EA) 사이에 배치되는 다각형상부(120)를 포함한다.
- [0065] 일직선형상부(110)는 제 2 방향(Y)에 평행한 직선 형태로 이루어진다.
- [0066] 다각형상부(120)는 제 1 방향(X) 및 제 2 방향(Y)에 비스듬한 사선(121)과 제 1 방향(X)에 평행한 직선(122)을 포함하는 형태로 이루어진다.
- [0067] 즉, 다각형상부(120)는 적어도 하나의 사선(121)과 사선(121)의 양측에 배치된 둘 이상의 직선(122, 123)이 다수의 모서리로 연결된 다각 형태로 이루어질 수 있다.
- [0068] 예시적으로, 도 3과 같이, 다각형상부(120)는 하나의 사선(121)과, 사선(121)의 양측에 각각 배치되는 제 2 방향(Y)의 직선(123) 및 제 1 방향(X)의 직선(122)을 포함할 수 있다.
- [0069] 이와 같이, 데이터라인(14)의 다각형상부(120)가 적어도 하나의 사선(121)을 포함함으로써, 각 서브화소(SP1, SP2)의 발광영역(EA)이 상호 대향하는 방향으로 돌출된 형태로 이루어질 수 있다.
- [0070] 그리고, 데이터라인(14)의 다각형상부(120)가 사선(121)의 양측에 제 1 방향의 직선(122)을 포함함으로써, 각 서브화소(SP1, SP2)의 비발광영역(NEA)이 동일한 너비로 이루어지고 비발광영역(NEA) 간의 간격이 비교적 유사해질 수 있다. 여기서, 제 1 방향의 직선(122)은 사선(121)의 일측에 직접 연결될 수 있다. 또는, 제 1 방향의 직선(122)은 제 2 방향의 직선(123)을 사이에 두고 사선(121)의 일측에 연결될 수도 있다.
- [0071] 이러한 데이터라인(14)의 다각형상부(120)는 적어도 하나의 사선(121)을 포함하는 형태라면 어느 것으로든 변형될 수 있다. 이에 대한 다른 일 예시는 이하에서 도 11을 참조하여 설명한다.
- [0073] 도 4에 도시한 바와 같이, 표시패널(도 1의 10)은 제 1 구동전원(도 2의 EVDD)을 공급하는 제 1 전원라인(16) 및 기준전원(도 2의 VREF)을 공급하는 기준전원라인(17)을 더 포함할 수 있다.
- [0074] 제 1 전원라인(16) 및 기준전원라인(17) 각각은 둘 이상의 수직라인에 대응하고, 제 2 방향(Y)의 직선 형태로 이루어질 수 있다.
- [0075] 일 예로, 제 1 전원라인(16)은 각 단위화소(UP)에 대응하는 네 개의 서브화소(SP1, SP2, SP3, SP4)에 제 1 구동전원(EVDD)을 공급하기 위한 것일 수 있다.
- [0076] 그리고, 기준전원라인(17)은 두 개의 인접한 서브화소(SP1, SP2)(SP3, SP4)에 기준전원(VREF)을 공급하기 위한 것일 수 있다.
- [0077] 이러한 제 1 전원라인(16) 및 기준전원라인(17) 중 어느 하나는 제 2 및 제 3 서브화소(SP2, SP3) 사이에 배치되고, 다른 나머지 하나는 제 1 및 제 4 서브화소(SP1, SP4) 사이에 배치될 수 있다.

- [0078] 즉, 도 4의 도시와 같이, 제 1 전원라인(16)은 제 2 및 제 3 서브화소(SP2, SP3) 사이에 배치되고, 기준전원라인(17)은 단위화소(UP) 사이, 즉 제 1 및 제 4 서브화소(SP1, SP4) 사이에 배치될 수 있다.
- [0079] 어느 하나의 단위화소(UP)는 서로 다른 색상에 대응하고 제 1 방향(도 3의 좌우방향)으로 나란하게 배열된 제 1, 제 2, 제 3 및 제 4 서브화소(SP1, SP2, SP3, SP4)를 포함한다.
- [0080] 여기서, 제 1, 제 2, 제 3 및 제 4 서브화소(SP1, SP2, SP3, SP4)는 적색(RED), 녹색(GREEN), 청색(BLUE) 및 백색(WHITE)에 대응될 수 있다. 예시적으로, 각 단위화소(UP)의 양측 가장자리에 배치되는 제 1 및 제 4 서브화소(SP1, SP4) 중 어느 하나는 적색(RED)에 대응되고, 다른 나머지 하나는 녹색(GREEN)에 대응될 수 있다. 그리고, 제 1 및 제 4 서브화소(SP1, SP4) 사이에 배치되는 제 2 및 제 3 서브화소(SP2, SP3) 중 어느 하나는 백색(WHITE)에 대응되고, 다른 나머지 하나는 청색(BLUE)에 대응될 수 있다.
- [0081] 제 1, 제 2, 제 3 및 제 4 서브화소(SP1, SP2, SP3, SP4) 각각은 광을 방출하는 유기발광소자(도 2의 OLED)가 배치되는 발광영역(EA)과, 유기발광소자(OLED)에 구동전류를 공급하는 회로부가 배치되는 비발광영역(NEA)을 포함한다. 여기서, 회로부는 스토리지 커패시터(도 2의 Cst), 제 1, 제 2 및 제 3 박막트랜지스터(도 2의 T1, T2, T3)를 포함할 수 있다.
- [0082] 각 데이터라인(141, 142, 143, 144)은 각 서브화소(SP1, SP2, SP3, SP4)의 비발광영역(NEA)에 대응하는 일직선 형상부(도 3의 110)와, 각 서브화소(SP1, SP2, SP3, SP4)의 발광영역(EA)에 대응하는 다각형상부(도 3의 120)를 포함한다. 여기서, 일직선형상부(110)는 제 2 방향(Y)의 직선 형태로 이루어지고, 다각형상부(120)는 적어도 하나의 사선(도 3의 121)과 사선(121)의 양측에 배치되는 제 1 방향(X)의 직선(도 3의 122)을 포함하는 형태로 이루어진다.
- [0083] 이러한 데이터라인(141, 142, 143, 144)으로 인해, 제 1 방향으로 인접한 두 개의 서브화소(SP1, SP2)(SP3, SP4)의 비발광영역(NEA)은 상호 동일한 형태로 이루어지고, 발광영역(EA)은 상호 대향하는 방향, 즉, 데이터라인(141, 142)(143, 144)을 향하여 돌출된 형태로 이루어질 수 있다.
- [0084] 더불어, 제 1 및 제 2 서브화소(SP1, SP2)에 대응하는 두 개의 데이터라인(141, 142)은 제 1 및 제 2 서브화소(SP1, SP2) 사이에 배치되고, 제 3 및 제 4 단위화소(SP3, SP4)에 대응하는 두 개의 데이터라인(143, 144)은 제 3 및 제 4 단위화소(SP3, SP4) 사이에 배치될 수 있다.
- [0085] 그리고, 제 1 및 제 2 서브화소(SP1, SP2) 사이에 배치된 두 개의 데이터라인(141, 142)과 제 3 및 제 4 단위화소(SP3, SP4) 사이에 배치된 두 개의 데이터라인(143, 144)은 각 단위화소(UP)의 중앙에 대응하는 제 2 및 제 3 서브화소(SP2, SP3) 사이의 경계를 기준으로 상호 선대칭하는 형태이다.
- [0086] 그로 인해, 각 단위화소(UP)의 일측에 배치되는 제 1 및 제 2 서브화소(SP1, SP2)와 각 단위화소(UP)의 다른 일측에 배치되는 제 3 및 제 4 단위화소(SP3, SP4)는 제 2 및 제 3 서브화소(SP2, SP3) 사이의 경계를 기준으로 상호 선대칭하는 형태가 된다.
- [0087] 이로써, 각 단위화소(UP)의 양측 가장자리에 배치되는 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA)은 상호 대향하는 방향으로 돌출된 영역을 포함한다.
- [0088] 이에 따라, 제 1 및 제 4 서브화소(SP1, SP4)의 비발광영역(NEA) 사이의 간격이 제 1 거리값(d1)인 경우, 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA) 중 적어도 일부 사이의 간격은 제 2 거리값(d2) 내지 제 3 거리값(d3) 사이의 범위로 가변된다. 여기서, 제 2 거리값(d2)는 제 1 거리값(d1)보다 작고, 제 3 거리값(d3)는 제 1 거리값(d1)보다 크다.
- [0089] 즉, 데이터라인(141, 144)이 적어도 하나의 사선(도 3의 121)을 포함하는 형태의 다각형상부(120)를 포함함에 따라, 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA) 사이의 최소 간격(d2)은 비발광영역(NEA) 사이의 간격(d1)보다 작고, 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA) 사이의 최대 간격(d3)은 비발광영역(NEA) 사이의 간격(d1)보다 커질 수 있다.
- [0090] 이와 같이, 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA) 사이의 간격이 비발광영역(NEA) 사이의 간격(d1)보다 작은 영역이 발생된다.
- [0091] 즉, 각 단위화소(UP)의 양측 가장자리에 배치된 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA)의 일부에서 비발광영역(NEA) 사이의 간격(d1)보다 짧은 거리로 이격된다.
- [0092] 이로써, 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA) 사이의 간격이 제 1 거리값(d1)으로 유지되는 일반적

인 경우에 비해, 제 1 및 제 4 서브화소(SP1, SP4)에서 방출되는 광의 혼색이 용이해질 수 있다. 그러므로, 제 1 및 제 4 서브화소(SP1, SP4)에서 방출되는 광의 혼합색이 표시되기가 더욱 용이해질 수 있다.

- [0094] 도 5에 도시한 바와 같이, 각 서브화소(SP1, SP2, SP3, SP4)는 발광영역(도 4의 EA)에 배치되는 유기발광소자(OLED) 및 비발광영역(도 4의 NEA)에 배치되는 회로부를 포함한다.
- [0095] 예시적으로, 도 2의 도시와 같이, 회로부는 스토리지 커패시터(Cst), 제 1, 제 2, 제 3 박막트랜지스터(T1, T2, T3)로 이루어질 수 있다.
- [0096] 유기발광소자(OLED)는 발광영역(EA)에 대응하는 애노드전극(201)을 포함할 수 있다. 여기서, 애노드전극(201)은 비발광영역(NEA)에 배치되는 연장부를 포함한다.
- [0097] 제 1 박막트랜지스터(T1)는 제 1 스캔라인(15a)으로부터 이격되고 발광영역(도 4의 EA)에 인접한 게이트전극(211), 일부가 게이트전극(211)에 중첩하는 액티브층(212) 및 액티브층(212)의 양측 가장자리에 중첩하는 소스전극 및 드레인전극을 포함한다.
- [0098] 여기서, 제 1 박막트랜지스터(T1)의 소스전극 및 드레인전극 중 어느 하나는 제 1 전원라인(16)에 연결되고 다른 나머지 하나는 유기발광소자의 애노드전극(201)의 연장부에 중첩된다.
- [0099] 다만, 제 1 전원라인(16)에 인접한 서브화소(SP2)의 경우, 제 1 박막트랜지스터(T1)는 제 1 전원라인(16)에 직접 연결된다. 반면, 적어도 하나의 서브화소(SP2)를 사이에 둔 상태로 제 1 전원라인(16)으로부터 이격된 서브화소(SP1)의 경우, 제 1 박막트랜지스터(T1)는 제 1 브릿지패턴(16')을 통해 제 1 전원라인(16)에 연결된다.
- [0100] 제 2 박막트랜지스터(T2)는 제 1 스캔라인(15a)의 일부로 이루어진 게이트전극과 그에 중첩하는 액티브층(221), 및 액티브층(221)의 양측 가장자리에 소스전극 및 드레인전극을 포함한다.
- [0101] 여기서, 제 2 박막트랜지스터(T2)의 소스전극 및 드레인전극 중 어느 하나는 데이터라인(14)에 연결되고 다른 나머지 하나는 제 1 박막트랜지스터(T1)의 게이트전극(211)에 중첩한다.
- [0102] 제 3 박막트랜지스터(T3)는 제 2 스캔라인(15b)의 일부로 이루어진 게이트전극과 그에 중첩하는 액티브층(231), 및 액티브층(231)의 양측 가장자리에 소스전극 및 드레인전극을 포함한다.
- [0103] 여기서, 제 3 박막트랜지스터(T3)의 소스전극 및 드레인전극 중 어느 하나는 기준전원라인(17)에 연결되고, 다른 나머지 하나는 애노드전극(201)의 연장부에 중첩된다.
- [0104] 다만, 기준전원라인(17)에 인접한 서브화소(SP1)의 경우, 제 3 박막트랜지스터(T3)는 기준전원라인(17)에 직접 연결된다. 반면, 적어도 하나의 서브화소(SP1)를 사이에 둔 상태로 기준전원라인(17)으로부터 이격된 서브화소(SP2)의 경우, 제 3 박막트랜지스터(T3)는 제 2 브릿지패턴(17')을 통해 기준전원라인(17)에 연결된다.
- [0105] 스토리지 커패시터(Cst)는 제 1 박막트랜지스터(T1)의 게이트전극(211) 및 그에 연결되는 제 2 박막트랜지스터(T2)의 전극 중 적어도 하나와 애노드전극(201)의 연장부가 중첩하는 영역에서 발생할 수 있다.
- [0107] 도 6에 도시한 바와 같이, 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3) 중 적어도 어느 하나(예를 들면, 제 2 박막트랜지스터(T2))는 기판(301) 상에 배치되는 차광층(310), 차광층(310)을 덮는 버퍼절연막(302) 상에 배치되고 차광층(310)에 중첩하는 액티브층(221), 액티브층(221)을 덮는 게이트절연막(303) 상에 배치되는 게이트전극(15a), 게이트전극(15a)을 덮는 중간절연막(305) 상에 배치되고 액티브층(221)의 양측 가장자리에 중첩하는 소스전극(222)과 드레인전극(223)을 포함할 수 있다.
- [0108] 여기서, 데이터라인(14), 제 1 전원라인(16) 및 기준전원라인(17)은 소스전극(222) 및 드레인전극(223)과 동일층인 중간절연막(305) 상에 배치될 수 있다.
- [0109] 그리고, 표시패널(도 1의 10)은 게이트절연막(303)과 중간절연막(305) 사이에 배치되는 중간절연막(304)을 더 포함하고, 제 1 및 제 2 브릿지패턴(16', 17')은 중간절연막(304) 상에 배치될 수 있다.
- [0110] 이상과 같이, 본 발명의 제 1 실시예에 따르면, 데이터라인(14)은 두 개의 제 1 방향으로 인접한 서브화소(SP1, SP2)의 발광영역(EA) 사이에 대응하고 적어도 하나의 사선(121) 및 제 1 방향의 직선(122)을 포함하는 형태로 이루어진다. 이에 따라, 두 개의 인접한 서브화소(SP1, SP2)의 발광영역(EA)은 상호 점대칭하고 상호 대향하는

방향으로 돌출된 형태로 이루어진다.

- [0111] 그리고, 각 단위화소(UP)의 일측에 대응하는 두 개의 서브화소(SP1, SP2)와 각 단위화소(UP)의 다른 일측에 대응하는 두 개의 서브화소(SP3, SP4)는 각 단위화소(UP)의 중앙에 대응하는 제 2 및 제 3 서브화소(SP2, SP3) 사이의 경계를 기준으로 상호 선대칭하는 형태이다.
- [0112] 이로써, 각 단위화소(UP)의 양측 가장자리에 배치되는 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA)은 상호 점대칭하고 상호 대향하는 방향으로 돌출된 형태가 된다. 그러므로, 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA) 중 일부 사이의 간격(d2)이 제 1 및 제 4 서브화소(SP1, SP4)의 비발광영역(NEA) 사이의 간격(d1)보다 작아질 수 있다. 따라서, 제 1 및 제 4 서브화소(SP1, SP4)에서 방출된 광의 혼색이 용이해질 수 있다.
- [0114] 한편, 두 개의 제 1 방향으로 인접한 서브화소(SP1, SP2)에 대응하는 두 개의 데이터라인(141, 142)은 두 개의 서브화소(SP1, SP2) 사이에 배치된다.
- [0115] 그런데, 각 데이터라인(14)은 발광영역(EA)에 대응하고 적어도 하나의 사선(121) 및 제 1 방향의 직선(122)을 포함하는 형태의 다각형상부(120)를 포함한다. 즉, 각 데이터라인(14)의 모서리에 대한 패터닝 공정 마진이 두 개의 데이터라인(141, 142) 사이의 간격에 추가되어야 하므로, 두 개의 데이터라인(141, 142) 사이의 간격이 감소되는 데에 한계가 있는 문제점이 있다.
- [0116] 이를 해결하기 위하여, 본 발명의 제 2 실시예에 따르면, 데이터라인(14)의 다각형상부(120) 중 적어도 일부는 일직선형상부(110)와 다른 층에 배치된다.
- [0117] 도 7은 본 발명의 제 2 실시예에 따른 표시패널에 있어서, 두 개의 인접한 서브화소와 이에 대응되는 데이터라인을 나타낸 도면이다. 도 8, 도 9 및 도 10은 도 7의 B-B' 단면에 대한 예시들을 나타낸 도면이다.
- [0118] 도 7에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 표시패널은 데이터라인(14')의 다각형상부(120')가 일직선형상부(110)와 상이한 층에 배치되는 일부를 포함하는 점을 제외하면, 도 2 내지 도 6에 도시된 제 1 실시예와 동일하므로 이하에서 중복 설명을 생략한다.
- [0119] 도 7에 도시한 바와 같이, 제 2 실시예에 따르면, 데이터라인(14')의 다각형상부(120') 중 제 1 방향(X)의 직선 형태로 이루어진 일부(122')는 일직선형상부(110)와 상이한 층에 배치되는 별개의 패턴으로 이루어지고, 라인콘택홀(LH)을 통해 다각형상부(120')의 다른 일부(121, 123) 또는 일직선형상부(110)에 연결된다.
- [0120] 도 8에 도시한 바와 같이, 데이터라인(14')의 다각형상부(120') 중 제 1 방향(X)의 직선 형태로 이루어진 일부(122')는 제 1 및 제 2 스캔라인(15a, 15b)과 동일층에 배치될 수 있다. 즉, 게이트절연막(303) 상에 배치될 수 있다.
- [0121] 그리고, 데이터라인(14')의 일직선형상부(110)와, 데이터라인(14')의 다각형상부(120') 중 사선 형태(121) 및 제 2 방향(Y)의 직선(123)으로 이루어진 다른 일부는 소스전극 및 드레인전극(222, 223)과 동일층에 배치될 수 있다. 즉, 층간절연막(305) 상에 배치될 수 있다.
- [0122] 또는, 도 9에 도시한 바와 같이, 데이터라인(14')의 다각형상부(120') 중 제 1 방향(X)의 직선 형태로 이루어진 일부(122')는 액티브층(221)과 동일층에 배치될 수 있다. 즉, 버퍼절연막(302) 상에 배치될 수 있다.
- [0123] 이 경우, 액티브층(221)은 산화물반도체물질로 이루어지고, 데이터라인(14')의 다각형상부(120') 중 제 1 방향(X)의 직선 형태로 이루어진 일부(122')는 도체화된 산화물반도체물질로 이루어질 수 있다. 또는, 액티브층(221)은 저온성장폴리실리콘(LTPS)반도체물질로 이루어지고, 데이터라인(14')의 다각형상부(120') 중 제 1 방향(X)의 직선 형태로 이루어진 일부(122')는 고농도로 도핑된 저온성장폴리실리콘(LTPS)반도체물질로 이루어질 수 있다.
- [0124] 또는, 도 10에 도시한 바와 같이, 데이터라인(14')의 다각형상부(120') 중 제 1 방향(X)의 직선 형태로 이루어진 일부(122')는 제 1 및 제 2 브릿지패턴(16', 17')과 동일층에 배치될 수 있다. 즉, 층간절연막(304) 상에 배치될 수 있다.
- [0125] 이상과 같이, 본 발명의 제 2 실시예에 따르면, 데이터라인(14')의 다각형상부(120') 중 제 1 방향(X)의 직선 형태로 이루어진 일부(122')를 일직선형상부(110)와 상이한 층에 배치하고 라인콘택홀(LH)을 통해 다각형상부(120')의 다른 일부(121, 123)에 연결한다.

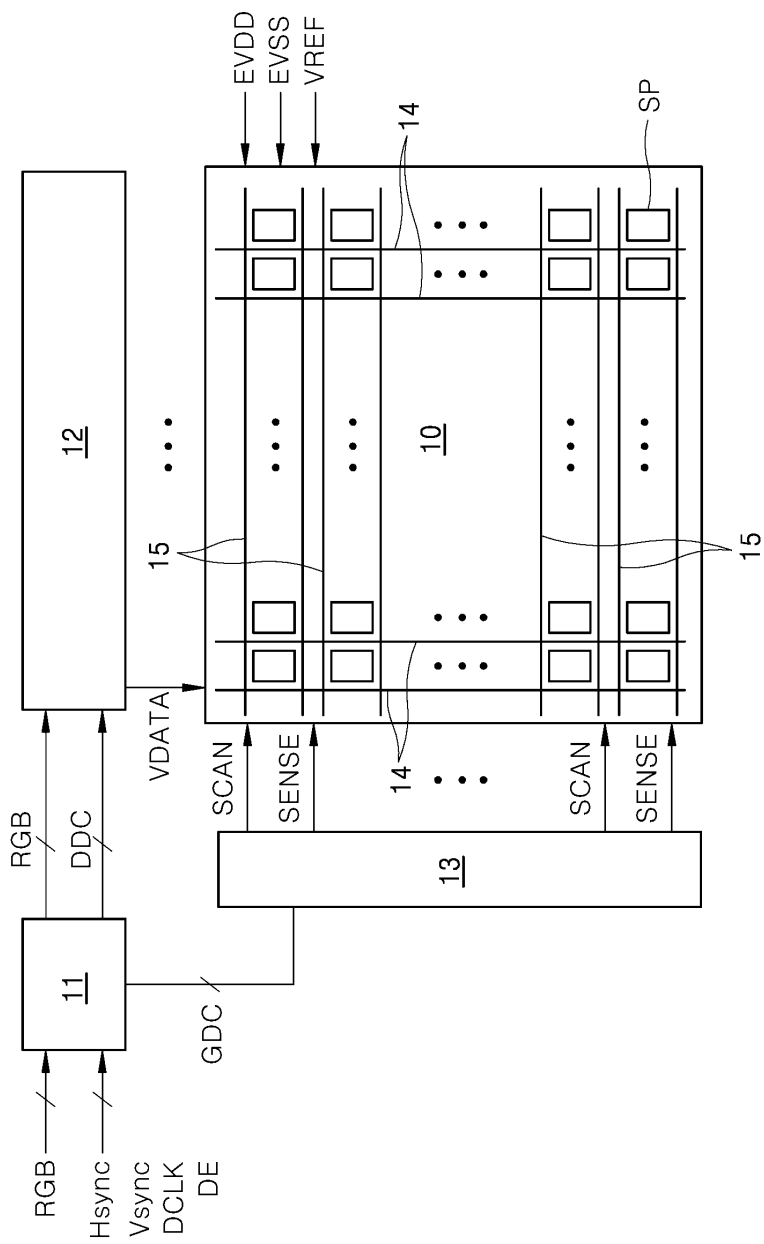
- [0126] 제 1 실시예와 같이, 데이터라인(14)이 동일층에 배치되는 구조로 이루어진 경우, 두 개의 데이터라인(14) 사이의 간격(도 5의 G1)이 다각형상부(120)의 모서리에 의한 패터닝 공정 마진을 포함해야 하므로, 감소되는 데에 한계가 있는 문제점이 있다.
- [0127] 그러나, 제 2 실시예와 같이, 데이터라인(14')이 다각형상부(120')의 일부를 일직선형상부(110)과 상이한 층에 배치하는 구조로 이루어지면, 두 개의 데이터라인(14') 사이의 간격(도 7의 G2)은 패터닝 공정 마진보다 작은 콘택홀 공정 마진을 포함할 수 있다. 이로써, 두 개의 데이터라인(14') 사이의 간격(도 7의 G2)이 제 1 실시예에 따른 두 개의 데이터라인(14) 사이의 간격(G1)에 비해 감소될 수 있다.
- [0128] 그로 인해, 각 단위화소(UP)의 양측 가장자리에 배치되는 제 1 및 제 4 서브화소(SP1, SP4) 사이의 간격 또한 감소될 수 있으므로, 제 1 및 제 4 서브화소(SP1, SP4)에서 방출되는 광의 혼색이 더욱 용이해질 수 있다.
- [0130] 한편, 도 2 내지 도 10에 도시된 제 1 및 제 2 실시예에서, 데이터라인(14, 14')의 다각형상부(120, 120')는 하나의 사선(121)을 포함하는 것만을 예시하고 있으나, 본 발명은 이에 국한되지 않는다.
- [0131] 도 11은 본 발명의 제 3 실시예에 따른 표시패널에 있어서, 어느 하나의 단위화소에 포함된 제 1, 제 2, 제 3 및 제 4 서브화소를 나타낸 도면이다.
- [0132] 도 11에 도시한 바와 같이, 제 3 실시예에 따른 표시패널은 각 데이터라인(14")이 둘 이상의 사선을 포함하는 형태인 것을 제외하고는 제 1 실시예와 동일하므로, 이하에서 중복 설명을 생략한다.
- [0133] 도 11에 도시된 바와 같이, 두 개의 인접한 서브화소(SP1, SP2)(SP3, SP4)에 대응되는 두 개의 데이터라인(14")은 두 개의 인접한 서브화소(SP1, SP2)의 발광영역(EA) 사이에 배치되는 다각형상부(120")를 포함한다.
- [0134] 두 개의 데이터라인(14")의 다각형상부(120")는 두 개의 사선(121a, 121b)과 이들 사이를 연결하는 제 2 방향(Y)의 직선(123)을 포함하는 형태로 이루어질 수 있다.
- [0135] 이러한 데이터라인(14")으로 인해, 각 단위화소(UP)의 양측 가장자리에 배치되는 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA)은 상호 대향하는 방향으로 돌출되는 사다리꼴 형상의 영역을 포함할 수 있다.
- [0136] 이로써, 제 1 실시예에 비해, 제 1 및 제 4 서브화소(SP1, SP4)의 발광영역(EA) 사이의 최소 간격(d2')이 더욱 작아질 수 있다. 그러므로, 제 1 및 제 4 서브화소(SP1, SP4)에서 방출되는 광의 혼색이 더욱 용이해질 수 있다.
- [0138] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

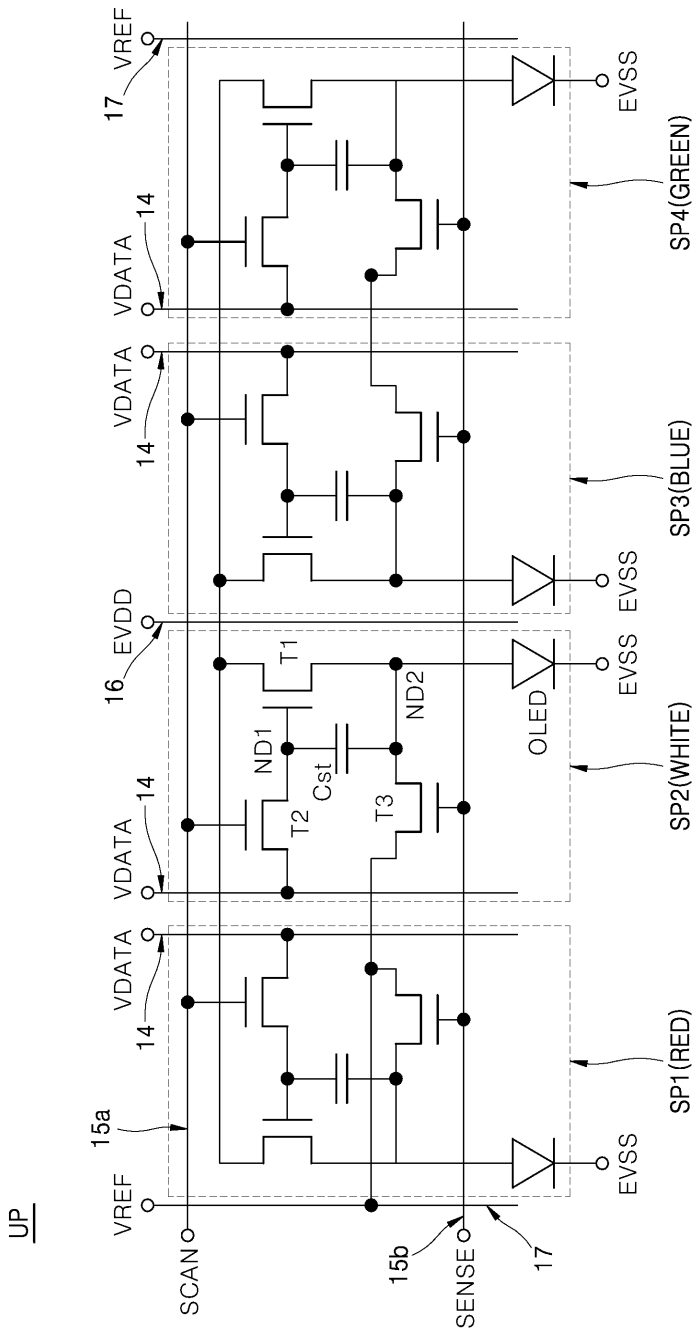
- [0140] 10: 표시패널 SP: 서브화소
- 14: 데이터라인 15: 스캔라인
- SP1, SP2, SP3, SP4: 제 1, 제 2, 제 3, 제 4 서브화소
- 110: 일직선형상부 120: 다각형상부
- 121: 사선 122: 제 1 방향의 직선
- 123: 제 2 방향의 직선
- EA: 발광영역 NEA: 비발광영역

도면

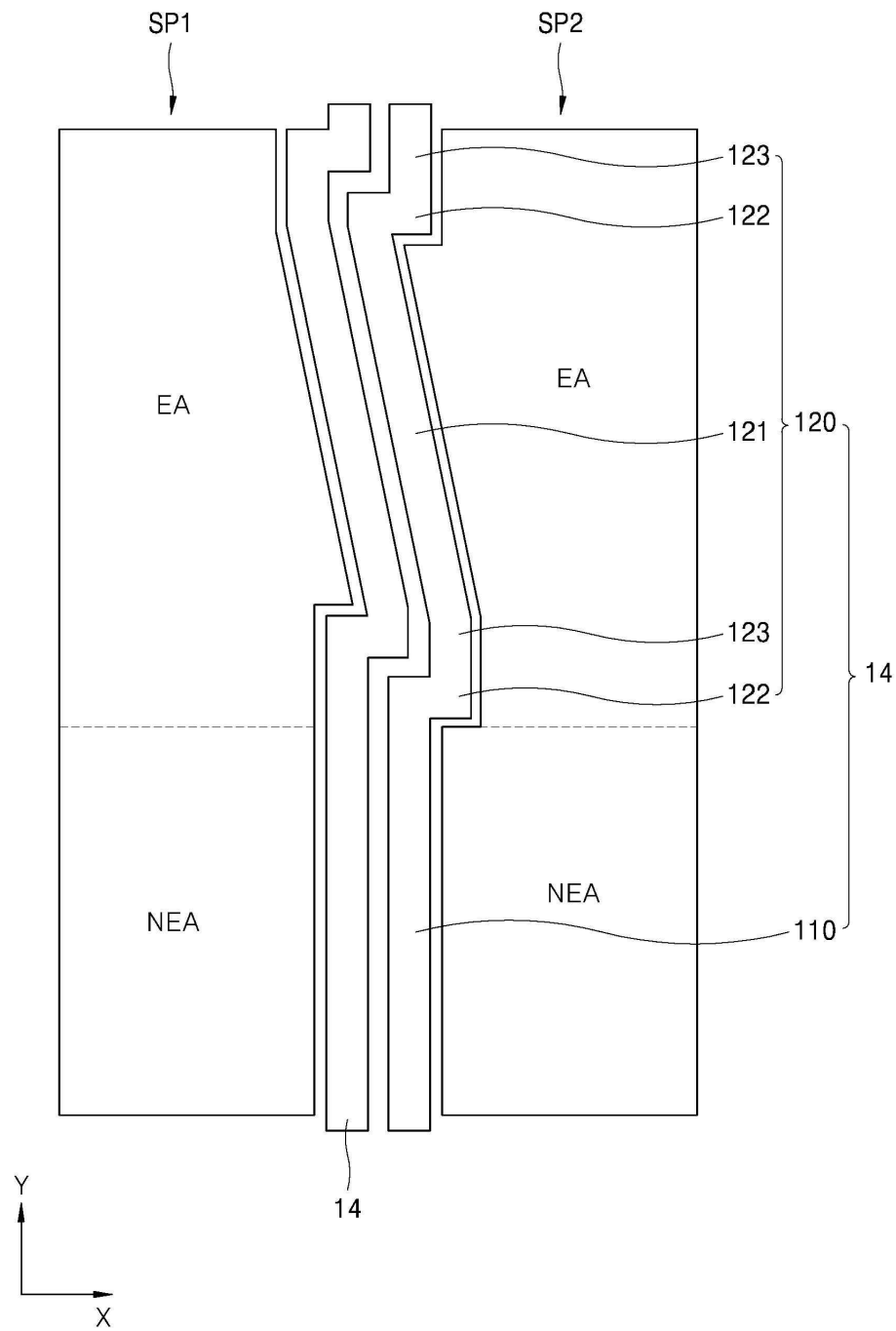
도면1



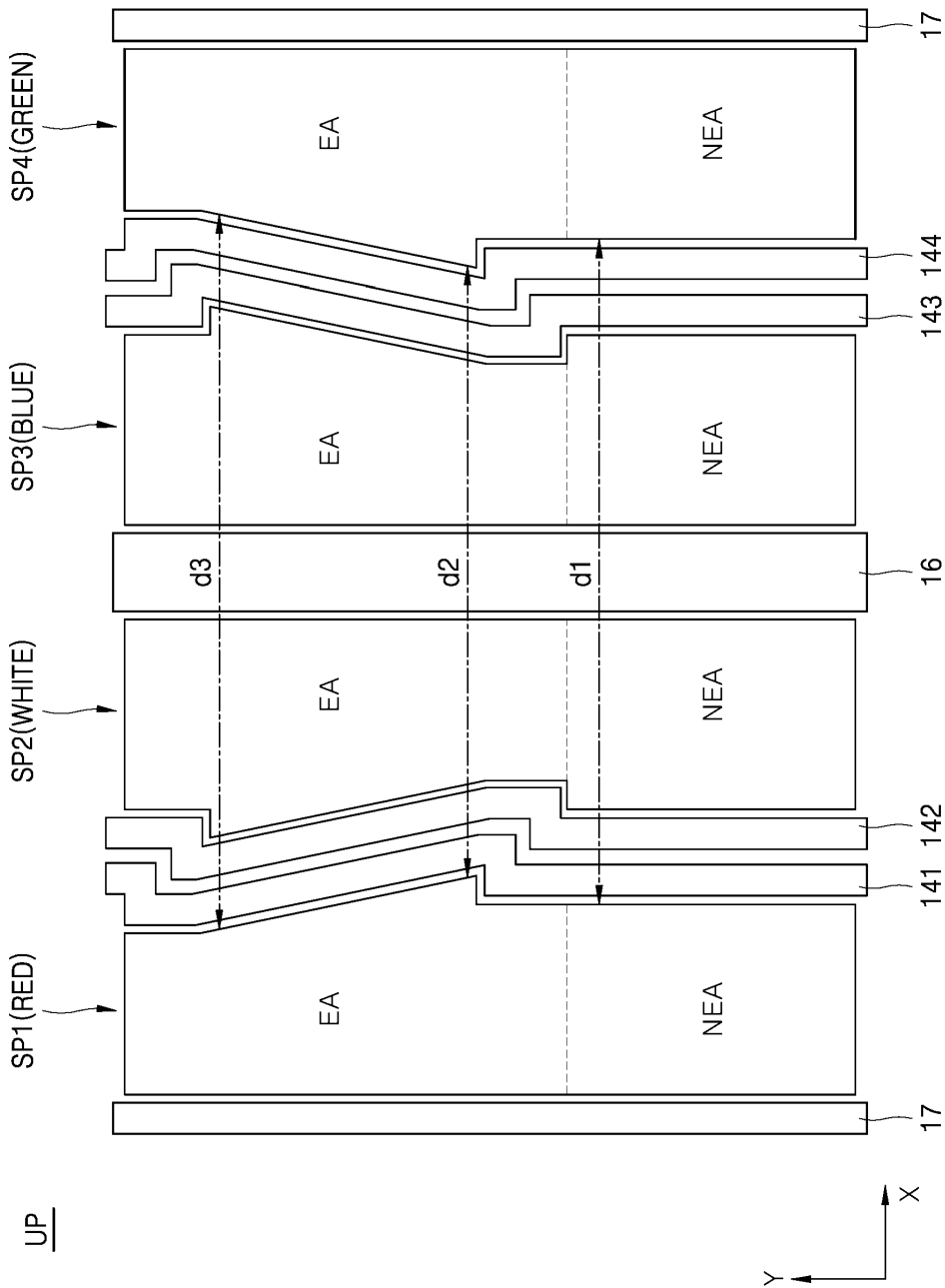
도면2



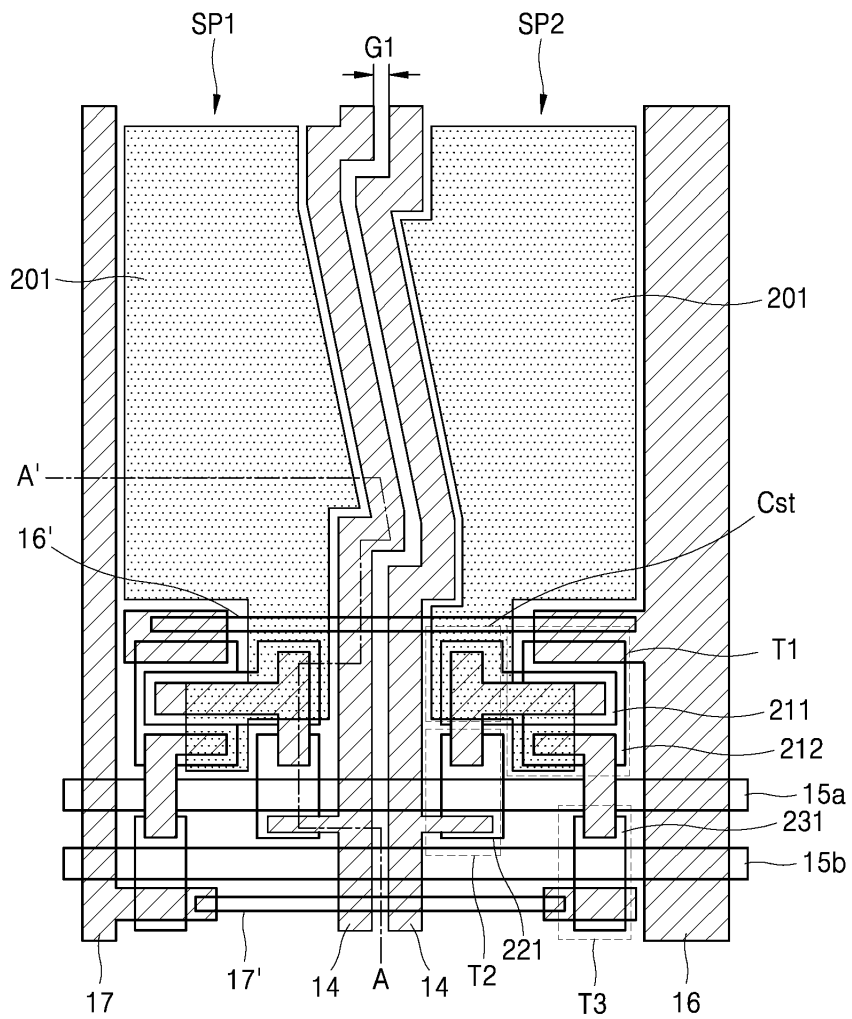
도면3



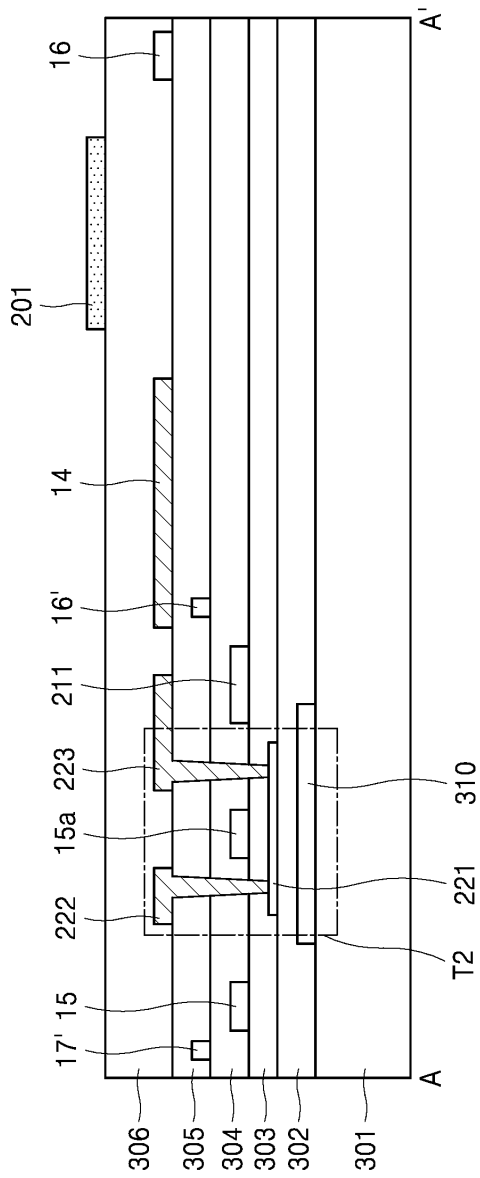
도면4



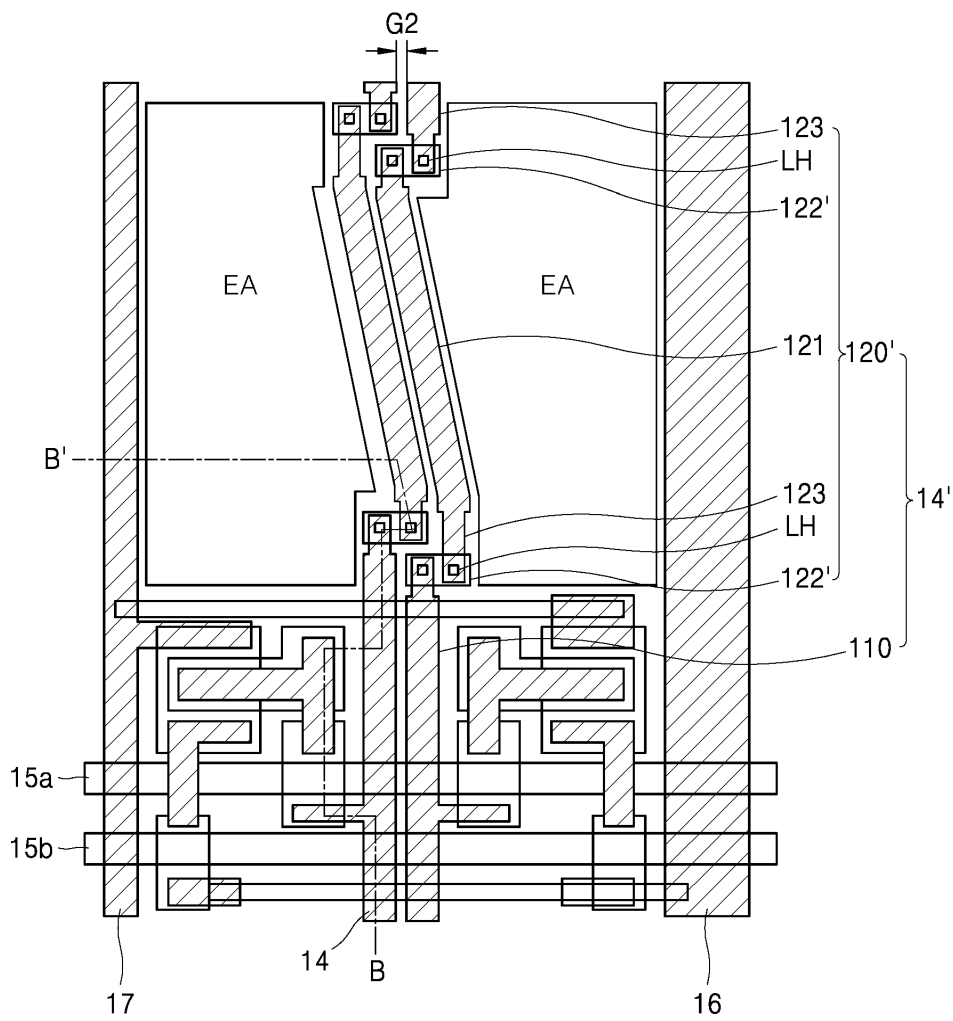
도면5



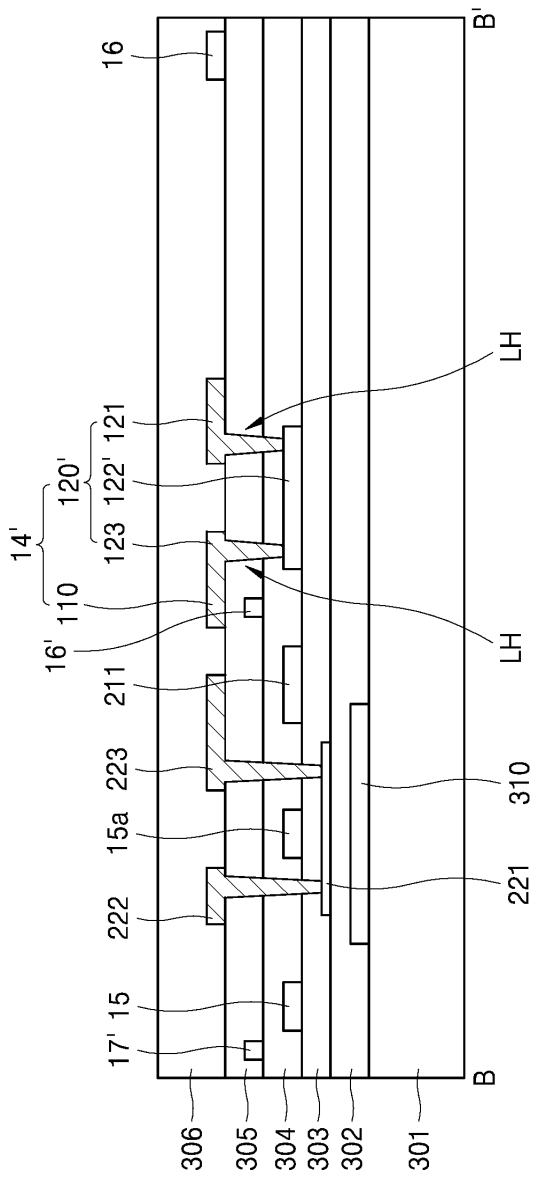
도면6



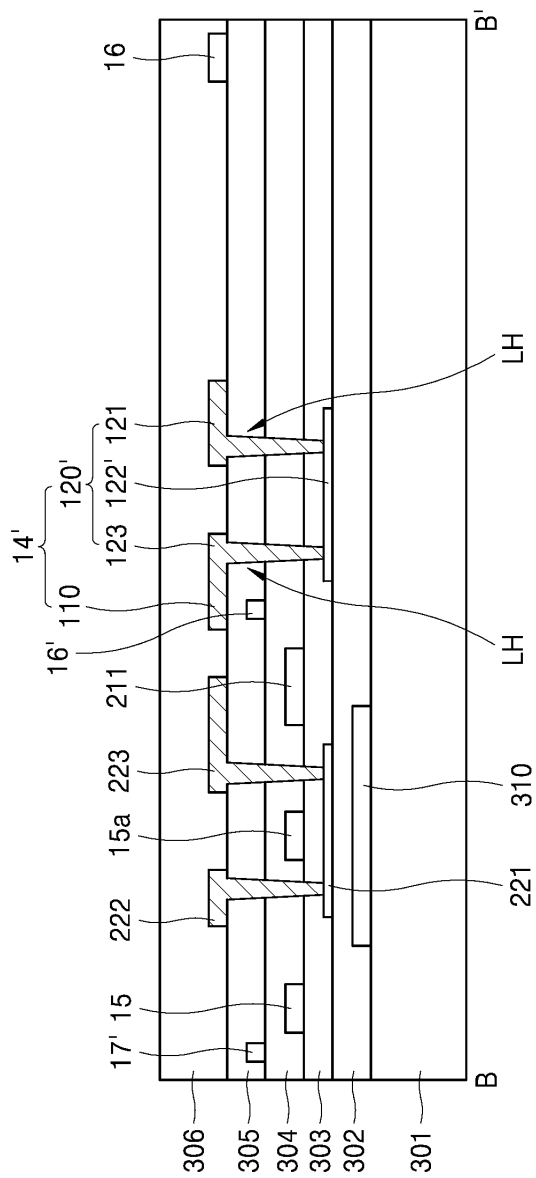
도면7



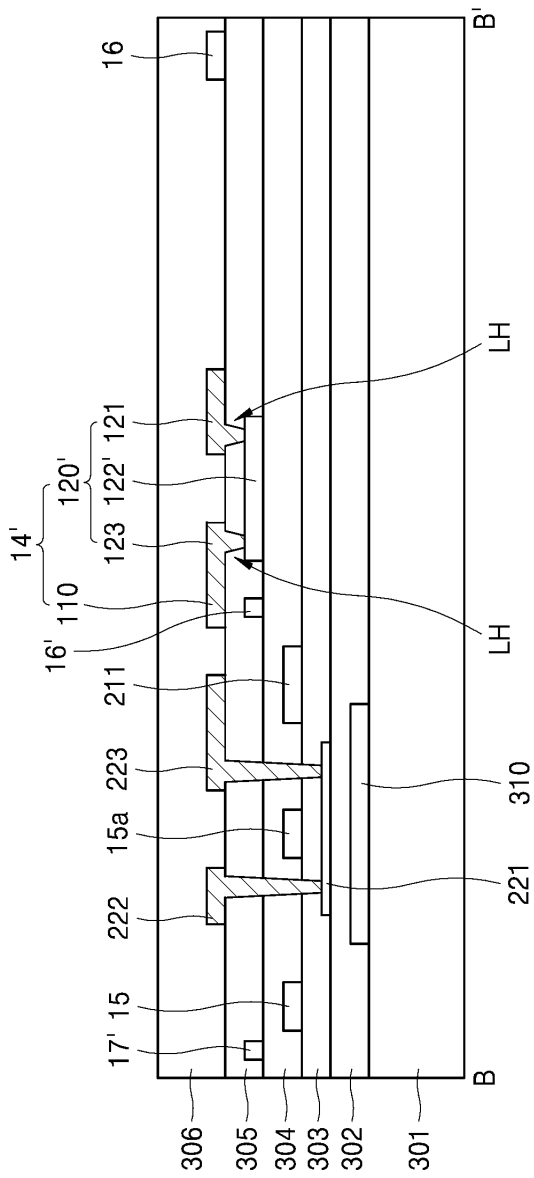
도면8



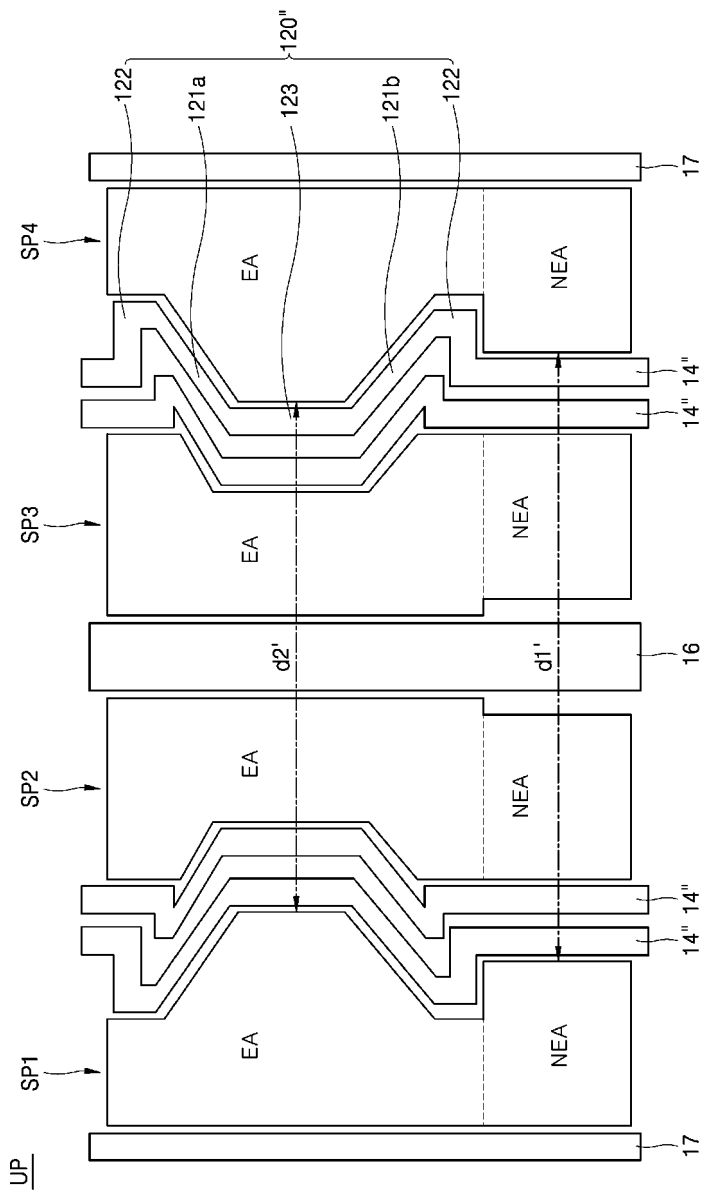
도면9



도면10



도면11



专利名称(译)	显示面板		
公开(公告)号	KR1020190055642A	公开(公告)日	2019-05-23
申请号	KR1020170152579	申请日	2017-11-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	염서준 고동국		
发明人	염서준 고동국		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3211 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276		
外部链接	Espacenet		

摘要(译)

本发明的示例性实施例提供一种有机发光二极管，该有机发光二极管设置在每个单位像素中设置的第一子像素，第二子像素，第三子像素和第四子像素中的每个子像素的发光区域中，并且对应于不同的颜色并且在第一方向上并排布置。电路单元布置在第一，第二，第三和第四子像素中的每个中，并且向有机发光元件发射驱动电流，并且该子单元在与第一方向交叉的第二方向上并排布置提供了一种显示面板，该显示面板包括与由像素制成的每个垂直线相对应的数据线。这里，数据线可以设置在非发光区域之间并且具有在第二方向上形成为直线形状的直线部分，以及在第一方向上在发光区域和直线之间形成斜对角线。它包括由容纳形式制成的多边形上部。结果，设置在每个单位像素的两个边缘处的第一子像素和第四子像素的发光区域之间的最小距离可以小于第一子像素和第四子像素的非发光区域之间的距离。可以促进从四个子像素发射的光的混合。

