



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0046414  
(43) 공개일자 2019년05월07일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 29/786 (2006.01)  
(52) CPC특허분류  
H01L 27/3262 (2013.01)  
H01L 27/3258 (2013.01)  
(21) 출원번호 10-2017-0140194  
(22) 출원일자 2017년10월26일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
허진희  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인(유한) 대아

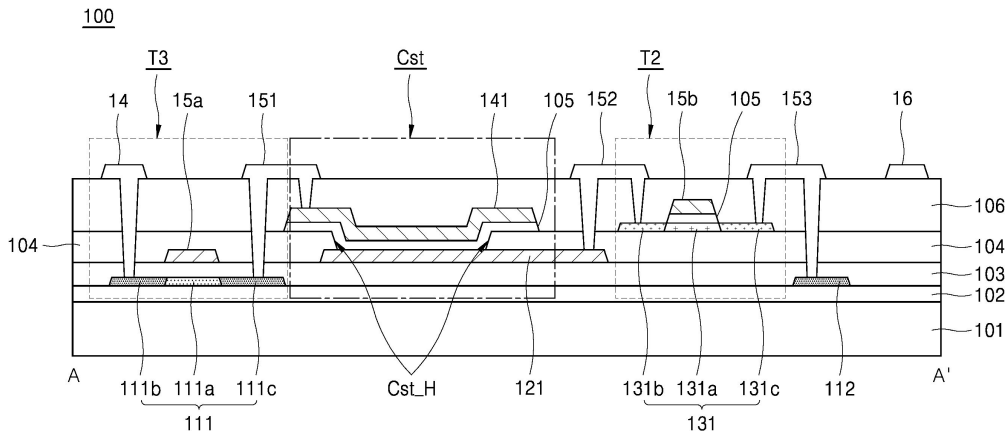
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 박막트랜지스터 어레이 기판 및 그를 포함하는 유기발광표시장치

(57) 요약

본 발명의 일 실시예는 제 1 박막트랜지스터, 상기 제 1 박막트랜지스터의 게이트전극에 연결되는 제 2 박막트랜지스터와 커패시터, 및 상기 커패시터에 연결되는 제 3 박막트랜지스터를 포함하는 박막트랜지스터 어레이 기판에 있어서, 상기 제 3 박막트랜지스터의 액티브층을 덮는 제 1 게이트절연막 상에 배치되는 상기 커패시터의 제 1 커패시터 전극, 상기 제 1 커패시터 전극을 덮는 제 2 게이트절연막 상에 배치되는 상기 제 2 박막트랜지스터의 액티브층, 상기 제 2 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되는 상기 제 2 박막트랜지스터의 게이트전극, 및 상기 중간절연막 상에 배치되고 상기 제 1 커패시터 전극에 중첩하는 상기 커패시터의 제 2 커패시터 전극을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

대표도



(52) CPC특허분류

*H01L 27/3265* (2013.01)

*H01L 29/786* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제 1 박막트랜지스터, 상기 제 1 박막트랜지스터의 게이트전극에 연결되는 제 2 박막트랜지스터와 커패시터, 및 상기 커패시터에 연결되는 제 3 박막트랜지스터를 포함하는 박막트랜지스터 어레이 기판에 있어서,

상기 제 3 박막트랜지스터의 액티브층을 덮는 제 1 게이트절연막 상에 배치되는 상기 커패시터의 제 1 커패시터 전극;

상기 제 1 커패시터 전극을 덮는 제 2 게이트절연막 상에 배치되는 상기 제 2 박막트랜지스터의 액티브층;

상기 제 2 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되는 상기 제 2 박막트랜지스터의 게이트전극; 및

상기 중간절연막 상에 배치되고 상기 제 1 커패시터 전극에 중첩하는 상기 커패시터의 제 2 커패시터 전극을 포함하는 박막트랜지스터 어레이 기판.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 게이트절연막 상에 배치되고 상기 제 3 박막트랜지스터의 액티브층의 일부에 중첩하는 상기 제 3 박막트랜지스터의 게이트전극을 더 포함하고,

상기 제 1 커패시터 전극은 상기 제 3 박막트랜지스터의 게이트전극으로부터 이격되는 박막트랜지스터 어레이 기판.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 커패시터 전극이 중첩하는 영역 중 일부에 대응하고 상기 제 2 게이트절연막을 관통하는 커패시터홀을 더 포함하는 박막트랜지스터 어레이 기판.

#### 청구항 4

제 1 항에 있어서,

상기 제 1 및 제 2 커패시터 전극 중 어느 하나는 상기 제 1 박막트랜지스터의 게이트전극에 연결되는 박막트랜지스터 어레이 기판.

#### 청구항 5

제 4 항에 있어서,

상기 제 1 박막트랜지스터의 액티브층은 상기 제 3 박막트랜지스터의 액티브층과 동일층에 배치되고,

상기 제 1 박막트랜지스터의 게이트전극은 상기 제 1 게이트절연막 상에 배치되고 상기 제 1 커패시터 전극에 연결되는 박막트랜지스터 어레이 기판.

### 청구항 6

제 4 항에 있어서,

상기 제 1 박막트랜지스터의 액티브층은 상기 제 2 게이트절연막 상에 배치되고,

상기 제 1 박막트랜지스터의 게이트전극은 상기 제 1 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되며 상기 제 2 커패시터 전극에 연결되는 박막트랜지스터 어레이 기판.

### 청구항 7

제 1 항에 있어서,

상기 제 3 박막트랜지스터의 액티브층은 폴리실리콘반도체물질로 이루어지고,

상기 제 2 박막트랜지스터의 액티브층은 산화물반도체물질로 이루어지는 박막트랜지스터 어레이 기판.

### 청구항 8

각 화소영역에 대응하는 유기발광소자, 상기 유기발광소자에 구동전류를 공급하는 제 1 박막트랜지스터, 상기 제 1 박막트랜지스터의 게이트전극에 연결되는 커패시터와 제 2 박막트랜지스터, 상기 커패시터에 연결되는 제 3 박막트랜지스터를 포함하는 유기발광표시장치에 있어서,

기판 상에 배치되는 상기 제 3 박막트랜지스터의 액티브층;

상기 제 3 박막트랜지스터의 액티브층을 덮는 제 1 게이트절연막;

상기 제 1 게이트절연막 상에 배치되고 상기 제 3 박막트랜지스터의 액티브층의 일부에 중첩되는 상기 제 3 박막트랜지스터의 게이트전극;

상기 제 1 게이트절연막 상에 배치되고 상기 제 3 박막트랜지스터의 게이트전극으로부터 이격되는 상기 커패시터의 제 1 커패시터 전극;

상기 제 3 박막트랜지스터의 게이트전극과 상기 커패시터의 제 1 커패시터 전극을 덮는 제 2 게이트절연막;

상기 제 2 게이트절연막 상에 배치되는 상기 제 2 박막트랜지스터의 액티브층;

상기 제 2 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되는 상기 제 2 박막트랜지스터의 게이트전극; 및

상기 중간절연막 상에 배치되고 상기 제 1 커패시터 전극에 중첩하는 상기 커패시터의 제 2 커패시터 전극을 포함하는 유기발광표시장치.

### 청구항 9

제 8 항에 있어서,

상기 제 1 및 제 2 커패시터 전극이 중첩하는 영역 중 일부에 대응하고 상기 제 2 게이트절연막을 관통하는 커패시터홀을 더 포함하는 유기발광표시장치.

### 청구항 10

제 8 항에 있어서,

상기 제 1 박막트랜지스터의 액티브층은 상기 제 3 박막트랜지스터의 액티브층과 동일층에 배치되고,

상기 제 1 박막트랜지스터의 게이트전극은 상기 제 1 게이트절연막 상에 배치되고 상기 제 1 커패시터 전극에

연결되는 유기발광표시장치.

### 청구항 11

제 10 항에 있어서,

상기 제 1 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 제 1 전원라인에 연결되고 다른 나머지 하나는 상기 유기발광소자에 연결되며,

상기 제 2 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 상기 커패시터와 상기 제 1 박막트랜지스터의 게이트전극 사이의 제 1 노드에 연결되고 다른 나머지 하나는 상기 제 1 박막트랜지스터와 상기 유기발광소자 사이의 제 2 노드에 연결되며,

상기 제 3 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 데이터라인에 연결되고 다른 나머지 하나는 상기 커패시터의 제 2 커패시터 전극에 연결되며,

상기 유기발광소자의 애노드전극은 상기 제 2 노드에 연결되고 상기 유기발광소자의 캐소드전극은 제 2 전원라인에 연결되는 유기발광표시장치.

### 청구항 12

제 8 항에 있어서,

상기 제 1 박막트랜지스터의 액티브층은 상기 제 2 게이트절연막 상에 배치되고,

상기 제 1 박막트랜지스터의 게이트전극은 상기 제 1 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되며 상기 제 2 커패시터 전극에 연결되는 유기발광표시장치.

### 청구항 13

제 12 항에 있어서,

상기 제 1 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 제 1 전원라인에 연결되고 다른 나머지 하나는 상기 유기발광소자에 연결되며,

상기 커패시터의 제 1 커패시터 전극은 상기 제 1 박막트랜지스터의 게이트전극과 상기 제 3 박막트랜지스터 사이의 제 1 노드에 연결되고, 상기 커패시터의 제 2 커패시터 전극은 상기 제 1 박막트랜지스터와 상기 유기발광소자 사이의 제 2 노드에 연결되며,

상기 제 2 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 상기 제 1 노드에 연결되고 다른 나머지 하나는 상기 제 1 전원라인과 상기 제 1 박막트랜지스터 사이의 제 3 노드 사이에 연결되며,

상기 제 3 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 데이터라인에 연결되고 다른 나머지 하나는 상기 제 1 노드에 연결되며,

상기 유기발광소자의 애노드전극은 상기 제 2 노드에 연결되고 상기 유기발광소자의 캐소드전극은 제 2 전원라인에 연결되는 유기발광표시장치.

### 청구항 14

제 8 항에 있어서,

상기 제 2 박막트랜지스터의 게이트전극 및 상기 커패시터의 제 2 커패시터 전극을 덮는 층간절연막을 더 포함하고,

상기 제 1 전원라인 및 상기 데이터라인은 상기 층간절연막 상에 배치되는 유기발광표시장치.

**청구항 15**

제 8 항에 있어서,

상기 제 3 박막트랜지스터의 액티브층은 폴리실리콘반도체물질로 이루어지고,

상기 제 2 박막트랜지스터의 액티브층은 산화물반도체물질로 이루어지는 유기발광표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 둘 이상의 박막트랜지스터 및 이들 중 적어도 하나에 연결되는 커패시터를 포함하는 박막트랜지스터 어레이 기판 및 그를 포함하는 유기발광표시장치에 관한 것이다.

**배경 기술**

[0003] 표시장치(Display Device)는 TV, 휴대폰, 노트북 및 태블릿 등과 같은 다양한 전자기기에 적용된다. 이에 표시 장치의 박형화, 경량화 및 저소비전력화 등을 개발시키기 위한 연구가 계속되고 있다.

[0004] 표시장치의 대표적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0005] 이러한 표시장치들은 상호 대향 합착된 한 쌍의 기판 사이에 배치된 편광물질 또는 발광물질을 포함하는 것이 일반적이다. 여기서, 한 쌍의 기판 중 어느 하나는 실질적으로 영상이 표시되는 표시영역에 복수의 화소에 대응하는 복수의 화소영역을 정의하고 각 화소를 구동하는 박막트랜지스터 어레이 기판일 수 있다.

[0006] 예시적으로, 유기발광표시장치의 경우, 박막트랜지스터 어레이 기판은 각 화소영역의 유기발광소자에 구동전류를 공급하는 구동 박막트랜지스터, 유기발광소자의 휘도에 대응한 데이터신호를 공급하는 스위칭 박막트랜지스터 및 데이터신호로 충전되는 커패시터를 포함할 수 있다. 또한, 유기발광표시장치의 박막트랜지스터 어레이 기판은 구동 박막트랜지스터의 문턱전압을 보상하기 위한 샘플링 박막트랜지스터를 더 포함할 수 있다.

[0007] 그런데, 최근 더욱 선명한 화질을 위한 표시장치의 고해상도화가 요구되고 있으며, 그로 인해 각 화소영역의 면적이 축소되는 추세이다. 특히, 3D VR 장치(3-Demension Virtual Reality Device)의 경우, 각 화소영역의 면적은 일반적인 표시장치에 비해 1/20배 이상 축소될 수 있다.

[0008] 이와 같이 각 화소영역의 면적이 축소될수록, 각 화소영역에 대응한 복수의 박막트랜지스터와 커패시터 각각에 할당되는 면적이 축소됨으로써, 소자 특성이 저하될 수 있는 문제점이 있다.

[0009] 예를 들어, 샘플링 박막트랜지스터의 경우, 축소된 면적에 따라 액티브층의 길이(Length)가 감소됨으로써 임계 이상의 누설전류가 용이하게 발생될 수 있는 문제점이 있다. 이러한 샘플링 박막트랜지스터의 누설전류로 인해 유기발광소자의 오동작이 발생됨으로써, 얼룩 및 이상 휘도가 유발되므로, 화질이 저하되는 문제점이 있다.

[0010] 또한, 커패시터의 경우, 축소된 면적에 따라 용량이 감소되므로, 각 프레임 동안 구동 박막트랜지스터에 의한 구동전류의 공급이 안정적으로 유지될 수 없는 문제점이 있다. 이러한 구동전류의 불안정한 공급으로 인해, 유기발광소자의 휘도가 낮아짐으로써 화질이 저하되는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0012] 본 발명은 화소영역의 축소된 면적으로 인해 각 화소영역에 대응하는 소자들의 특성이 저하되는 것을 방지할 수 있는 박막트랜지스터 어레이 기판 및 그를 포함하는 유기발광표시장치를 제공하기 위한 것이다.

[0013] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

**과제의 해결 수단**

[0015] 본 발명의 일 예시는 제 1 박막트랜지스터, 상기 제 1 박막트랜지스터의 게이트전극에 연결되는 제 2 박막트랜지스터와 커패시터, 및 상기 커패시터에 연결되는 제 3 박막트랜지스터를 포함하는 박막트랜지스터 어레이 기판에 있어서, 상기 제 3 박막트랜지스터의 액티브층을 덮는 제 1 게이트절연막 상에 배치되는 상기 커패시터의 제 1 커패시터 전극, 상기 제 1 커패시터 전극을 덮는 제 2 게이트절연막 상에 배치되는 상기 제 2 박막트랜지스터의 액티브층, 상기 제 2 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되는 상기 제 2 박막트랜지스터의 게이트전극, 및 상기 중간절연막 상에 배치되고 상기 제 1 커패시터 전극에 중첩하는 상기 커패시터의 제 2 커패시터 전극을 포함하는 박막트랜지스터 어레이 기판을 제공한다.

[0016] 상기 박막트랜지스터 어레이 기판은 상기 제 1 게이트절연막 상에 배치되고 상기 제 3 박막트랜지스터의 액티브층의 일부에 중첩하는 상기 제 3 박막트랜지스터의 게이트전극을 더 포함할 수 있고, 여기서 상기 제 1 커패시터 전극은 상기 제 3 박막트랜지스터의 게이트전극으로부터 이격된다.

[0017] 상기 박막트랜지스터 어레이 기판은 상기 제 1 및 제 2 커패시터 전극이 중첩하는 영역 중 일부에 대응하고 상기 제 2 게이트절연막을 관통하는 커패시터홀을 더 포함할 수 있다.

[0018] 상기 제 3 박막트랜지스터의 액티브층은 폴리실리콘반도체물질로 이루어지고, 상기 제 2 박막트랜지스터의 액티브층은 산화물반도체물질로 이루어질 수 있다.

[0019] 본 발명의 다른 일 예시는 각 화소영역에 대응하는 유기발광소자, 상기 유기발광소자에 구동전류를 공급하는 제 1 박막트랜지스터, 상기 제 1 박막트랜지스터의 게이트전극에 연결되는 커패시터와 제 2 박막트랜지스터, 상기 커패시터에 연결되는 제 3 박막트랜지스터를 포함하는 유기발광표시장치에 있어서, 기판 상에 배치되는 상기 제 3 박막트랜지스터의 액티브층, 상기 제 3 박막트랜지스터의 액티브층을 덮는 제 1 게이트절연막, 상기 제 1 게이트절연막 상에 배치되고 상기 제 3 박막트랜지스터의 액티브층의 일부에 중첩되는 상기 제 3 박막트랜지스터의 게이트전극, 상기 제 1 게이트절연막 상에 배치되고 상기 제 3 박막트랜지스터의 게이트전극으로부터 이격되는 상기 커패시터의 제 1 커패시터 전극, 상기 제 3 박막트랜지스터의 게이트전극과 상기 커패시터의 제 1 커패시터 전극을 덮는 제 2 게이트절연막, 상기 제 2 게이트절연막 상에 배치되는 상기 제 2 박막트랜지스터의 액티브층, 상기 제 2 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되는 상기 제 2 박막트랜지스터의 게이트전극, 및 상기 중간절연막 상에 배치되고 상기 제 1 커패시터 전극에 중첩하는 상기 커패시터의 제 2 커패시터 전극을 포함하는 유기발광표시장치를 제공한다.

[0020] 상기 유기발광표시장치는 상기 제 1 및 제 2 커패시터 전극이 중첩하는 영역 중 일부에 대응하고 상기 제 2 게이트절연막을 관통하는 커패시터홀을 더 포함할 수 있다.

[0021] 상기 제 1 박막트랜지스터의 액티브층은 상기 제 3 박막트랜지스터의 액티브층과 동일층에 배치되고, 상기 제 1 박막트랜지스터의 게이트전극은 상기 제 1 게이트절연막 상에 배치되고 상기 제 1 커패시터 전극에 연결될 수 있다.

[0022] 이 경우, 상기 제 1 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 제 1 전원라인에 연결되고 다른 나머지 하나는 상기 유기발광소자에 연결되며, 상기 제 2 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 상기 커패시터와 상기 제 1 박막트랜지스터의 게이트전극 사이의 제 1 노드에 연결되고 다른 나머지 하나는 상기 제 1 박막트랜지스터와 상기 유기발광소자 사이의 제 2 노드에 연결되며, 상기 제 3 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 데이터라인에 연결되고 다른 나머지 하나는 상기 커패시터의 제 2 커패시터 전극에 연결되며, 상기 유기발광소자의 애노드전극은 상기 제 2 노드에 연결되고 상기 유기발광소자의 캐소드전극은 제 2 전원라인에 연결된다.

[0023] 또는, 상기 제 1 박막트랜지스터의 액티브층은 상기 제 2 게이트절연막 상에 배치되고, 상기 제 1 박막트랜지스터의 게이트전극은 상기 제 1 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되며 상기 제 2 커패시터 전극에 연결될 수 있다.

[0024] 이 경우, 상기 제 1 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 제 1 전원라인에 연결되고 다른 나머지 하나는 상기 유기발광소자에 연결되며, 상기 커패시터의 제 1 커패시터 전극은 상기 제 1 박막트랜지스터의 게이트전극과 상기 제 3 박막트랜지스터 사이의 제 1 노드에 연결되고, 상기 커패시터의 제 2 커패시터 전극은 상기 제 1 박막트랜지스터와 상기 유기발광소자 사이의 제 2 노드에 연결되며, 상기 제 2 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 상기 제 1 노드에 연결되고 다른 나머지 하나는 상기 제 1 전원라인과 상기 제 1 박막트랜지스터 사이의 제 3 노드 사이에 연결되며, 상기 제 3 박막트랜지스터의 소스전극 및 드레인전극 중 어느 하나는 데이터라인에 연결되고 다른 나머지 하나는 상기 제 1 노드에 연결되며, 상기 유기발광소자의 애노드전극은 상기 제 2 노드에 연결되고 상기 유기발광소자의 캐소드전극은 제 2 전원라인에 연결될 수 있다.

[0025] 상기 제 3 박막트랜지스터의 액티브층은 폴리실리콘반도체물질로 이루어지고, 상기 제 2 박막트랜지스터의 액티브층은 산화물반도체물질로 이루어질 수 있다.

**발명의 효과**

[0027] 본 발명의 각 실시예에 따르면, 각 화소에 대응하는 제 1, 제 2 및 제 3 박막트랜지스터와 커패시터를 포함하는 박막트랜지스터 어레이 기판에 있어서, 제 3 박막트랜지스터의 액티브층을 덮는 제 1 게이트절연막 상에 배치되는 제 3 박막트랜지스터의 게이트전극과 제 1 커패시터 전극, 제 1 커패시터 전극을 덮는 제 2 게이트절연막 상에 배치되는 제 2 박막트랜지스터의 액티브층, 제 2 박막트랜지스터의 액티브층의 일부를 덮는 중간절연막 상에 배치되는 제 2 박막트랜지스터의 게이트전극, 및 제 1 커패시터 전극에 중첩되고 중간절연막 상에 배치되는 제 2 커패시터 전극을 포함한다. 이와 같이, 제 3 박막트랜지스터의 게이트전극과 동일층인 제 1 커패시터 전극과 제 2 박막트랜지스터의 게이트전극과 동일층인 제 2 커패시터 전극을 통해, 커패시터가 구현될 수 있다. 즉, 커패시터의 구현을 위한 별도의 도전층이 불필요하므로, 박막트랜지스터 어레이 기판의 구조가 간단해질 수 있는 장점이 있다.

[0028] 그리고, 본 발명의 각 실시예에 따르면, 제 1 및 제 2 커패시터 전극이 중첩되는 영역 중 일부에 대응하고 제 2 게이트절연막을 관통하는 커패시터홀을 더 포함한다. 이러한 커패시터홀에 의해, 제 1 및 제 2 커패시터 전극 사이의 중첩 면적에 대응한 커패시터의 용량이 증가될 수 있다. 이로써, 화소영역의 면적이 축소되어, 커패시터에 할당되는 면적이 감소되더라도, 커패시터의 용량이 감소되는 것을 최소화할 수 있으므로, 고해상도의 유기발광표시장치를 구현하는 데에 용이해질 수 있는 장점이 있다.

[0029] 또한, 본 발명의 각 실시예에 따르면, 유기발광소자에 구동전류를 공급하는 제 1 박막트랜지스터의 문턱전압을 보상하기 위한 제 2 박막트랜지스터가 산화물반도체물질의 액티브층을 포함하는 구조로 이루어진다. 이로써, 제 2 박막트랜지스터의 누설전류로 인한 유기발광소자의 오동작이 최소화될 수 있으므로, 유기발광표시장치의 휘도 저하가 방지될 수 있다.

**도면의 간단한 설명**

[0031] 도 1은 본 발명의 각 실시예에 따른 유기발광표시장치를 나타낸 도면이다.  
 도 2는 본 발명의 제 1 실시예에 따른 유기발광표시장치에 있어서, 어느 하나의 화소에 대응하는 등가회로를 나타낸 도면이다.  
 도 3은 도 2의 제 1, 제 2 및 제 3 박막트랜지스터와 커패시터를 포함하는 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다.  
 도 4는 도 3의 A-A'에 대한 단면을 나타낸 도면이다.  
 도 5는 도 3의 B-B'에 대한 단면을 나타낸 도면이다.  
 도 6은 본 발명의 제 2 실시예에 따른 유기발광표시장치에 있어서, 어느 하나의 화소에 대응하는 등가회로를 나

타넨 도면이다.

도 7은 도 6의 제 1, 제 2 및 제 3 박막트랜지스터와 커패시터를 포함하는 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다.

도 8은 도 7의 C-C'에 대한 단면을 나타낸 도면이다.

도 9는 도 7의 D-D'에 대한 단면을 나타낸 도면이다.

도 10 내지 도 20은 본 발명의 제 2 실시예에 따른 박막트랜지스터 어레이 기판을 제조하는 방법의 과정들을 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0032] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.
- [0033] 이하, 본 발명의 각 실시예에 따른 박막트랜지스터 어레이 기판 및 그를 포함하는 유기발광표시장치에 대하여 첨부한 도면들을 참고로 하여 상세히 설명하기로 한다.
- [0034] 먼저, 도 1을 참조하여, 본 발명의 각 실시예에 따른 유기발광표시장치에 대해 설명한다.
- [0035] 도 1은 본 발명의 각 실시예에 따른 유기발광표시장치를 나타낸 도면이다.
- [0036] 도 1에 도시된 바와 같이, 본 발명의 각 실시예에 따른 유기발광표시장치는 복수의 화소(PXL)를 포함하는 표시패널(10)과, 표시패널(10)의 데이터라인(14)을 구동하는 데이터구동회로(12)와, 표시패널(10)의 제 1 및 제 2 스캔라인(15a, 15b)을 구동하는 게이트구동회로(13)와, 데이터구동회로(12) 및 게이트구동회로(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 포함한다.
- [0037] 도 1에 상세히 도시되지 않았으나, 표시패널(10)은 상호 대향 합착되는 한 쌍의 기판(미도시)과 한 쌍의 기판 사이에 배치되는 박막트랜지스터 어레이 및 유기발광소자 어레이를 포함한다. 예시적으로, 한 쌍의 기판 중 어느 하나는 박막트랜지스터 어레이가 배치된 박막트랜지스터 어레이 기판일 수 있다. 그리고, 한 쌍의 기판 중 다른 나머지 하나는 박막트랜지스터 어레이 상에 배치되는 유기발광소자 어레이를 밀봉하는 봉지기판일 수 있다.
- [0038] 표시패널(10)의 박막트랜지스터 어레이 기판은 기판과, 기판 상에 제 1 방향(도 1의 좌우방향)으로 연장된 형태로 배치되는 제 1 및 제 2 스캔라인(15a, 15b)과, 기판 상에 제 2 방향(도 1의 상하방향)으로 연장된 형태로 배치되는 데이터라인(14)을 포함한다. 이때, 복수의 화소(PXL)에 대응하는 복수의 화소영역은 제 1 및 제 2 스캔라인(15a, 15b) 중 어느 하나와 데이터라인(14) 사이의 교차영역으로 정의될 수 있다. 이러한 복수의 화소영역은 실질적으로 영상이 표시되는 표시영역에 매트릭스 형태로 배열된다.
- [0039] 그리고, 표시패널(10)의 박막트랜지스터 어레이 기판은 복수의 화소(PXL)에 제 1 구동전원(EVDD)을 공급하는 제 1 전원라인(미도시)과, 제 1 구동전원(EVDD)보다 낮은 전위의 제 2 구동전원(EVSS)을 공급하는 제 2 전원라인(미도시)을 더 포함한다.
- [0040] 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하고, 재정렬된 디지털 비디오 데이터(RGB')를 데이터 구동회로(12)에 공급한다.
- [0041] 그리고, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 공급한다.
- [0042] 데이터 구동회로(12)는 데이터 제어신호(DDC)에 기초하여 재정렬된 디지털 비디오 데이터(RGB')를 아날로그 데이터전압으로 변환한다. 그리고, 데이터 구동회로(12)는 재정렬된 디지털 비디오 데이터(RGB')에 기초하여 각 수평기간 동안 각 수평라인의 화소들에 데이터신호(VDATA)를 공급한다.
- [0043] 게이트 구동회로(13)는 게이트 제어신호(GDC)에 기초하여 제 1 및 제 2 스캔신호(SCAN1, SCAN2)를 생성할 수 있

다. 게이트 구동회로(13)는 복수의 수평라인에 순차적으로 제 1 및 제 2 스캔신호(SCAN1, SCAN2)를 공급할 수 있다. 이때, 게이트 구동회로(13)는 각 수평기간 동안 제 1 스캔라인(15a)에 제 1 스캔신호(SCAN1)를 공급하고, 제 2 스캔라인(15b)에 제 2 스캔신호(SCAN2)를 공급한다.

- [0044] 이러한 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식으로, 표시패널(10)의 비표시영역에 배치될 수 있다.
- [0046] 다음, 도 2 내지 도 5를 참조하여, 본 발명의 제 1 실시예에 따른 박막트랜지스터 어레이 기판에 대해 설명한다.
- [0047] 도 2는 본 발명의 제 1 실시예에 따른 유기발광표시장치에 있어서, 어느 하나의 화소에 대응하는 등가회로를 나타낸 도면이다. 도 3은 도 2의 제 1, 제 2 및 제 3 박막트랜지스터와 커패시터를 포함하는 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다. 도 4는 도 3의 A-A'에 대한 단면을 나타낸 도면이다. 도 5는 도 3의 B-B'에 대한 단면을 나타낸 도면이다.
- [0048] 도 2에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 유기발광표시장치에 있어서, 복수의 화소(PXL) 각각은 유기발광소자(OLED), 유기발광소자(OLED)에 구동전류를 공급하는 제 1 박막트랜지스터(T1), 제 1 박막트랜지스터(T1)의 게이트전극에 연결되는 커패시터(Cst)와 제 2 박막트랜지스터(T2), 커패시터(Cst)에 연결되는 제 3 박막트랜지스터(T3)를 포함한다.
- [0049] 제 1 박막트랜지스터(T1)는 제 1 구동전원(EVDD)을 공급하는 제 1 전원라인과 제 2 구동전원(EVSS)을 공급하는 제 2 전원라인 사이에, 유기발광소자(OLED)와 직렬로 연결된다.
- [0050] 즉, 제 1 박막트랜지스터(T1)의 소스전극 및 드레인전극 중 어느 하나는 제 1 구동전원(EVDD)을 공급하는 제 1 전원라인에 연결되고, 다른 나머지 하나는 유기발광소자(OLED)의 애노드전극에 연결된다. 그리고, 유기발광소자(OLED)의 캐소드전극은 제 2 구동전원(EVSS)을 공급하는 제 2 전원라인에 연결된다.
- [0051] 커패시터(Cst)는 제 1 박막트랜지스터(T1)의 게이트전극과 제 3 박막트랜지스터(T3) 사이에 연결된다. 이러한 커패시터(Cst)는 턴온된 제 3 박막트랜지스터(T2)를 통해 공급되는 데이터전압(VDATA)으로 충전된다.
- [0052] 제 2 박막트랜지스터(T2)는 제 1 박막트랜지스터(T1)의 문턱전압을 보상하기 위한 것이다. 즉, 제 2 박막트랜지스터(T2)는 유기발광소자(OLED)에 공급되는 구동전류가 제 1 박막트랜지스터(T1)의 문턱전압의 영향을 받지 않도록 하기 위한 것이다.
- [0053] 이러한 제 2 박막트랜지스터(T2)는 제 1 박막트랜지스터(T1)의 소스전극 및 드레인전극 중 유기발광소자(OLED)에 연결된 어느 하나와 제 1 박막트랜지스터(T1)의 게이트전극 사이에 연결될 수 있다. 그리고, 제 2 박막트랜지스터(T2)의 게이트전극은 제 2 스캔신호(SCAN2)를 공급하는 제 2 스캔라인(15b)에 연결된다.
- [0054] 즉, 제 2 박막트랜지스터(T2)의 소스전극 및 드레인전극 중 어느 하나는 제 1 박막트랜지스터(T1)의 게이트전극과 커패시터(Cst) 사이의 제 1 노드(N1)에 연결되고 다른 나머지 하나는 제 1 박막트랜지스터(T1)와 유기발광소자(OLED) 사이의 제 2 노드(N2)에 연결된다. 이러한 제 2 박막트랜지스터(T2)는 제 2 스캔신호(SCAN2)에 기초하여 턴온하면, 제 1 노드(N1)와 제 2 노드(N2) 사이를 연결한다.
- [0055] 제 3 박막트랜지스터(T3)는 제 1 박막트랜지스터(T1)를 구동하기 위한 데이터신호를 커패시터(Cst) 및 그에 연결되는 제 1 박막트랜지스터(T1)의 게이트전극에 공급하기 위한 것이다.
- [0056] 이러한 제 3 박막트랜지스터(T3)는 데이터신호(VDATA)를 공급하는 데이터라인(14)과 커패시터(Cst) 사이에 연결된다. 즉, 제 3 박막트랜지스터(T3)의 소스전극 및 드레인전극 중 어느 하나는 데이터신호(VDATA)를 공급하는 데이터라인(14)에 연결되고 다른 나머지 하나는 커패시터(Cst)에 연결된다. 그리고, 제 3 박막트랜지스터(T3)의 게이트전극은 제 1 스캔신호(SCAN1)를 공급하는 제 1 스캔라인(15a)에 연결된다. 이러한 제 3 박막트랜지스터(T3)는 제 1 스캔신호(SCAN1)에 기초하여 턴온하면, 커패시터(Cst)에 데이터신호(VDATA)를 공급한다.
- [0057] 이러한 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3)를 포함하는 박막트랜지스터 어레이 기판에 있어서, 유기발광표시장치의 고해상도 구현을 위해 각 화소영역의 면적이 축소될 수 있다. 이 경우, 각 박막트랜지스터에 할당되는 면적이 축소됨에 따라, 누설전류 증가 등과 같이 박막트랜지스터의 특성 저하가 유발될 수 있는 문제점이 있다.

- [0058] 예시적으로, 제 2 박막트랜지스터(T2)의 누설전류가 용이하게 발생할 수 있으며, 이때 제 2 박막트랜지스터(T2)의 누설전류에 의해 제 1 박막트랜지스터(T1)가 턴온함으로써 유기발광소자(OLED)의 오동작이 유발될 수 있다.
- [0059] 이를 방지하기 위하여, 제 2 박막트랜지스터(T2)는 저온성장 폴리실리콘반도체물질(LTPS; Low-temperature polycrystalline silicon semiconductor material)보다 누설전류 방지 특성이 높은 산화물반도체물질(Oxide semiconductor material)로 이루어진 액티브층을 포함할 수 있다.
- [0060] 반면, 제 3 박막트랜지스터(T3)는 ON-OFF 스위칭의 빠른 응답속도를 위하여 저온성장 폴리실리콘반도체물질(LTPS)로 이루어진 액티브층을 포함할 수 있다.
- [0061] 그리고, 제 1 실시예에 따르면, 제 1 박막트랜지스터(T1)는 제 3 박막트랜지스터(T3)와 마찬가지로, 저온성장 폴리실리콘반도체물질(LTPS)로 이루어진 액티브층을 포함할 수 있다.
- [0062] 이 경우, 공정 상 용이성을 위하여, 저온성장 폴리실리콘반도체물질(LTPS)의 액티브층을 포함하는 제 1 및 제 3 박막트랜지스터(T1, T3)는 PMOS로 구현되고, 산화물반도체물질의 액티브층을 포함하는 제 2 박막트랜지스터(T2)는 NMOS로 구현될 수 있다.
- [0064] 도 3에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 박막트랜지스터 어레이 기관(100)은 각 화소영역에 배치되는 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3)와 커패시터(Cst)를 포함한다.
- [0065] 그리고, 박막트랜지스터 어레이 기관(100)은 제 1 방향(도 3의 좌우방향)의 제 1 및 제 2 스캔라인(15a, 15b), 제 2 방향(도 3의 상하방향)의 데이터라인(14)과 제 1 전원라인(16)을 더 포함할 수 있다.
- [0066] 또한, 박막트랜지스터 어레이 기관(100)은 제 3 박막트랜지스터(T3)와 커패시터(Cst) 사이를 연결하는 제 1 연결패턴(151), 제 2 박막트랜지스터(T2)와 커패시터(Cst) 사이를 연결하는 제 2 연결패턴(152) 및 제 1 박막트랜지스터(T1)와 제 2 박막트랜지스터(T2) 사이를 연결하는 제 3 연결패턴(153)을 더 포함할 수 있다.
- [0067] 제 1 박막트랜지스터(T1)의 액티브층(112)의 양단은 제 1 전원라인(16) 및 제 2 박막트랜지스터(T2)에 연결된다.
- [0068] 제 2 박막트랜지스터(T2)의 액티브층(131)의 양단은 제 1 박막트랜지스터(T1)와 커패시터(Cst)에 연결된다. 제 2 박막트랜지스터(T2)의 게이트전극은 제 2 박막트랜지스터(T2)의 액티브층(131)의 일부에 중첩하는 제 2 스캔라인(15b)의 일부로 이루어진다.
- [0069] 제 3 박막트랜지스터(T3)의 액티브층(111)의 양단은 데이터라인(14) 및 커패시터(Cst)에 연결된다. 제 3 박막트랜지스터(T3)의 게이트전극은 제 3 박막트랜지스터(T3)의 액티브층(111)의 일부에 중첩하는 제 1 스캔라인(15a)의 일부로 이루어진다.
- [0070] 커패시터(Cst)는 상호 중첩하는 제 1 및 제 2 커패시터 전극(121, 141)을 포함한다.
- [0071] 제 1 커패시터 전극(121)은 제 2 연결패턴(152)을 통해 제 2 박막트랜지스터(T2)에 연결된다. 그리고, 제 1 박막트랜지스터(T1)의 액티브층(112)의 일부에 중첩하는 제 1 커패시터 전극(121)의 일부는 제 1 박막트랜지스터(T1)의 게이트전극이 된다. 이에, 제 1 박막트랜지스터(T1)의 게이트전극, 제 1 커패시터 전극(121) 및 제 2 박막트랜지스터(T2)이 연결되는 제 2 연결패턴(152)은 도 2의 제 1 노드(N1)에 대응한다.
- [0072] 제 2 커패시터 전극(141)은 제 1 연결패턴(151)을 통해 제 3 박막트랜지스터(T3)에 연결된다.
- [0073] 그리고, 커패시터홀(Cst\_H)은 제 1 및 제 2 커패시터 전극(121, 141)이 중첩하는 영역의 일부에 배치된다.
- [0074] 도 4에 도시한 바와 같이, 박막트랜지스터 어레이 기관(100)은 기관(101)의 일면을 덮는 버퍼막(102), 버퍼막(102) 상에 배치되는 제 3 박막트랜지스터(T3)의 액티브층(111), 제 3 박막트랜지스터(T3)의 액티브층(111)을 덮는 제 1 게이트절연막(103), 제 1 게이트절연막(103) 상에 배치되는 제 3 박막트랜지스터(T3)의 게이트전극(15a), 제 1 게이트절연막(103) 상에 배치되고 제 3 박막트랜지스터(T3)의 게이트전극(15a)으로부터 이격되는 커패시터(Cst)의 제 1 커패시터 전극(121), 제 3 박막트랜지스터(T3)의 게이트전극(15a)과 커패시터(Cst)의 제 1 커패시터 전극(121)을 덮는 제 2 게이트절연막(104), 제 1 커패시터 전극(121)의 일부에 대응하고 제 2 게이트절연막(104)을 관통하는 커패시터홀(Cst\_H), 제 2 게이트절연막(104) 상에 배치되는 제 2 박막트랜지스터(T2)의 액티브층(131), 제 2 박막트랜지스터(T2)의 액티브층(131)의 일부를 덮는 중간절연막(105) 상에 배치되는

제 2 박막트랜지스터(T2)의 게이트전극(15b), 중간절연막(105) 상에 배치되고 제 1 커패시터 전극(121)에 중첩하는 커패시터(Cst)의 제 2 커패시터 전극(142), 제 2 박막트랜지스터(T2)의 액티브층(131)과 게이트전극(15b) 및 커패시터(Cst)의 제 2 커패시터 전극(142)을 덮는 층간절연막(106) 및 층간절연막(106) 상에 배치되는 데이터라인(14)과 제 1 전원라인(16)과 제 1, 제 2 및 제 3 연결패턴(151, 152, 153)을 포함한다.

- [0075] 달리 설명하면, 제 3 박막트랜지스터(T3)는 기판(101) 또는 버퍼막(102) 상에 배치되는 액티브층(111)과, 제 1 게이트절연막(103) 상에 배치되고 액티브층(111)의 일부에 중첩되는 제 1 스캔라인(15a)의 일부로 이루어진 게이트전극(15a)을 포함한다.
- [0076] 여기서, 기판(101) 또는 버퍼막(102) 상에 배치되는 액티브층(111)은 저온성장폴리실리콘물질(LTPS)로 이루어질 수 있다. 그리고, 액티브층(111)은 게이트전극(15a)에 중첩하는 채널영역(111a)과, 채널영역(111a)의 양측에 배치되는 소스영역(111b) 및 드레인영역(111c)을 포함한다. 제 3 박막트랜지스터(T3)의 소스전극 및 드레인전극은 액티브층(111)의 소스영역(111b) 및 드레인영역(111c)에 대응한다. 예시적으로, 액티브층(111)의 소스영역(111b) 및 드레인영역(111c)은 도펀트가 채널영역(111a)보다 높은 농도로 도핑된 영역일 수 있다.
- [0077] 그리고, 제 3 박막트랜지스터(T3)의 소스전극(111b) 및 드레인전극(111c) 중 어느 하나(도 4의 소스전극(111b))은 층간절연막(106) 상에 배치되는 데이터라인(14)에 연결되고, 다른 나머지 하나(도 4의 드레인전극(111c))는 층간절연막(106) 상에 배치되는 제 1 연결패턴(151)을 통해 커패시터(Cst)의 제 1 커패시터 전극(121)에 연결될 수 있다.
- [0078] 커패시터(Cst)는 제 1 게이트절연막(102) 상에 배치되고 제 1 스캔라인(15a)로부터 이격되는 제 1 커패시터 전극(121), 및 적어도 중간절연막(105) 상에 배치되고 제 1 커패시터 전극(121)에 중첩하는 제 2 커패시터 전극(141)을 포함한다. 그리고, 본 발명의 제 1 실시예에 따른 커패시터(Cst)는 제 1 및 제 2 커패시터 전극(121, 141)의 중첩영역 중 일부에 대응하며 제 2 게이트절연막(104)을 관통하는 커패시터홀(Cst\_H)을 포함한다.
- [0079] 제 1 커패시터 전극(121)의 일부는 제 1 박막트랜지스터(T1)의 게이트전극이 되고, 제 2 커패시터 전극(122)은 층간절연막(106) 상의 제 1 연결패턴(151)을 통해 제 3 박막트랜지스터(T3)에 연결된다.
- [0080] 제 2 커패시터 전극(122) 아래의 중간절연막(105)은 제 2 게이트절연막(104) 상에 배치된다. 이에, 제 2 커패시터 전극(104) 중 커패시터홀(Cst\_H)에 대응하는 일부는 중간절연막(105)에만 중첩하고, 다른 나머지 일부는 제 2 게이트절연막(104) 및 중간절연막(105)에 중첩한다. 즉, 제 2 커패시터 전극(141) 아래에 배치되는 중간절연막(105) 중 커패시터홀(Cst\_H)에 대응하는 일부는 제 1 및 제 2 커패시터 전극(121, 141)에 접한다.
- [0081] 이와 같이, 제 1 및 제 2 커패시터 전극(121, 141) 사이의 중첩영역 중 커패시터홀(Cst\_H)에 대응하는 일부에는 중간절연막(105)만이 배치된다. 이때, 제 1 및 제 2 커패시터 전극(121, 141)에 의한 커패시터(Cst)의 용량은 제 1 및 제 2 커패시터 전극(121, 141) 사이의 이격거리에 반비례한다. 그러므로, 커패시터홀(Cst\_H)을 통해, 제 1 및 제 2 커패시터 전극(121, 141) 사이에 중간절연막(105)만이 배치되는 영역을 증가시키면, 한정된 면적에서도 커패시터(Cst)의 용량이 증가될 수 있다.
- [0082] 제 2 박막트랜지스터(T2)는 제 3 박막트랜지스터(T3)의 게이트전극(15a)과 커패시터(Cst)의 제 1 커패시터 전극(121)을 덮는 제 2 게이트절연막(104) 상에 배치되는 액티브층(131)과, 액티브층(131)의 일부를 덮는 층간절연막(105) 상에 배치되고 액티브층(131)의 일부에 중첩되는 제 2 스캔라인(15b)의 일부로 이루어진 게이트전극(15b)을 포함한다.
- [0083] 여기서, 제 2 게이트절연막(104) 상에 배치되는 액티브층(131)은 산화물반도체물질로 이루어질 수 있다. 그리고, 액티브층(131)은 게이트전극(15b)에 중첩하는 채널영역(131a)과, 채널영역(131a)의 양측에 배치되는 소스영역(131b) 및 드레인영역(131c)을 포함한다. 제 2 박막트랜지스터(T2)의 소스전극 및 드레인전극은 액티브층(131)의 소스영역(131b) 및 드레인영역(131c)에 대응한다. 예시적으로, 액티브층(131)의 소스영역(131b) 및 드레인영역(131c)은 채널영역(131a)보다 높은 도전성을 갖도록 도체화 처리된 영역일 수 있다.
- [0084] 제 2 박막트랜지스터(T2)의 소스전극(131b) 및 드레인전극(131c) 중 어느 하나(도 4의 소스전극(131b))은 층간절연막(106) 상에 배치되는 제 2 연결패턴(152)을 통해 제 1 커패시터 전극(121)에 연결되고, 다른 나머지 하나(도 4의 드레인전극(131c))은 층간절연막(106) 상에 배치되는 제 3 연결패턴(153)을 통해 제 1 박막트랜지스터(T1)의 액티브층(112)에 연결된다.
- [0085] 그리고, 도 5에 도시한 바와 같이, 제 1 박막트랜지스터(T1)는 기판(101) 또는 버퍼막(102) 상에 배치되는 액티브층(112)과, 제 1 게이트절연막(103) 상에 배치되고 액티브층(112)의 일부에 중첩되는 제 1 커패시터 전극

(121)의 일부로 이루어진 게이트전극(121)을 포함한다.

- [0086] 제 3 박막트랜지스터(T3)의 액티브층(111)과 마찬가지로, 제 1 박막트랜지스터(T1)의 액티브층(112)은 저온성장 폴리실리콘물질(LTPS)로 이루어질 수 있다. 그리고, 액티브층(112)은 게이트전극(121)에 중첩하는 채널영역(112a)과, 채널영역(112a)의 양측에 배치되는 소스영역(112b) 및 드레인영역(112c)을 포함한다. 제 1 박막트랜지스터(T1)의 소스전극 및 드레인전극은 액티브층(112)의 소스영역(112b) 및 드레인영역(112c)에 대응한다. 예시적으로, 액티브층(112)의 소스영역(112b) 및 드레인영역(112c)은 도펀트가 채널영역(112a)보다 높은 농도로 도핑된 영역일 수 있다.
- [0087] 그리고, 제 1 박막트랜지스터(T1)의 소스전극(112b) 및 드레인전극(112c) 중 어느 하나(도 4의 소스전극(112b))은 층간절연막(106) 상에 배치되는 제 1 전원라인(16)에 연결되고, 다른 나머지 하나(도 4의 드레인전극(112c))는 층간절연막(106) 상에 배치되는 제 3 연결패턴(153)을 통해 제 2 박막트랜지스터(T2)에 연결될 수 있다.
- [0089] 이상과 같이, 본 발명의 제 1 실시예에 따르면, 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3) 중 제 3 박막트랜지스터(T3)는 기판(101) 상의 액티브층(111)과 액티브층(111)을 덮는 제 1 게이트절연막(103) 상의 게이트전극(15a)을 포함하고, 제 2 박막트랜지스터(T2)는 제 3 박막트랜지스터(T3)의 게이트전극(15a)을 덮는 제 2 게이트절연막(104) 상의 액티브층(131)과 액티브층(131)의 일부를 덮는 층간절연막 상의 게이트전극(121)을 포함한다. 그리고, 커패시터(Cst)는 제 1 게이트절연막(103) 상에 배치되는 제 1 커패시터 전극(121)과 제 2 게이트절연막(104) 상에 배치되는 제 2 커패시터 전극(141) 사이의 중첩 영역에서 발생된다.
- [0090] 이와 같이, 제 3 박막트랜지스터(T3)의 게이트전극과 동일층인 제 1 커패시터 전극(121)과 제 2 박막트랜지스터(T2)의 게이트전극과 동일층인 제 2 커패시터 전극(141)을 통해, 커패시터(Cst)가 구현될 수 있다. 이로써, 별도의 도전층을 부가하지 않더라도, 커패시터(Cst)가 배치될 수 있으므로, 박막트랜지스터 어레이 기판(100)의 구조가 간단해질 수 있는 장점이 있다.
- [0091] 또한, 본 발명의 제 1 실시예에 따르면, 커패시터(Cst)는 제 1 및 제 2 커패시터 전극(121, 141)이 중첩되는 영역 중 일부에 대응하는 커패시터홀(Cst\_H)를 포함한다. 이때, 커패시터홀(Cst\_H)에 의해, 제 1 및 제 2 커패시터 전극(121, 141) 사이에는 층간절연막(105)만이 배치된다. 이에 따라, 제 1 및 제 2 커패시터 전극(121, 141) 사이의 중첩 영역의 면적에 대한 커패시터(Cst)의 용량이 증가될 수 있는 장점이 있다. 이로써, 화소영역의 면적이 축소되어, 커패시터(Cst)에 할당되는 면적이 감소되더라도, 커패시터(Cst)의 용량이 감소되는 것을 최소화할 수 있으므로, 고해상도의 유기발광표시장치를 구현하는 데에 용이해질 수 있는 장점이 있다.
- [0093] 한편, 제 1 실시예에 따르면, 유기발광소자(OLED)의 오동작으로 인한 화질 저하를 방지하기 위하여, 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3) 중 제 2 박막트랜지스터(T2)가 산화물반도체물질의 액티브층(131)을 포함하는 구조로 이루어진다.
- [0095] 또는, 유기발광소자(OLED)에 구동전류를 공급하는 제 1 박막트랜지스터(T1)도, 제 2 박막트랜지스터(T2)와 마찬가지로, 산화물반도체물질의 액티브층을 포함하는 구조로 이루어질 수 있다.
- [0096] 이하에서는, 도 6 내지 도 9를 참조하여, 제 2 실시예에 따른 박막트랜지스터 어레이 기판에 대해 설명한다. 제 2 실시예에 따른 박막트랜지스터 어레이 기판은 산화물반도체물질의 액티브층을 포함하는 구조로 이루어진 제 1 및 제 2 박막트랜지스터(T1, T2)를 포함한다.
- [0097] 도 6은 본 발명의 제 2 실시예에 따른 유기발광표시장치에 있어서, 어느 하나의 화소에 대응하는 등가회로를 나타낸 도면이다. 도 7은 도 6의 제 1, 제 2 및 제 3 박막트랜지스터와 커패시터를 포함하는 박막트랜지스터 어레이 기판의 평면에 대한 일 예시를 나타낸 도면이다. 도 8은 도 7의 C-C'에 대한 단면을 나타낸 도면이다. 도 9는 도 7의 D-D'에 대한 단면을 나타낸 도면이다.
- [0098] 도 6에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 유기발광표시장치는 각 화소(PXL)에 대응하는 커패시터(Cst)가 제 1 및 제 2 노드(N1, N2) 사이에 연결되고, 제 2 박막트랜지스터(T2)가 제 1 전원라인(16)과 제 1 박막트랜지스터(T1) 사이의 제 3 노드(N3)와 제 1 노드(N1) 사이에 연결되는 점을 제외하면, 도 2의 제 1 실시

예와 동일하므로, 이하에서 중복 설명을 생략한다.

- [0099] 구체적으로, 제 2 실시예에 따르면, 제 1 박막트랜지스터(T1)의 소스전극 및 드레인전극 중 어느 하나는 제 1 구동전원(EVDD)을 공급하는 제 1 전원라인에 연결되고, 다른 나머지 하나는 유기발광소자(OLED)의 애노드전극에 연결된다. 그리고, 유기발광소자(OLED)의 캐소드전극은 제 2 구동전원(EVSS)을 공급하는 제 2 전원라인에 연결된다.
- [0100] 커패시터(Cst)는 제 1 박막트랜지스터(T1)의 소스전극 및 드레인전극 중 유기발광소자(OLED)에 연결된 어느 하나와 제 1 박막트랜지스터(T1)의 게이트전극 사이에 연결된다. 즉, 커패시터(Cst)의 제 1 및 제 2 커패시터 전극 중 어느 하나는 제 1 박막트랜지스터(T1)의 게이트전극과 제 3 박막트랜지스터(T3) 사이의 제 1 노드(N1)에 연결되고, 다른 나머지 하나는 제 1 박막트랜지스터(T1)와 유기발광소자(OLED) 사이의 제 2 노드(N2)에 연결된다.
- [0101] 제 2 박막트랜지스터(T2)는 제 1 박막트랜지스터(T1)의 소스전극 및 드레인전극 중 제 1 전원라인(16)에 연결된 다른 나머지 하나와 제 1 박막트랜지스터(T1)의 게이트전극 사이에 연결된다. 그리고, 제 2 박막트랜지스터(T2)의 게이트전극은 제 2 스캔신호(SCAN2)를 공급하는 제 2 스캔라인(15b)에 연결된다.
- [0102] 즉, 제 2 박막트랜지스터(T2)의 소스전극 및 드레인전극 중 어느 하나는 제 1 박막트랜지스터(T1)의 게이트전극과 제 1 전원라인(16) 사이의 제 3 노드(N3)에 연결되고 다른 나머지 하나는 제 1 노드(N1)에 연결된다. 이러한 제 2 박막트랜지스터(T2)는 제 2 스캔신호(SCAN2)에 기초하여 턴온하면, 제 1 노드(N1)와 제 3 노드(N3) 사이를 연결한다.
- [0103] 제 3 박막트랜지스터(T3)는 데이터신호(VDATA)를 공급하는 데이터라인(14)과 제 1 노드(N1) 사이에 연결된다. 즉, 제 3 박막트랜지스터(T3)의 소스전극 및 드레인전극 중 어느 하나는 데이터신호(VDATA)를 공급하는 데이터라인(14)에 연결되고 다른 나머지 하나는 제 1 노드(N1)에 연결된다. 그리고, 제 3 박막트랜지스터(T3)의 게이트전극은 제 1 스캔신호(SCAN1)를 공급하는 제 1 스캔라인(15a)에 연결된다. 이러한 제 3 박막트랜지스터(T3)는 제 1 스캔신호(SCAN1)에 기초하여 턴온하면, 제 1 노드(N1)에 데이터신호(VDATA)를 공급한다.
- [0105] 도 7에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 박막트랜지스터 어레이 기관(100')은 각 화소영역에 배치되는 제 1, 제 2 및 제 3 박막트랜지스터(T1, T2, T3)와 커패시터(Cst)를 포함한다. 특히, 도 3의 제 1 실시예와 달리, 제 2 실시예에 따른 제 1 박막트랜지스터(T1)의 액티브층(132)는 제 2 박막트랜지스터(T2)의 액티브층(131)과 동일층에 배치된다.
- [0106] 그리고, 박막트랜지스터 어레이 기관(100')은 제 1 방향(도 7의 좌우방향)의 제 1 및 제 2 스캔라인(15a, 15b), 제 2 방향(도 7의 상하방향)의 데이터라인(14)과 제 1 전원라인(16)을 더 포함할 수 있다.
- [0107] 또한, 박막트랜지스터 어레이 기관(100')은 제 2 및 제 3 박막트랜지스터(T2, T3)와 커패시터(Cst) 사이를 연결하는 제 4 연결패턴(154) 및 제 1 박막트랜지스터(T1)와 커패시터(Cst) 사이를 연결하는 제 5 연결패턴(155)을 더 포함할 수 있다.
- [0108] 제 1 박막트랜지스터(T1)의 액티브층(132)의 양단은 제 1 전원라인(16) 및 커패시터(Cst)에 연결된다.
- [0109] 제 2 박막트랜지스터(T2)의 액티브층(131)의 양단은 제 1 박막트랜지스터(T1)와 제 1 박막트랜지스터(T1)에 연결된다. 제 2 박막트랜지스터(T2)의 게이트전극은 제 2 박막트랜지스터(T2)의 액티브층(131)의 일부에 중첩하는 제 2 스캔라인(15b)의 일부로 이루어진다.
- [0110] 제 3 박막트랜지스터(T3)의 액티브층(111)의 양단은 데이터라인(14) 및 제 2 박막트랜지스터(T2)에 연결된다. 제 3 박막트랜지스터(T3)의 게이트전극은 제 3 박막트랜지스터(T3)의 액티브층(111)의 일부에 중첩하는 제 1 스캔라인(15a)의 일부로 이루어진다.
- [0111] 커패시터(Cst)는 상호 중첩하는 제 1 및 제 2 커패시터 전극(121, 141)을 포함한다.
- [0112] 제 1 커패시터 전극(121)은 제 5 연결패턴(155)을 통해 제 1 박막트랜지스터(T1)와 유기발광소자(OLED) 사이의 제 2 노드(도 6의 N2)에 연결된다.
- [0113] 제 2 커패시터 전극(141)은 제 4 연결패턴(154)을 통해 제 1 박막트랜지스터(T1)의 게이트전극, 제 2 박막트랜지스터(T2), 제 3 박막트랜지스터(T3) 사이의 제 1 노드(도 6의 N1)에 연결된다. 여기서, 제 1 박막트랜지스터

(T1)의 액티브층(132)의 일부에 중첩하는 제 2 커패시터 전극(141)의 일부는 제 1 박막트랜지스터(T1)의 게이트 전극이 된다.

- [0114] 그리고, 커패시터홀(Cst\_H)은 제 1 및 제 2 커패시터 전극(121, 141)이 중첩하는 영역의 일부에 배치된다.
- [0115] 도 8에 도시한 바와 같이, 박막트랜지스터 어레이 기관(100')은 기관(101)의 일면을 덮는 버퍼막(102), 버퍼막(102) 상에 배치되는 제 3 박막트랜지스터(T3)의 액티브층(111), 제 3 박막트랜지스터(T3)의 액티브층(111)을 덮는 제 1 게이트절연막(103), 제 1 게이트절연막(103) 상에 배치되는 제 3 박막트랜지스터(T3)의 게이트전극(15a), 제 1 게이트절연막(103) 상에 배치되고 제 3 박막트랜지스터(T3)의 게이트전극(15a)으로부터 이격되는 커패시터(Cst)의 제 1 커패시터 전극(121), 제 3 박막트랜지스터(T3)의 게이트전극(15a)과 커패시터(Cst)의 제 1 커패시터 전극(121)을 덮는 제 2 게이트절연막(104), 제 1 커패시터 전극(121)의 일부에 대응하고 제 2 게이트절연막(104)을 관통하는 커패시터홀(Cst\_H) 및 중간절연막(105) 상에 배치되고 제 1 커패시터 전극(121)에 중첩하는 커패시터(Cst)의 제 2 커패시터 전극(142)을 포함한다.
- [0116] 그리고, 도 9에 도시한 바와 같이, 박막트랜지스터 어레이 기관(100')은 제 2 게이트절연막(104) 상에 배치되는 제 2 박막트랜지스터(T2)의 액티브층(131)과 제 1 박막트랜지스터(T1)의 액티브층(132), 제 2 박막트랜지스터(T2)의 액티브층(131)의 일부를 덮는 중간절연막(105) 상에 배치되는 제 2 박막트랜지스터(T2)의 게이트전극(15b) 및 제 1 박막트랜지스터(T1)의 액티브층(132)의 일부를 덮는 중간절연막(105) 상에 배치되는 제 1 박막트랜지스터(T1)의 게이트전극(141)을 더 포함한다.
- [0117] 또한, 도 8 및 도 9에 도시한 바와 같이, 박막트랜지스터 어레이 기관(100')은 제 2 박막트랜지스터(T2)의 액티브층(131)과 게이트전극(15b) 및 커패시터(Cst)의 제 2 커패시터 전극(142)을 덮는 중간절연막(106) 및 중간절연막(106) 상에 배치되는 데이터라인(14)과 제 1 전원라인(16)과 제 4 및 제 5 연결패턴(154, 155)을 더 포함한다.
- [0118] 도 8 및 도 9의 도시와 같이, 제 2 실시예(100')에 따른 제 2 및 제 3 박막트랜지스터(T2, T3)는 도 4의 제 1 실시예(100)와 동일하므로, 이하에서는 중복 설명을 생략한다.
- [0119] 제 2 실시예(100')에 따르면, 커패시터(Cst)는 제 1 게이트절연막(102) 상에 배치되고 제 1 스캔라인(15a)로부터 이격되는 제 1 커패시터 전극(121), 및 적어도 중간절연막(105) 상에 배치되고 제 1 커패시터 전극(121)에 중첩하는 제 2 커패시터 전극(141)을 포함한다. 그리고, 본 발명의 제 2 실시예에 따른 커패시터(Cst)는 제 1 및 제 2 커패시터 전극(121, 141)의 중첩영역 중 일부에 대응하며 제 2 게이트절연막(104)을 관통하는 커패시터홀(Cst\_H)을 포함한다.
- [0120] 도 9의 도시와 같이, 제 1 커패시터 전극(121)은 중간절연막(106) 상의 제 5 연결패턴(155)을 통해 제 1 박막트랜지스터(T1)과 유기발광소자(OLED) 사이의 제 2 노드(도 6의 N2)에 연결된다.
- [0121] 도 8의 도시와 같이, 제 2 커패시터 전극(141)의 일부는 제 1 박막트랜지스터(T1)의 게이트전극이 된다. 그리고, 도 7 및 도 8의 도시와 같이, 제 2 커패시터 전극(141)은 중간절연막(106) 상의 제 4 연결패턴(154)을 통해 제 2 및 제 3 박막트랜지스터(T2, T3) 사이의 제 1 노드(N1)에 연결된다.
- [0122] 제 1 실시예(100)와 마찬가지로, 제 2 실시예(100')에 따른 커패시터(Cst)는 제 1 및 제 2 커패시터 전극(121, 141) 사이의 중첩영역 중 일부에 대응하고 제 2 게이트절연막(104)을 관통하는 커패시터홀(Cst\_H)을 포함함에 따라, 한정된 면적에서도 증가된 용량을 가질 수 있다.
- [0123] 도 9의 도시와 같이, 제 2 실시예(100')에 따르면, 제 1 박막트랜지스터(T1)는 제 2 박막트랜지스터(T2)와 마찬가지로, 제 3 박막트랜지스터(T3)의 게이트전극(15a)과 커패시터(Cst)의 제 1 커패시터 전극(121)을 덮는 제 2 게이트절연막(104) 상에 배치되는 액티브층(132)과, 액티브층(132)의 일부를 덮는 중간절연막(105) 상에 배치되고 액티브층(132)의 일부에 중첩되는 제 2 커패시터 전극(141)의 일부로 이루어진 게이트전극(141)을 포함한다.
- [0124] 제 2 박막트랜지스터(T2)의 액티브층(131)과 마찬가지로, 제 1 박막트랜지스터(T1)의 액티브층(132)은 산화물반도체물질로 이루어질 수 있다. 그리고, 액티브층(132)은 게이트전극(141)에 중첩하는 채널영역(132a)과, 채널영역(132a)의 양측에 배치되는 소스영역(132b) 및 드레인영역(132c)을 포함한다. 제 1 박막트랜지스터(T1)의 소스전극 및 드레인전극은 액티브층(132)의 소스영역(132b) 및 드레인영역(132c)에 대응한다. 예시적으로, 액티브층(132)의 소스영역(132b) 및 드레인영역(132c)은 채널영역(132a)보다 높은 도전성을 갖도록 도체화 처리된 영역일 수 있다.
- [0125] 그리고, 제 1 박막트랜지스터(T1)의 소스전극(132b) 및 드레인전극(132c) 중 어느 하나(도 9의 소스전극(132

b))은 중간절연막(106) 상에 배치되는 제 1 전원라인(16)에 연결되고, 다른 나머지 하나(도 9의 드레인전극(132c))는 중간절연막(106) 상에 배치되는 제 5 연결패턴(155)을 통해 커패시터(Cst)의 제 1 커패시터 전극(121) 및 유기발광소자(도 6의 OLED)에 연결될 수 있다.

- [0126] 이상과 같이, 본 발명의 제 2 실시예에 따르면, 유기발광소자(OLED)에 구동전류를 공급하는 제 1 박막트랜지스터(T1)가 산화물반도체물질의 액티브층(132)을 포함하는 구조로 이루어진다. 이에 따라, 제 1 박막트랜지스터(T1)의 전압-전류 특성 기울기가 작아질 수 있으므로, 각 화소(PXL)의 계조 제어가 용이해질 수 있는 장점이 있다.
- [0128] 다음, 도 10 내지 도 20을 참조하여, 본 발명의 제 2 실시예에 따른 박막트랜지스터 어레이 기판의 제조방법에 대해 설명한다.
- [0129] 도 10 내지 도 20은 본 발명의 제 2 실시예에 따른 박막트랜지스터 어레이 기판을 제조하는 방법의 과정들을 나타낸 도면이다.
- [0130] 도 10 및 도 11에 도시한 바와 같이, 기판(101)의 일면 상에 버퍼막(102)을 배치된다. 그리고, 버퍼막(102) 상에 제 3 박막트랜지스터의 액티브층(111)이 배치되고, 제 3 박막트랜지스터의 액티브층(111)을 덮는 제 1 게이트절연막(103)이 배치된다.
- [0131] 이어서, 제 1 게이트절연막(103) 상에 제 1 스캔라인(15a) 및 제 1 커패시터 전극(121)이 배치된다. 여기서, 제 1 스캔라인(15a) 중 제 3 박막트랜지스터의 액티브층(111)에 중첩되는 일부는 제 3 박막트랜지스터의 게이트전극(도 11의 15a)이 된다.
- [0132] 이후, 제 3 박막트랜지스터의 게이트전극(도 11의 15a)을 마스크로 이용한 상태에서, 제 3 박막트랜지스터의 액티브층(111)에 대한 도펀트 주입 공정을 실시한다. 이로써, 제 3 박막트랜지스터의 액티브층(111)은 게이트전극(15a)에 중첩하는 채널영역(111a)과, 채널영역(111a)의 양측에 배치되는 소스영역(111b) 및 드레인영역(111c)을 포함하는 구조가 된다.
- [0133] 도 12 및 도 13에 도시한 바와 같이, 제 3 박막트랜지스터의 게이트전극(15a) 및 제 1 커패시터 전극(121)을 덮는 제 2 게이트절연막(104)을 배치한다. 그리고, 제 2 게이트절연막(104)을 관통하여 제 1 커패시터 전극(121)의 일부를 노출하는 커패시터홀(Cst\_H)을 배치한다.
- [0134] 이어서, 제 2 게이트절연막(104) 상에 제 2 박막트랜지스터의 액티브층(131) 및 제 1 박막트랜지스터의 액티브층(132)을 배치한다.
- [0135] 다음, 제 2 박막트랜지스터의 액티브층(131) 및 제 1 박막트랜지스터의 액티브층(132) 상에 순차 적층된 절연막(미도시)과 도전층(미도시)을 일괄적으로 패터닝한다.
- [0136] 이로써, 도 14 및 도 15에 도시한 바와 같이, 중간절연막(105)과, 그 위에 배치되는 제 2 스캔라인(15b) 및 제 2 스토리지 전극(141)이 마련된다.
- [0137] 여기서, 제 2 스캔라인(15b) 중 제 2 박막트랜지스터의 액티브층(131)에 중첩되는 일부는 제 2 박막트랜지스터의 게이트전극(도 15의 15b)이 된다.
- [0138] 그리고, 제 2 스토리지 전극(141) 중 제 1 박막트랜지스터의 액티브층(132)에 중첩되는 일부는 제 1 박막트랜지스터의 게이트전극(도 15의 141)이 된다.
- [0139] 즉, 도 15의 도시와 같이, 제 2 박막트랜지스터의 액티브층(131)의 일부를 덮는 중간절연막(105)과 그 위에 배치되는 제 2 박막트랜지스터의 게이트전극(도 15의 15b), 및 제 1 박막트랜지스터의 액티브층(132)의 일부를 덮는 중간절연막(105)과 그 위에 배치되는 제 1 박막트랜지스터의 게이트전극(도 15의 141)이 마련된다.
- [0140] 도 16에 도시한 바와 같이, 제 1 및 제 2 박막트랜지스터의 게이트전극(141)(15b)을 마스크로 이용한 상태에서, 제 1 및 제 2 박막트랜지스터의 액티브층(132)(131)에 대한 도체화 처리 공정을 실시한다. 이로써, 제 1 박막트랜지스터의 액티브층(132)은 게이트전극(141)에 중첩하는 채널영역(132a)과, 채널영역(132a)의 양측에 배치되는 소스영역(132b) 및 드레인영역(132c)을 포함하는 구조가 된다. 그리고, 제 2 박막트랜지스터의 액티브층(131)은 게이트전극(15b)에 중첩하는 채널영역(131a)과, 채널영역(131a)의 양측에 배치되는 소스영역(131b) 및 드레인영역(131c)을 포함하는 구조가 된다.

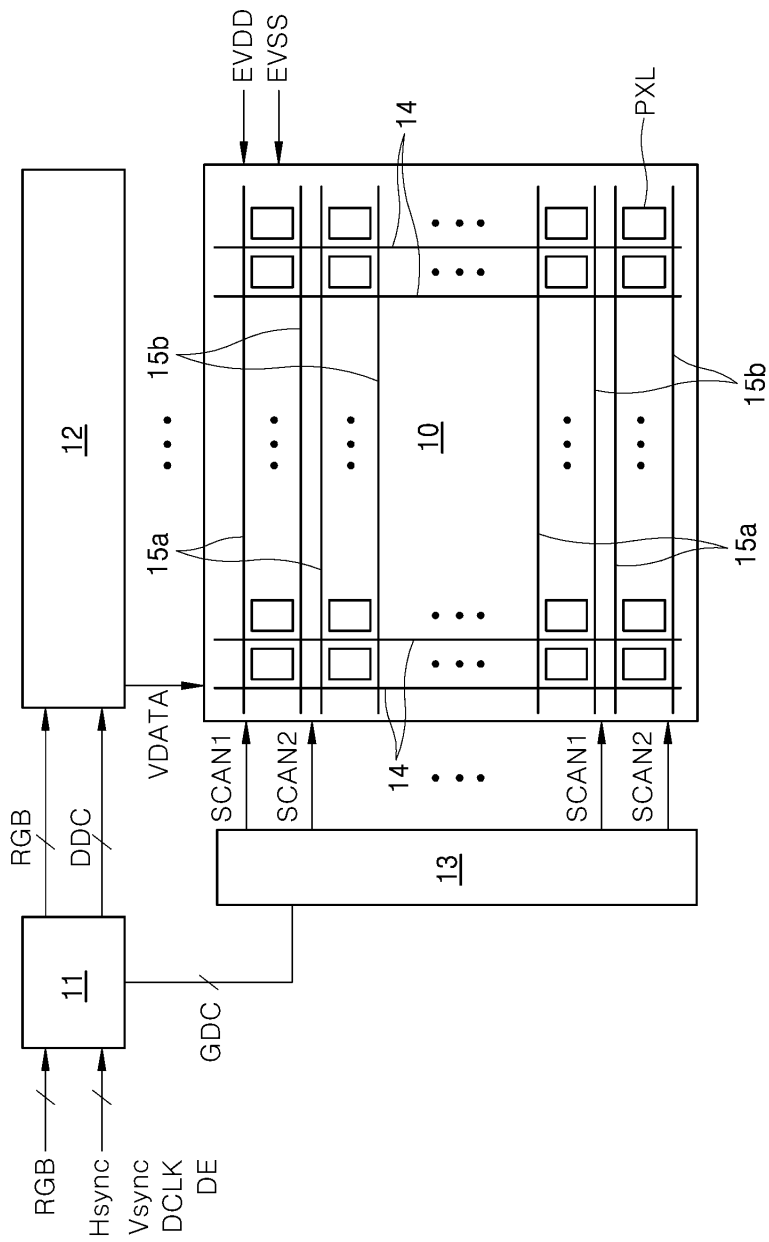
- [0141] 도 17 및 도 18에 도시한 바와 같이, 제 1 및 제 2 박막트랜지스터의 게이트전극(141)(15b)을 덮는 층간절연막(106)을 마련한 후, 층간절연막(106)과 제 1 및 제 2 게이트절연막(103, 104) 중 적어도 층간절연막(106)을 포함한 하나 이상의 절연막에 패터닝을 실시한다.
- [0142] 이로써, 제 1, 제 2 및 제 3 박막트랜지스터의 액티브층의 소스영역 및 드레인영역에 대응하는 복수의 콘택홀(H1, H2, H3, H4, H5, H6)이 배치된다.
- [0143] 도 19 및 도 20에 도시한 바와 같이, 층간절연막(106) 상에 데이터라인(14), 제 1 전원라인(16), 제 4 및 제 5 연결패턴(154, 155)이 배치된다.
- [0145] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

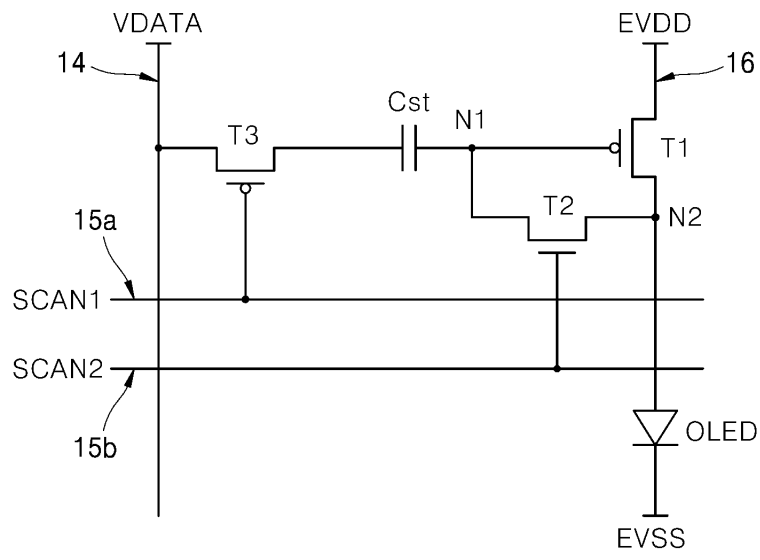
- [0147] 100, 100': 박막트랜지스터 어레이 기판
- T1, T2, T3: 제 1, 제 2, 제 3 박막트랜지스터
- Cst: 커패시터
- OLED: 유기발광소자
- 14: 데이터라인
- 15a, 15b: 제 1, 제 2 스캔라인
- 16: 제 1 전원라인
- Cst\_H: 커패시터홀
- 111: 제 3 박막트랜지스터의 액티브층
- 131: 제 2 박막트랜지스터의 액티브층
- 112, 132: 제 1 박막트랜지스터의 액티브층
- 121: 제 1 커패시터 전극
- 141: 제 2 커패시터 전극
- 103, 104: 제 1, 제 2 게이트절연막
- 105: 층간절연막
- 106: 층간절연막

도면

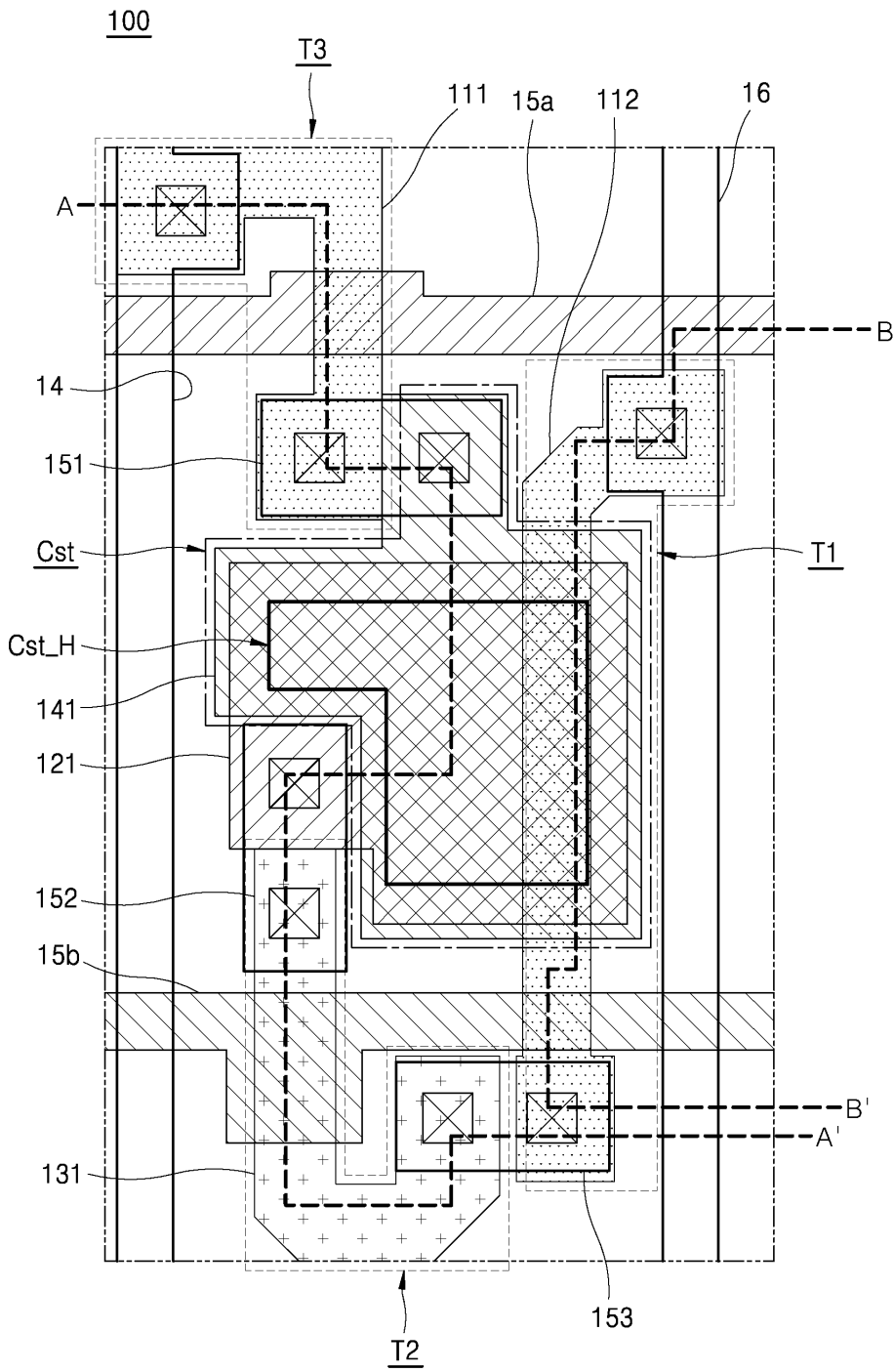
도면1



도면2

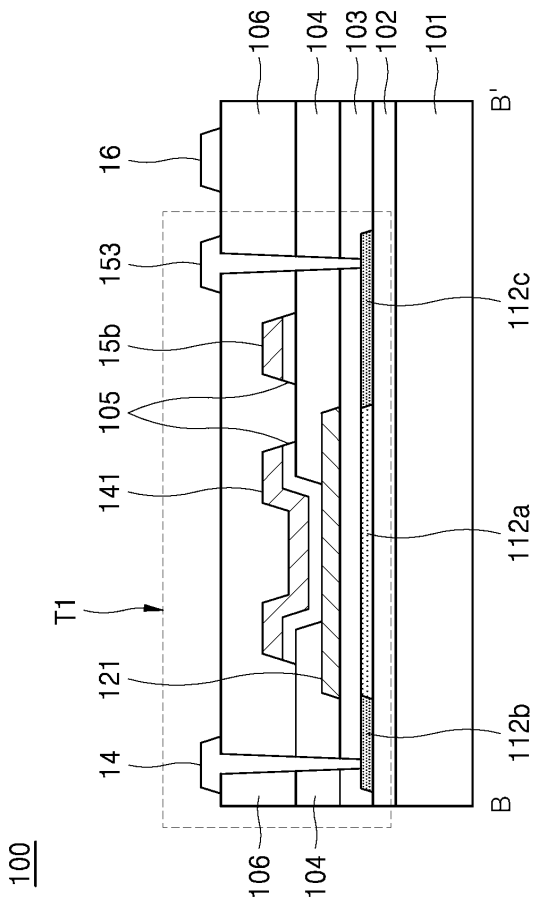


도면3

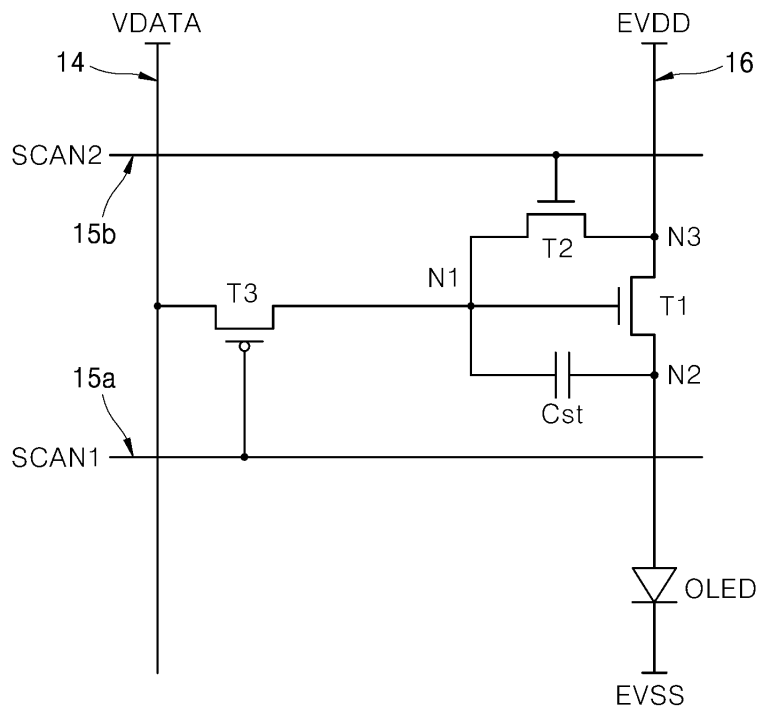




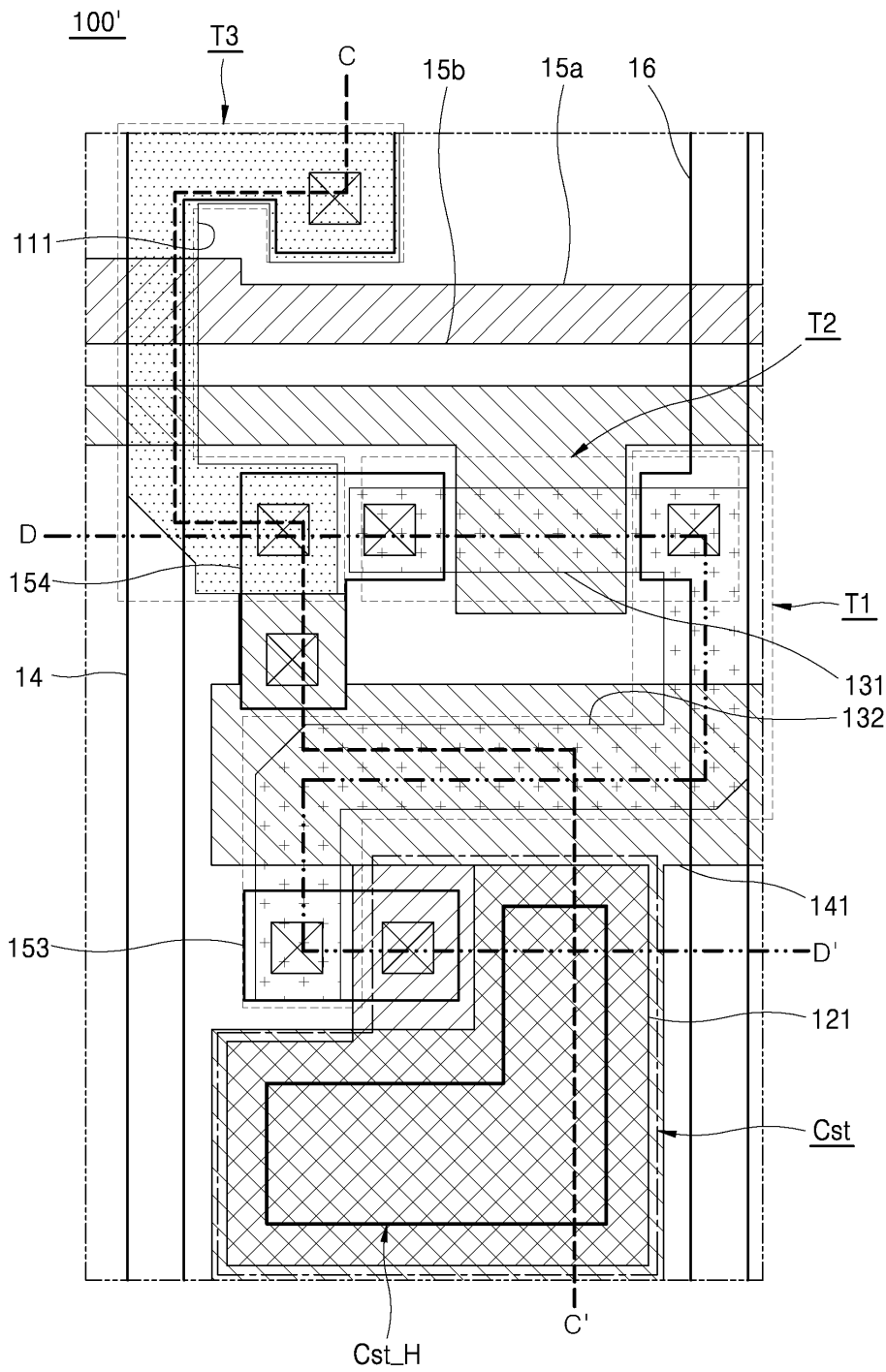
도면5



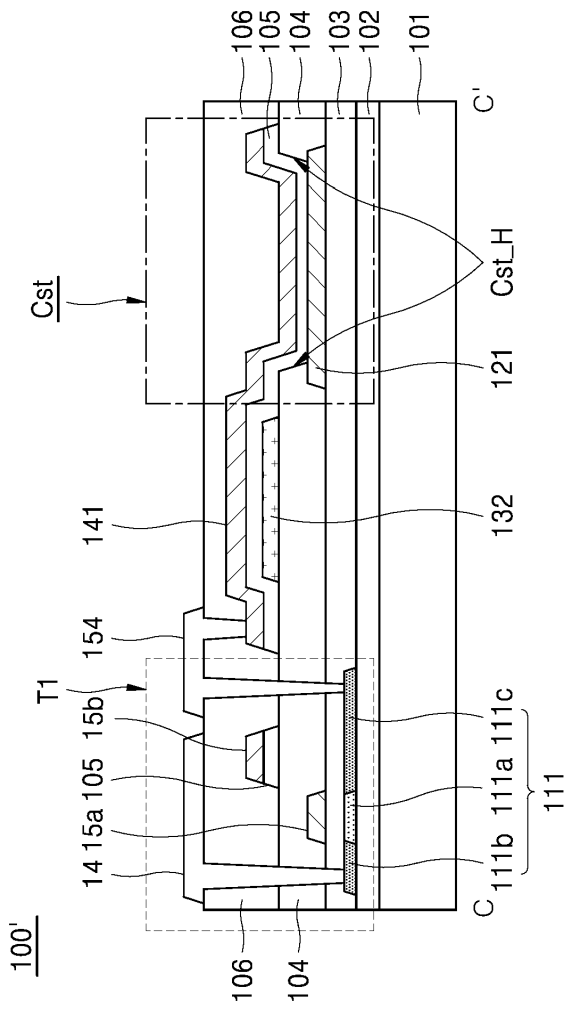
도면6



도면7

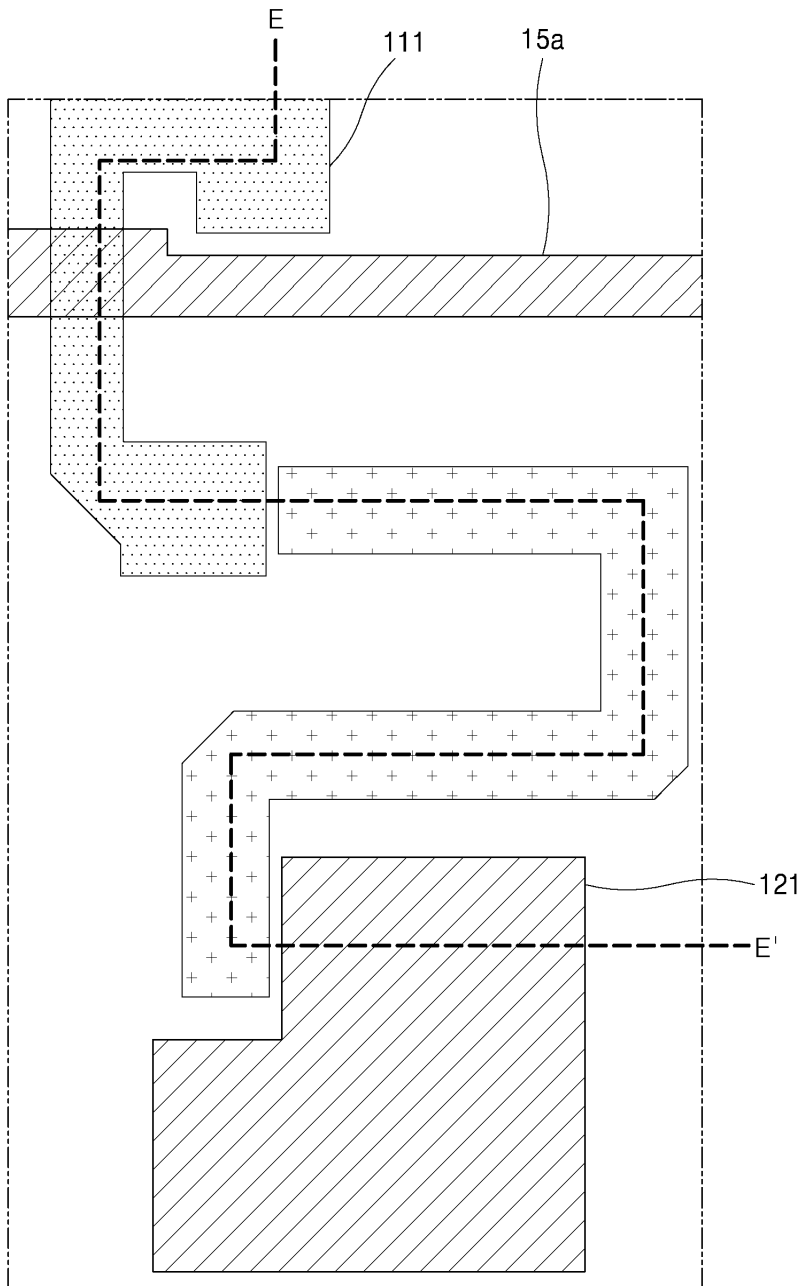


도면8

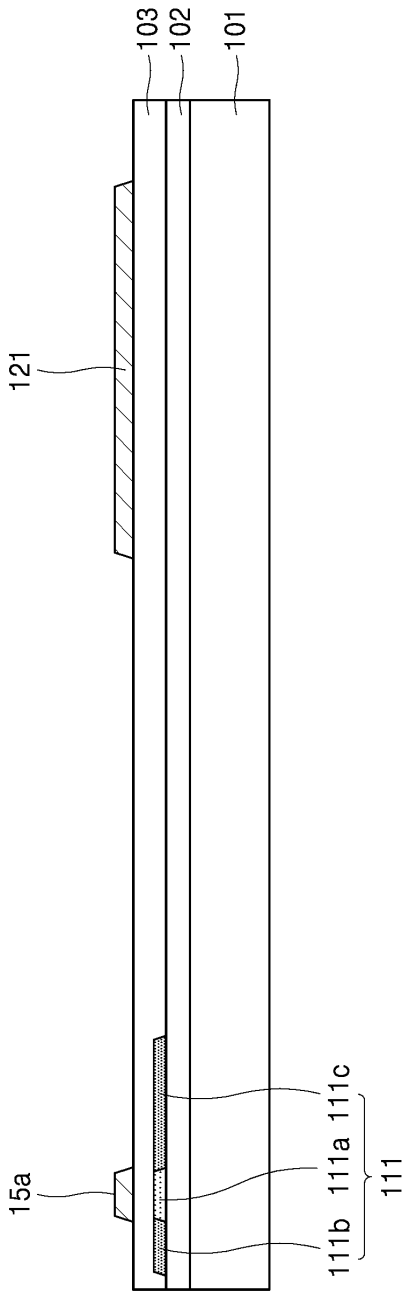




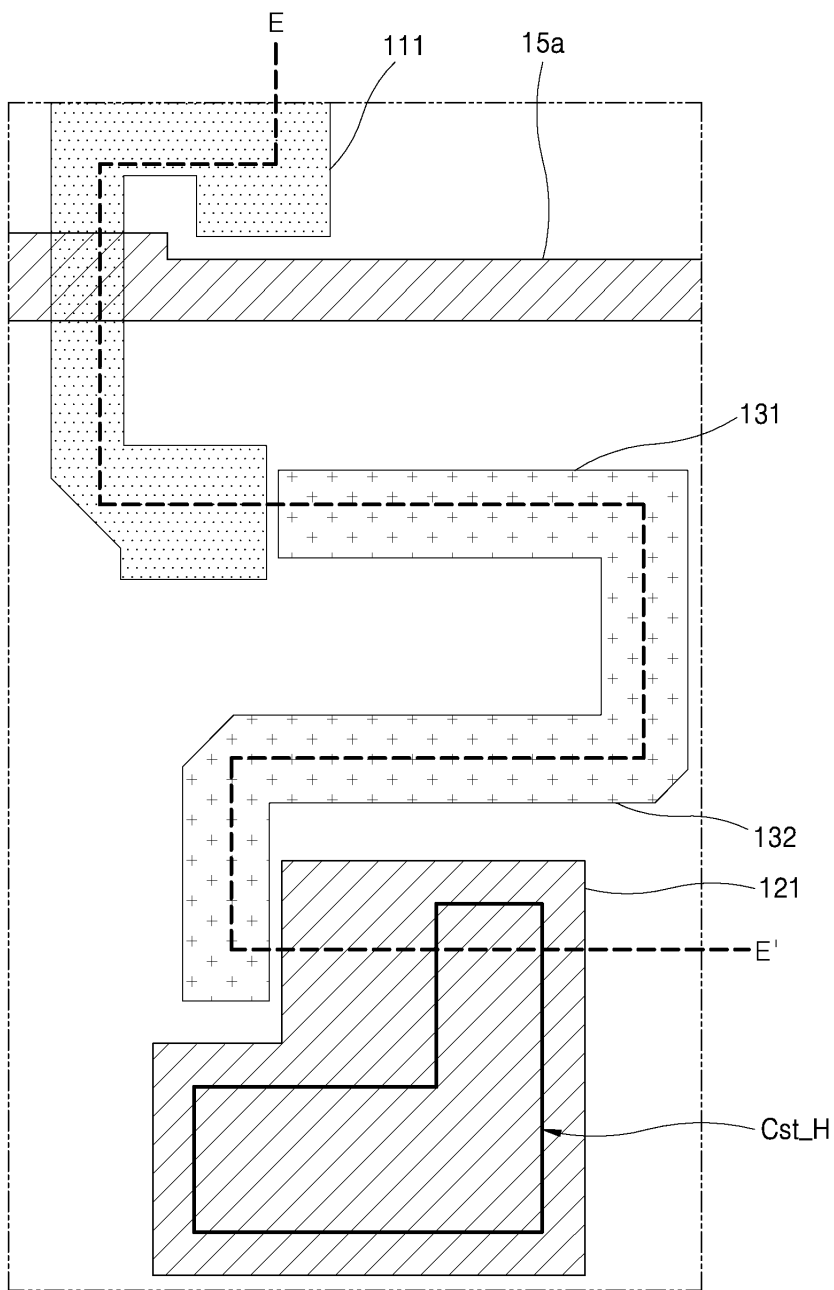
도면10



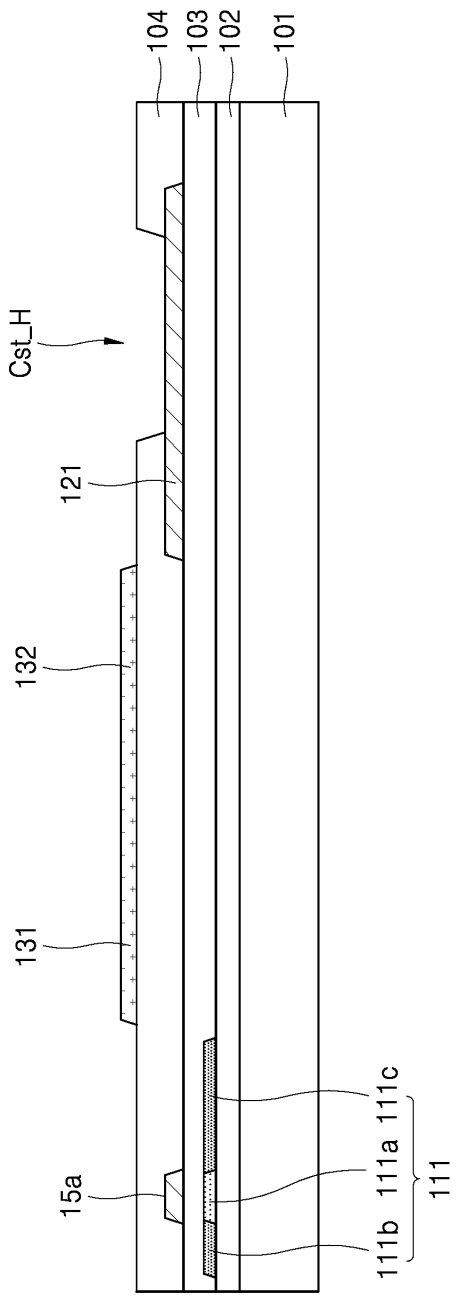
도면11



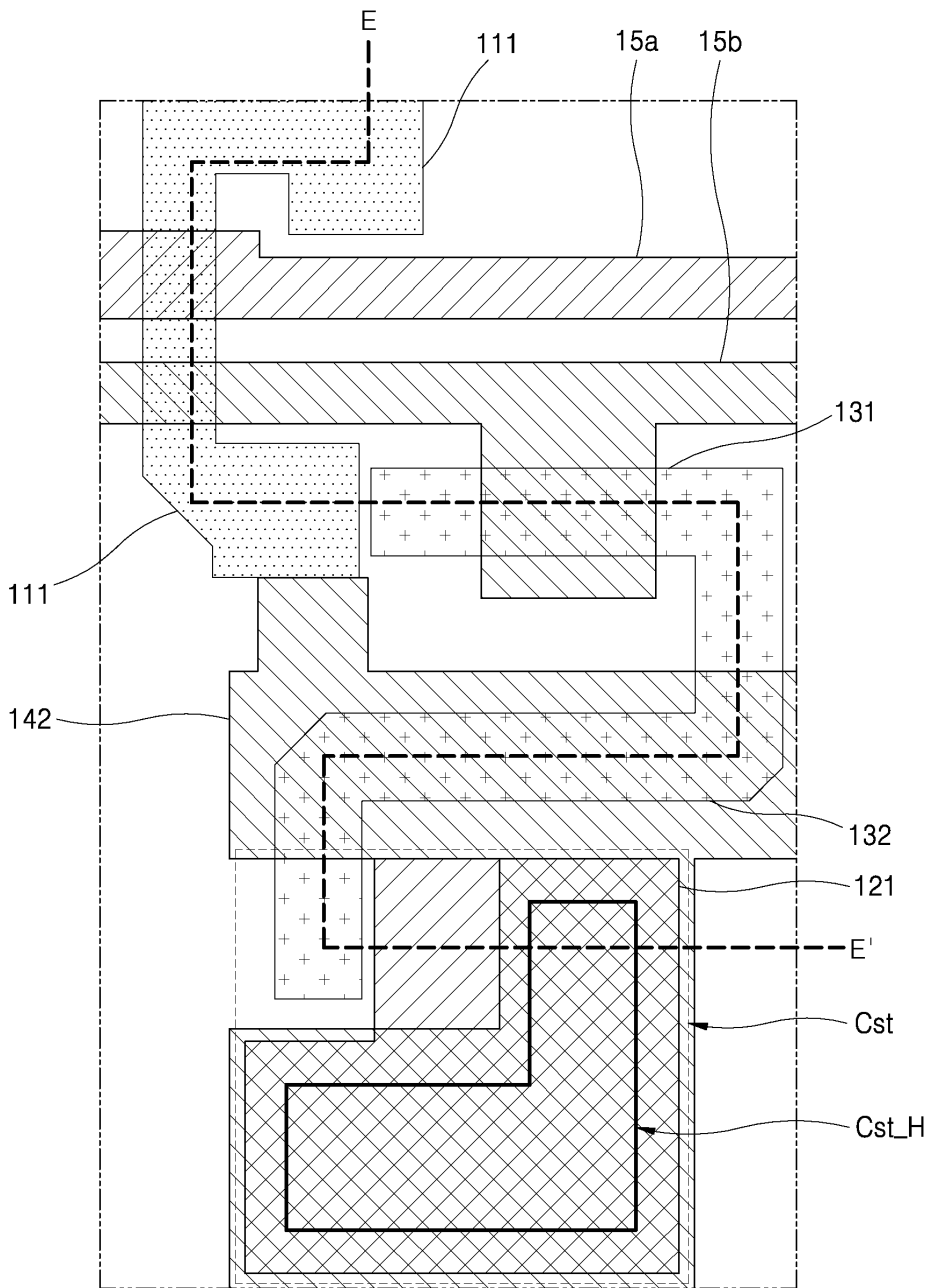
도면12



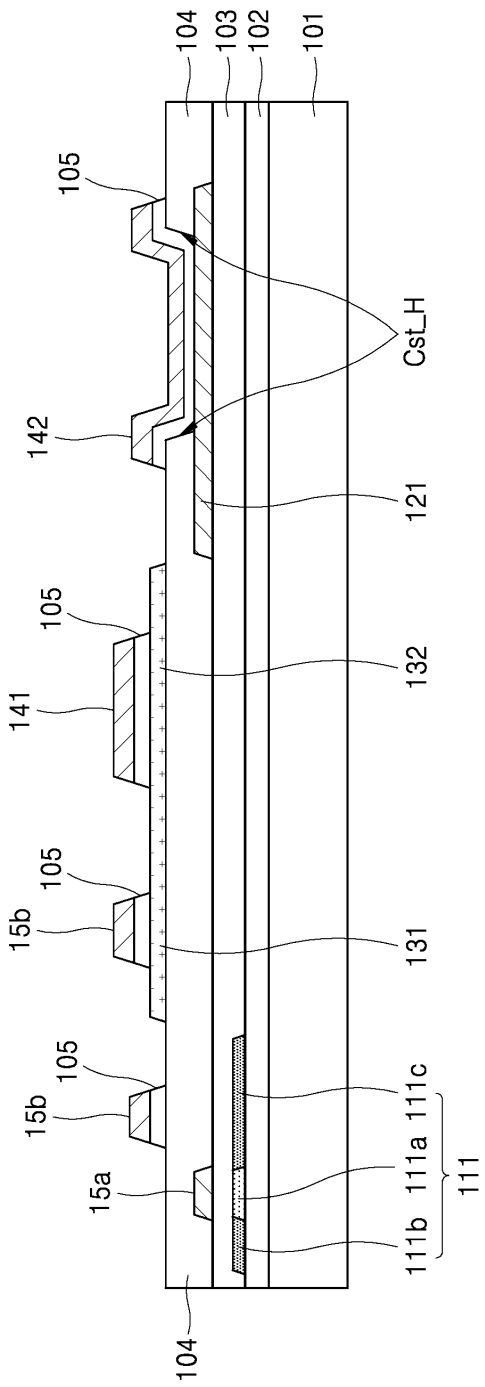
도면13



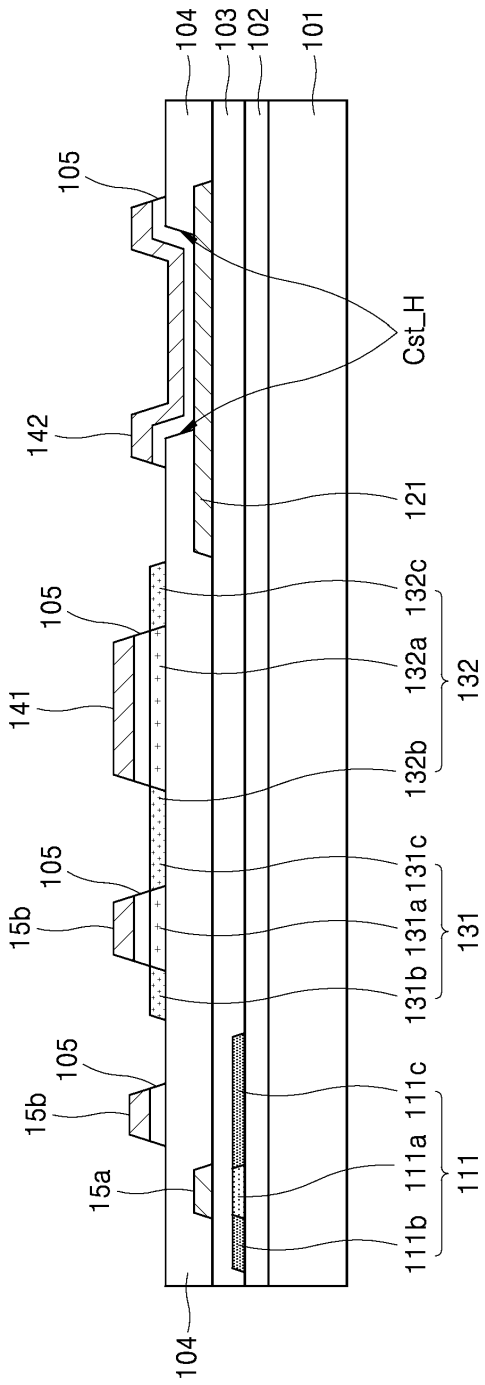
도면14



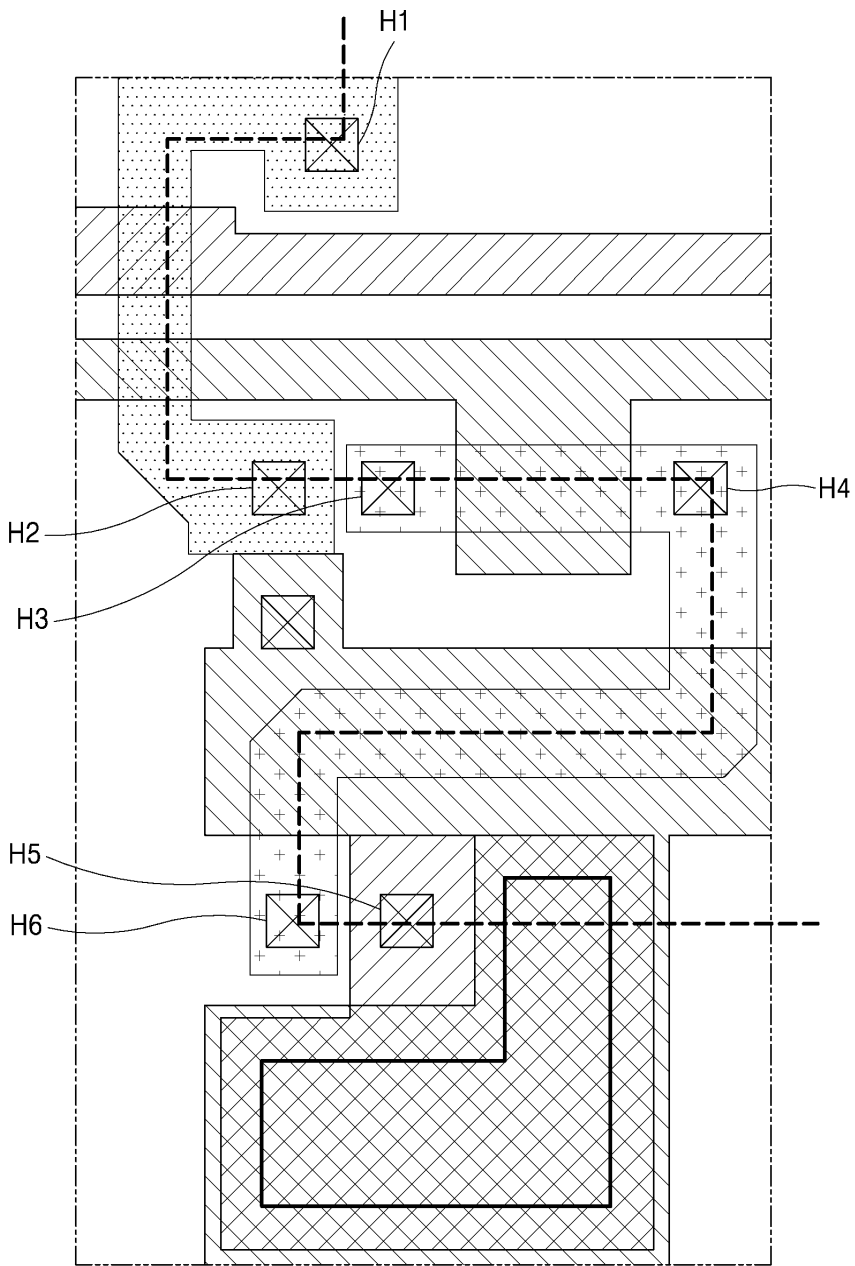
도면15



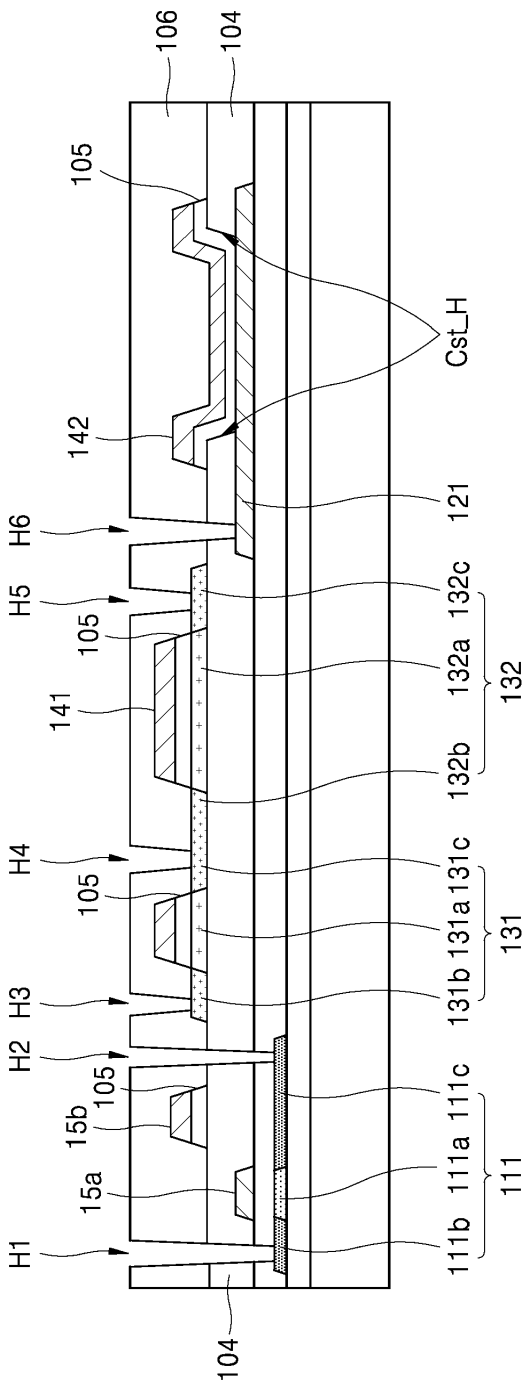
도면16



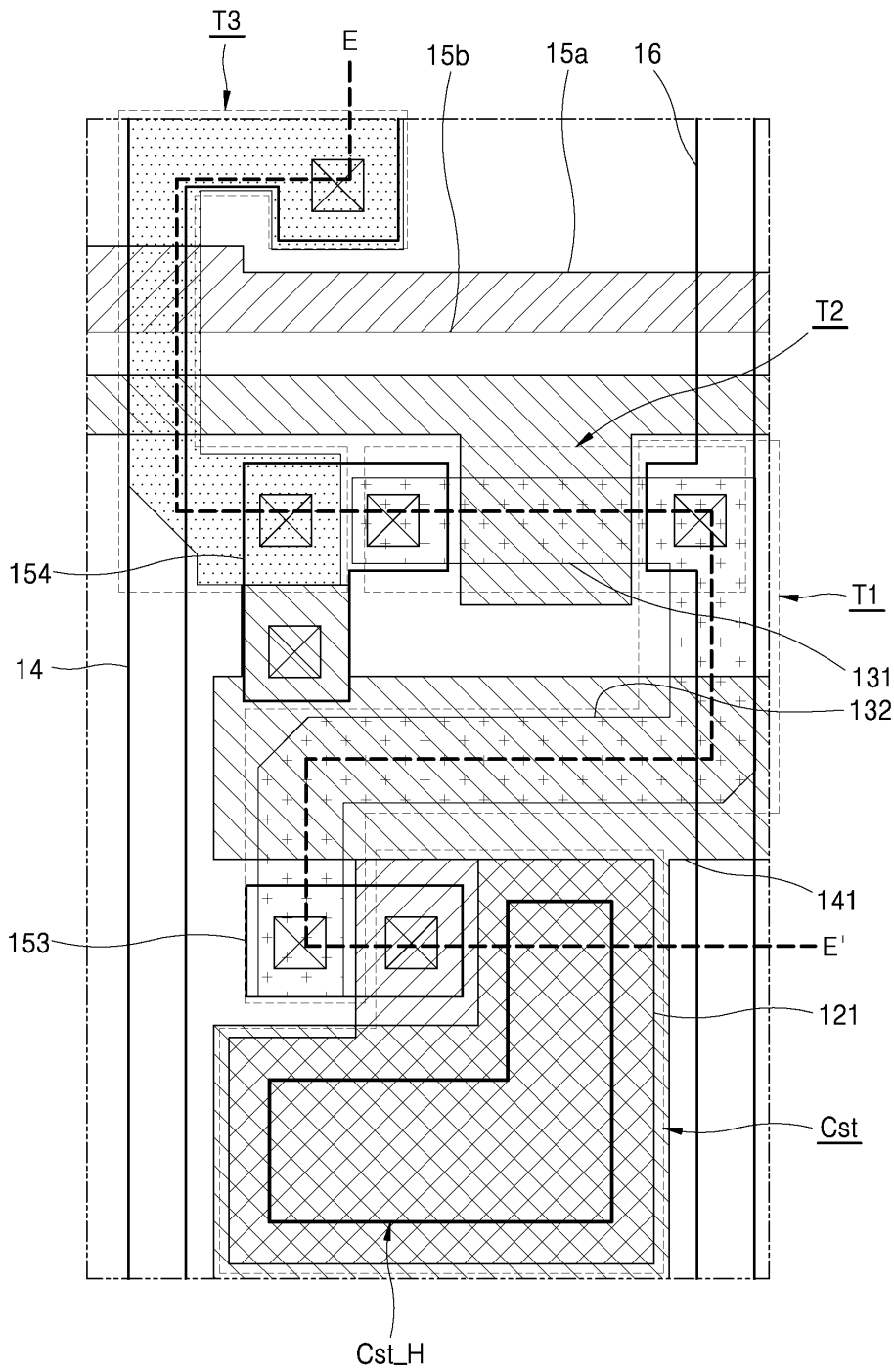
도면17



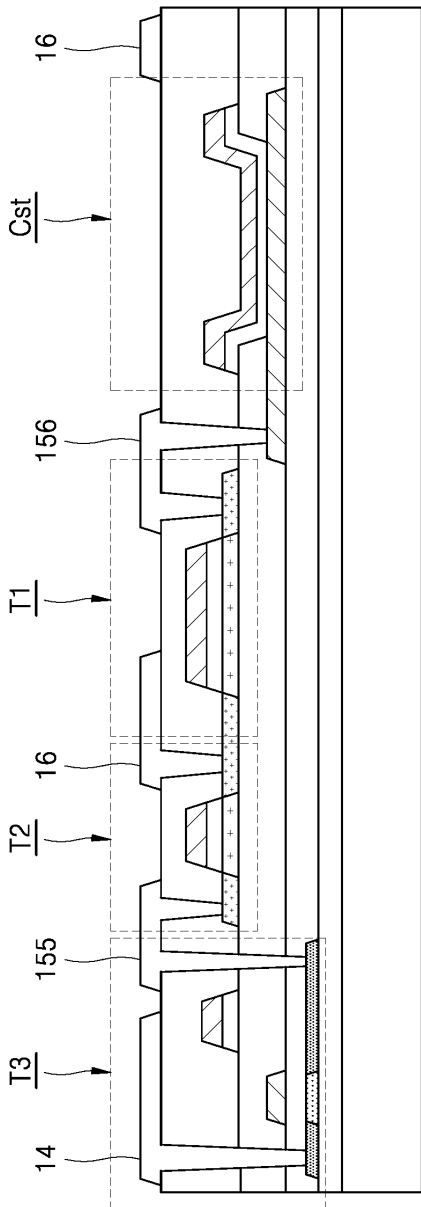
도면18



도면19



도면20



专利名称(译)	薄膜晶体管阵列基板和包括其的有机发光显示器		
公开(公告)号	<a href="#">KR1020190046414A</a>	公开(公告)日	2019-05-07
申请号	KR1020170140194	申请日	2017-10-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	허진희		
发明人	허진희		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/3262 H01L27/3258 H01L27/3265 H01L29/786 G09G3/3233 G09G2300/0842 G09G2310/0262 H01L27/124 H01L27/1255 H01L27/1259 G09G3/3225 G09G3/3266 G09G3/3275 H01L27/1225 H01L27/1251 H01L27/3276 H01L29/78675 H01L29/7869		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的一个实施例，一种薄膜晶体管阵列基板，包括第一薄膜晶体管，第二薄膜晶体管和连接至所述第一薄膜晶体管的栅电极的电容器，以及连接至所述电容器的第三薄膜晶体管，布置在覆盖第三薄膜晶体管的有源层的第一栅绝缘膜上的电容器的第一电容器电极，布置在覆盖第一电容器电极的第二栅绝缘膜上的第二薄膜晶体管的有源层，设置在覆盖第二薄膜晶体管的有源层的一部分的中间绝缘层上的第二薄膜晶体管的栅电极，以及设置在中间绝缘层上并与第一电容器电极重叠的电容器的第二电容器电极。提供了一种薄膜晶体管阵列基板，包括。

