



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0078830
(43) 공개일자 2018년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(52) CPC특허분류
H01L 51/5253 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2016-0184019
(22) 출원일자 2016년12월30일
심사청구일자 없음

(72) 발명자
김도형
경기도 고양시 일산동구 강송로 33 (백석동, 일산
요진와이시티) 테라스앤타워 722호
(74) 대리인
특허법인천문

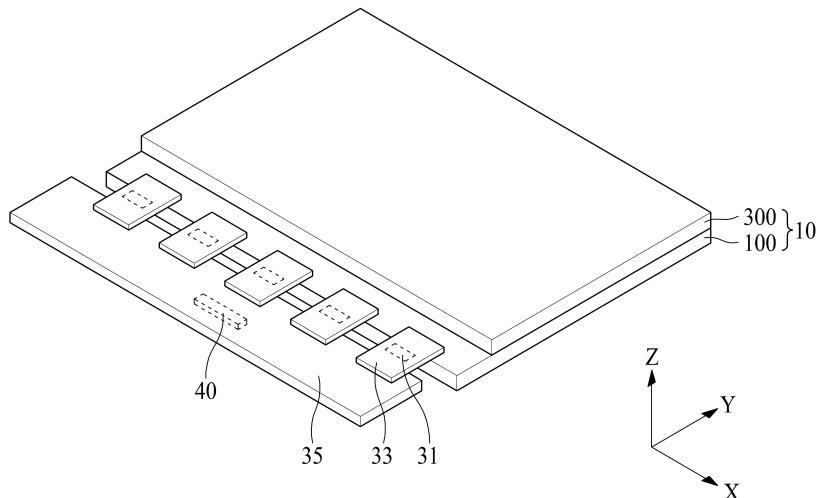
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그의 제조 방법

(57) 요 약

본 발명은 신뢰성 저하를 방지할 수 있는 유기 발광 표시 장치 및 그의 제조 방법을 제공하는 것으로, 제1 기판 상에 배치된 보조 전극, 보조 전극과 전기적으로 연결되는 연결 전극, 연결 전극과 이격되어 배치된 박막 트랜지스터, 박막 트랜지스터 상에 배치되는 제1 보호층, 연결 전극 상에 배치되며 제1 보호층과 이격되어 연결 전극을 노출시키는 제2 보호층, 제1 보호층 상에 배치되며 박막 트랜지스터와 전기적으로 연결되는 제1 전극, 제1 전극 상에 배치되는 유기 발광층, 유기 발광층 상에 배치되며 보조 전극과 전기적으로 연결되는 제2 전극, 및 제2 전극 상에 배치되는 봉지층을 포함하고, 제2 보호층은 끝단이 역테이퍼 형태로 이루어진다.

대 표 도 - 도1



(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/5228 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/323 (2013.01)

명세서

청구범위

청구항 1

제1 기판 상에 배치된 보조 전극;
상기 보조 전극과 전기적으로 연결되는 연결 전극;
상기 연결 전극과 이격되어 배치된 박막 트랜지스터;
상기 박막 트랜지스터 상에 배치되는 제1 보호층;
상기 연결 전극 상에 배치되며, 상기 제1 보호층과 이격되어 상기 연결 전극을 노출시키는 제2 보호층;
상기 제1 보호층 상에 배치되며, 상기 박막 트랜지스터와 전기적으로 연결되는 제1 전극;
상기 제1 전극 상에 배치되는 유기 발광층;
상기 유기 발광층 상에 배치되며, 상기 보조 전극과 전기적으로 연결되는 제2 전극; 및
상기 제2 전극 상에 배치되는 봉지층을 포함하고,
상기 제2 보호층은 끝단이 역테이퍼 형태인 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,
상기 제1 전극 상에 배치되는 제1 뱅크를 더 포함하고,
상기 제1 뱅크의 끝단은 상기 제2 보호층의 끝단과 인접한 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,
상기 제1 뱅크는 끝단이 상기 제1 보호층의 측면보다 돌출되어, 상기 제1 보호층과 상기 제2 보호층 사이에서 노출된 상기 연결 전극과 중첩되는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,
상기 제1 보호층과 상기 제1 전극 사이에 제1 평탄화층이 더 포함되고,
상기 제1 뱅크는 끝단이 상기 제1 평탄화층의 측면을 덮는 유기 발광 표시 장치.

청구항 5

제 2 항에 있어서,
상기 제2 전극은 상기 제1 뱅크의 끝단과 상기 제2 보호층의 끝단 사이에서 노출된 상기 연결 전극과 전기적으로 연결되는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,
상기 제2 보호층 상에 배치되며, 상기 제1 뱅크와 이격되는 제2 뱅크를 더 포함하고,
상기 제1 뱅크 및 상기 제2 뱅크의 사이에 상기 봉지층이 이어지도록 마련되는 유기 발광 표시 장치.

청구항 7

제 2 항에 있어서,

상기 제1 뱅크의 끝단은 상기 제2 보호층의 끝단과 $0.8 \mu\text{m}$ 이하의 간격을 갖는 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,

상기 제2 보호층의 역테이퍼 상에 미세 유기 패턴이 마련된 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 봉지층 상에 마련되는 컬러 필터를 더 포함하고,

상기 미세 유기 패턴은 상기 컬러 필터와 같은 물질인 유기 발광 표시 장치.

청구항 10

제 1 항에 있어서,

상기 제1 보호층과 상기 제2 보호층은 동일한 층에 배치되는 유기 발광 표시 장치.

청구항 11

제1 기판 상에 보조 전극을 형성하는 단계;

상기 보조 전극과 전기적으로 연결되는 연결 전극을 형성하는 단계;

상기 연결 전극과 이격되도록 박막 트랜ジ스터를 형성하는 단계;

상기 연결 전극 및 상기 박막 트랜ジ스터 상에 보호층을 형성하는 단계;

상기 보호층 상에 미세 유기 패턴을 형성하는 단계;

상기 보호층 및 상기 미세 유기 패턴 상에 평탄화층을 형성하는 단계;

상기 평탄화층 상에 제1 전극 및 뱅크를 형성하는 단계;

상기 보호층을 상기 박막 트랜ジ스터 상에 배치되는 제1 보호층과 상기 연결 전극 상에 배치되는 제2 보호층으로 분리시키고, 상기 제2 보호층 끝단을 역테이퍼 형태로 형성하는 단계; 및

상기 뱅크 상에 유기 발광층, 제2 전극, 및 봉지층을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 보호층을 상기 박막 트랜ジ스터 상에 배치되는 제1 보호층과 상기 연결 전극 상에 배치되는 제2 보호층으로 분리시키고, 상기 제2 보호층 끝단을 역테이퍼 형태로 형성하는 단계는,

상기 평탄화층 상에 제1 전극 및 뱅크를 형성하는 단계 다음에,

상기 제1 기판 상에 포토 레지스트를 형성하는 단계;

상기 뱅크와 상기 미세 유기 패턴 사이를 식각하여 상기 보호층이 노출되도록 상기 포토 레지스트를 패터닝 하는 단계;

노출된 상기 보호층을 식각하여 상기 제1 보호층 및 상기 제2 보호층으로 분리시키고, 상기 제2 보호층을 역테이퍼 형태로 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제 11 항에 있어서,

상기 평탄화층 상에 제1 전극 및 뱅크를 형성하는 단계는,

상기 뱅크를 상기 제1 전극 상에 배치되는 제1 뱅크 및 상기 연결 전극 상에 배치되는 제2 뱅크로 분리시키는 단계를 포함하고,

상기 제1 뱅크의 끝단은 상기 제2 보호층의 끝단과 $0.8 \mu\text{m}$ 이하의 간격을 갖도록 형성되는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치, 플라즈마 표시 장치, 유기 발광 표시 장치 등의 평판 표시 장치가 상용화되고 있다. 이러한, 평판 표시 장치 중에서 유기 발광 표시 장치는 박형화, 경량화, 저 소비전력화 등의 우수한 특성으로 인하여 노트북 컴퓨터, 텔레비전, 테블릿 컴퓨터, 모니터, 스마트 폰, 휴대용 디스플레이 기기, 휴대용 정보 기기 등의 표시 장치로 널리 사용되고 있다.

[0003] 유기 발광 표시 장치는 전자(electron)를 주입하는 음극(cathode)과 정공(hole)을 주입하는 양극(anode) 사이에 유기 발광층이 구비된 구조를 가지며, 음극에서 발생된 전자 및 양극에서 발생된 정공이 유기 발광층 내부로 주입되면 주입된 전자 및 정공이 결합하여 액시톤(exciton)이 생성되고, 생성된 액시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하는 원리를 이용한 표시 장치이다.

[0004] 이와 같은, 유기 발광 표시 장치는 음극의 저항을 감소시키기 위해서 보조 전극을 마련하며, 유기 발광층과 같은 유기 발광 소자를 보호하기 위해서 유기 발광 소자 상에 봉지층을 마련한다. 보조 전극은 음극의 하부에 배치되기 때문에, 보조 전극과 음극을 연결시키기 위해서 보조 전극을 노출시키기 위한 단차가 형성된다. 그러나, 보조 전극을 노출시키기 위해 형성된 단차에 의해서, 스텝 커버리지(step coverage) 특성이 좋지 않은 봉지층이 유기 발광 소자 상에 전면 증착되지 못하고 끊기는 문제점이 발생할 수 있다. 스텝 커버리지는 단차가 형성된 부분에서도 끊기지 않고 층이 이어지도록 형성되는 것을 가리킨다. 이러한, 종래의 유기 발광 표시 장치는 봉지층이 유기 발광 소자 상에서 끊기면서, 가스, 수분 또는 레진 등이 유기 발광 소자로 침투하여 화소의 암점 또는 페이드 아웃(fade out) 현상, 및 휘도 저하와 같은 문제가 발생할 수 있으며, 이에 따른 유기 발광 표시 장치의 신뢰성 저하로 이어질 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전술한 문제점을 해결하고자 안출된 것으로, 신뢰성 저하를 방지할 수 있는 유기 발광 표시 장치 및 그의 제조 방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0006] 상술한 기술적 과제를 달성하기 위한 본 발명은 제1 기판 상에 배치된 보조 전극, 보조 전극과 전기적으로 연결되는 연결 전극, 연결 전극과 이격되어 배치된 박막 트랜지스터, 박막 트랜지스터 상에 배치되는 제1 보호층, 연결 전극 상에 배치되며 제1 보호층과 이격되어 연결 전극을 노출시키는 제2 보호층, 제1 보호층 상에 배치되며 박막 트랜지스터와 전기적으로 연결되는 제1 전극, 제1 전극 상에 배치되는 유기 발광층, 유기 발광층 상에 배치되며 보조 전극과 전기적으로 연결되는 제2 전극, 및 제2 전극 상에 배치되는 봉지층을 포함하고, 제2 보호층은 끝단이 역테이퍼 형태인 유기 발광 표시 장치 및 그의 제조 방법을 제공한다.

발명의 효과

[0007] 본 발명의 일 예에 따른 유기 발광 표시 장치는 제2 보호층의 끝단을 역테이퍼 형태로 형성하고, 제1 뱅크의 끝

단과 제2 보호층의 끝단을 인접하게 형성함으로써, 제2 전극을 연결 전극 및 보조 전극과 전기적으로 연결시키면서도, 봉지층을 끊기지 않도록 형성할 수 있다.

[0008] 본 발명의 일 예에 따른 유기 발광 표시 장치는 봉지층이 유기 발광 표시 장치 전면에 끊어지지 않고 연결되어 마련됨으로써, 가스, 수분 또는 레진 등이 유기 발광층으로 침투하는 것을 방지하여 화소의 암점 또는 페이드 아웃(fade out) 현상, 및 휘도 저하와 같은 문제를 방지할 수 있으며, 이에 따라 유기 발광 표시 장치의 신뢰성 저하를 방지 할 수 있다.

[0009] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 일 예에 따른 유기 발광 표시 장치를 보여주는 사시도이다.

도 2는 도 1의 제1 기판의 표시영역과 비 표시영역, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.

도 3은 본 발명의 일 예에 따른 유기 발광 표시 장치의 단면도이다.

도 4a 내지 도 4m은 본 발명의 일 예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0012] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이를 용어들에 의해 권리범위가 한정되어서는 아니 된다. "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다. "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우뿐만 아니라 이를 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.

[0013] 이하에서는 본 발명에 따른 유기 발광 표시 장치 및 그의 제조 방법의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0014] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0015] 도 1은 본 발명의 일 예에 따른 유기 발광 표시 장치를 보여주는 사시도이고, 도 2는 도 1의 제1 기판의 표시영역과 비 표시영역, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다. 도 1 및 도 2에서 X축은 게이트 라인과 나란한 방향을 나타내고, Y축은 데이터 라인과 나란한 방향을 나타내며, Z축은 유기 발광 표시 장치의 높이 방향을 나타낸다.

[0016] 도 1 및 도 2를 참조하면, 본 발명의 일 예에 따른 유기 발광 표시 장치는 표시패널(10), 게이트 구동부(20), 소스 드라이브 접적회로(integrated circuit, 이하 "IC"라 칭함)(31), 연성필름(33), 회로보드(35), 및 타이밍 제어부(40)를 포함한다.

[0017] 상기 표시패널(10)은 제1 기판(100)과 제2 기판(300)을 포함한다. 제2 기판(300)과 마주보는 제1 기판(100)의 일면 상에는 게이트 라인들, 데이터 라인들 및 화소들이 형성된다. 화소들은 복수의 서브 화소들을 포함하며,

복수의 서브 화소들은 게이트 라인들과 데이터 라인들의 교차 영역들에 형성된다.

[0018] 복수의 서브 화소들 각각은 적어도 하나의 박막 트랜지스터와 유기 발광 소자를 포함할 수 있다. 복수의 서브 화소들 각각은 적어도 하나의 박막 트랜지스터가 게이트 라인의 게이트 신호에 의해 턴-온되는 경우 데이터 라인을 통해 데이터 전압을 공급받는다. 복수의 서브 화소들 각각은 데이터 전압에 따라 유기 발광 소자로 흐르는 전류를 제어하여 유기 발광 소자를 소정의 밝기로 발광시킨다.

[0019] 표시패널(10)은 도 2와 같이 화상을 표시하는 표시영역(DA)과 화상을 표시하지 않는 비 표시영역(NDA)으로 구분될 수 있다. 표시영역(DA)에는 게이트 라인들, 데이터 라인들, 및 화소들이 형성될 수 있다. 비 표시영역(NDA)에는 게이트 구동부(20)와 패드들이 형성될 수 있다.

[0020] 상기 게이트 구동부(20)는 타이밍 제어부(40)로부터 입력되는 게이트 제어신호에 따라 게이트 라인들에 게이트 신호들을 공급한다. 게이트 구동부(20)는 표시패널(10)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비 표시영역(NDA)에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 게이트 구동부(20)는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시패널(10)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비 표시영역(NDA)에 부착될 수도 있다.

[0021] 상기 소스 드라이브 IC(31)는 타이밍 제어부(40)로부터 디지털 비디오 데이터와 소스 제어신호를 입력 받는다. 소스 드라이브 IC(31)는 소스 제어신호에 따라 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 데이터 라인들에 공급한다. 소스 드라이브 IC(31)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(33)에 실장 될 수 있다.

[0022] 표시패널(10)의 비 표시영역(NDA)에는 데이터 패드들과 같은 패드들이 형성될 수 있다. 상기 연성필름(33)에는 패드들과 소스 드라이브 IC(31)를 연결하는 배선들, 패드들과 회로보드(35)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성필름(33)은 이방성 도전 필름(anisotropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성필름(33)의 배선들이 연결될 수 있다.

[0023] 상기 회로보드(35)는 연성필름(33)들에 부착될 수 있다. 회로보드(35)는 구동 칩들로 구현된 다수의 회로들이 실장 될 수 있다. 예를 들어, 회로보드(35)에는 타이밍 제어부(40)가 실장 될 수 있다. 회로보드(35)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.

[0024] 상기 타이밍 제어부(40)는 회로보드(35)의 케이블을 통해 외부의 시스템 보드로부터 디지털 비디오 데이터와 타이밍 신호를 입력 받는다. 타이밍 제어부(40)는 타이밍 신호에 기초하여 게이트 구동부(20)의 동작 타이밍을 제어하기 위한 게이트 제어신호와 소스 드라이브 IC(31)들을 제어하기 위한 소스 제어신호를 발생한다. 타이밍 제어부(40)는 게이트 제어신호를 게이트 구동부(20)에 공급하고, 소스 제어신호를 소스 드라이브 IC(31)들에 공급한다.

[0025] 도 3은 본 발명의 일 예에 따른 유기 발광 표시 장치의 단면도이다. 이는 도 2에 도시된 I-I' 선의 단면을 개략적으로 나타내는 도면이다.

[0026] 도 3을 참조하면, 본 발명의 일 예에 따른 유기 발광 표시 장치는 표시 영역(Display Area; DA) 및 비 표시영역(Non-Display Area; NDA)을 포함한다.

[0027] 상기 표시영역(DA)은 복수의 게이트 라인(미도시)과 복수의 데이터 라인(미도시)에 의해 교차되는 화소 영역마다 형성된 복수의 화소(미도시)로 이루어진다. 이러한 표시영역(DA)에는 제1 기판(100), 보조 전극(110), 베퍼 충(120), 박막 트랜지스터(T), 충간 절연층(160), 연결 전극(175), 보호층(180), 미세 유기 패턴(185), 평탄화 충(190), 제1 전극(200), 뱅크(210), 유기 발광층(220), 제2 전극(230), 봉지층(240), 제2 기판(300), 컬러 필터(310), 및 차광층(320)을 포함한다.

[0028] 상기 제1 기판(100)은 유리가 주로 이용되지만, 구부리거나 훨 수 있는 투명한 플라스틱, 예로서, 폴리이미드가 이용될 수 있다. 폴리이미드를 제1 기판(100)의 재료로 이용할 경우에는, 상기 제1 기판(100) 상에서 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다.

[0029] 상기 보조 전극(110)은 제1 기판(100) 상의 표시영역(DA)에 배치된다. 보조 전극(110)은 후술되는 연결 전극(175)을 통해서 제2 전극(230)과 연결된다. 이러한 보조 전극(110)은 제2 전극(230)과 연결되어 제2 전극(230)의 저항을 감소시키는 역할을 한다. 보조 전극(110)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층

또는 다중층일 수 있다.

[0030] 상기 베피층(120)은 제1 기판(100) 상부 전면에 배치될 수 있다. 이러한 베피층(120)은 투습에 취약한 제1 기판(100)에서 내부로 수분이 침투하는 것을 방지하는 기능을 한다. 또한, 베피층(120)은 제1 기판(100)으로부터 금속 이온 등의 불순물이 확산되어 박막 트랜지스터(T)의 액티브층(130)에 침투하는 것을 방지하는 기능을 한다. 베피층(120)은 무기절연물질 예를 들어, SiO₂(silicon dioxide), SiNx(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.

[0031] 상기 박막 트랜지스터(T)는 베피층(120) 상에 배치된다. 이러한 박막 트랜지스터(T)는 액티브층(130), 게이트 절연층(140), 게이트 전극(150), 충간 절연층(160), 소스 전극(171) 및 드레인 전극(173)을 포함한다.

[0032] 상기 액티브층(130)은 표시영역(DA)에 배치된 제1 기판(100) 상에 배치된다. 액티브층(130)은 게이트 전극(150)과 중첩되도록 배치된다. 액티브층(130)은 소스 전극(171) 층에 위치한 일단 영역, 드레인 전극(173) 층에 위치한 타단 영역, 및 일단 영역과 타단 영역 사이에 위치한 중심 영역으로 구성될 수 있다. 중심 영역은 도편트가 도핑되지 않은 반도체 물질로 이루어지고, 일단 영역과 타단 영역은 도편트가 도핑된 반도체 물질로 이루어질 수 있다.

[0033] 상기 게이트 절연층(140)은 액티브층(130) 상에 배치된다. 이러한 게이트 절연층(140)은 액티브층(130)과 게이트 전극(150)을 절연시키는 기능을 한다. 게이트 절연층(140)은 무기절연물질 예를 들어, SiO₂(silicon dioxide), SiNx(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.

[0034] 상기 게이트 전극(150)은 게이트 절연층(140) 상에 배치된다. 게이트 전극(150)은 게이트 절연층(140)을 사이에 두고, 액티브층(130)의 중심 영역과 중첩된다. 게이트 전극(150)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.

[0035] 상기 충간 절연층(160)은 게이트 전극(150) 상에 배치된다. 충간 절연층(160)은 게이트 전극(150)을 포함한 표시영역(DA) 전면에 배치된다. 충간 절연층(160)은 게이트 절연층(140)과 동일한 무기절연물질 예를 들어, SiO₂(silicon dioxide), SiNx(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.

[0036] 상기 소스 전극(171) 및 드레인 전극(173)은 충간 절연층(160)상에서 서로 이격되어 배치된다. 충간 절연층(160)에는 액티브층(130)의 일단 영역 일부를 노출시키는 제1 컨택홀 및 액티브층(130)의 타단 영역 일부를 노출시키는 제2 컨택홀이 구비된다. 소스 전극(171)은 제1 컨택홀을 통해서 액티브층(130)의 일단 영역과 연결되고, 드레인 전극(173)은 제2 컨택홀을 통해서 액티브층(130)의 타단 영역과 연결된다. 소스 및 드레인 전극(171, 173)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있다. 특히, 본 발명의 일 예에 따른 소스 및 드레인 전극(171, 173)은 예를 들어, 차례로 적층된 MoTi/Cu/MoTi로 구성될 수 있다. 그러나, 이에 한정되지 않는다.

[0037] 상술한 박막 트랜지스터(T)의 구성은 앞서 설명한 예에 한정되지 않고, 당업자가 용이하게 실시할 수 있는 공지된 구성으로 다양하게 변형 가능하다.

[0038] 상기 연결 전극(175)은 충간 절연층(160) 상에 배치된다. 연결 전극(175)은 박막 트랜지스터(T)의 소스 및 드레인 전극(171, 173)과 동일한 층에 이격되어 배치되며, 소스 및 드레인 전극(171, 173)과 동일한 물질로 이루어질 수 있다. 이러한 연결 전극(175)의 일측은 보조 전극(110)과 연결되고 타측은 제2 전극(230)과 연결되어, 보조 전극(110)과 제2 전극(230)을 연결시키는 기능을 한다. 연결 전극(175)은 보호층(180)에 구성된 흄에 의해서 일부가 노출되어 있으며, 노출된 연결 전극(175)을 통해서 제2 전극(230)과 연결된다. 연결 전극(175)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있다. 특히, 본 발명의 일 예에 따른 연결 전극(175)은 예를 들어, 차례로 적층된 MoTi/Cu/MoTi로 구성될 수 있으나, 이에 한정되지 않는다.

[0039] 상기 보호층(180)은 박막 트랜지스터(T) 및 연결 전극(175) 상에 배치된다. 보호층(180)은 제1 기판(100) 상의 표시영역(DA)에 배치되며, 일부 비 표시영역(NDA)에도 배치될 수 있다. 이러한 보호층(180)은 박막 트랜지스터(T)를 보호하는 역할을 한다. 보호층(180)은 무기절연물질 SiO₂(silicon dioxide), SiNx(silicon nitride),

SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.

[0040] 본 발명의 일 예에 따른 유기 발광 표시 장치의 보호층(180)은 연결 전극(175)을 노출시키기 위해서 흄이 마련되며, 상기 흄을 기준으로 박막 트랜지스터(T) 상에 배치되는 제1 보호층(180a), 및 제1 보호층(180a)과 이격되어 연결 전극(175) 상에 배치되는 제2 보호층(180b)을 포함한다.

[0041] 상기 제1 보호층(180a)은 박막 트랜지스터(T) 상에 배치되어, 박막 트랜지스터(T)를 보호한다.

[0042] 상기 제2 보호층(180b)은 연결 전극(175) 상에 배치되며, 끝단이 역테이퍼 형태를 갖는다. 즉, 제2 보호층(180b)은 제1 보호층(180a)과 마주하는 끝단으로 갈수록 폭이 점점 좁아지는 형태를 가지며, 끝단의 상측이 하측보다 돌출된 형태를 가진다. 이러한 제2 보호층(180b)의 역테이퍼 형태는 상부에 형성되는 물질이 스텝 커버리지(step coverage) 특성이 좋지 않을 경우, 끊기며 형성되도록 한다. 스텝 커버리지는 단차가 형성된 부분에서도 끊기지 않고 층이 이어지도록 형성되는 것을 가리킨다. 따라서, 본 발명의 일 예에 따른 제2 보호층(180b)은 후술되는 유기 발광층(220)을 분리시킨다. 유기 발광층(220)은 증발법(Evaporation)과 같은 증착 물질의 직진성이 우수한 증착 공정을 통해 구성됨으로써 제2 보호층(180b) 끝단에 의해 분리된다. 이러한, 본 발명의 일 예에 따른 제2 보호층(180b)은 유기 발광층(220)을 화소별로 분리하여 불량구동을 방지한다.

[0043] 상기 미세 유기 패턴(185)은 제2 보호층(180b) 상에 배치되며, 미세한 패턴으로 평탄화층(190)에 의해 덮일 수 있다. 보다 구체적으로, 미세 유기 패턴(185)은 제2 보호층(180b)의 끝단에 배치되며, 제2 보호층(180b)의 역테이퍼 형태와 중첩된다. 이러한 본 발명의 일 예에 따른 유기 발광 표시 장치의 미세 유기 패턴(185)은 제2 보호층(180b)의 끝단에 배치됨으로써, 제2 보호층(180b)의 끝단이 역테이퍼 형태를 가질 수 있도록 하는 역할을 한다. 미세 유기 패턴(185)은 유기 물질로 이루어지며, 일 예로 후술되는 컬러 필터(310)와 같은 유기 물질일 수 있다.

[0044] 상기 평탄화층(190)은 보호층(180) 상에 배치된다. 이러한 평탄화층(190)은 보호층(180) 상부를 평탄화하는 역할을 한다. 평탄화층(190)은 유기질연물질 예를 들어, 아크릴계 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin)등으로 이루어질 수 있으나, 이에 한정되지 않는다. 본 발명의 일 예에 따른 평탄화층(190)은 연결 전극(175)을 노출시키기 위해서 흄이 마련되며, 상기 흄을 기준으로 박막 트랜지스터(T) 상에 배치되는 제1 평탄화층(190a), 및 연결 전극(175) 상에 배치되는 제2 평탄화층(190b)을 포함한다.

[0045] 상기 제1 평탄화층(190a)은 박막 트랜지스터(T) 및 제1 보호층(180a) 상에 배치되어, 박막 트랜지스터(T) 및 제1 보호층(180a) 상부를 평탄하게 해주는 역할을 한다. 제1 평탄화층(190a)은 제1 보호층(180a) 및 제1 전극(200) 사이에 배치된다. 제1 평탄화층(190a)과 제1 보호층(180a)에는 박막 트랜지스터(T)의 드레인 전극(173)을 노출시키는 제3 컨택홀이 구비되어 있다. 제3 컨택홀을 통하여 드레인 전극(173)과 제1 전극(200)이 전기적으로 연결된다.

[0046] 상기 제2 평탄화층(190b)은 보조 전극(110), 연결 전극(175), 제2 보호층(180b), 및 미세 유기 패턴(185) 상에 배치되어, 제2 보호층(180b) 상부를 평탄하게 해주는 역할을 한다.

[0047] 상기 제1 전극(200)은 평탄화층(190) 상에 배치되며, 보다 구체적으로 제1 보호층(180a) 및 제1 평탄화층(190a) 상에 배치된다. 제1 전극(200)은 제1 보호층(180a)과 제1 평탄화층(190a)에 구비된 제3 컨택홀을 통해 박막 트랜지스터(T)의 드레인 전극(173)에 연결된다. 이러한 제1 전극(200)은 일 예로 애노드(anode) 전극의 역할을 할 수 있다. 제1 전극(200)은 일함수 값이 비교적 큰 투명 도전성 물질 예를 들어, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어질 수 있다. 또한, 제1 전극(200)은 반사효율이 우수한 금속물질 예를 들어, 알루미늄(Al), 은(Ag), APC(Ag;Pb;Cu) 등을 포함하는 적어도 둘 이상의 층으로 구성될 수 있다. 또한, 본 발명의 일 예에 따른 제1 전극(200)은 차례로 적층된 ITO/Ag/ITO로 구성될 수 있으나, 이에 한정되지 않는다.

[0048] 상기 뱅크(210)는 평탄화층(190) 상에 배치된다. 이러한 뱅크(210)는 화소를 정의하는 역할을 한다. 뱅크(210)는 유기질연물질 예를 들어, 폴리이미드계 수지(polyimides resin), 아크릴계 수지(acryl resin), 벤조사이클로뷰텐(PCB) 등으로 이루어질 수 있으나, 이에 한정되지 않는다. 본 발명의 일 예에 따른 뱅크(210)는 제1 뱅크(210a) 및 제2 뱅크(210b)를 포함한다.

[0049] 상기 제1 뱅크(210a)는 제1 전극(200) 상에 배치되며, 제1 전극(200)의 일측 및 타측과 중첩될 수 있다. 이러한 제1 뱅크(210a)는 제1 전극(200)을 구획한다. 또한, 제1 뱅크(210a)는 제1 평탄화층(190a)을 감싸도록 배치될 수 있다. 본 발명의 일 예에 따른 제1 뱅크(210a)의 일측 끝단은 제1 보호층(180a) 및 제1 평탄화층(190a)의 보다 측면으로 돌출되며, 제1 보호층(180a)과 제2 보호층(180b) 사이에서 노출된 연결 전극(175)과 중첩될

수 있다. 이와 같은 본 발명의 일 예에 따른 제1 뱅크(210a)의 끝단은 제2 보호층(180b)의 끝단과 인접하며, 접하지는 않는다. 이러한, 본 발명의 일 예에 따른 제1 뱅크(210a)의 끝단은 제2 보호층(180b)의 끝단과 $0.8\text{ }\mu\text{m}$ 이하의 간격(D)을 가진다. 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제1 뱅크(210a)의 끝단과 제2 보호층(180b)의 끝단 사이로 후술되는 제2 전극(230)이 침투하여, 제2 전극(230)과 연결 전극(175)이 전기적으로 연결될 수 있다. 또한, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제1 뱅크(210a)과 제2 보호층(180b) 상에 쌓아도록 배치되는 유기 발광층(220) 및 제2 전극(230)에 의해서 제1 뱅크(210a)의 끝단과 제2 보호층(180b)의 끝단 사이에 마련된 공간이 더욱 좁아지며, 후술되는 봉지층(240)이 좁아진 공간에 끊기지 않고 유기 발광 표시 장치 전면에 마련될 수 있다. 즉, 제1 뱅크(210a) 및 제2 뱅크(210b)의 사이에 봉지층(240)이 이어지도록 마련된다.

[0050] 상기 제2 뱅크(210b)는 제2 보호층(180b) 및 제2 평탄화층(190b) 상에 배치되며, 제1 뱅크(210a)와 이격되어 배치된다. 제1 뱅크(210a) 및 제2 뱅크(210b) 상에는 유기 발광층(220), 및 제2 전극(230)이 분리되어 각각 배치되며, 봉지층(240)은 제1 뱅크(210a) 및 제2 뱅크(210b) 상에서 끊어지지 않고 이어지도록 마련된다.

[0051] 상기 유기 발광층(220)은 제1 전극(200) 상에 배치된다. 유기 발광층(220)은 표시영역(DA)의 제1 기판(100) 상에 전면 증착되며, 제2 보호층(180b)의 끝단에 마련된 역테이퍼 형태에 의해서 분리된다. 이러한, 유기 발광층(220)은 정공 주입층(Hole Injecting Layer), 정공 수송층(Hole Transporting Layer), 발광층(Emitting Layer), 전자 수송층(Electron Transporting Layer), 및 전자 주입층(Electron Injecting Layer)의 조합으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 당업계에 공지된 다양한 구조로 변경될 수 있다.

[0052] 상기 제2 전극(230)은 유기 발광층(220) 상에 배치된다. 제2 전극(230)은 제1 기판(100) 상에 전체적으로 배치되고, 제1 뱅크(190a)의 끝단과 상기 제2 보호층(180b)의 끝단 사이에서 끊어진다. 또한, 제1 뱅크(190a)의 끝단과 상기 제2 보호층(180b)의 끝단 사이에서 노출된 상기 연결 전극(175)에 의해서 보조 전극(110)과 전기적으로 연결된다. 이러한 제2 전극(230)은 제1 전극(200)과 함께 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층(220)으로 이동되며, 상기 유기 발광층(220)에서 서로 결합하여 발광하게 된다. 제2 전극(230)은 매우 얇은 두께의 일함수가 낮은 금속성 물질이 사용될 수 있다. 예를 들어, 제2 전극(230)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag), 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)이 사용될 수 있다.

[0053] 상기 봉지층(240)은 제2 전극(230) 상에 배치된다. 봉지층(240)은 유기 발광층(220)과 제2 전극(230)에 산소 또는 수분이 침투되는 것을 방지하는 역할을 한다. 이를 위해, 봉지층(240)은 적어도 하나의 무기막을 포함할 수 있다. 무기막은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물로 형성될 수 있다.

[0054] 유기 발광 표시 장치는 연결 전극(175)과 연결 전극(175) 상부에 배치되는 제2 전극(230)을 전기적으로 연결시키기 위해서, 연결 전극(175) 상부에 배치되는 층들에 홈을 형성한다. 그러나, 종래의 유기 발광 표시 장치는 보조 전극(110)을 노출시키기 위해서 형성한 홈에 의해서, 스텝 커버리지 특성이 좋지 않은 봉지층(240)이 제2 전극(230) 상에 전면 증착되지 못하고, 끊기는 문제점이 발생할 수 있다. 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제2 보호층(180b)의 끝단을 역테이퍼 형태로 형성하고, 제1 뱅크(210a)의 끝단과 제2 보호층(180b)의 끝단을 인접하게 형성함으로써, 제2 전극(230)을 연결 전극(175) 및 보조 전극(110)과 전기적으로 연결시키면서도, 봉지층(240)을 끊기지 않도록 형성할 수 있다. 이와 같은 본 발명의 일 예에 따른 유기 발광 표시 장치는 봉지층(240)이 유기 발광 표시 장치 전면에 끊어지지 않고 연결되어 마련됨으로써, 가스, 수분 또는 레진 등이 유기 발광층(220)으로 침투하는 것을 방지하여 화소의 암점 또는 페이드 아웃(fade out) 현상, 및 휘도 저하와 같은 문제를 방지할 수 있으며, 이에 따라 유기 발광 표시 장치의 신뢰성 저하를 방지 할 수 있다.

[0055] 상기 제2 기판(300)은 제1 기판(100)과 마주보도록 봉지층(240) 상에 배치된다. 제2 기판(300)과 제1 기판(100) 사이에는 레진이 배치될 수 있다. 상기 레진은 제1 기판(100)과 제2 기판(300) 사이를 유지하고, 접착 물질이 포함되어 제1 기판(100)과 제2 기판(300)을 합착할 수 있다. 레진은 당업계에 공지된 다양한 재료가 이용될 수 있다.

[0056] 상기 컬러 필터(310)는 각각의 화소 영역에 대응되도록 제2 기판(300) 상에 배치된다. 컬러 필터(310)는 각 화소 영역에 대응되는 적색, 녹색, 및 청색의 컬러 필터로 이루어질 수 있으며, 상기 적색, 녹색, 및 청색의 컬러 필터 사이에 색의 혼합을 방지하는 차광층(320)이 포함될 수 있다.

- [0057] 상기 비 표시영역(NDA)은 표시영역(DA)의 외곽에 마련되며, 표시영역(DA)으로 신호를 인가하기 위한 구동부가 배치된다. 이러한 비 표시영역(NDA)은 제1 기판(100) 및 베퍼층(120) 상에 제1 신호 패드(135), 제2 신호 패드(155), 및 제3 신호 패드(177)를 포함한다.
- [0058] 상기 제1 신호 패드(135)는 베퍼층(120) 상에 배치된다. 제1 신호 패드(135)는 액티브층(130)과 동일한 층에 이격되어 배치되며, 액티브층(130)과 동일한 물질로 이루어질 수 있다.
- [0059] 상기 제2 신호 패드(155)는 제1 신호 패드(135) 상에 배치된다. 제2 신호 패드(155)는 게이트 전극(150)과 동일한 물질로 이루어질 수 있다. 제2 신호 패드(155)는 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0060] 상기 제3 신호 패드(177)는 층간 절연층(160) 상에 배치되며, 층간 절연층(160)에 구비된 컨택홀에 의해서 제2 신호 패드(155)와 연결된다. 제3 신호 패드(177)는 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있다. 특히, 본 발명의 일 예에 따른 제3 신호 패드(177)는 예를 들어, 차례로 적층된 MoTi/Cu/MoTi로 구성될 수 있으나, 이에 한정되지 않는다.
- [0061] 도 4a 내지 도 4m은 본 발명의 일 예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 공정 단면도들이다. 이는 전술한 도 3에 따른 유기 발광 표시 장치의 제조 방법에 관한 것이다. 따라서, 동일한 구성에 대해서는 동일한 도면 부호를 부여하였고, 각각의 구성의 재료 및 구조 등에 있어서 반복되는 부분에 대한 중복 설명은 생략된다.
- [0062] 우선, 도 4a에 도시된 바와 같이, 제1 기판(100) 상에 보조 전극(110)을 형성하고, 베퍼층(120)을 형성한다. 그런 다음, 베퍼층(120) 상에 박막 트랜지스터(T), 연결 전극(175), 및 신호 패드(135, 155, 177)를 형성한다. 그런 다음, 제1 기판(100) 전면에 보호층(180P)을 형성하고, 상기 보호층(180P) 상에 미세 유기 패턴(185)을 형성한다.
- [0063] 상기 박막 트랜지스터(T)를 형성하는 공정은 제1 기판(100) 상에 액티브층(130)을 형성하고, 액티브층(130) 상에 게이트 절연층(140)을 형성하고, 게이트 절연층(140) 상에 게이트 전극(150)을 형성하고, 게이트 전극(150) 상에 층간 절연층(160)을 형성하고, 층간 절연층(160)에 컨택홀을 형성하여 층간 절연층(160) 상에 소스 및 드레인 전극(171, 173)이 컨택홀을 통해서 액티브층(130)과 연결되도록 형성하는 공정을 포함한다.
- [0064] 상기 박막 트랜지스터(T)의 형성 공정은 당업계에 공지된 다양한 방법을 이용할 수 있다.
- [0065] 상기 연결 전극(175)을 형성하는 공정은 베퍼층(120) 및 층간 절연층(160)에 컨택홀을 형성하고, 층간 절연층(160) 상에 연결 전극(175)이 컨택홀을 통해서 보조 전극(110)과 연결되도록 형성하는 공정을 포함한다.
- [0066] 상기 신호 패드(135, 155, 177)를 형성하는 공정은 베퍼층(120) 상에 제1 신호 패드(135)를 형성하고, 제1 신호 패드(135) 상에 제2 신호 패드(155)를 형성하고, 제2 신호 패드(155) 상에 층간 절연층(160)을 형성하고, 층간 절연층(160)에 컨택홀을 형성하고, 층간 절연층(160) 상에 제3 신호 패드(177)가 컨택홀을 통해서 제2 신호 패드(155)와 연결되도록 형성하는 공정을 포함한다. 이때, 제1 신호 패드(135)를 형성하는 공정은 박막 트랜지스터(T)의 액티브층(130)을 형성하는 공정과 동일한 공정으로 동시에 이루어질 수 있다. 또한, 제2 신호 패드(155)를 형성하는 공정은 박막 트랜지스터(T)의 게이트 전극(150)을 형성하는 공정과 동일한 공정으로 동시에 이루어질 수 있다. 또한, 제3 신호 패드(177)를 형성하는 공정은 연결 전극(175), 소스 전극(171), 및 드레인 전극(173)을 형성하는 공정과 동일한 공정으로 동시에 이루어질 수 있다.
- [0067] 상기 미세 유기 패턴(185)을 형성하는 공정은 보호층(180P)을 형성하는 공정 다음에 이루어진다. 미세 유기 패턴(185)은 연결 전극(175)과 중첩되도록 형성된다. 미세 유기 패턴(185)은 컬러 필터(310)와 같은 물질로 형성될 수 있다.
- [0068] 그런 다음, 도 4b에 도시된 바와 같이, 제1 기판(100) 전면에 평탄화층(190P)을 형성한다.
- [0069] 그런 다음, 도 4c에 도시된 바와 같이, 평탄화층(190P)을 제1 평탄화층(190a) 및 제2 평탄화층(190b)으로 패터닝한다. 그런 다음, 제1 평탄화층(190a) 상에 제1 전극(200)을 형성한다.
- [0070] 상기 평탄화층(190P)을 제1 평탄화층(190a) 및 제2 평탄화층(190b)으로 패터닝하는 공정에서 보호층(180P) 일부가 노출된다. 제2 평탄화층(190b)은 미세 유기 패턴(185)을 덮도록 형성된다. 제1 평탄화층(190a)은 박막 트

랜지스터(T) 상에 형성되고, 제2 평탄화층(190b)은 연결 전극(175) 상에 형성된다.

[0071] 상기 제1 전극(200)을 형성하는 공정은 보호층(180P) 및 제1 평탄화층(190b)에 컨택홀을 형성하여 드레인 전극(173)을 노출시키고, 제1 전극(200)이 드레인 전극(173)과 접하도록 형성되는 공정을 포함한다.

[0072] 그런 다음, 도 4d에 도시된 바와 같이, 제1 기판(100) 전면에 뱅크층(210P)을 형성한다.

[0073] 그런 다음, 도 4e에 도시된 바와 같이, 뱅크층(210P)을 제1 뱅크(210a) 및 제2 뱅크(210b)로 패터닝한다.

[0074] 상기 뱅크층(210P)을 제1 뱅크(210a) 및 제2 뱅크(210b)로 패터닝하는 공정에서 보호층(180P) 일부와 제1 전극(200) 일부가 노출된다. 제1 뱅크(210a)는 제1 평탄화층(190a) 및 제1 전극(200)의 일측과 타측을 감싸도록 형성되며, 보호층(180P) 상에 형성된다. 제2 뱅크(210b)는 제2 평탄화층(190b) 상에 형성된다.

[0075] 그런 다음, 도 4f에 도시된 바와 같이, 제1 기판(100) 전면에 포토 레지스트(215P)를 형성한다. 상기 포토 레지스트(215P) 형성 공정은 신호 패드(135, 155, 177) 및 연결 전극(175)을 노출시키기 위해서, 신호 패드(135, 155, 177) 및 연결 전극(175)과 중첩되는 보호층(180P)만을 식각하기 위해 추가된 공정이다.

[0076] 그런 다음, 도 4g에 도시된 바와 같이, 포토 레지스트(215P)를 패터닝한다.

[0077] 상기 포토 레지스트(215P)를 패터닝 하는 공정은 보호층(180P) 일부를 노출 시킨다. 보다 구체적으로, 신호 패드(135, 155, 177)와 중첩되는 보호층(180P) 상부가 노출된다. 또한, 연결 전극(175)과 중첩되는 보호층(180P) 상부가 노출된다.

[0078] 그런 다음, 도 4h에 도시된 바와 같이, 상부가 노출된 보호층(180P)을 식각한다.

[0079] 상기 보호층(180P)을 식각하는 공정에서 제1 보호층(180a) 및 제2 보호층(180b)이 패터닝된다. 제1 보호층(180a)은 박막 트랜지스터(T) 상에 형성된다. 연결 전극(175)과 중첩되는 보호층(180P) 상부를 식각하는 과정에서, 식각액이 제1 뱅크(210a)의 하부까지 파고들어 제1 뱅크(210a)의 끝단 하부와 연결 전극(175) 상부가 노출된다.

[0080] 또한, 제2 보호층(180b)은 상부에 형성된 미세 유기 패턴(185)에 의해서 끝단이 역테이퍼 형태로 형성된다. 보다 구체적으로, 미세 유기 패턴(185)은 접착력을 가지며, 제2 보호층(180b)의 끝단 상부와 접착된다. 이러한 미세 유기 패턴(185)은 제2 보호층(180b)을 식각하는 과정에서 제2 보호층(180b)의 끝단 하부와 끝단 상부간에 식각 속도 차이를 발생 시킨다. 미세 유기 패턴(185)이 접착된 제2 보호층(180b)의 끝단 상부는 끝단 하부에 비해서 식각 속도가 느리며, 제2 보호층(180b)의 끝단 하부가 상부보다 빨리 식각되어 역테이퍼 형태를 가지게 된다. 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제2 보호층(180b)의 끝단이 역테이퍼 형태를 가지며, 제1 뱅크(210a)의 끝단과 $0.8 \mu\text{m}$ 이하의 간격을 가지도록 형성된다.

[0081] 그런 다음, 도 4i에 도시된 바와 같이, 포토 레지스트(215P)를 제거한다.

[0082] 그런 다음, 도 4j에 도시된 바와 같이, 신호 패드(135, 155, 177) 상부를 제외한 제1 기판(100)의 표시영역(DA) 전면에 유기 발광층(220)을 형성한다.

[0083] 상기 유기 발광층(230)을 형성하는 공정은 증발법(Evaporation)과 같은 증착 물질의 직진성이 우수한 증착 공정으로 형성됨으로써 스텝 커버리지 특성이 좋지 않다. 따라서, 본 발명의 일 예에 따른 유기 발광층(230)은 제1 뱅크(210a) 끝단과 제2 보호층(180b)의 끝단에서 분리되어 형성된다. 유기 발광층(230)은 제1 뱅크(210a)와 제2 보호층(180b) 사이에서 노출되는 연결 전극(175) 상에 일부가 형성될 수 있으나, 반드시 그러한 것은 아니다.

[0084] 그런 다음, 도 4k에 도시된 바와 같이, 유기 발광층(220) 상에 제2 전극(230)을 형성한다.

[0085] 상기 제2 전극(230)을 형성하는 공정은 스퍼터링법(sputtering)과 같은 물리적 기상 증착법(physics vapor deposition)일 수 있다. 제2 전극(230)은 제1 뱅크(210a) 끝단과 제2 보호층(180b)의 끝단에서 분리되며, 제1 보호층(180a) 및 제2 보호층(180b) 사이에 형성된 흄으로 더 파고들며 형성된다. 따라서, 제2 전극(230)은 연결 전극(175)과 접하도록 형성된다.

[0086] 그런 다음, 도 4l에 도시된 바와 같이, 제2 전극(230) 상에 봉지층(240)을 형성한다.

[0087] 상기 봉지층(240)은 제1 기판(100)의 표시영역(DA) 전면에 끊기지 않으며 형성된다. 제1 뱅크(210a)과 제2 보호층(180b) 상에 쌓아도록 배치되는 유기 발광층(220) 및 제2 전극(230)에 의해서 제1 뱅크(210a)의 끝단과 제2 보호층(180b)의 끝단 사이에 마련된 공간이 더욱 좁아지며, 봉지층(240)은 좁아진 공간에서 끊기지 않고 유기

발광 표시 장치 전면에 형성된다.

[0088] 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제2 보호층(180b)의 끝단을 역태이퍼 형태로 형성하고, 제1 뱅크(210a)의 끝단과 제2 보호층(180b)의 끝단을 인접하게 형성함으로써, 제2 전극(230)을 연결 전극(175) 및 보조 전극(110)과 전기적으로 연결시키면서도, 봉지층(240)을 끊기지 않도록 형성할 수 있다. 이와 같은 본 발명의 일 예에 따른 유기 발광 표시 장치는 봉지층(240)이 유기 발광 표시 장치 전면에 끊어지지 않고 연결되어 마련됨으로써, 가스, 수분 또는 레진 등이 유기 발광층(220)으로 침투하는 것을 방지하여 화소의 암점 또는 페이드 아웃(fade out) 현상, 및 휘도 저하와 같은 문제를 방지할 수 있으며, 이에 따라 유기 발광 표시 장치의 신뢰성 저하를 방지 할 수 있다.

[0089] 그런 다음, 도 4m에 도시된 바와 같이, 컬러 필터(310) 및 차광층(320)이 형성된 제2 기판(300)을 제1 기판(100)과 대향하도록 형성한다.

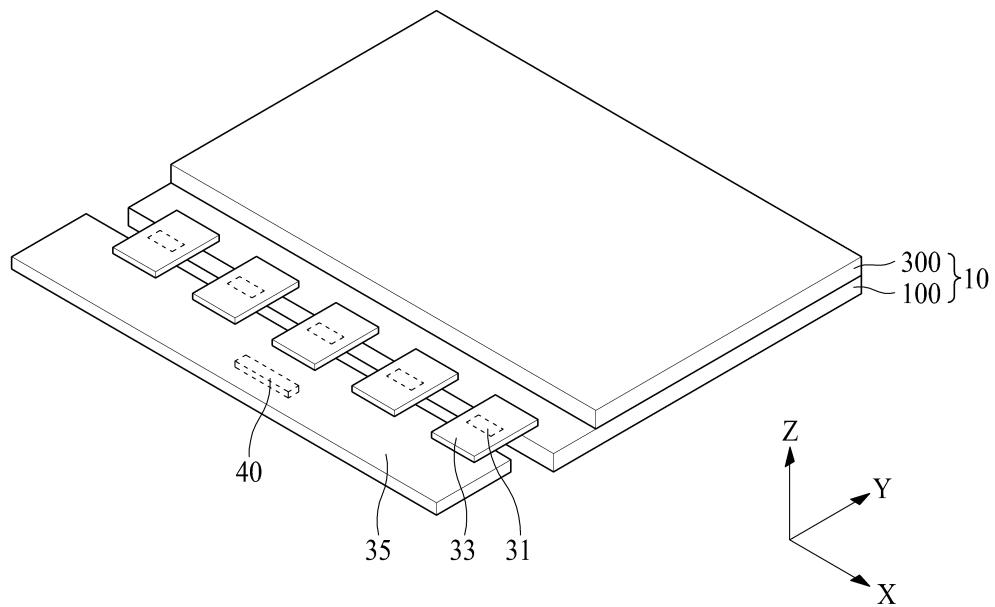
[0090] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

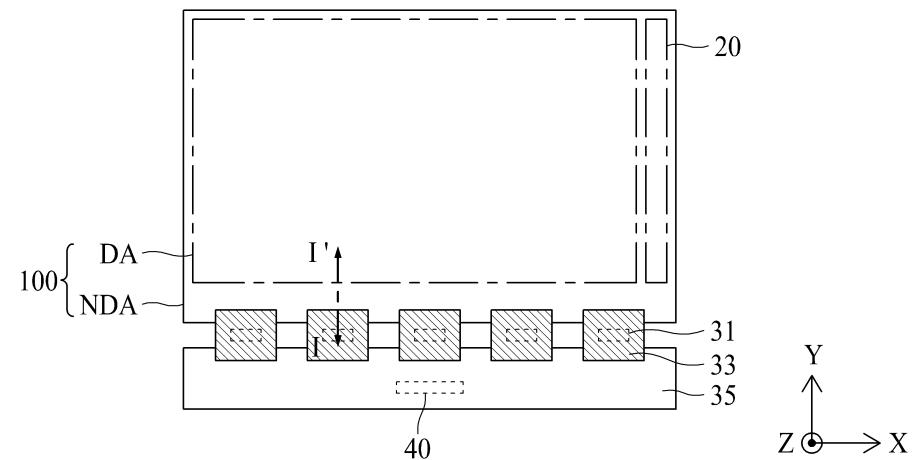
| | |
|--------------|-----------------------|
| 100: 제1 기판 | 110: 보조 전극 |
| 120: 베퍼층 | 130: 액티브층 |
| 140: 게이트 절연층 | 150: 게이트 전극 |
| 160: 층간 절연층 | 171, 173: 소스 및 드레인 전극 |
| 175: 연결 전극 | 180: 보호층 |
| 190: 평탄화층 | 200: 제1 전극 |
| 210: 뱅크 | 220: 유기 발광층 |
| 230: 제2 전극 | 240: 봉지층 |
| 300: 제2 기판 | 310: 컬러 필터 |
| 320: 차광층 | |

도면

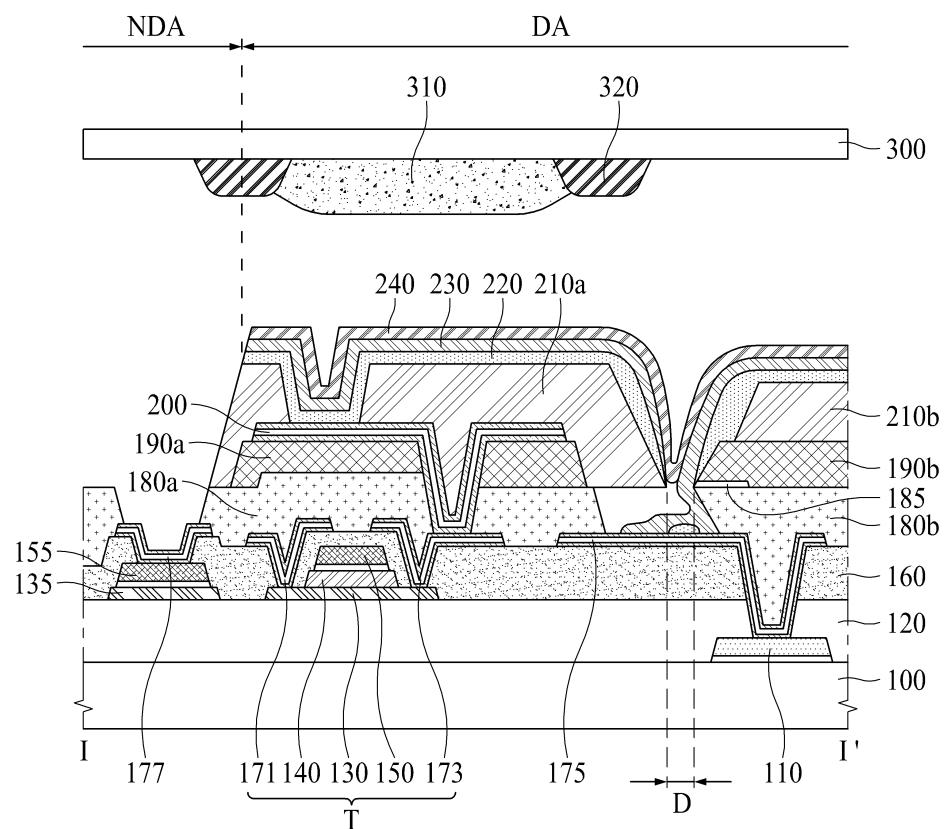
도면1



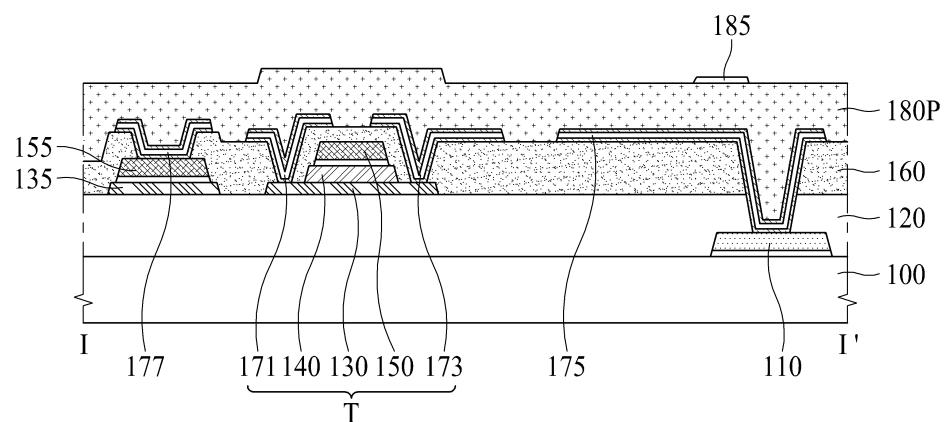
도면2



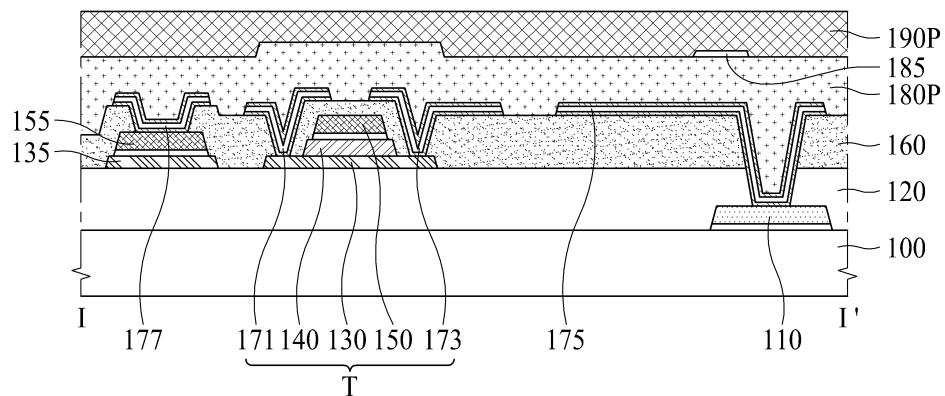
도면3



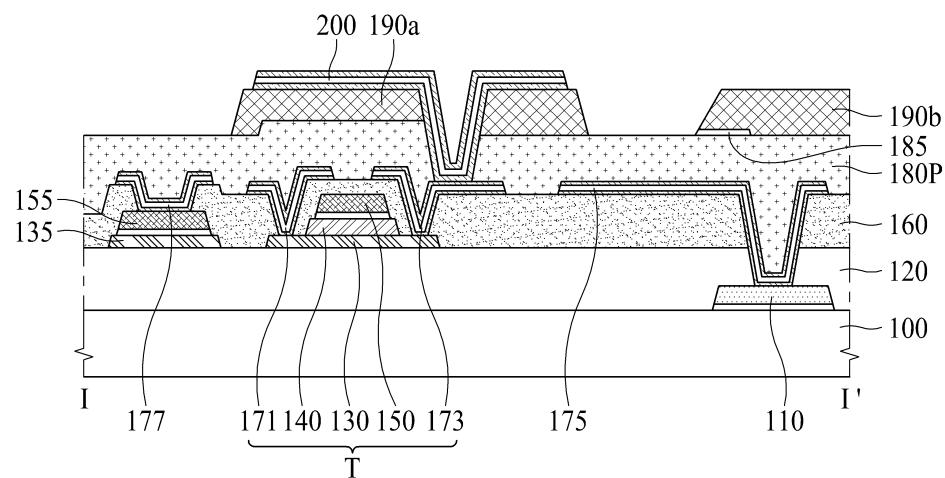
도면4a



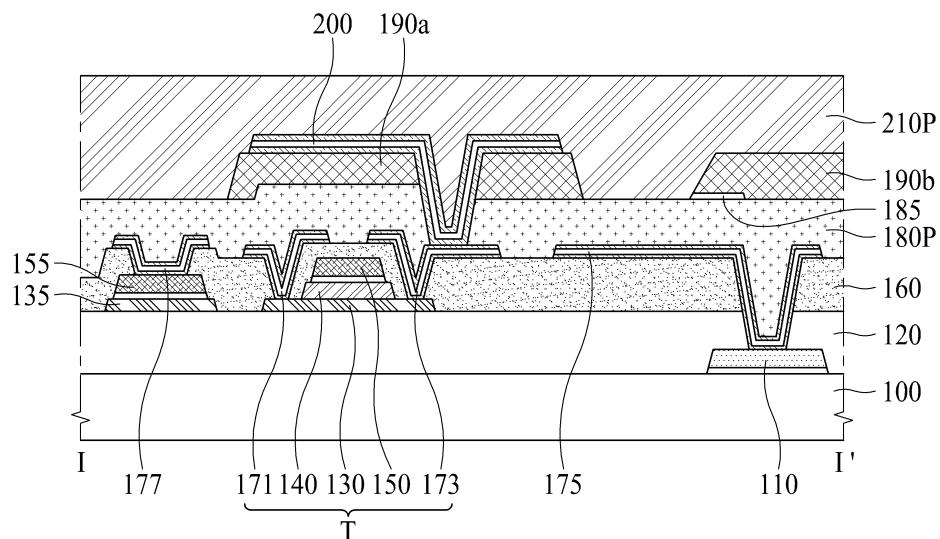
도면4b



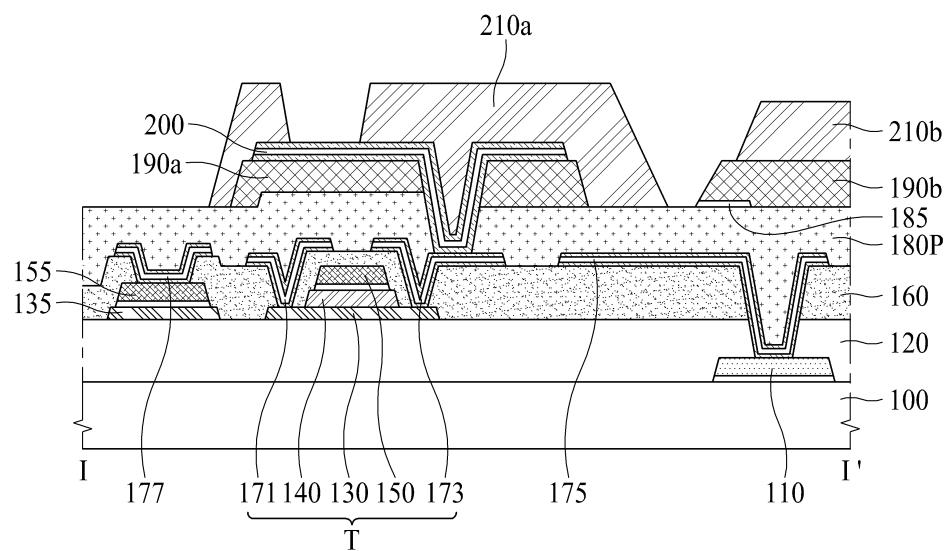
도면4c



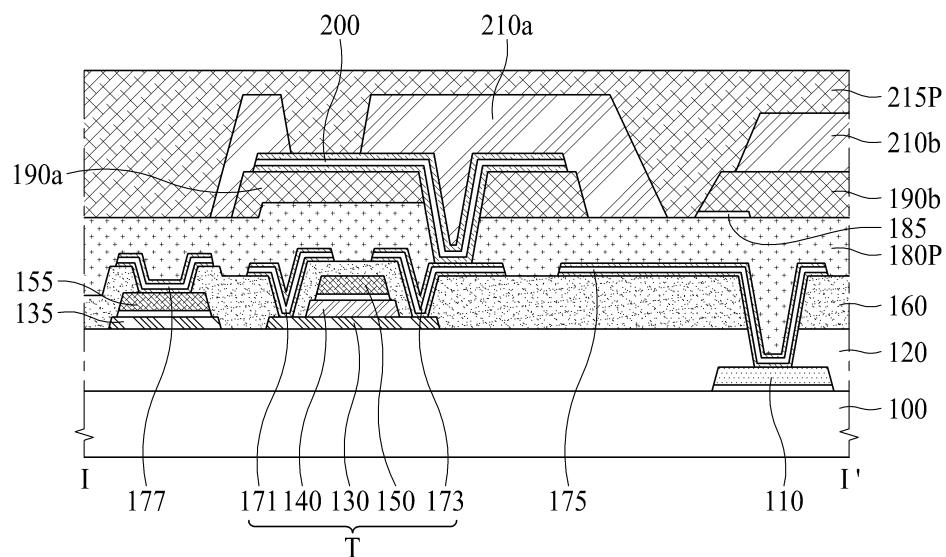
도면4d



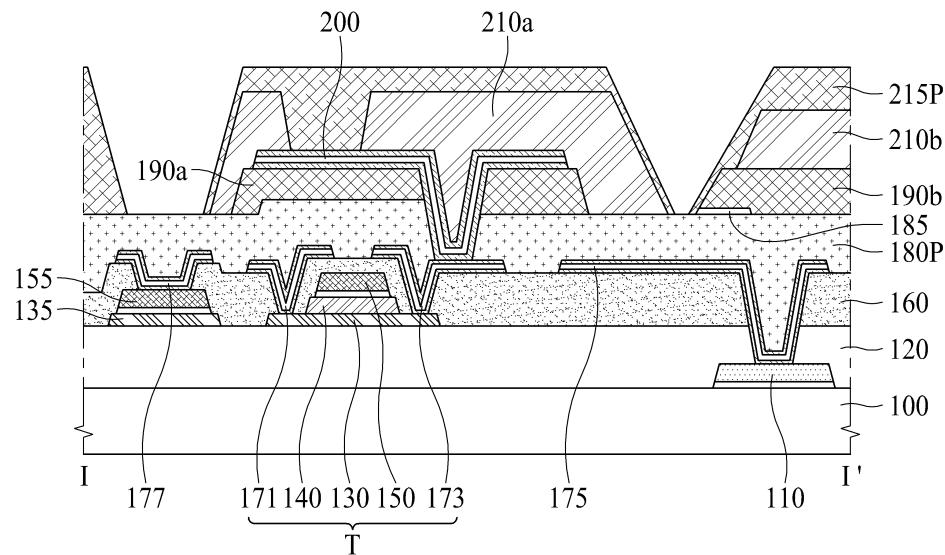
도면4e



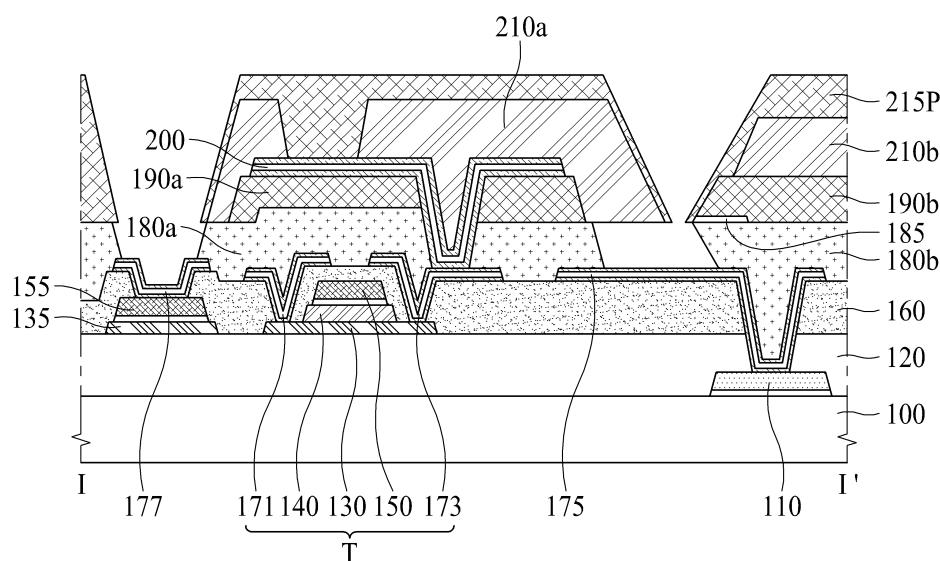
도면4f



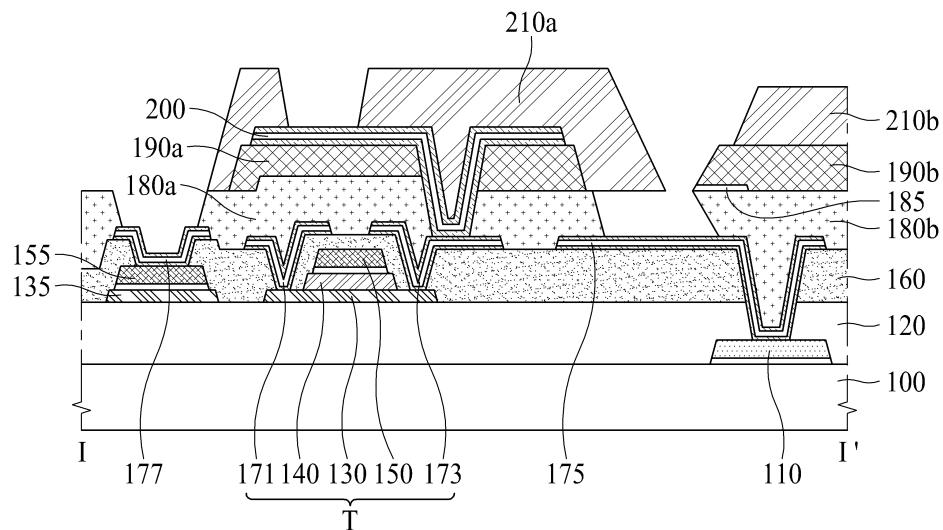
도면4g



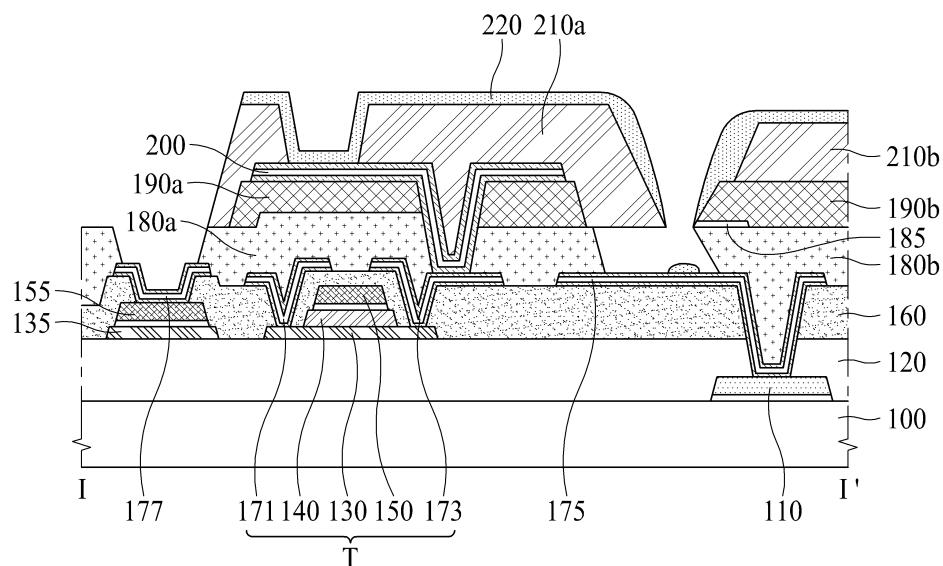
도면4h



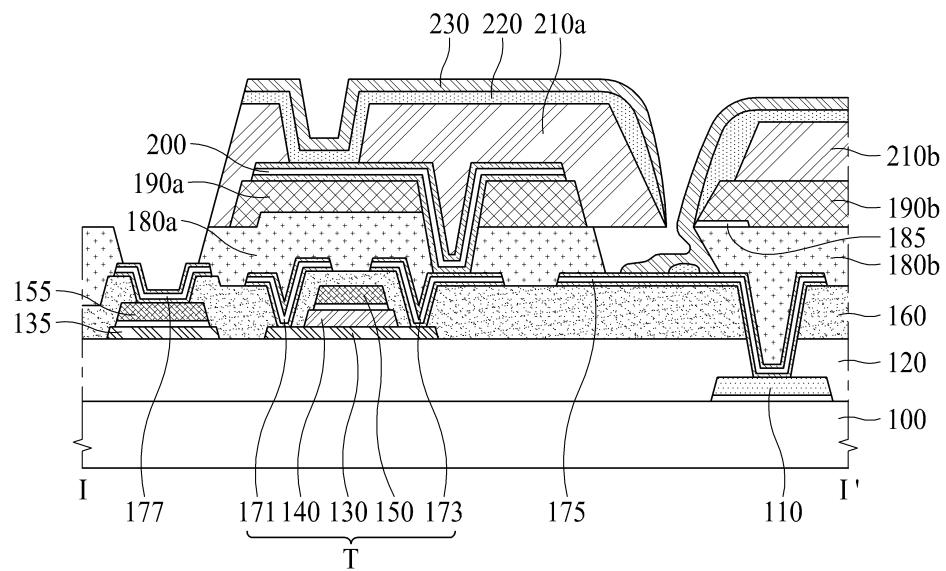
도면4i



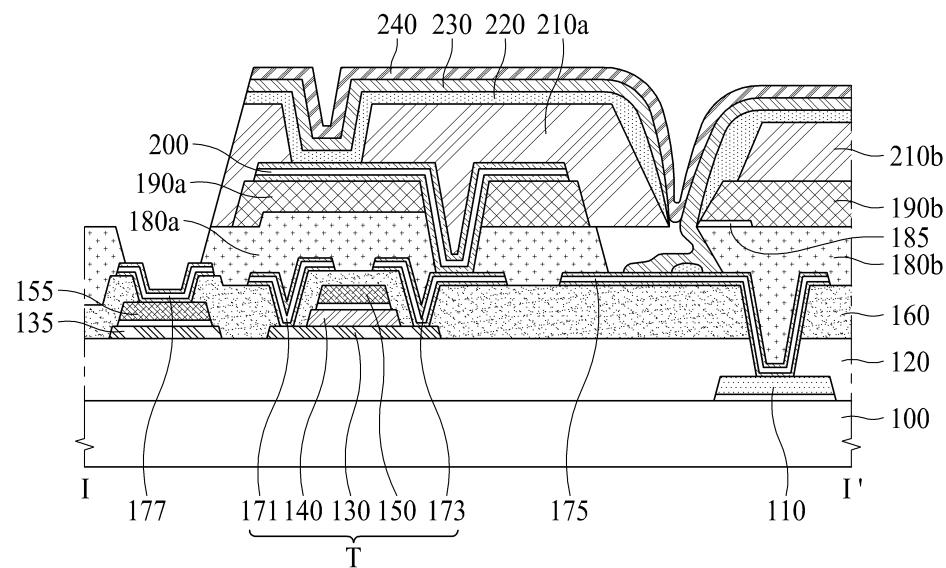
도면4j



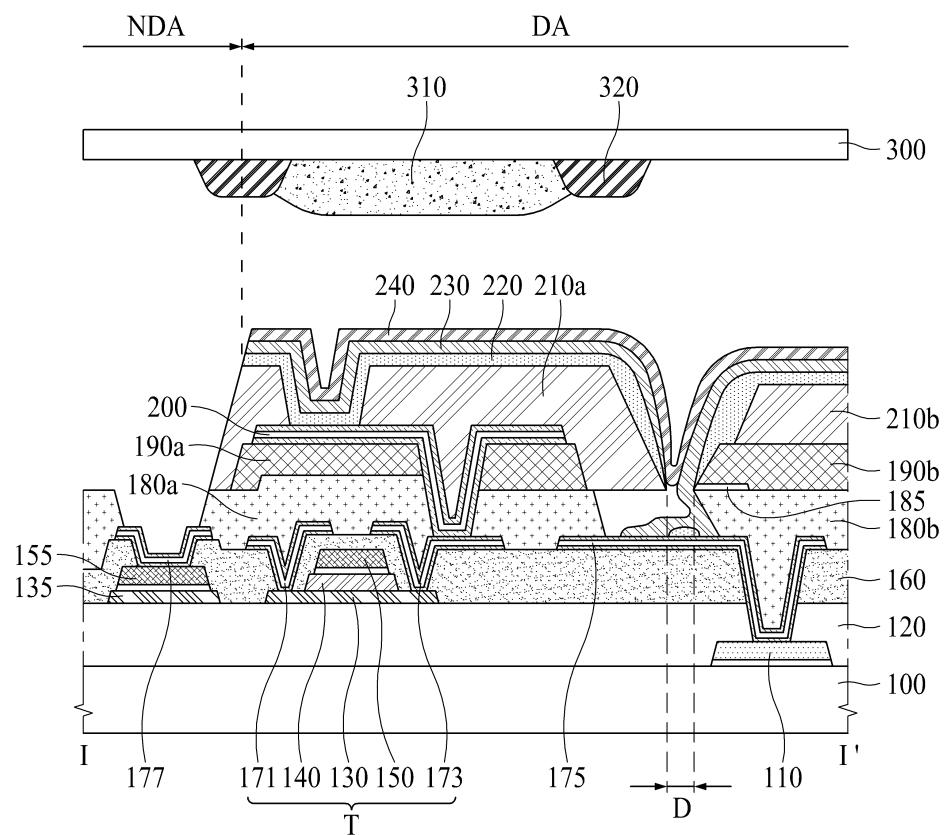
도면4k



도면4l



도면4a



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | OLED显示装置及其制造方法 | | |
| 公开(公告)号 | KR1020180078830A | 公开(公告)日 | 2018-07-10 |
| 申请号 | KR1020160184019 | 申请日 | 2016-12-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | DOHYUNG KIM 김도형 | | |
| 发明人 | 김도형 | | |
| IPC分类号 | H01L51/52 H01L27/32 H01L51/56 | | |
| CPC分类号 | H01L51/5253 H01L51/5228 H01L27/3258 H01L27/3276 H01L27/3262 H01L27/3248 H01L27/3246 H01L51/56 H01L2227/323 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明提供一种能够防止可靠性劣化的有机发光二极管显示器及其制造方法，包括：辅助电极，设置在第一基板上；连接电极，电连接到辅助电极；薄膜晶体管，设置在薄膜晶体管上的第一保护层，设置在连接电极上并与第一保护层间隔开以暴露连接电极的第二保护层，设置在第一保护层上的第二保护层，设置在第一电极上的有机发光层，设置在有机发光层上并电连接到辅助电极的第二电极，以及设置在第二电极上的密封层，该层具有倒锥形端。

