

(52) CPC특허분류

H01L 27/3246 (2013.01)
H01L 27/3248 (2013.01)
H01L 27/3262 (2013.01)
H01L 51/5218 (2013.01)
H01L 51/5271 (2013.01)
G09G 2300/0842 (2013.01)
H01L 2251/5315 (2013.01)

(72) 발명자

박원상

경기도 용인시 수지구 상현로 67-12,
금호베스트빌4차아파트 131동 803호 (상현동)

강승배

경기도 수원시 영통구 영통로154번길 56, 한양수자
인 106동 1103호 (망포동)

김민우

경기도 화성시 동탄순환대로21길 15, 신안인스빌
리베라 아파트 1349동 203호 (청계동)

홍종호

경기도 용인시 기흥구 강남동로 128, 강남마을한라
비발디아파트 906동 2002호 (상하동)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치된 박막 트랜지스터;

상기 박막 트랜지스터 상에 배치된 오버코트층;

상기 오버코트층 상에 배치되며, 하부 전극층, 상기 하부 전극층 상에 배치된 중간 전극층, 상기 중간 전극층 상에 배치된 상부 전극층을 포함하는 제1 전극;

상기 제1 전극 상에 배치된 발광층 및

상기 발광층 상에 배치된 제2 전극을 포함하되,

상기 제1 전극은

상기 하부 전극층, 상기 중간 전극층 및 상기 상부 전극층이 순차 적층된 제1 영역, 및

상기 하부 전극층, 상기 상부 전극층이 순차 적층된 제2 영역을 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 중간 전극층은 상기 하부 전극층 및 상기 상부 전극층보다 빛의 반사율이 더 높은 유기 발광 표시 장치.

청구항 3

제2 항에 있어서,

상기 하부 전극층 및 상기 상부 전극층은 투명 전극이고, 상기 중간 전극층은 반사 전극인 유기 발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 제1 영역은 상기 발광층을 오버랩하도록 배치된 유기 발광 표시 장치.

청구항 5

제1 항에 있어서,

상기 오버코트층은 상기 제1 전극과 중첩하여 배치된 컨택홀을 더 포함하되,

상기 컨택홀은 상기 제2 영역에 배치된 유기 발광 표시 장치.

청구항 6

제1 항에 있어서,

상기 기관에 수직인 방향으로부터 상기 기관을 바라본 평면 시점에서, 상기 제2 영역은 상기 제1 영역을 둘러싸도록 배치된 유기 발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 상부 전극층은 상기 중간 전극층을 오버랩하도록 배치된 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 기판에 수직인 방향으로부터 상기 기판을 바라본 평면 시점에서, 상기 제2 영역은 상기 제1 영역의 가장자리를 따라 배치되되, 서로 이격된 복수의 패턴으로 배치된 유기 발광 표시 장치.

청구항 9

제1 항에 있어서,

상기 중간 전극층은 알루미늄(Al), 은(Ag), 금(Au), 백금(Pt), 크롬(Cr) 또는 이들을 함유하는 합금으로 형성된 유기 발광 표시 장치.

청구항 10

제9 항에 있어서,

상기 제1 영역에서 측정된 상기 제1 전극의 하부 표면과 상기 제1 전극의 상부 표면 사이의 저항값은, 상기 제2 영역에서 측정된 상기 제1 전극의 하부 표면과 상기 제1 전극의 상부 표면 사이의 저항값보다 작은 유기 발광 표시 장치.

청구항 11

제1 항에 있어서,

상기 제1 전극 및 상기 제2 전극 사이에 배치된 화소 정의막을 더 포함하되,
상기 발광층은 상기 화소 정의막의 개구부 내에 배치된 유기 발광 표시 장치.

청구항 12

제10 항에 있어서,

상기 제1 영역은 상기 개구부를 오버랩하도록 배치된 유기 발광 표시 장치.

청구항 13

게이트 신호, 데이터 신호, 초기화 제어 신호, 스트레스 제어 신호, 제1 전원 전압, 제2 전원 전압, 초기화 전압 및 스트레스 전압을 제공받는 복수의 화소를 포함하는 유기 발광 표시 장치로서,

상기 화소는,

상기 제1 전원 전압을 제공받는 제1 단자를 포함하고, 구동 전류를 생성하는 제1 트랜지스터;

상기 데이터 신호를 제공받는 제1 단자를 포함하고, 상기 제1 트랜지스터의 제어 단자와 전기적으로 연결된 제2 단자, 및 게이트 신호를 제공받는 제어 단자를 포함하는 제2 트랜지스터;

상기 제1 전원 전압을 제공받는 제1 단자 및 상기 제1 트랜지스터의 제어 단자와 전기적으로 연결된 제2 단자를 포함하는 스토리지 커패시터;

상기 제1 트랜지스터의 제2 단자와 전기적으로 연결된 제1 단자, 상기 제2 전원 전압을 제공받는 제2 단자를 포함하고, 상기 구동 전류에 의하여 발광하는 유기 전계 발광 소자;

상기 초기화 전압을 제공받는 제1 단자, 상기 유기 전계 발광 소자의 제1 단자와 전기적으로 연결된 제2 단자, 상기 초기화 제어 신호를 제공받는 제어 단자를 포함하는 초기화 트랜지스터,

상기 스트레스 전압을 제공받는 제1 단자, 상기 유기 전계 발광 소자의 제1 단자와 전기적으로 연결된 제2 단자, 상기 스트레스 제어 신호를 제공받는 제어 단자를 포함하는 과부하 인가 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 14

제13 항에 있어서,

상기 초기화 제어 신호와 상기 스트레스 제어 신호는 서로 동일한 신호인 유기 발광 표시 장치.

청구항 15

제14 항에 있어서,

상기 유기 전계 발광 소자의 제1 단자에는 상기 초기화 전압과 상기 스트레스 전압이 동시에 제공되는 유기 발광 표시 장치.

청구항 16

제13 항에 있어서,

상기 초기화 트랜지스터 및 상기 과부하 인가 트랜지스터가 턴 온된 구간 동안, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 턴 오프되는 유기 발광 표시 장치.

청구항 17

제13 항에 있어서,

상기 초기화 전압과 상기 스트레스 전압은 서로 다른 전압 레벨을 갖는 유기 발광 표시 장치.

청구항 18

제17 항에 있어서,

상기 스트레스 전압은 상기 초기화 전압보다 높은 값을 갖는 유기 발광 표시 장치.

청구항 19

제13 항에 있어서,

상기 스트레스 제어 신호는 이전 스테이지의 상기 초기화 제어 신호인 유기 발광 표시 장치.

청구항 20

제13 항에 있어서, 상기 유기 전계 발광 소자의 제1 단자에 상기 초기화 전압 및 상기 스트레스 전압이 인가된 후에는, 상기 과부하 인가 트랜지스터의 제1 단자에는 상기 초기화 전압이 제공되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 구동 방법에 관한 것이다.

배경 기술

[0002] 텔레비전, 휴대 전화, 태블릿 컴퓨터, 네비게이션, 게임기 등과 같은 멀티 미디어 장치에 사용되는 다양한 표시 장치들이 개발되고 있다.

[0003] 이러한 표시장치의 종류 중 하나로 유기 발광 표시 장치(Organic Light Emitting Display, OLED)가 있다. 유기 발광 표시 장치는 자발광형 표시 장치로서, 시야각이 넓고, 콘트라스트가 우수하며, 응답 속도가 빠른 것이 장점이다. 유기 발광 표시 장치는 유기 발광 소자를 포함하며, 유기 발광 소자의 발광 효율을 높이기 위해 유기 발광 소자에 신호를 제공하는 전극을 다중층으로 형성하기도 한다.

발명의 내용

해결하려는 과제

[0004] 그러나, 유기 발광 소자에 신호를 제공하는 전극을 다중층으로 형성함으로써, 표시 품질이 저하되는 문제점이 발생하고 있다. 구체적으로, 유기 발광 소자에 신호를 제공하는 전극은 유기 발광 소자의 대부분의 면적과 중첩

되도록 배치될 수 있다. 이 때, 유기 발광 소자의 하부로 방출되는 빛을 상부로 다시 반사시키기 위하여 빛을 반사시키는 재질을 포함하도록, 전극을 다중층으로 형성할 수 있다. 이 경우, 다중층으로 형성된 전극의 각각의 층의 접촉면에서, 전자 또는 정공의 이동에 요구되는 에너지가 증가하여, 저항이 부분적으로 증가될 수 있는데, 이로 인하여 표시 품질이 저하될 수 있다.

[0005] 본 발명이 해결하고자 하는 과제는, 다중층으로 형성된 전극에 의한 표시 품질의 저하가 최소화된 유기 발광 표시 장치를 제공하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 상에 배치된 박막 트랜지스터, 상기 박막 트랜지스터 상에 배치된 오버코트층, 상기 오버코트층 상에 배치되며, 하부 전극층, 상기 하부 전극층 상에 배치된 중간 전극층, 상기 중간 전극층 상에 배치된 상부 전극층을 포함하는 제 1 전극, 상기 제1 전극 상에 배치된 발광층 및 상기 발광층 상에 배치된 제2 전극을 포함하되, 상기 제1 전극은 상기 하부 전극층, 상기 중간 전극층 및 상기 상부 전극층이 순차 적층된 제1 영역, 및 상기 하부 전극층, 상기 상부 전극층이 순차 적층된 제2 영역을 포함한다.

[0008] 또한, 상기 중간 전극층은 상기 하부 전극층 및 상기 상부 전극층보다 빛의 반사율이 더 높을 수 있다.

[0009] 또한, 상기 하부 전극층 및 상기 상부 전극층은 투명 전극이고, 상기 중간 전극층은 반사 전극일 수 있다.

[0010] 또한, 상기 제1 영역은 상기 발광층을 오버랩하도록 배치될 수 있다.

[0011] 또한, 상기 오버코트층은 상기 제1 전극과 중첩하여 배치된 컨택홀을 더 포함하되, 상기 컨택홀은 상기 제2 영역에 배치될 수 있다.

[0012] 또한, 상기 기판에 수직인 방향으로부터 상기 기판을 바라본 평면 시점에서, 상기 제2 영역은 상기 제1 영역을 둘러싸도록 배치될 수 있다.

[0013] 또한, 상기 상부 전극층은 상기 중간 전극층을 오버랩하도록 배치될 수 있다.

[0014] 또한, 상기 기판에 수직인 방향으로부터 상기 기판을 바라본 평면 시점에서, 상기 제2 영역은 상기 제1 영역의 가장자리를 따라 배치되되, 서로 이격된 복수의 패턴으로 배치될 수 있다.

[0015] 또한, 상기 중간 전극층은 알루미늄(Al), 은(Ag), 금(Au), 백금(Pt), 크롬(Cr) 또는 이들을 함유하는 합금으로 형성될 수 있다.

[0016] 또한, 상기 제1 영역에서 측정된 상기 제1 전극의 하부 표면과 상기 제1 전극의 상부 표면 사이의 저항값은, 상기 제2 영역에서 측정된 상기 제1 전극의 하부 표면과 상기 제1 전극의 상부 표면 사이의 저항값보다 작을 수 있다.

[0017] 또한, 상기 제1 전극 및 상기 제2 전극 사이에 배치된 화소 정의막을 더 포함하되, 상기 발광층은 상기 화소 정의막의 개구부 내에 배치될 수 있다.

[0018] 또한, 상기 제1 영역은 상기 개구부를 오버랩하도록 배치될 수 있다.

[0019] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 게이트 신호, 데이터 신호, 초기화 제어 신호, 스트레스 제어 신호, 제1 전원 전압, 제2 전원 전압, 초기화 전압 및 스트레스 전압을 제공하는 복수의 화소를 포함하는 유기 발광 표시 장치로서, 상기 화소는, 상기 제1 전원 전압을 제공받는 제1 단자를 포함하고, 구동 전류를 생성하는 제1 트랜지스터, 상기 데이터 신호를 제공받는 제1 단자를 포함하고, 상기 제1 트랜지스터의 제어 단자와 전기적으로 연결된 제2 단자, 및 게이트 신호를 제공받는 제어 단자를 포함하는 제2 트랜지스터, 상기 제1 전원 전압을 제공받는 제1 단자 및 상기 제1 트랜지스터의 제어 단자와 전기적으로 연결된 제2 단자를 포함하는 스토리지 커패시터, 상기 제1 트랜지스터의 제2 단자와 전기적으로 연결된 제1 단자, 상기 제2 전원 전압을 제공받는 제2 단자를 포함하고, 상기 구동 전류에 의하여 발광하는 유기 전계 발광 소자, 상기 초기화 전압을 제공받는 제1 단자, 상기 유기 전계 발광 소자의 제1 단자와 전기적으로 연결된 제2 단자, 상기 초기화 제어 신호를 제공받는 제어 단자를 포함하는 초기화 트랜지스터, 상기 스트레스 전압을 제공받는 제1 단자, 상기 유기 전계 발광 소자의 제1 단자와 전기적으로 연결된 제2 단자, 상기 스트레스 제어 신호

를 제공받는 제어 단자를 포함하는 과부하 인가 트랜지스터를 포함한다.

- [0020] 또한, 상기 초기화 제어 신호와 상기 스트레스 제어 신호는 서로 동일한 신호일 수 있다.
- [0021] 또한, 상기 유기 전계 발광 소자의 제1 단자에는 상기 초기화 전압과 상기 스트레스 전압이 동시에 제공될 수 있다.
- [0022] 또한, 상기 초기화 트랜지스터 및 상기 과부하 인가 트랜지스터가 턴 온된 구간 동안, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 턴 오프될 수 있다.
- [0023] 또한, 상기 초기화 전압과 상기 스트레스 전압은 서로 다른 전압 레벨을 가질 수 있다.
- [0024] 또한, 상기 스트레스 전압은 상기 초기화 전압보다 높은 값을 가질 수 있다.
- [0025] 또한, 상기 스트레스 제어 신호는 이전 스테이지의 상기 초기화 제어 신호일 수 있다.
- [0026] 또한, 상기 유기 전계 발광 소자의 제1 단자에 상기 초기화 전압 및 상기 스트레스 전압이 인가된 후에는, 상기 과부하 인가 트랜지스터의 제1 단자에는 상기 초기화 전압이 제공될 수 있다.
- [0027] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0028] 본 발명의 실시예들에 의하면, 다중층으로 형성된 전극에 의한 표시 품질의 저하가 최소화된 유기 발광 표시 장치를 제공할 수 있다.
- [0029] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소의 등가회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소의 레이아웃도이다.
- 도 4는 도 3의 I-I'를 따라 절단한 단면도이다.
- 도 5는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소의 레이아웃도이다.
- 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소의 등가회로도이다.
- 도 7은 도 2에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소의 레이아웃도이다.
- 도 8은 도 7의 II-II'를 따라 절단한 단면도이다.
- 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소의 등가회로도이다.
- 도 10은 도 9에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소의 각각의 파형의 개략도이다.
- 도 11은 도 9에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소의 레이아웃도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0032] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0033] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0034] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- [0036] 도 1에 도시된 것과 같이, 유기 발광 표시 장치는 주사 구동부(100), 데이터 구동부(200), 및 표시 패널(DP)을 포함한다.
- [0037] 주사 구동부(100)는 타이밍 제어부(미도시)로부터 게이트 제어신호(미도시)를 수신한다. 게이트 제어신호는 주사 구동부(100)의 동작을 개시하는 수직 개시 신호, 신호들의 출력 시기를 결정하는 클럭 신호 등을 포함할 수 있다. 주사 구동부(100)는 복수 개의 게이트 신호들을 생성하고, 복수 개의 게이트 신호들을 후술하는 복수 개의 게이트 라인들(GL1~GLn)에 순차적으로 출력한다. 또한, 주사 구동부(100)는 게이트 제어신호에 응답하여 복수 개의 발광 제어신호들을 생성하고, 후술하는 복수 개의 발광 라인들(EL1~ELn)에 복수 개의 발광 제어신호들을 출력한다.
- [0038] 도 1은 복수 개의 게이트 신호들과 복수 개의 발광 제어신호들이 하나의 주사 구동부(100)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되는 것은 아니다. 본 발명의 일 실시예에서, 복수 개의 주사 구동부가 복수 개의 게이트 신호들을 분할하여 출력하고, 복수 개의 발광 제어신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 일 실시예에서, 복수 개의 게이트 신호들을 생성하여 출력하는 구동회로와 복수 개의 발광 제어신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.
- [0039] 데이터 구동부(200)는 타이밍 제어부로부터 데이터 제어신호(미도시) 및 영상 데이터들(미도시)을 수신한다. 데이터 구동부(200)는 영상 데이터들을 데이터 신호들로 변환하고, 데이터 신호들을 게이트 라인들(GL1~GLn)에 절연 교차하는 복수 개의 데이터 라인들(DL1~DLm)에 출력한다. 데이터 신호들은 영상 데이터들의 계조값에 대응하는 아날로그 전압들이다.
- [0040] 표시 패널(DP)은 복수 개의 게이트 라인들(GL1~GLn), 복수 개의 발광 라인들(EL1~ELn), 복수 개의 데이터 라인들(DL1~DLm), 및 복수 개의 화소들(PX)을 포함한다. 복수 개의 게이트 라인들(GL1~GLn)은 제1 방향(DR1)으로 연장되고, 제2 방향에 직교하는 제2 방향(DR2)으로 나열된다. 복수 개의 발광 라인들(EL1~ELn) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 나란하게 배열될 수 있다. 복수 개의 데이터 라인들(DL1~DLm)은 복수 개의 게이트 라인들(GL1~GLn)과 절연되게 교차한다.
- [0041] 복수 개의 화소들(PX) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인, 복수 개의 발광 라인들(EL1~ELn) 중 대응하는 발광 라인, 및 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다. 도 1에는 간략히 도시되었으나, 복수 개의 화소들(PX) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 복수 개의 게이트 라인들에 접속될 수 있다.
- [0042] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소의 등가회로도이다.
- [0043] 도 2에 도시된 것과 같이, 화소들(PX) 각각은 유기발광소자(OLED), 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 및 스토리지 커패시터(CST)를 포함한다. 한편, 화소(PX)의 등가회로는 도 2에 제한되지 않고, 변형되어 실시될 수 있다.
- [0044] 제1 트랜지스터(TR1)는 게이트 라인(GL)에 연결된 제어전극, 데이터 라인(DL)에 연결된 입력전극, 및 출력전극을 포함한다. 제1 트랜지스터(TR1)는 게이트 라인(GL)에 인가된 게이트 신호에 응답하여 데이터 라인(DL)에 인가된 데이터 신호를 출력한다.
- [0045] 스토리지 커패시터(CST)는 제1 트랜지스터(TR1)에 연결된 제1 전극 및 제1 전원전압(ELVDD)을 수신하는 제2 전극을 포함한다. 스토리지 커패시터(CST)는 제1 트랜지스터(TR1)로부터 수신한 데이터 신호에 대응하는 전압을 충전한다.
- [0046] 제2 트랜지스터(TR2)는 제1 트랜지스터(TR1)의 출력 전극 및 스토리지 커패시터(CST)의 제1 전극에 연결된 제어전극, 제1 전원전압(ELVDD)을 수신하는 입력전극, 및 출력전극을 포함한다. 제2 트랜지스터(TR2)의 출력전극은 유기발광소자(OLED)에 연결된다. 제2 트랜지스터(TR2)는 스토리지 커패시터(CST)에 저장된 전압에 대응하게 유

기발광소자(OLED)에 흐르는 구동전류를 제어한다.

- [0047] 유기발광소자(OLED)는 제2 트랜지스터(TR2)에 연결되어 제1 전원전압(ELVDD)를 수신하는 애노드 전극(AND) 및 제2 전원전압(ELVSS)을 수신하는 캐소드 전극(CTD)을 포함한다. 또한, 유기발광소자(OLED)는 애노드 전극(AND)와 캐소드 전극(CTD) 사이에 배치된 발광층(EML)을 포함한다. 유기발광소자(OLED)는 제2 트랜지스터(TR2)의 턴-온 구간동안 발광한다.
- [0048] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 일 화소의 레이아웃도이고, 도 4는 도 3의 I-I'를 따라 절단한 단면도이다.
- [0049] 이하, 도 3 및 도 4를 참조하여 유기 발광 표시 장치에 대하여 더욱 상세히 설명하도록 한다.
- [0050] 표시 패널(DP)은 베이스 기판(BS), 버퍼층(BFL), 신호배선들(GL, DL), 및 화소들(PX)을 포함한다. 표시 패널(DP)의 종류에 따라 베이스 기판(BS), 버퍼층(BFL), 신호배선들(GL, DL), 및 화소들(PX)의 구성은 변경될 수 있다.
- [0051] 베이스 기판(BS)은 절연 물질로 구성될 수 있다.
- [0052] 베이스 기판(BS)의 일면 상에는 버퍼층(BFL)이 배치된다.
- [0053] 버퍼층(BFL)은 제조공정 중에 있어서 베이스 기판(BS)에 존재하는 불순물이 화소(PX)에 유입되는 것을 방지한다. 특히, 불순물이 화소(PX)의 반도체층(SL)에 확산되는 것을 방지한다. 불순물은 외부에서 유입되거나, 베이스 기판(BS)이 열분해됨으로써 발생할 수 있다. 불순물은 베이스 기판(BS)로부터 배출된 가스 또는 나트륨일 수 있다. 또한, 버퍼층(BFL)은 외부로부터 화소(PX)로 유입되는 수분을 차단한다.
- [0054] 버퍼층(BFL) 상에 신호배선들(GL, DL) 및 화소(PX)가 배치된다. 버퍼층(BFL) 상에 제2 트랜지스터(TR2)의 반도체층(SL)이 배치된다. 반도체층(SL)은 폴리 실리콘 또는 저온에서 형성되는 아몰포스 실리콘을 포함할 수 있다. 그밖에 반도체층(SL)은 금속 산화물 반도체를 포함할 수 있다.
- [0055] 반도체층(SL)은 전자 또는 정공이 이동할 수 있는 통로역할을 하는 채널영역, 채널영역을 사이에 두고 배치된 제1 이온도핑영역 및 제2 이온도핑영역을 포함한다.
- [0056] 버퍼층(BFL) 상에 반도체층(SL)을 커버하는 게이트 절연층(GI)이 배치된다. 게이트 절연층(GI)은 유기막 및/또는 무기막을 포함한다. 특히, 게이트 절연층(GI)은 복수 개의 무기 박막들을 포함할 수 있다. 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0057] 게이트 절연층(GI) 상에 게이트 라인(GL)이 배치된다. 게이트 절연층(GI) 상에 제1 트랜지스터(TR1)의 제어전극(GE1: 이하, 제1 제어전극) 및 제2 트랜지스터(TR2)의 제어전극(GE2: 이하, 제2 제어전극)이 배치된다.
- [0058] 게이트 절연층(GI) 상에 스토리지 커패시터(CST)의 제1 전극(CE1)이 배치될 수 있다. 단, 제1 전극(CE1)의 배치 위치가 이에 한정되는 것은 아니다. 제1 전극(CE1)은 게이트 라인(GL)과 동일한 포토리소그래피 공정에 따라 제조될 수 있다. 다시 말해, 제1 전극(CE1)은 게이트 라인과 동일한 물질로 구성될 수 있다.
- [0059] 게이트 절연층(GI) 상에 제1 제어전극(GE1), 제2 제어전극(GE2), 및 제1 전극(CE1)을 커버하는 층간 절연층(IL)이 배치된다. 층간 절연층(IL)은 유기막 및/또는 무기막을 포함한다. 특히, 층간 절연층(IL)은 복수 개의 무기 박막들을 포함할 수 있다. 상기 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0060] 층간 절연층(IL) 상에 데이터 라인(DL) 및 전원라인(KL)이 배치된다. 층간 절연층(IL) 상에 제1 트랜지스터(TR1)의 입력전극(SE1: 이하, 제1 입력전극) 및 출력전극(DE1: 이하, 제1 출력전극)이 배치된다. 층간 절연층(IL) 상에 제2 트랜지스터(TR2)의 입력전극(SE2: 이하, 제2 입력전극) 및 출력전극(DE2: 이하, 제2 출력전극)이 배치된다. 제1 입력전극(SE1)은 데이터 라인(DL)으로부터 분기된다. 제2 입력전극(SE2)은 전원라인(KL)으로부터 분기된다.
- [0061] 층간 절연층(IL) 상에 스토리지 커패시터(CST)의 제2 전극(CE2)이 배치될 수 있다. 단, 제2 전극(CE2)의 배치 위치가 이에 한정되는 것은 아니다. 제2 전극(CE2)은 데이터 라인(DL) 및 전원라인(KL)과 동일한 포토리소그래피 공정에 따라 제조될 수 있고, 동일한 물질로 구성될 수 있다.
- [0062] 제1 입력전극(SE1)과 제1 출력전극(DE1)은 게이트 절연층(GI) 및 층간 절연층(IL)을 관통하는 제1 관통홀(CH1)과 제2 관통홀(CH2)을 통해 제1 트랜지스터(TR1)의 반도체층(미도시)에 각각 연결된다. 제1 출력전극(DE1)은 층

간 절연층(IL)을 관통하는 제3 관통홀(CH3)을 통해 제1 전극(CE1)에 연결된다. 제2 입력전극(SE2)과 제2 출력전극(DE2)은 게이트 절연층(GI) 및 층간 절연층(IL)을 관통하는 제4 관통홀(CH4)과 제5 관통홀(CH5)을 통해 제2 트랜지스터(TR2)의 반도체층(SL)에 각각 연결된다. 한편, 본 발명의 다른 실시예에서 제1 트랜지스터(TR1)와 제2 트랜지스터(TR2)는 바텀 게이트 구조로 변형되어 실시될 수 있다.

- [0063] 층간 절연층(IL) 상에 제1 입력전극(SE1), 제1 출력전극(DE1), 제2 입력전극(SE2), 및 제2 출력전극(DE2)을 커버하는 패시메이션층(PL)이 배치된다. 패시메이션층(PL)은 유기막 및/또는 무기막을 포함한다. 특히, 패시메이션층(PL)은 평탄면을 제공하기 위해서 유기물질을 포함할 수 있다.
- [0064] 패시메이션층(PL) 상에 화소정의막(PDL) 및 유기발광소자(OLED)가 배치된다. 유기발광소자(OLED)는 애노드 전극(AND), 정공수송영역(HTR), 발광층(EML), 전자수송영역(ETR), 및 캐소드 전극(CTD)을 포함한다. 애노드 전극(AND)은 패시메이션층(PL)을 관통하는 제6 관통홀(CH6)을 통해 제2 출력전극(DE2)에 연결된다. 유기발광소자(OLED)의 애노드 전극(AND)와 캐소드 전극(CTD)의 위치는 서로 바뀔 수도 있다.
- [0065] 패시메이션층(PL) 상에는 애노드 전극(AND)이 배치된다. 화소정의막(PDL)의 개구부(OP)는 애노드 전극(AND)을 노출시킨다.
- [0066] 애노드 전극(AND)은 화소 전극 또는 양극일 수 있다. 애노드 전극(AND)은 투명 금속 산화물 및 금속으로 이루어진 복수의 층을 갖는 다층 구조일 수 있다.
- [0067] 애노드 전극(AND)은 하부 전극층(LL), 중간 전극층(ML) 및 상부 전극층(UL)을 포함한다.
- [0068] 하부 전극층(LL)은 제2 출력전극(DE2)과 직접적으로 연결되어 제2 출력전극(DE2)으로부터 전압을 제공받을 수 있다. 하부 전극층(LL)은 투과형 전극, 반투과형 전극 또는 반사형 전극일 수 있다. 하부 전극층(LL)이 투과형 전극인 경우, 하부 전극층(LL)은 투명 금속 산화물, 예를 들어, ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide) 등으로 이루어질 수 있다. 하부 전극층(LL)이 반투과형 전극 또는 반사형 전극인 경우, 하부 전극층(LL)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 또는 금속의 혼합물을 포함할 수 있다.
- [0069] 중간 전극층(ML)은 하부 전극층(LL)의 상부에 배치되며, 하부 전극층(LL)의 일부 영역을 오버랩하도록 배치될 수 있다. 중간 전극층(ML)은 발광층(EML)으로부터 방출된 광을 상부를 향하여 반사시킬 수 있다. 중간 전극층(ML)은 애노드 전극(AND)의 반사효율을 향상시키기 위하여, 반사효율이 높은 금속 물질, 예를 들면 알루미늄(Al), 은(Ag), 금(Au), 백금(Pt), 크롬(Cr) 또는 이들을 함유하는 합금으로 형성될 수 있다. 중간 전극층(ML)은 하부 전극층(LL)에 제공된 전압을 제공받을 수 있다.
- [0070] 상부 전극층(UL)은 하부 전극층(LL) 또는 중간 전극층(ML)의 상부에 배치되며, 중간 전극층(ML)을 오버랩하도록 배치될 수 있다. 상부 전극층(UL)은 중간 전극층(ML) 또는 하부 전극층(LL)으로부터 이들에 제공된 전압을 제공받을 수 있다. 상부 전극층(UL)은 투과형 전극, 반투과형 전극 또는 반사형 전극일 수 있다. 상부 전극층(UL)이 투과형 전극인 경우, 상부 전극층(UL)은 투명 금속 산화물, 예를 들어, ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide) 등으로 이루어질 수 있다. 상부 전극층(UL)이 반투과형 전극 또는 반사형 전극인 경우, 상부 전극층(UL)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 또는 금속의 혼합물을 포함할 수 있다.
- [0071] 한편, 애노드 전극(AND)은 베이스 기판(BS)의 상부 표면에 수직인 방향으로부터 베이스 기판(BS)을 바라본 시점, 즉, 도 3의 시점에서 적층 구조가 서로 다른 두 영역을 포함한다.
- [0072] 구체적으로, 애노드 전극(AND)은 하부 전극층(LL), 중간 전극층(ML) 및 상부 전극층(UL)이 순차 적층된 제1 영역(AR1)과, 하부 전극층(LL) 및 상부 전극층(UL)이 순차 적층된 제2 영역(AR2)을 포함한다.
- [0073] 여기서, 제2 영역(AR2)은 제1 영역(AR1)을 둘러싸는 모양으로 배치될 수 있다. 이에 따라, 제1 영역(AR1)이 차지하는 면적을 상당 넓이로 확보할 수 있으면서도, 제2 영역(AR2)의 면적 또한 상당 넓이로 확보할 수 있다.
- [0074] 또한, 상부 전극층(UL)은 중간 전극층(ML)을 오버랩하는 모양으로 형성될 수 있다. 이에 따라, 애노드 전극(AND)은 정공수송영역(HTR)에 원활하게 신호를 전달할 수 있다.
- [0075] 또한, 제1 영역(AR1)은 발광층(EML)을 오버랩하도록 배치될 수 있다. 이에 따라, 제1 영역(AR1)에는 빛의 반사율이 높은 중간 전극층(ML)이 배치되므로, 상부로 방출되는 빛의 양을 충분히 확보할 수 있다.
- [0076] 애노드 전극(AND)이 제1 영역(AR1) 및 제2 영역(AR2)을 포함함으로써, 중간 전극층(ML)유기 발광 표시 장치의

표시 품질의 저하가 최소화될 수 있다. 구체적으로, 애노드 전극(AND)은 3개의 다층층으로 구성됨으로 인하여, 각각의 층이 인접하는 각각의 층의 표면 인근에서, 저항이 국부적으로 증가할 수 있다. 즉, 각각의 층이 인접하는 각각의 층의 표면 인근에서, 홀 인젝션 베리어(Hole Injection Barrier)의 형성으로 인하여 각각의 층간에 전위(Electrical Potential) 차이가 발생하여, 신호 전달에 있어 더 높은 저항이 발생할 수 있다. 그러나, 제2 영역(AR2)은 하부 전극층(LL)과 중간 전극층(ML)의 접촉면 및 중간 전극층(ML) 및 상부 전극층(UL)의 접촉면에 해당하는 총 2개의 접촉면을 포함하는 반면, 제1 영역(AR1)은 하부 전극층(LL)과 상부 전극층(ML)의 하나의 접촉면만을 포함하므로, 높은 저항이 발생하는 것이 방지될 수 있다. 이에, 애노드 전극(AND)에 의한 전압의 전달이 원활해질 수 있어, 표시 품질이 향상될 수 있다.

- [0077] 애노드 전극(AND) 상에는 정공수송영역(HTR)이 배치된다. 정공수송영역(HTR)은 정공 주입층, 정공 수송층, 버퍼층 및 전자 저지층 중 적어도 하나를 포함할 수 있다.
- [0078] 정공수송영역(HTR)은 단일 물질로 이루어진 단일층, 복수의 서로 다른 물질로 이루어진 단일층 또는 복수의 서로 다른 물질로 이루어진 복수의 층을 갖는 다층 구조를 가질 수 있다.
- [0079] 예를 들어, 정공수송영역(HTR)은 복수의 서로 다른 물질로 이루어진 단일층의 구조를 갖거나, 애노드(AND)으로부터 차례로 적층된 정공 주입층/정공 수송층, 정공 주입층/정공 수송층/버퍼층, 정공 주입층/버퍼층, 정공 수송층/버퍼층 또는 정공 주입층/정공 수송층/전자 저지층의 구조를 가질 수 있으나, 이에 한정되는 것은 아니다.
- [0080] 정공수송영역(HTR)은 진공 증착법, 스핀 코팅법, 캐스트법, LB법(Langmuir-Blodgett), 잉크젯 프린팅법, 레이저 프린팅법, 레이저 열전사법(Laser Induced Thermal Imaging, LITI) 등과 같은 다양한 방법을 이용하여 형성될 수 있다.
- [0081] 발광층(EML)은 정공수송영역(HTR) 상에 배치된다. 발광층(EML)은 진공 증착법, 스핀 코팅법, 캐스트법, LB법(Langmuir-Blodgett), 잉크젯 프린팅법, 레이저 프린팅법, 레이저 열전사법(Laser Induced Thermal Imaging, LITI) 등과 같은 다양한 방법을 이용하여 형성될 수 있다.
- [0082] 발광층(EML)은 통상적으로 사용하는 물질이라면 특별히 한정되지 않으나, 예를 들어, 적색, 녹색 및 청색을 발광하는 물질로 이루어질 수 있으며, 형광물질 또는 인광물질을 포함할 수 있다. 또한, 발광층(EML)은 호스트 및 도펀트를 포함할 수 있다.
- [0083] 호스트는 통상적으로 사용하는 물질이라면 특별히 한정하지 않으나, 예를 들어, Alq3(tris(8-hydroxyquinolino)aluminum), CBP(4,4'-bis(N-carbazolyl)-1,1'-biphenyl), PVK(poly(n-vinylcarbazole)), ADN(9,10-di(naphthalene-2-yl)anthracene), TCTA(4,4',4''-Tris(carbazol-9-yl)-triphenylamine), TPBi(1,3,5-tris(N-phenylbenzimidazole-2-yl)benzene), TBADN(3-tert-butyl-9,10-di(naphth-2-yl)anthracene), DSA(distyrylarylene), CDBP(4,4'-bis(9-carbazolyl)-2,2'-dimethyl-biphenyl), MADN(2-Methyl-9,10-bis(naphthalen-2-yl)anthracene) 등을 사용될 수 있다.
- [0084] 발광층(EML)이 적색을 발광할 때, 발광층(EML)은 예를 들어, PBD:Eu(DBM)3(Phen)(tris(dibenzoylmethanato)phenanthroline europium) 또는 퍼릴렌(Perylene)을 포함하는 형광물질을 포함할 수 있다. 발광층(EML)이 적색을 발광할 때, 발광층(EML)에 포함되는 도펀트는 예를 들어, PIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)과 같은 금속 착화합물(metal complex) 또는 유기 금속 착체(organometallic complex)에서 선택할 수 있다.
- [0085] 발광층(EML)이 녹색을 발광할 때, 발광층(EML)은 예를 들어, Alq3(tris(8-hydroxyquinolino) aluminum)을 포함하는 형광물질을 포함할 수 있다. 발광층(EML)이 녹색을 발광할 때, 발광층(EML)에 포함되는 도펀트는 예를 들어, Ir(ppy)3(fac-tris(2-phenylpyridine)iridium)와 같은 금속 착화합물(metal complex) 또는 유기 금속 착체(organometallic complex)에서 선택할 수 있다.
- [0086] 발광층(EML)이 청색을 발광할 때, 발광층(EML)은 예를 들어, 스피로-DPVBi(spiro-DPVBi), 스피로-6P(spiro-6P), DSB(distyryl-benzene), DSA(distyryl-arylene), PFO(Polyfluorene)계 고분자 및 PPV(poly(p-phenylene vinylene)계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질을 포함할 수 있다. 발광층(EML)이 청색을 발광할 때, 발광층(EML)에 포함되는 도펀트는 예를 들어, (4,6-F2ppy)2Irpic와 같은 금속 착화합물(metal complex) 또는 유기 금속 착체(organometallic complex)에서 선택할 수 있다.

- [0087] 발광층(EML) 상에는 전자수송영역(ETR)이 배치된다.
- [0088] 전자수송영역(ETR)은, 정공 저지층, 전자 수송층 및 전자 주입층 중 적어도 하나를 포함할 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 전자수송영역(ETR)은, 발광층으로부터 차례로 적층된 전자 수송층/전자 주입층 또는 정공 저지층/전자 수송층/전자 주입층의 구조를 가지거나, 층 중 둘 이상의 층이 혼합된 단일층 구조를 가질 수 있으나, 이에 한정되는 것은 아니다.
- [0089] 전자수송영역(ETR)은, 진공 증착법, 스핀 코팅법, 캐스트법, LB법(Langmuir-Blodgett), 잉크젯 프린팅법, 레이저 프린팅법, 레이저 열전사법(Laser Induced Thermal Imaging, LITI) 등과 같은 다양한 방법을 이용하여 형성될 수 있다.
- [0090] 전자수송영역(ETR) 상에는 캐소드 전극(CTD)이 배치된다.
- [0091] 캐소드 전극(CTD)은 공통 전극 또는 음극일 수 있다. 캐소드 전극(CTD)은 투과형 전극, 반투과형 전극 또는 반사형 전극일 수 있다. 캐소드(CTD)가 투과형 전극인 경우, 캐소드(CTD)는 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, BaF, Ba, Ag 또는 이들의 화합물이나 혼합물(예를 들어, Ag와 Mg의 혼합물)을 포함할 수 있다. 캐소드(CTD)은 보조 전극을 포함할 수 있다. 보조 전극은 상기 물질이 발광층을 향하도록 증착하여 형성된 막, 및 상기 막 상에 투명 금속 산화물, 예를 들어, ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide), Mo, Ti 등을 포함할 수 있다. 캐소드(CTD)이 반투과형 전극 또는 반사형 전극인 경우, 캐소드(CTD)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, Mo, Ti 또는 이들의 화합물이나 혼합물(예를 들어, Ag와 Mg의 혼합물)을 포함할 수 있다. 또는 상기 물질로 형성된 반사막이나 반투과막 및 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide) 등으로 형성된 투명 도전막을 포함하는 복수의 층 구조일 수 있다.
- [0092] 캐소드 전극(CTD) 상에는 봉지층(SIL)이 배치된다. 봉지층(SIL)은 복수 개의 박막 봉지층들(Thin-Film Encapsulation layers)을 포함할 수 있다. 박막 봉지층들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0093] 이하, 도 5를 참조하여 본 발명의 다른 실시예에 대하여 설명하도록 한다.
- [0094] 도 5는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소의 레이아웃도이다.
- [0095] 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소(PX_a)는 애노드 전극(AND_a)의 구조가 도 3에 도시된 실시예에 다른 애노드 전극(도 3의 AND)과 상이한 차이점이 존재한다. 그 밖의 구성들은 동일한 식별부호를 갖는 도 3의 구성들과 실질적으로 동일하므로 설명을 생략하기로 하며, 차이점을 위주로 설명하기로 한다.
- [0096] 도 5를 참조하면, 본 실시예에 따른 유기 발광 표시 장치의 일 화소(PX_a)의 애노드 전극(AND_a)은 제1 영역(AR1_a) 및 제2 영역(AR2_a)의 배치 구조가, 도 3에 도시된 실시예에 따른 애노드 전극(도 3의 AND)의 제1 영역(도 3의 AR1) 및 제2 영역(도 3의 AR2)과 상이할 수 있다. 구체적으로, 제2 영역(AR2_a)은 제1 영역(AR1_a)의 가장자리를 따라 배치되며, 서로 이격된 복수 개의 띠 모양을 형성하도록 배치될 수 있다.
- [0097] 이러한 제1 영역(AR1_a) 및 제2 영역(AR2_a)의 배치구조에 따른 경우, 애노드 전극(AND_a)의 전체 배치 영역 중 반사율이 높은 제2 영역(AR2_a)이 차지하는 비율이, 도 3에 도시된 실시예에 따른 애노드 전극(도 3의 AND)의 제2 영역(도 3의 AR2)과 비교하여 상대적으로 높으므로, 빛의 반사율이 더 높을 수 있다.
- [0098] 한편, 제2 영역(AR2_a)의 패턴은 도시된 것으로 한정되지 않으며, 일부 변형될 수도 있음은 물론이다. 예를 들면, 각각의 제2 영역(AR2_a)의 패턴은 가로 및 세로의 길이가 서로 다르던가, 띠 모양이 아닌 다른 모양을 형성하도록 배치될 수도 있음은 물론이다.
- [0099] 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소의 등가회로도이다.
- [0100] 도 6에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소는, 도 2에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소와 비교하여, 화소의 구동을 위한 더 많은 개수의 트랜지스터를 포함하는 차이점이 존재한다.
- [0101] 도 6을 참조하면, 본 실시예에 따른 유기 발광 표시 장치의 일 화소(PX_b)는, 유기 발광 다이오드(OLED_b), 제1 트랜지스터(TR1_b), 제2 트랜지스터(TR2_b), 제3 트랜지스터(TR3_b), 스토리지 커패시터(CST_b), 제4 트랜지스터(TR4_b), 제5 트랜지스터(TR5_b), 제6 트랜지스터(TR6_b), 및 제7 트랜지스터(TR7_b)를 포함한다.
- [0102] 유기 발광 다이오드(OLED_b)는 구동 전류(I_d)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED_b)는

구동 전류(Id)에 기초하여 광을 출력할 수 있다. 유기 발광 다이오드(OLED_b)는 제1 단자 및 제2 단자를 포함할 수 있다. 실시예에 따라, 유기 발광 다이오드(OLED_b)의 제2 단자는 제2 전원 전압(ELVSS)을 공급받을 수 있다. 일 실시예에서, 유기 발광 다이오드(OLED_b)의 제1 단자는 애노드 단자이고, 제2 단자는 캐소드 단자일 수 있다. 다른 실시예에서, 유기 발광 다이오드(OLED_b)의 제1 단자는 캐소드 단자이고, 제2 단자는 애노드 단자일 수 있다.

[0103] 제2 트랜지스터(TR2_b)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 제2 트랜지스터(TR2_b)의 게이트 단자는 현재 스테이지의 스캔 신호(Sn)를 공급받을 수 있다. 제2 트랜지스터(TR2_b)의 제1 단자는 데이터 신호(Dm)를 공급받을 수 있다. 제2 트랜지스터(TR2_b)의 제2 단자는 제1 트랜지스터(TR1_b)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0104] 제2 트랜지스터(TR2_b)는 현재 스테이지의 스캔 신호(Sn)의 활성화 구간 동안 데이터 신호(Dm)를 제1 트랜지스터(TR1_b)의 제1 단자로 공급할 수 있다. 이 경우, 제2 트랜지스터(TR2_b)는 선형 영역에서 동작할 수 있다.

[0105] 제3 트랜지스터(TR3_b)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 현재 스테이지의 스캔 신호(Sn)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1_b)의 제2 단자에 연결될 수 있다. 제2 단자는 제1 트랜지스터(TR1_b)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0106] 제3 트랜지스터(TR3_b)는 현재 스테이지의 스캔 신호(Sn)의 활성화 구간 동안 제1 트랜지스터(TR1_b)의 게이트 단자와 제1 트랜지스터(TR1_b)의 제2 단자를 연결할 수 있다. 이 경우, 제3 트랜지스터(TR3_b)는 선형 영역에서 동작할 수 있다. 즉, 제3 트랜지스터(TR3_b)는 현재 스테이지의 스캔 신호(Sn)의 활성화 구간 동안 제1 트랜지스터(TR1_b)를 다이오드 연결시킬 수 있다. 제1 트랜지스터(TR1_b)가 다이오드 연결되므로, 제1 트랜지스터(TR1_b)의 제1 단자와 제1 트랜지스터(TR1_b)의 게이트 단자 사이에 제1 트랜지스터(TR1_b)의 문턱 전압만큼의 전압차가 발생할 수 있다. 그 결과, 현재 스테이지의 스캔 신호(Sn)의 활성화 구간 동안 제1 트랜지스터(TR1_b)의 제1 단자에 공급된 데이터 신호(Dm)의 전압에 상기 전압차(즉, 문턱 전압)만큼 합산된 전압이 제1 트랜지스터(TR1_b)의 게이트 단자에 공급될 수 있다. 즉, 데이터 신호(Dm)는 제1 트랜지스터(TR1_b)의 문턱 전압만큼 보상할 수 있고, 보상된 데이터 신호(Dm)가 제1 트랜지스터(TR1_b)의 게이트 단자에 공급될 수 있다. 상기 문턱 전압 보상을 수행함에 따라 제1 트랜지스터(TR1_b)의 문턱 전압 편차로 발생하는 구동 전류 불균일 문제가 해결될 수 있다.

[0107] 스토리지 커패시터(CST)는 제1 전원 전압(ELVDD)과 제1 트랜지스터(TR1_b)의 게이트 단자 사이에 연결될 수 있다. 스토리지 커패시터(CST_b)는 현재 스테이지의 스캔 신호(Sn)의 비활성화 구간 동안 제1 트랜지스터(TR1_b)의 게이트 단자의 전압 레벨을 유지할 수 있다. 현재 스테이지의 스캔 신호(Sn)의 비활성화 구간은 발광 신호(EM)의 활성화 구간을 포함할 수 있고, 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1_b)가 생성한 구동 전류(Id)는 유기 발광 다이오드(OLED_b)에 공급될 수 있다. 따라서, 스토리지 커패시터(CST_b)가 유지하는 전압 레벨에 기초하여 제1 트랜지스터(TR1_b)가 생성한 구동 전류(Id)가 유기 발광 다이오드(OLED_b)에 공급될 수 있다.

[0108] 제4 트랜지스터(TR4_b)는 게이트 단자, 제1 단자, 및 제2 단자를 포함할 수 있다. 게이트 단자는 현재 스테이지의 초기화 제어 신호(GIn)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1_b)의 게이트 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.

[0109] 제4 트랜지스터(TR4_b)는 현재 스테이지의 초기화 제어 신호(GIn)의 활성화 구간 동안 초기화 전압(VINT)을 제1 트랜지스터(TR1_b)의 게이트 단자에 공급할 수 있다. 이 경우, 제4 트랜지스터(TR4_b)는 선형 영역에서 동작할 수 있다. 즉, 제4 트랜지스터(TR4_b)는 현재 스테이지의 초기화 제어 신호(GIn)의 활성화 구간 동안 제1 트랜지스터(TR1_b)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 결과적으로, 현재 스테이지의 초기화 제어 신호(GIn)는 데이터 초기화 신호로 역할을 수행할 수 있다.

[0110] 일 실시예에서, 초기화 전압(VINT)의 전압 레벨은 이전 프레임에서 스토리지 커패시터(CST_b)에 의해 유지된 데이터 신호(Dm)의 전압 레벨보다 충분히 낮은 전압 레벨을 가질 수 있고, 상기 초기화 전압(VINT)이 PMOS(Pchannel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터(TR1_b)의 게이트 단자에 공급될 수 있다. 다른 실시예에서, 초기화 전압의 전압 레벨은 이전 프레임에서 스토리지 커패시터에 의해 유지된 데이터

신호의 전압 레벨보다 충분히 높은 전압 레벨을 가질 수 있고, 상기 초기화 전압이 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터인 제1 트랜지스터의 게이트 단자에 공급될 수 있다.

- [0111] 실시예에 따라, 현재 스테이지의 초기화 제어 신호(GIn)는 이전 스테이지의 스캔 신호(Sn-1)와 실질적으로 동일한 신호로 정의될 수 있다. 예를 들어, 표시 패널이 포함하는 복수의 화소들 중 제n(단, n은 2이상의 정수)행의 화소에 공급되는 현재 스테이지의 초기화 제어 신호(GIn)는 상기 화소들 중 (n-1)행의 화소에 공급되는 이전 스테이지의 스캔 신호(Sn-1)와 실질적으로 동일한 신호일 수 있다. 즉, 상기 화소들 중 (n-1)행의 화소에 활성화된 이전 스테이지의 스캔 신호(Sn-1)를, 화소들 중 n행의 화소에 공급할 수 있다. 그 결과, 화소들 중 (n-1)행의 화소에 데이터 신호(Dm)를 공급함과 동시에 화소들 중 n행의 화소가 포함하는 제1 트랜지스터(TR1_b)의 게이트 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다.
- [0112] 제5 트랜지스터(TR5_b)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 전원 전압(ELVDD)을 공급받을 수 있다. 제2 단자는 제1 트랜지스터(TR1_b)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0113] 제5 트랜지스터(TR5_b)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1_b)의 제1 단자에 제1 전원 전압(ELVDD)을 공급할 수 있다. 이와 반대로, 제5 트랜지스터(TR5_b)는 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단시킬 수 있다. 이 경우, 제5 트랜지스터(TR5_b)는 선형 영역에서 동작할 수 있다. 제5 트랜지스터(TR5_b)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1_b)의 제1 단자에 제1 전원 전압(ELVDD)을 공급함으로써, 제1 트랜지스터(TR1_b)는 구동 전류(ID)를 생성할 수 있다. 또한, 제5 트랜지스터(TR5_b)가 발광 신호(EM)의 비활성화 구간 동안 제1 전원 전압(ELVDD)의 공급을 차단함으로써, 제1 트랜지스터(TR1_b)의 제1 단자에 공급된 데이터 신호(Dm)가 제1 트랜지스터(TR1_b)의 게이트 단자로 공급될 수 있다.
- [0114] 제6 트랜지스터(TR6_b)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 발광 신호(EM)를 공급받을 수 있다. 제1 단자는 제1 트랜지스터(TR1_b)의 제2 단자에 연결될 수 있다. 제2 단자는 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0115] 제6 트랜지스터(TR6_b)는 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1_b)가 생성한 구동 전류(Id)를 유기 발광 다이오드(OLED_b)에 공급할 수 있다. 이 경우, 제6 트랜지스터(TR6_b)는 선형 영역에서 동작할 수 있다. 즉, 제6 트랜지스터(TR6_b)가 발광 신호(EM)의 활성화 구간 동안 제1 트랜지스터(TR1_b)가 생성한 구동 전류(Id)를 유기 발광 다이오드(OLED)에 공급함으로써, 유기 발광 다이오드(OLED)는 광을 출력할 수 있다. 또한, 제6 트랜지스터(TR6_b)가 발광 신호(EM)의 비활성화 구간 동안 제1 트랜지스터(TR1_b)와 유기 발광 다이오드(OLED_b)를 전기적으로 서로 분리시킴으로써, 제1 트랜지스터(TR1_b)의 제2 단자에 공급된 데이터 신호(Dm)(정확히 말하면, 문턱 전압 보상이 된 데이터 신호)가 제1 트랜지스터(TR1_b)의 게이트 단자로 공급될 수 있다.
- [0116] 제7 트랜지스터(TR7_b)는 게이트 단자, 제1 단자, 제2 단자를 포함할 수 있다. 게이트 단자는 이전 스테이지의 초기화 제어 신호(GIn-1)를 공급받을 수 있다. 제1 단자는 초기화 전압(VINT)을 공급받을 수 있다. 제2 단자는 유기 발광 다이오드(OLED_b)의 제1 단자에 연결될 수 있다. 일 실시예에서, 제1 단자는 소스 단자이고, 제2 단자는 드레인 단자일 수 있다. 다른 실시예에서, 제1 단자는 드레인 단자이고, 제2 단자는 소스 단자일 수 있다.
- [0117] 제7 트랜지스터(TR7_b)는 이전 스테이지의 초기화 제어 신호(GIn-1)의 활성화 구간 동안 초기화 전압(VINT)을 유기 발광 다이오드(OLED_b)의 제1 단자에 공급할 수 있다. 이 경우, 제7 트랜지스터(TR7_b)는 선형 영역에서 동작할 수 있다. 즉, 제7 트랜지스터(TR7_b)는 이전 스테이지의 초기화 제어 신호(GIn-1)의 활성화 구간 동안 유기 발광 다이오드(OLED_b)의 제1 단자를 초기화 전압(VINT)으로 초기화시킬 수 있다. 결과적으로, 이전 스테이지의 초기화 제어 신호(GIn-1)는 다이오드 초기화 신호로 역할을 수행할 수 있다.
- [0118] 도 7은 도 2에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소의 레이아웃도이고, 도 8은 도 7의 II-II'를 따라 절단한 단면도이다.
- [0119] 도 7 및 도 8을 참조하면, 표시 패널(DP_b)은 베이스 기관(BS_b), 버퍼층(BFP_b), 액티브 패턴(ACT_b), 게이트 절연층(GI_b), 제1 내지 제6 게이트 패턴(GP1_b~GP6_b), 제1 층간 절연층(IL1_b), 도전성 패턴(ETP_b), 제2 층간 절연층(IL2_b), 데이터 라인(DL_b), 제1 전원 라인(KL_b), 패시베이션층(PL_b), 유기 발광 다이오드(OLED_b), 및 봉지층(SIL_b)을 포함한다.

- [0120] 베이스 기관(BS_b)은 절연 물질로 구성된다.
- [0121] 베이스 기관(BS_b)의 일면 상에는 버퍼층(BFL_b)이 배치된다. 버퍼층(BFL_b)에 대한 설명은 도 4에 도시된 실시예에 따른 버퍼층(도 4의 BFL)에 대한 설명과 동일한 바, 이를 생략하기로 한다.
- [0122] 버퍼층(BFL_b) 상에는 액티브 패턴(ACT_b)이 배치된다. 액티브 패턴(ACT_b)은 실리콘으로 구성되거나, 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(AB_x), 삼성분계 화합물(AB_xC_y), 사성분계 화합물(AB_xC_yD_z) 등을 포함하는 반도체 산화물로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0123] 액티브 패턴(ACT_b)은 불순물이 고농도로 도핑되어 부분적으로 전기 전도도가 높은 영역을 가질 수 있다. 이에 따라, 후술할 제1 내지 제7 트랜지스터(TR1_b~TR7_b)를 형성할 수 있다.
- [0124] 게이트 절연층(GI_b)은 액티브 패턴(100)을 덮으며 기관 상에 배치된다. 게이트 절연층(GI_b)에 대한 설명은 도 4에 도시된 실시예에 따른 게이트 절연층(도 4의 GI)에 대한 설명과 동일한 바, 이를 생략하기로 한다.
- [0125] 게이트 절연층(GI_b) 상에는 제1 내지 제6 게이트 패턴(GP1_b~GP6_b)이 배치된다. 제1 내지 제6 게이트 패턴(GP1_b~GP6_b)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 내지 제6 게이트 패턴(GP1_b~GP6_b)은 알루미늄(Al), 은(Ag), 텅스텐(W), 구리(Cu), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti), 백금(Pt), 탄탈륨(Ta), 네오디뮴(Nd), 스칸듐(Sc), 이들의 합금 또는 도전성 질화물을 포함할 수 있다. 또한, 이에 제한되지 아니하고, 제1 내지 제6 게이트 패턴(GP1_b~GP6_b)은 스트론튬 루테튬 산화물(SrRu_xO_y), 아연 산화물(ZnO_x), 인듐 주석 산화물(ITO), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x), 인듐 아연 산화물(IZO) 등을 포함할 수도 있다.
- [0126] 제1 게이트 패턴(GP1_b)은 액티브 패턴(ACT_b)과 중첩하여 제1 트랜지스터(TR1_b)을 구성할 수 있다. 제1 트랜지스터(TR1_b)는 유기 발광 다이오드(도 6의 OLED_b)에 공급되는 구동 전류(도 6의 Id)를 생성할 수 있고, 유기 발광 다이오드(도 6의 OLED_b)는 구동 전류(도 6의 Id)에 기초하여 발광할 수 있다.
- [0127] 제2 게이트 패턴(GP2_b)은 액티브 패턴(ACT_b)과 중첩하여 제2 트랜지스터(TR2_b) 및 제3 트랜지스터(TR3_b)를 구성할 수 있다. 제2 게이트 패턴(GP2_b)에는 현재 스테이지의 스캔 신호(Sn)가 제공될 수 있다.
- [0128] 제3 게이트 패턴(GP3_b)은 액티브 패턴(ACT_b)과 중첩하여 제4 트랜지스터(TR4_b)를 구성할 수 있다. 현재 스테이지의 초기화 제어 신호(GIn)가 제공될 수 있다.
- [0129] 제4 게이트 패턴(GP4_b)은 액티브 패턴(ACT_b)과 중첩하여 제5 트랜지스터(TR5_b) 및 제6 트랜지스터(TR6_b)를 구성할 수 있다. 제4 게이트 패턴(GP4_b)에는 발광 신호(EM)가 제공될 수 있다.
- [0130] 제5 게이트 패턴(GP5_b)은 액티브 패턴(ACT_b)과 중첩하여 제7 트랜지스터(TR7_b)를 구성할 수 있다. 제5 게이트 패턴(GP5_b)에는 이전 스테이지의 초기화 제어 신호(GIn-1)가 제공될 수 있다.
- [0131] 제6 게이트 패턴(GP6_b)에는 초기화 전압(Vint)이 제공될 수 있다.
- [0132] 제1 내지 제6 게이트 패턴(GP1_b~GP6_b) 상에는 제1 층간 절연층(IL1_b)이 배치된다. 제1 층간 절연층(IL1_b)은 유기막 및/또는 무기막을 포함한다. 특히, 제1 층간 절연층(IL1_b)은 복수 개의 무기 박막들을 포함할 수 있다. 상기 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0133] 제1 층간 절연층(IL1_b) 상에는 도전 패턴(ECP_b)이 배치된다. 도전 패턴(ECP_b)은 제1 게이트 패턴(GP1_b)과 중첩되도록 배치될 수 있다. 이에 따라, 도전 패턴(ECP_b)은 제1 게이트 패턴(GP1_b)과 함께 스토리지 커패시터(도 6의 CST_b)를 구성할 수 있다.
- [0134] 도전 패턴(ECP_b)은 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다.
- [0135] 도전 패턴(ECP_b) 상에는 제2 층간 절연층(IL2_b)이 배치된다. 제2 층간 절연층(IL2_b)은 제1 층간 절연층(IL1_b)과 마찬가지로, 유기막 및/또는 무기막을 포함한다.
- [0136] 제2 층간 절연층(IL2_b) 상에는 데이터 라인(DL_b), 및 제1 전원 라인(KL_b)이 배치된다. 데이터 라인(DL_b)은 데이터 신호(Dm)을 제공받을 수 있다. 제1 전원 라인(KL_b)은 제1 전원 전압(ELVDD)을 제공받을 수 있다.
- [0137] 데이터 라인(DL_b), 및 제1 전원 라인(KL_b) 상에는 패시베이션층(PL_b)이 배치된다. 패시베이션층(PL_b)에 대

한 설명은 도 4에 도시된 실시예에 따른 패시베이션층(도 4의 PL)에 대한 설명과 동일한 바, 이를 생략하기로 한다.

- [0138] 패시베이션층(PL_b) 상에는 애노드 전극(AND)이 배치된다. 화소정의막(PDL_b)의 개구부(OP_b)는 애노드 전극(AND_b)을 노출시킨다.
- [0139] 애노드 전극(AND_b)은 화소 전극 또는 양극일 수 있다. 애노드 전극(AND_b)은 투명 금속 산화물 및 금속으로 이루어진 복수의 층을 갖는 다층 구조일 수 있다.
- [0140] 애노드 전극(AND_b)은 베이스 기판(BS_b)의 상부 표면에 수직인 방향으로부터 베이스 기판(BS_b)을 바라본 시점, 즉, 도 7의 시점에서 적층 구조가 서로 다른 두 영역을 포함한다.
- [0141] 애노드 전극(AND_b)은 하부 전극층(LL_b), 중간 전극층(ML_b) 및 상부 전극층(UL_b)이 순차 적층된 제1 영역(AR1_b)과, 하부 전극층(LL_b) 및 상부 전극층(UL_b)이 순차 적층된 제2 영역(AR2_b)을 포함한다.
- [0142] 여기서, 제2 영역(AR2_b)은 제1 영역(AR1_b)을 둘러싸는 모양으로 배치될 수 있다. 이에 따라, 제1 영역(AR1_b)이 차지하는 면적을 상당 넓이로 확보할 수 있으면서도, 제2 영역(AR2_b)의 면적 또한 상당 넓이로 확보할 수 있다.
- [0143] 또한, 상부 전극층(UL_b)은 중간 전극층(ML_b)을 오버랩하는 모양으로 형성될 수 있다. 이에 따라, 애노드 전극(AND_b)은 정공수송영역(HTR_b)에 원활하게 신호를 전달할 수 있다.
- [0144] 또한, 제1 영역(AR1_b)은 발광층(EML_b)을 오버랩하도록 배치될 수 있다. 이에 따라, 제1 영역(AR1_b)에는 빛의 반사율이 높은 중간 전극층(ML_b)이 배치되므로, 상부로 방출되는 빛의 양을 충분히 확보할 수 있다.
- [0145] 애노드 전극(AND_b)이 제1 영역(AR1_b) 및 제2 영역(AR2_b)을 포함함으로써, 중간 전극층(ML_b) 유기 발광 표시 장치의 표시 품질의 저하가 최소화될 수 있다. 구체적으로, 애노드 전극(AND_b)은 3개의 다중층으로 구성됨으로 인하여, 각각의 층이 인접하는 각각의 층의 표면 인근에서, 저항이 국부적으로 증가할 수 있다. 즉, 각각의 층이 인접하는 각각의 층의 표면 인근에서, 홀 인젝션 배리어(Hole Injection Barrier)의 형성으로 인하여 각각의 층간에 전위(Electrical Potential) 차이가 발생하여, 신호 전달에 있어 더 높은 저항이 발생할 수 있다. 그러나, 제2 영역(AR2_b)은 하부 전극층(LL_b)과 중간 전극층(ML_b)의 접촉면 및 중간 전극층(ML_b) 및 상부 전극층(UL_b)의 접촉면에 해당하는 총 2개의 접촉면을 포함하는 반면, 제1 영역(AR1_b)은 하부 전극층(LL_b)과 상부 전극층(UL_b)의 하나의 접촉면만을 포함하므로, 높은 저항이 발생하는 것이 방지될 수 있다. 이에, 애노드 전극(AND_b)에 의한 전압의 전달이 원활해질 수 있어, 표시 품질이 향상될 수 있다.
- [0146] 이외의 애노드 전극(AND_b)에 대한 설명은 도 4에 도시된 실시예에 따른 애노드 전극(도 4의 AND)에 대한 설명과 동일한 바, 이를 생략하기로 한다.
- [0147] 애노드 전극(AND_b) 상에는 정공수송영역(HTR_b)이 배치된다. 정공수송영역(HTR_b)에 대한 설명은 도 4에 도시된 실시예에 따른 정공수송영역(도 4의 HTR)에 대한 설명과 동일한 바, 이를 생략하기로 한다.
- [0148] 정공수송영역(HTR_b) 상에는 발광층(EML_b)이 배치된다. 발광층(EML_b)에 대한 설명은 도 4에 도시된 실시예에 따른 발광층(도 4의 EML)에 대한 설명과 동일한 바, 이를 생략하기로 한다.
- [0149] 발광층(EML) 상에는 전자수송영역(ETR_b)이 배치된다. 전자수송영역(ETR_b)에 대한 설명은 도 4에 도시된 실시예에 따른 전자수송영역(도 4의 ETR)에 대한 설명과 동일한 바, 이를 생략하기로 한다.
- [0150] 전자수송영역(ETR_b) 상에는 캐소드 전극(CTD_b)이 배치된다. 캐소드 전극(CTD_b)에 대한 설명은 도 4에 도시된 실시예에 따른 캐소드 전극(도 4의 CTD)에 대한 설명과 동일한 바, 이를 생략하기로 한다.
- [0151] 캐소드 전극(CTD_b) 상에는 봉지층(SIL_b) 배치된다. 봉지층(SIL_b)에 대한 설명은 도 4에 도시된 실시예에 따른 봉지층(도 4의 SIL)에 대한 설명과 동일한 바, 이를 생략하기로 한다. 한편, 도 7에 도시된 각종 배선들의 연결을 위하여, 제1 내지 제9 컨택홀(CH1_b~CH9_b)이 배치되며, 이들 제1 내지 제9 컨택홀(CH1_b~CH9_b)에 의한 배선 간의 연결로 인하여 제1 내지 제7 트랜지스터(TR1_b~TR7_b)가 정상적으로 동작할 수 있다.
- [0152] 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 일 화소의 등가회로도이다.
- [0153] 도 9에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소는, 도 6에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소(도 6의 PX_b)와 비교하여, 제8 트랜지스터(TR8_c)를 더 포함하는 차이점이 존재한다. 그 밖의 구성들은 동일한 식별부호를 갖는 도 6의 구성들과 실질적으로 동일하므로 설명을 생략하기로 하며, 차이점을

위주로 설명하기로 한다.

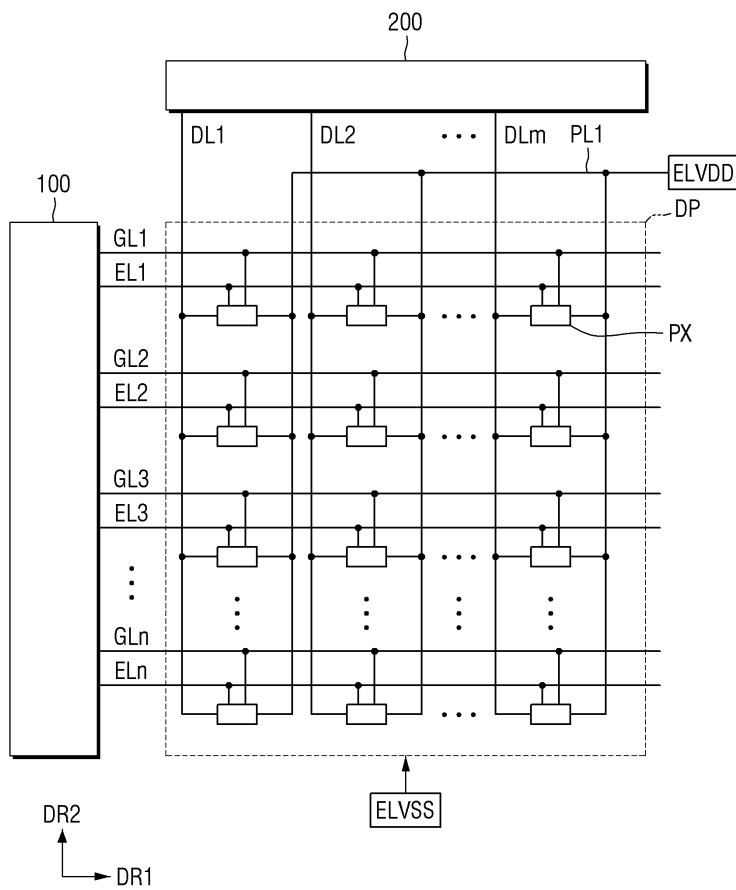
- [0154] 도 9를 참조하면, 본 실시예에 따른 유기 발광 표시 장치의 일 화소(PX_c)는 제8 트랜지스터(TR8_c)를 포함한다.
- [0155] 제8 트랜지스터(TR8_c)는 이전 스테이지의 초기화 제어 신호(GIn-1)의 활성화 구간 동안 스트레스 전압(STRV)을 유기 발광 다이오드(OLED_b)의 제1 단자에 공급할 수 있다. 이 경우, 제8 트랜지스터(TR8_c)은 선형 영역에서 동작할 수 있다. 즉, 제8 트랜지스터(TR8_b)는 이전 스테이지의 초기화 제어 신호(GIn-1)의 활성화 구간 동안 유기 발광 다이오드(OLED_b)의 제1 단자에 스트레스 전압(STRV)을 제공할 수 있다.
- [0156] 이에 따라, 유기 발광 다이오드(OLED_b)의 제1 단자, 다시 말하면, 유기 발광 다이오드(OLED_b)의 애노드 전극(도 11의 AND_b)에는 제7 트랜지스터(TR7_b)로부터 제공된 초기화 전압(Vint)과 제8 트랜지스터(TR8_c)로부터 제공된 스트레스 전압(STRV)이 동시에 제공될 수 있다. 따라서, 유기 발광 다이오드(OLED_b)의 애노드 전극(도 11의 AND_b)에는 서로 다른 두 값을 갖는 전압이 동시에 제공될 수 있다. 이에 따라, 유기 발광 다이오드(OLED_b)의 애노드 전극(도 11의 AND_b)이 전압차에 의한 과부하를 받을 수 있다. 이에 따라, 애노드 전극(도 11의 AND_b)이 3개의 다중층으로 구성됨으로 인하여, 각각의 층이 인접하는 각각의 층의 표면 인근에서, 홀 인젝션 배리어(Hole Injection Barrier)가 삭제될 수 있다. 이에 따라, 유기 발광 다이오드(OLED_b)의 저항이 감소될 수 있어, 표시 품질이 향상될 수 있다.
- [0157] 이에 대한 더욱 구체적인 설명을 위하여, 도 10이 참조된다.
- [0158] 도 10은 도 9에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소의 각각의 파형의 개략도이다.
- [0159] 도 10은 유기 발광 다이오드(도 9의 OLED_b)의 애노드 전극(도 11의 AND_b)에 전압차에 의한 과부하를 인가하는 동안의 각각의 신호의 전압 레벨을 도시한다.
- [0160] 도 10을 참조하면, 전단 스테이지의 초기화 제어 신호(GIn-1)가 활성화된 구간 동안, 발광 신호(EM), 스캔 신호(Sn), 현재 스테이지의 초기화 제어 신호(GIn)는 모두 오프 레벨의 전압값을 유지한다.
- [0161] 이 경우, 전단 스테이지의 초기화 제어 신호(GIn-1)이 활성화됨에 따라, 제7 트랜지스터(도 9의 TR7_b) 및 제8 트랜지스터(도 9의 TR8_c)가 턴 온 되어, 초기화 전압(Vint) 및 스트레스 전압(STRV)이 모두 유기 발광 다이오드(도 9의 OLED_b)의 애노드 전극(AND_b)에 제공된다. 이 때, 전단 스테이지의 초기화 제어 신호(GIn-1)의 활성화 구간 동안, 초기화 전압(Vint)은 -4.2V의 값을 갖고, 스트레스 전압(STRV)은 -1~0V의 값을 가지므로, 유기 발광 다이오드(도 11의 OLED_b)에 전압차가 발생한다. 이에 따라, 전술한 전압차에 의한 과부하가 발생하여, 유기 발광 표시 장치의 표시 품질이 향상된다.
- [0162] 또한, 위와 같은 과부하 인가 과정은, 유기 발광 표시 장치의 제조 직후 테스트 단계에서 수행될 수 있다. 테스트 단계에서 과부하 인가 과정이 수행된 후에는, 스트레스 전압(STRV)이 인가되는 라인으로, 초기화 전압(Vint)이 제공될 수 있으며, 제7 트랜지스터(도 9의 T7_b) 및 제8 트랜지스터(도 9의 T8_b)는 동일하게 동작할 수 있다.
- [0163] 도 11은 도 9에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소의 레이아웃도이다.
- [0164] 도 11에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소는, 도 7에 도시된 실시예에 따른 유기 발광 표시 장치의 일 화소와 비교하여, 제7 게이트 패턴(GP7_c), 제8 게이트 패턴(GP8_c), 및 제8 트랜지스터(TR8_c)를 더 포함하는 차이점이 존재한다. 그 밖의 구성들은 동일한 식별부호를 갖는 도 6의 구성들과 실질적으로 동일하므로 설명을 생략하기로 하며, 차이점을 위주로 설명하기로 한다.
- [0165] 도 11을 참조하면, 제7 게이트 패턴(GP7_c)은 액티브 패턴(ACT_b)과 중첩하여, 제8 트랜지스터(TR8_c)를 구성할 수 있다. 제7 게이트 패턴(GP7_c)에는 이전 스테이지의 초기화 제어 신호(GIn-1)가 제공될 수 있다.
- [0166] 제8 게이트 패턴(GP8_c)은 스트레스 전압(STRV)을 제공받을 수 있다. 제8 게이트 패턴(GP8_c)에 제공된 스트레스 전압(STRV)은 제11 컨택홀(CH11_c) 및 제12 컨택홀(CH12_c)을 통하여 액티브 패턴(ACT_c)에 제공될 수 있으며, 제8 트랜지스터(TR8_c)를 거쳐 유기 발광 다이오드(OLED_b)의 애노드 전극(AND_b)으로 제공될 수 있다.
- [0167] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

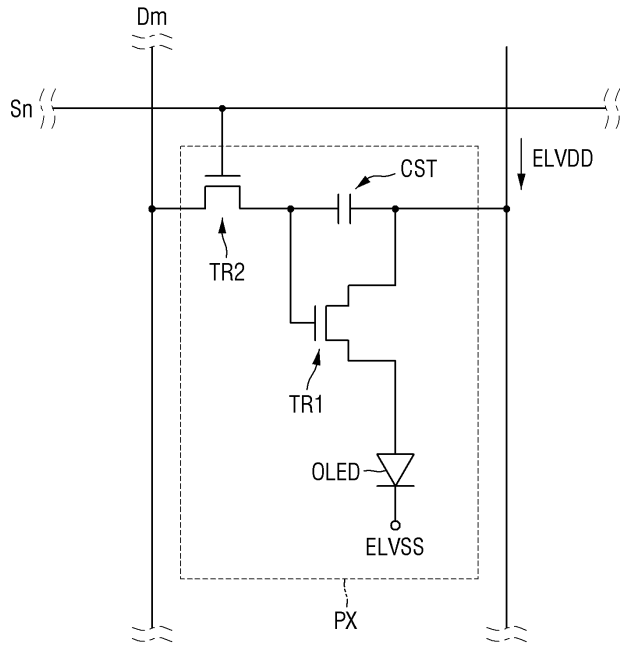
- [0168] 100: 주사 구동부
- 200: 데이터 구동부
- DP: 표시 패널
- AND: 애노드 전극
- AR1: 제1 영역
- AR2: 제2 영역
- LL: 하부 전극층
- ML: 중간 전극층
- UL: 상부 전극층

도면

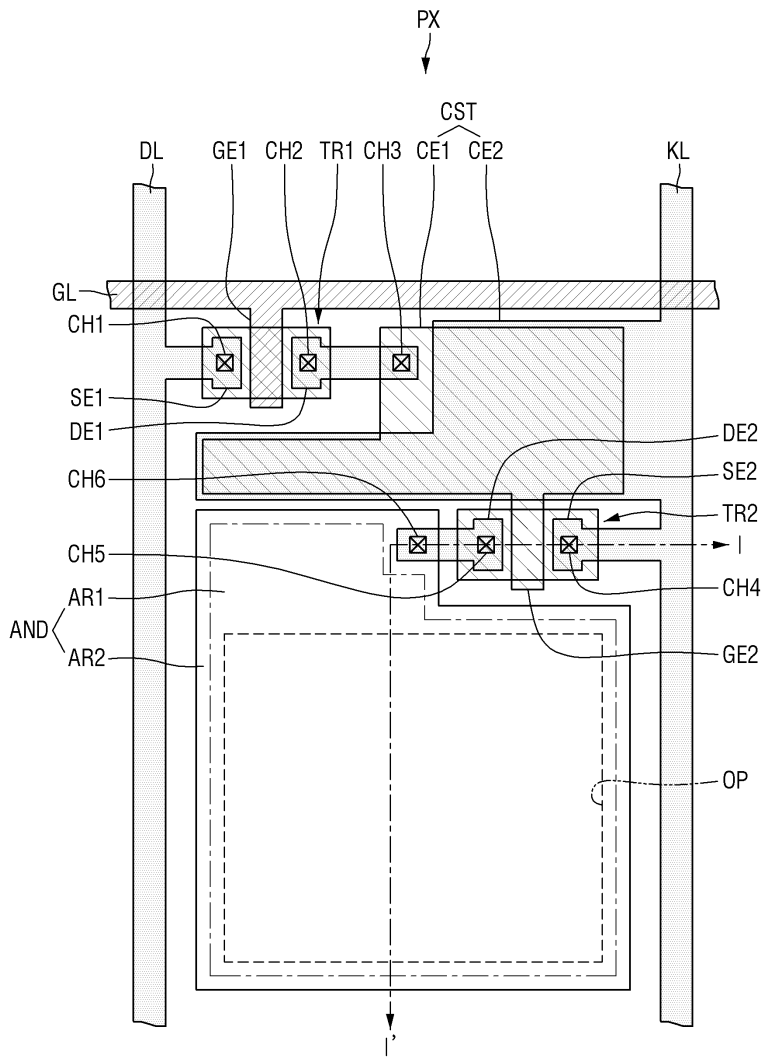
도면1



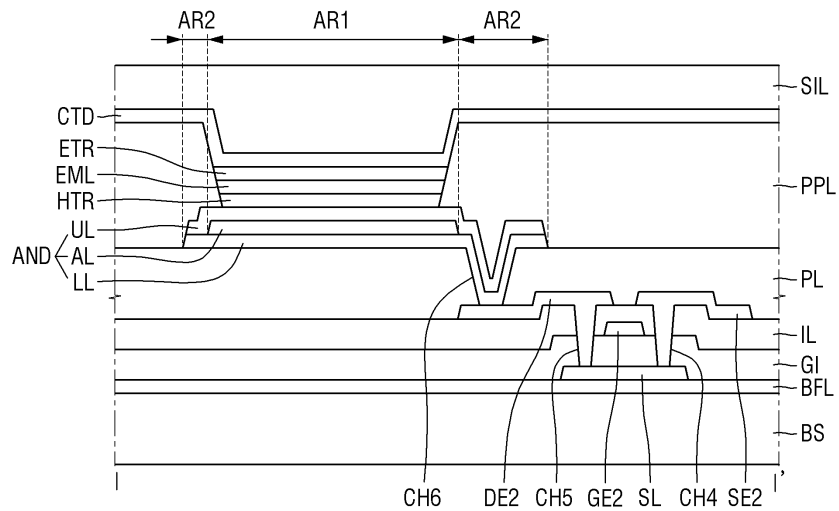
도면2



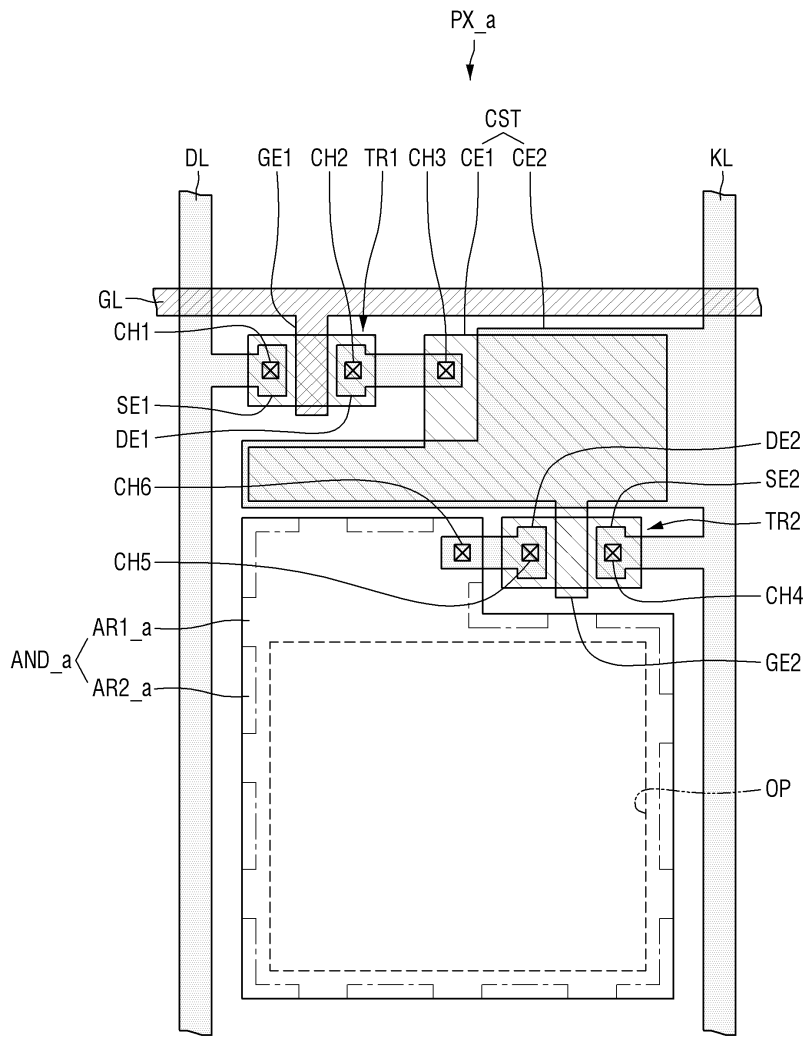
도면3



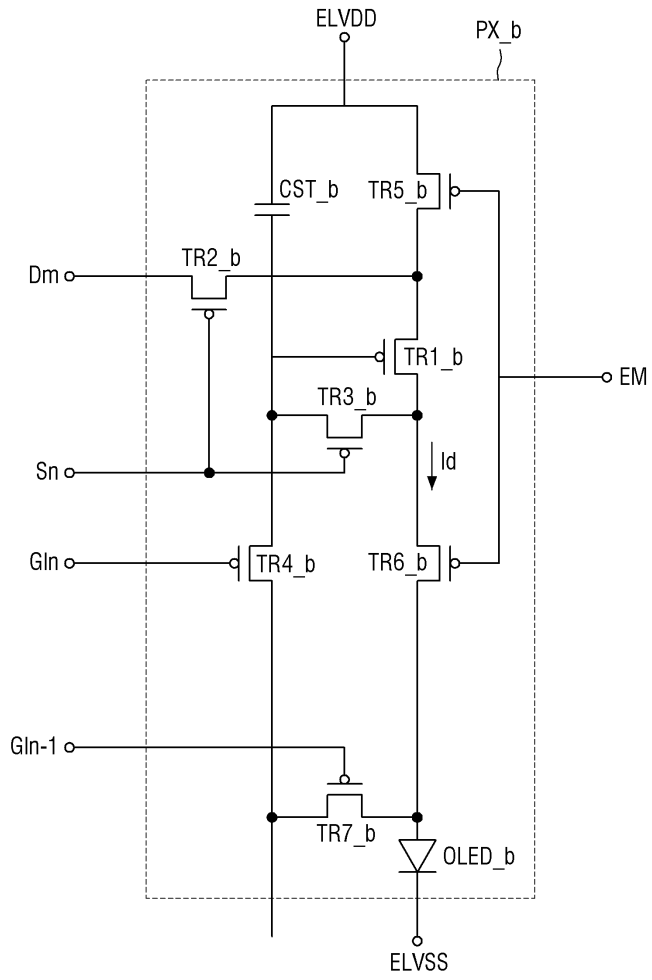
도면4



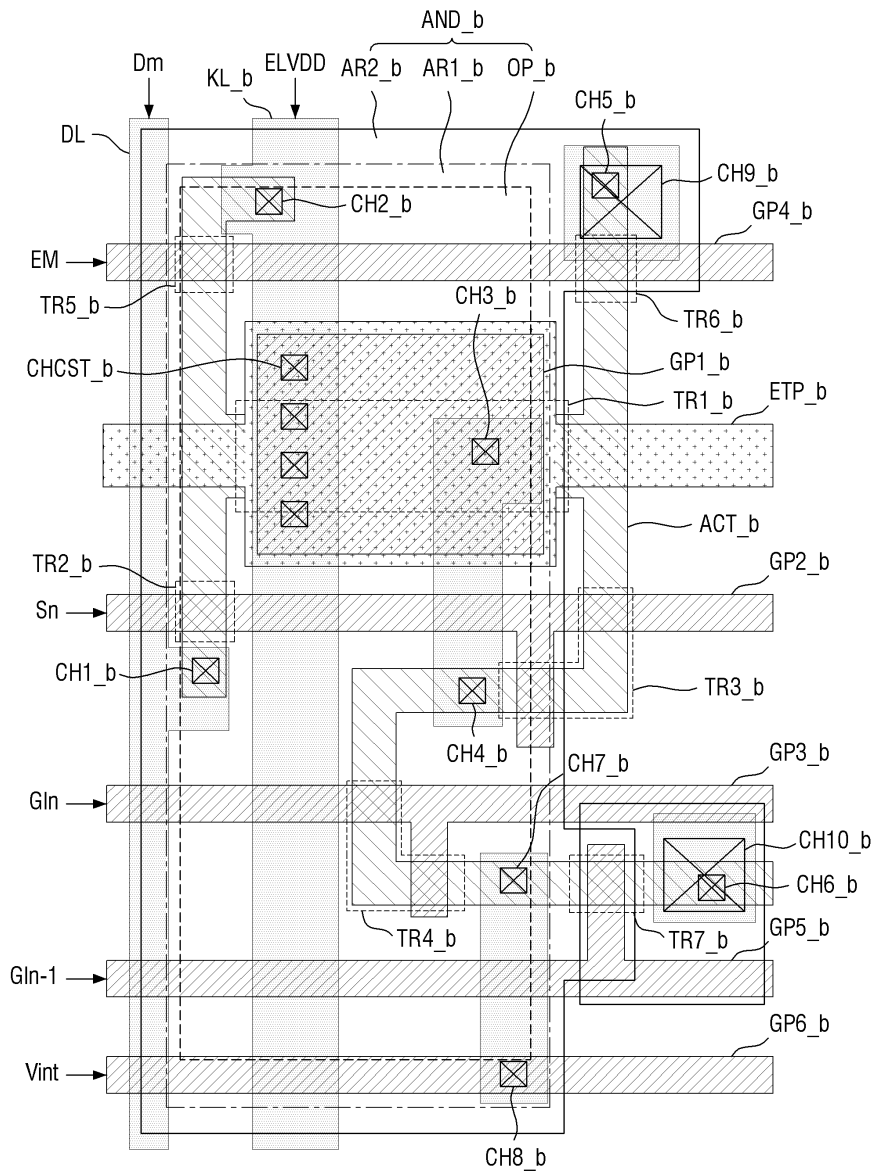
도면5



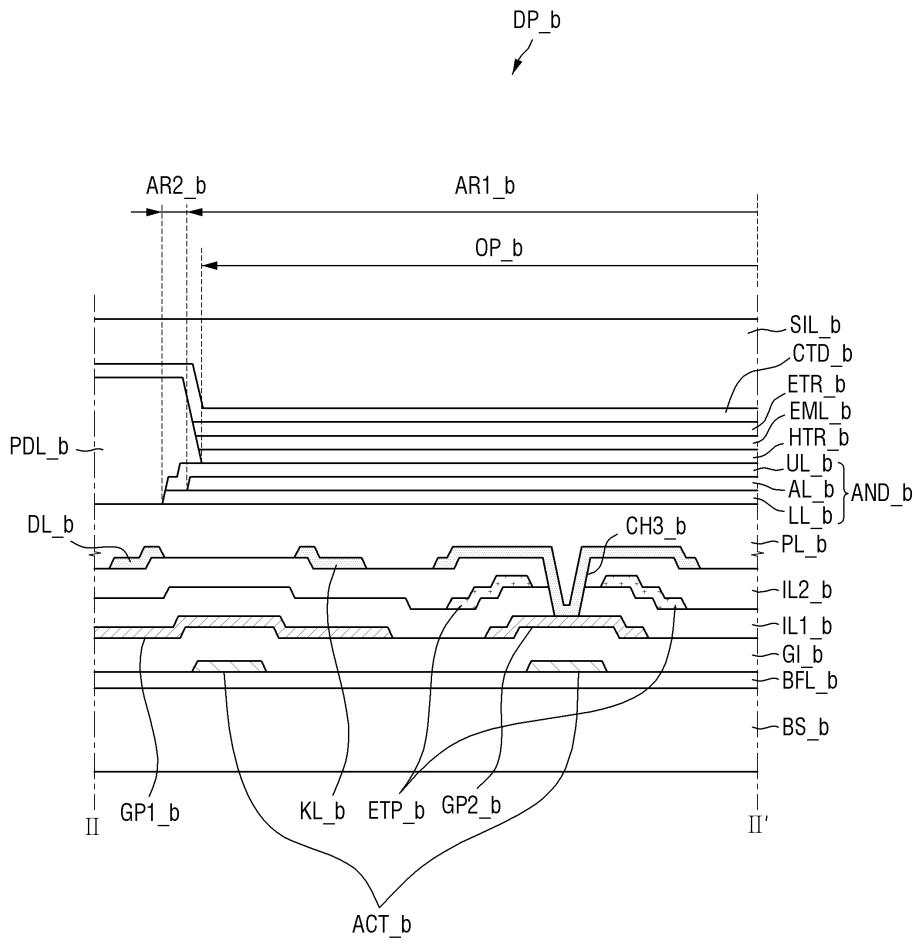
도면6



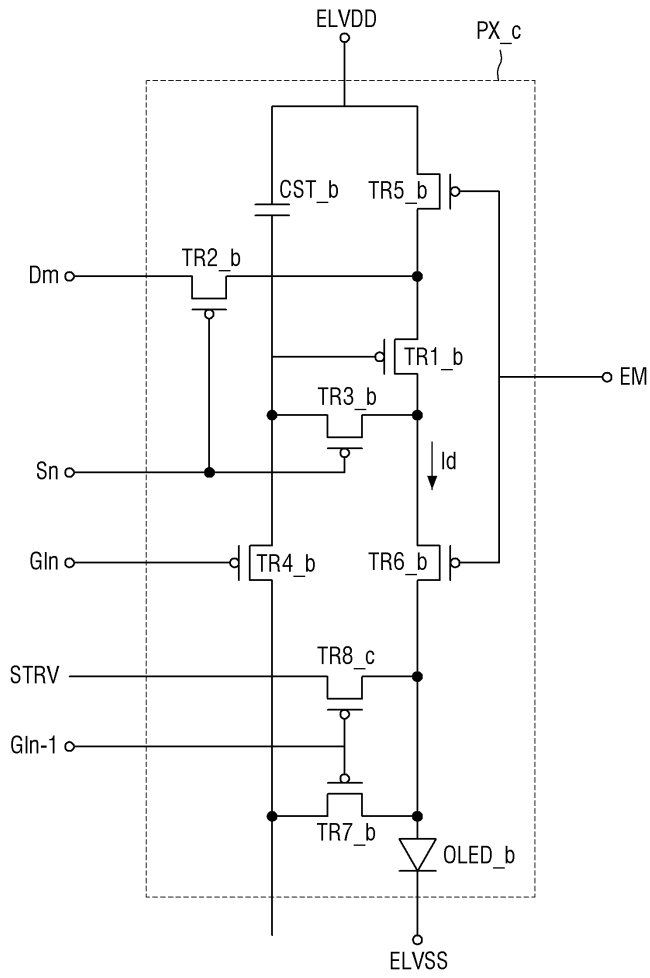
도면7



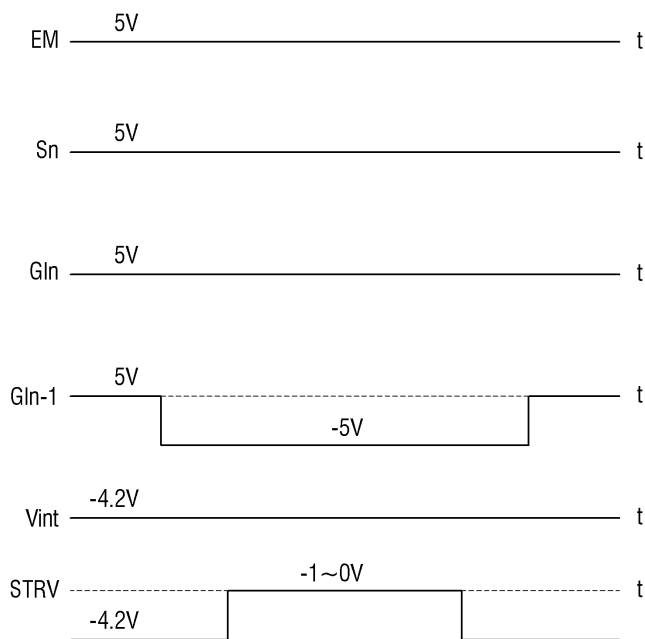
도면8



도면9



도면10



도면11

