



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081082
(43) 공개일자 2017년07월11일

- (51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2015-0191816
(22) 출원일자 2015년12월31일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
채국병
서울특별시 성동구 마장로35길 76 (마장동, 현대
아파트) 106동 702호
김종현
경상북도 칠곡군 석적읍 남중리3길 63 507호 (중
리, 롯데캐슬)
(74) 대리인
특허법인로얄

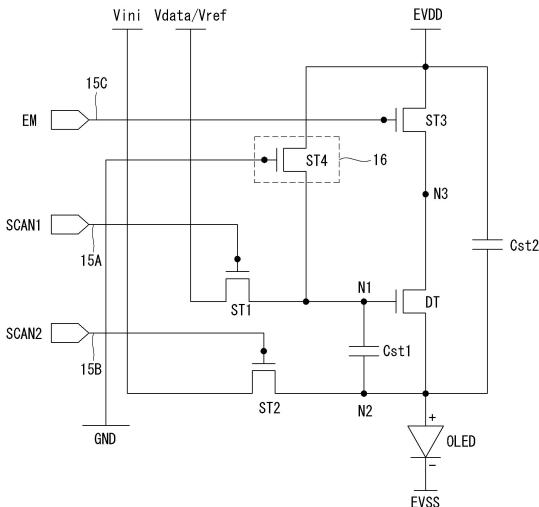
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요 약

본 발명은 다수의 픽셀들이 구비된 표시패널, 표시패널의 스캔라인들과 에미션라인들을 구동하는 게이트 구동회로 및 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비하고, 픽셀은, 유기발광다이오드를 발광시키는 에미션 기간 동안, 구동전류를 제어하는 구동 트랜지스터의 게이트 전극에 인가되는 게이트전압이 유지되도록 구동 트랜지스터의 게이트 전극에 보상전류를 인가하는 보상부를 구비된다.

대 표 도 - 도3



(52) CPC특허분류

G09G 2300/043 (2013.01)

G09G 2300/0852 (2013.01)

G09G 2320/0214 (2013.01)

G09G 2320/0247 (2013.01)

명세서

청구범위

청구항 1

다수의 픽셀들이 구비된 표시패널;

상기 표시패널의 스캔라인들과 에미션라인들을 구동하는 게이트 구동회로; 및

상기 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 포함하고;

상기 픽셀은,

상기 유기발광다이오드를 발광시키는 에미션 기간 동안, 구동전류를 제어하는 구동 트랜지스터의 게이트 전극에 인가되는 게이트전압이 유지되도록 상기 구동 트랜지스터의 게이트 전극에 보상전류를 인가하는 보상부를 구비되는 유기발광 표시장치.

청구항 2

제1 항에 있어서,

상기 보상부는

고전위 구동전압의 입력단에 접속된 드레인 전극, 상기 구동 트랜지스터의 게이트 전극에 접속된 소스 전극 및 그라운드전압의 입력단에 접속된 게이트 전극을 구비하는 제4 트랜지스터를 포함하고,

상기 보상전류는 상기 제4 트랜지스터의 스위칭 동작에 의해 상기 구동 트랜지스터의 게이트 전극에 인가하는 유기발광 표시장치.

청구항 3

제1 항에 있어서,

상기 픽셀들 중에서 n(n은 자연수)번째 픽셀행에 배치된 각 픽셀은,

제2 노드에 접속된 애노드전극과 저전위 구동전압의 입력단에 접속된 캐소드전극을 갖는 유기발광다이오드 (Organic Light Emitting Diode: OLED);

제1 노드에 접속된 게이트 전극, 상기 제2 노드에 접속된 소스 전극, 및 제3 노드에 접속된 드레인 전극을 포함하는 상기 구동 트랜지스터;

상기 데이터라인과 상기 제1 노드 사이에 접속된 제1 트랜지스터;

상기 제2 노드와 초기화 입력단 사이에 접속된 제2 트랜지스터;

상기 제3 노드와 고전위 구동전압의 입력단 사이에 접속된 제3 트랜지스터;

상기 고전위 구동전압의 입력단과 상기 제1 노드 사이에 접속된 상기 제4 트랜지스터;

상기 제1 노드와 상기 제2 노드 사이에 접속된 제1 커페시터; 및

상기 제2 노드와 고전위 구동전압의 입력단 사이에 접속된 제2 커페시터;를 포함한 유기발광 표시장치.

청구항 4

제3 항에 있어서,

한 프레임기간은,

상기 제1 노드를 초기화하는 초기화 기간과, 상기 구동 트랜지스터(TFT)의 문턱전압을 샘플링하여 상기 제1 노드에 저장하는 샘플링 기간과, 상기 샘플링된 문턱전압을 포함하여 상기 구동 TFT의 소스-게이트 간 전압을 프로그래밍하는 프로그래밍 기간과, 상기 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 상기 OLED를 발광

시키는 상기 에미션 기간을 포함하고,

상기 제1 트랜지스터의 게이트 전극은 제n 스캔신호가 인가되는 n번째 제1 스캔라인에 접속되고, 상기 제2 트랜지스터의 게이트 전극은 제n+1 스캔신호가 인가되는 n+1번째 제1 스캔라인에 접속되고, 상기 제3 트랜지스터의 게이트 전극은 제n 에미션신호가 인가되는 n번째 제1 에미션라인에 접속되고, 상기 제4 트랜지스터의 게이트 전극은 그라운드전압 라인에 접속되며,

상기 초기화 기간에서, 상기 제n 스캔신호와 상기 제n+1 스캔신호는 온 레벨로 인가되고, 상기 제n 에미션신호는 오프 레벨로 인가되며;

상기 샘플링 기간에서, 상기 제n 스캔신호와 상기 제n 에미션신호는 온 레벨로 인가되고, 상기 제n+1 스캔신호는 오프 레벨로 인가되며;

상기 프로그래밍 기간에서, 상기 제n 스캔신호는 온 레벨로 인가되고, 상기 제n+1 스캔신호와 상기 제n 에미션신호는 오프 레벨로 인가되며;

상기 에미션 기간에서, 상기 제n 에미션신호는 온 레벨로 인가되고, 상기 제n 스캔신호와 상기 제n+1 스캔신호는 오프 레벨로 인가되는 유기발광 표시장치.

청구항 5

제3 항에 있어서,

상기 제4 트랜지스터는

상기 초기화 기간 내지 상기 프로그래밍 기간 동안 상기 제1 노드와 상기 고전위 구동전압의 입력단 사이를 차단하고,

상기 에미션 기간 동안 상기 제1 노드에 상기 보상전류를 인가하는 유기발광 표시장치.

청구항 6

제4 항에 있어서,

상기 초기화 기간, 상기 샘플링 기간 및 상기 에디션 기간 동안 상기 제1 트랜지스터를 통해 기준전압이 상기 제1 노드에 공급되고,

상기 프로그래밍 기간 동안 상기 제1 트랜지스터를 통해 데이터 전압이 상기 제1 노드에 공급되는 유기발광 표시장치.

청구항 7

제1 항에 있어서,

상기 보상부는

상기 제1 노드와 제4 노드와 사이에 접속된 상기 제4 트랜지스터(TFT);

보상 전압의 입력단과 상기 제4 노드 사이에 접속된 제5 트랜지스터(TFT); 및

상기 제4 노드와 제5 노드에 접속된 제3 커패시터;를 포함하고,

상기 제5 노드는 상기 데이터라인과 상기 제1 트랜지스터(TFT) 사이에 접속되는 유기발광 표시장치.

청구항 8

제7 항에 있어서,

한 프레임기간은,

상기 제1 노드를 초기화하는 초기화 기간과, 상기 구동 트랜지스터(TFT)의 문턱전압을 샘플링하여 상기 제1 노드에 저장하는 샘플링 기간과, 상기 샘플링된 문턱전압을 포함하여 상기 구동 TFT의 소스-게이트 간 전압을 프로그래밍하는 프로그래밍 기간과, 상기 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 상기 OLED를 발광시키는 에미션 기간을 포함하고,

상기 제1 트랜지스터의 게이트 전극은 제n 스캔신호가 인가되는 n번째 제1 스캔라인에 접속되고, 상기 제2 트랜지스터의 게이트 전극과 상기 제5 트랜지스터의 게이트 전극은 제n+1 스캔신호가 인가되는 n+1번째 제1 스캔라인에 접속되고, 상기 제3 트랜지스터의 게이트 전극은 제n 에미션신호가 인가되는 n번째 제1 에미션라인에 접속되고, 상기 제4 트랜지스터의 게이트 전극은 그라운드전압 라인에 접속되며,

상기 초기화 기간에서, 상기 제n 스캔신호와 상기 제n+1 스캔신호는 온 레벨로 인가되고, 상기 제n 에미션신호는 오프 레벨로 인가되며;

상기 샘플링 기간에서, 상기 제n 스캔신호와 상기 제n 에미션신호는 온 레벨로 인가되고, 상기 제n+1 스캔신호는 오프 레벨로 인가되며;

상기 프로그래밍 기간에서, 상기 제n 스캔신호는 온 레벨로 인가되고, 상기 제n+1 스캔신호와 상기 제n 에미션신호는 오프 레벨로 인가되며;

상기 에미션 기간에서, 상기 제n 에미션신호는 온 레벨로 인가되고, 상기 제n 스캔신호와 상기 제n+1 스캔신호는 오프 레벨로 인가되는 유기발광 표시장치.

청구항 9

제7 항에 있어서,

상기 제4 트랜지스터는

상기 초기화 기간 내지 상기 프로그래밍 기간 동안 상기 제1 노드와 상기 제4 노드 사이를 차단하고,

상기 에미션 기간 동안 상기 제1 노드에 보상 전류를 인가하는 유기발광 표시장치.

청구항 10

제8 항에 있어서,

상기 초기화 기간과 상기 샘플링 기간 동안 상기 제1 트랜지스터를 통해 기준전압이 상기 제1 노드에 공급되고,

상기 프로그래밍 기간과 상기 에디션 기간 동안 상기 제1 트랜지스터를 통해 데이터 전압이 상기 제1 노드에 공급되는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 도 1과 같은 구조를 갖는다. OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole InjecPion layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron InjecPion layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동 전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 높은 명암비와 색재현율 등의 장점을 가지고 있지만, 저전력 구동을 위해 한 프레임 기간이 60Hz에서 1Hz로 길어지면서 상대적으로 에미션 기간이 길어진다.

[0005] 에미션 기간이 길어질수록 종래의 픽셀 구조는 구동용 트랜지스터의 게이트(Gate) 단자에 인가되는 게이트 전압이 누설 전류에 의해 점진적으로 낮아진다. 이와 같이, 구동용 트랜지스터의 게이트(Gate) 단에 인가되는 게이트 전압이 점진적으로 낮아짐으로써, 구동용 트랜지스터의 소스-게이트 간 전압에 따른 구동전류도 점진적으로 낮아진다. 종래의 픽셀 구조는 점진적으로 낮아지는 구동전류에 의해 플리커(Flicker)가 발생되었다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 에미션 기간 동안 구동용 트랜지스터의 게이트 전극에서 누설되는 누설전류를 차단하여 구동 용 트랜지스터의 게이트 전극에 인가되는 게이트 전압을 일정하게 유지할 수 있는 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여, 본 발명은 다수의 픽셀들이 구비된 표시패널, 표시패널의 스캔라인들과 에미션라인들을 구동하는 게이트 구동회로 및 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비하고, 픽셀은, 유기발광다이오드를 발광시키는 에미션 기간 동안, 구동전류를 제어하는 구동 트랜지스터의 게이트 전극에 인가되는 게이트전압이 유지되도록 구동 트랜지스터의 게이트 전극에 보상전류를 인가하는 보상부를 구비한다.

[0008] 보상부는 고전위 구동전압의 입력단에 접속된 드레인 전극, 구동 트랜지스터의 게이트 전극에 접속된 소스 전극 및 그라운드전압의 입력단에 접속된 게이트 전극을 구비하는 제4 트랜지스터를 포함하고, 보상전류는 제4 트랜지스터의 스위칭 동작에 의해 구동 트랜지스터의 게이트 전극에 인가될 수 있다.

[0009] 픽셀들 중에서 n (n 은 자연수)번째 픽셀행에 배치된 각 픽셀은, 제2 노드에 접속된 애노드전극과 저전위 구동전압의 입력단에 접속된 캐소드전극을 갖는 유기발광다이오드(OLED), 제1 노드에 접속된 게이트 전극, 제2 노드에 접속된 소스 전극, 및 제3 노드에 접속된 드레인 전극을 포함하여 OLED에 인가되는 구동전류를 제어하는 구동 트랜지스터(TFT), 데이터라인과 제1 노드 사이에 접속된 제1 트랜지스터(TFT), 제2 노드와 초기화 입력단 사이에 접속된 제2 트랜지스터(TFT), 제3 노드와 고전위 구동전압의 입력단 사이에 접속된 제3 트랜지스터(TFT), 고전위 구동전압의 입력단과 제1 노드 사이에 접속된 제4 트랜지스터(TFT), 제1 노드와 제2 노드 사이에 접속된 제1 커패시터 및 제2 노드와 고전위 구동전압의 입력단 사이에 접속된 제2 커패시터를 포함한다.

[0010] 한 프레임기간은, 제1 노드를 초기화하는 초기화 기간과, 구동 트랜지스터(TFT)의 문턱전압을 샘플링하여 제1 노드에 저장하는 샘플링 기간과, 샘플링된 문턱전압을 포함하여 구동 TFT의 소스-게이트 간 전압을 프로그래밍하는 프로그래밍 기간과, 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 OLED를 발광시키는 에미션 기간을 포함하고, 제1 트랜지스터의 게이트 전극은 제 n 스캔신호가 인가되는 n 번째 제1 스캔라인에 접속되고, 제2 트랜지스터의 게이트 전극은 제 $n+1$ 스캔신호가 인가되는 $n+1$ 번째 제1 스캔라인에 접속되고, 제3 트랜지스터의 게이트 전극은 제 n 에미션신호가 인가되는 n 번째 제1 에미션라인에 접속되고, 제4 트랜지스터의 게이트 전극은 그라운드전압 라인에 접속되며, 초기화 기간에서, 제 n 스캔신호와 제 $n+1$ 스캔신호는 온 레벨로 인가되고, 제 n 에미션신호는 오프 레벨로 인가되며, 샘플링 기간에서, 제 n 스캔신호와 제 n 에미션신호는 온 레벨로 인가되고, 제 $n+1$ 스캔신호와 제 n 에미션신호는 오프 레벨로 인가되며, 프로그래밍 기간에서, 제 n 스캔신호는 온 레벨로 인가되고, 제 $n+1$ 스캔신호와 제 $n+1$ 에미션신호는 오프 레벨로 인가되며, 에미션 기간에서, 제 n 에미션신호는 온 레벨로 인가되고, 제 n 스캔신호와 제 $n+1$ 스캔신호는 오프 레벨로 인가될 수 있다.

[0011] 제4 트랜지스터는 초기화 기간 내지 프로그래밍 기간 동안 제1 노드와 고전위 구동전압의 입력단 사이를 차단하고, 에미션 기간 동안 제1 노드에 보상 전류를 인가할 수 있다.

[0012] 초기화 기간, 샘플링 기간 및 에디션 기간 동안 제1 트랜지스터를 통해 기준전압이 제1 노드에 공급되고, 프로그래밍 기간 동안 제1 트랜지스터를 통해 데이터 전압이 제1 노드에 공급될 수 있다.

[0013] 제1 노드와 제4 노드와 사이에 접속된 제4 트랜지스터(TFT), 보상 전압의 입력단과 제4 노드 사이에 접속된 제5 트랜지스터(TFT) 및 제4 노드와 제5 노드에 접속된 제3 커패시터를 포함하고, 제5 노드는 데이터라인과 제1 트랜지스터(TFT) 사이에 접속될 수 있다.

[0014] 한 프레임기간은, 제1 노드를 초기화하는 초기화 기간과, 구동 트랜지스터(TFT)의 문턱전압을 샘플링하여 제1 노드에 저장하는 샘플링 기간과, 샘플링된 문턱전압을 포함하여 구동 TFT의 소스-게이트 간 전압을 프로그래밍하는 프로그래밍 기간과, 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 상기 OLED를 발광시키는 에미션 기간을 포함하고,

[0015] 제1 트랜지스터의 게이트 전극은 제 n 스캔신호가 인가되는 n 번째 제1 스캔라인에 접속되고, 제2 트랜지스터의 게이트 전극과 제5 트랜지스터의 게이트 전극은 제 $n+1$ 스캔신호가 인가되는 $n+1$ 번째 제1 스캔라인에 접속되고,

제3 트랜지스터의 게이트 전극은 제n 에미션신호가 인가되는 n번째 제1 에미션라인에 접속되고, 제4 트랜지스터의 게이트 전극은 그라운드전압 라인에 접속되며, 초기화 기간에서, 제n 스캔신호와 제n+1 스캔신호는 온 레벨로 인가되고, 제n 에미션신호는 오프 레벨로 인가되며; 샘플링 기간에서, 제n 스캔신호와 제n 에미션신호는 온 레벨로 인가되고, 제n+1 스캔신호는 오프 레벨로 인가되며, 프로그래밍 기간에서, 제n 스캔신호는 온 레벨로 인가되고, 제n+1 스캔신호와 제n 에미션신호는 오프 레벨로 인가되며, 에미션 기간에서, 제n 에미션신호는 온 레벨로 인가되고, 제n 스캔신호와 제n+1 스캔신호는 오프 레벨로 인가될 수 있다.

[0016] 제4 트랜지스터는 초기화 기간 내지 프로그래밍 기간 동안 제1 노드와 제4 노드 사이를 차단하고, 에미션 기간 동안 제1 노드에 보상 전류를 인가할 수 있다.

[0017] 초기화 기간과 샘플링 기간 동안 제1 트랜지스터를 통해 기준전압이 제1 노드에 공급되고, 프로그래밍 기간과 에디션 기간 동안 제1 트랜지스터를 통해 데이터 전압이 제1 노드에 공급될 수 있다.

발명의 효과

[0018] 본 발명은 구동 트랜지스터의 게이트 전극에서 누설전류를 보상함으로써, 에미션 기간 동안 구동 트랜지스터의 게이트 전극에 인가되는 게이트전압이 일정하게 유지시킬 수 있다. 본 발명의 구동 트랜지스터의 게이트 전극은 게이트전압을 유지할 수 있어 OLED에 일정한 구동전류를 공급할 수 있다. 그 결과 폴리카 불량을 감소하여 OLED 화질을 향상시킬 수 있다.

도면의 간단한 설명

[0019] 도 1은 OLED와 그 발광원리를 보여주는 도면.

도 2는 본 발명의 실시 예에 따른 유기발광 표시장치를 보여주는 도면.

도 3은 본 발명의 일 픽셀 구조를 보여주는 등가 회로도.

도 4는 도 3의 픽셀에 인가되는 데이터신호와 게이트신호를 보여주는 과정도.

도 5a, 도 5b, 도 5c 및 도 5d는 각각 도 4의 초기화 기간, 샘플링 기간, 프로그래밍 기간, 및 에미션 기간에 대응되는 픽셀의 등가 회로도.

도 6은 도 3에 도시된 픽셀 구조의 일 변형 예들을 보여주는 등가 회로도.

도 7은 도 6의 픽셀에 인가되는 데이터신호와 게이트신호를 보여주는 과정도.

도 8a, 도 8b, 도 8c 및 도 8d는 각각 도 7의 초기화 기간, 샘플링 기간, 프로그래밍 기간, 및 에미션 기간에 대응되는 픽셀의 등가 회로도.

도 9는 에미션 기간 동안 본 발명의 제1 노드에 인가되는 게이트전압의 변화를 보여주는 도면.

도 10은 도 9의 제1 노드에 인가되는 게이트전압에 따라 변화되는 구동전류를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 도 2 내지 도 10을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

[0021] 도 2를 참조하면, 본 발명의 실시 예에 따른 유기발광 표시장치는 픽셀들(P)이 형성된 표시패널(10)과, 데이터라인들(14)을 구동시키기 위한 데이터 구동회로(12)와, 게이트라인들(15)을 구동시키기 위한 게이트 구동회로(13)와, 데이터 구동회로(12) 및 게이트 구동회로(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를 구비한다.

[0022] 표시패널(10)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 픽셀(P)들이 매트릭스 형태로 배치된다. 동일 수평라인 상에 배치된 픽셀(P)들은 하나의 픽셀 행을 이룬다. 일 픽셀 행에 배치된 픽셀(P)들은 일 게이트라인(15)에 접속되며, 일 게이트라인(15)은 적어도 하나 이상의 스캔라인(15A, 15B)과 적어도 하나 이상의 에미션라인(15C)을 포함할 수 있다. 즉, 각 픽셀(P)은 1개의 데이터라인(14)과, 적어도 하나 이상의 스캔라인(15A, 15B) 및 에미션라인(15C)에 접속될 수 있다. 픽셀(P)들은 도시하지 않은 전원발생부로부터 고전위 및 저전위 구동전압(ELVDD, ELVSS), 초기화전압(Vinit), 그라운드전압(GND) 및 보상 전압(Vcp)을 공통으로 공급받을 수 있다. 초기화 기간 및 샘플링 기간에서 OLED의 불필요한 발광이 방지되도록 초기화전압(Vinit)은 OLED의 동작전압보다 충분히 낮은 전압 범위 내에서 선택됨이 바람직하며,

저전위 구동전압(ELVSS)과 같거나 그보다 낮게 설정될 수 있다.

[0023] 픽셀(P)을 구성하는 TFT들은 산화물 반도체층을 포함한 산화물 TFT로 구현될 수 있다. 산화물 TFT는 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 다만, 본 발명은 이에 한정되지 않고 TFT의 반도체층을 아몰포스 실리콘 또는, 폴리 실리콘 등으로 형성할 수도 있다.

[0024] 각 픽셀(P)은 구동 TFT의 문턱전압 변화를 보상하기 위해 다수의 TFT들과 스토리지 커패시터를 포함하는데, 본 발명은 에미션 기간 동안 제1 노드에 보상 전류를 공급하여 구동 전류가 일정하게 유지될 수 있는 픽셀 구조를 제안한다. 이에 대해서는 도 3 내지 도 10을 통해 상세히 후술한다.

[0025] 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.

[0026] 데이터 구동회로(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다.

[0027] 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 스캔신호와 에미션신호를 생성할 수 있다. 게이트 구동회로(13)는 도시되지 않았지만 스캔 구동부와 에미션 구동부를 포함할 수 있다. 스캔 구동부는 각 픽셀 행마다 연결된 적어도 하나 이상의 스캔라인을 구동하기 위해 행 순차 방식으로 스캔신호를 생성하여 스캔라인들에 공급할 수 있다. 에미션 구동부는 각 픽셀 행마다 연결된 적어도 하나 이상의 에미션라인을 구동하기 위해 행 순차 방식으로 에미션신호를 생성하여 에미션라인들에 공급할 수 있다.

[0028] 이러한 게이트 구동회로(13)는 GIP(GaPe-driver In Panel) 방식에 따라 표시패널(10)의 비 표시영역 상에 직접 형성될 수 있다.

[0029] 보상부(16)는 OLED를 발광시키는 에미션 기간 동안, 구동전류를 제어하는 구동 트랜지스터(DT)의 게이트 전극에 인가되는 게이트전압이 오차범위 내에서 일정하게 유지되도록 구동 트랜지스터(DT)의 게이트 전극에 보상전류를 인가한다. 보상부(16)는 고전위 구동전압(EVDD)의 입력단에 접속된 드레인 전극, 구동 트랜지스터(DT)의 게이트 전극에 접속된 소스 전극 및 그라운드전압(GND)의 입력단에 접속된 게이트 전극을 포함한다. 이러한 보상부(16)는 구동 트랜지스터(DT)의 게이트 전극에서 누설되는 누설전류를 보상하는 보상전류를 구동 트랜지스터(DT)의 게이트 전극에 인가하는 제4 트랜지스터(ST4)로 구비된다. 이와 같이, 본 발명은 보상부를 통해 구동 트랜지스터의 게이트 전극에서 누설되는 누설전류를 보상함으로써, 에미션 기간 동안 구동 트랜지스터의 게이트 전극에 인가되는 게이트전압이 낮아지는 것을 미연에 방지하여 OLED에 일정한 구동전류를 공급할 수 있다.

[0030] 도 3은 본 발명의 일 픽셀 구조를 보여주는 등가 회로도이다. 도 4는 도 3의 픽셀에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다. 그리고, 도 5a 내지도 5d는 각각 초기화 기간, 샘플링 기간, 프로그래밍 기간, 및 에미션 기간에 대한 픽셀의 등가 회로를 보여준다.

[0031] 도 3 및 도 5d를 참조하면, 각 픽셀(P)은 OLED, 구동 TFT(DT), 제1 내지 제4 트랜지스터(ST1~ST4, 이하 TFT로 설명함.), 제1 및 제2 커패시터(Cst1, Cst2)를 포함한다. 이 픽셀(P)은 NMOS 타입의 5 개의 트랜지스터와 2 개의 커패시터를 포함한 5T2C 회로 구조이다.

[0032] 픽셀(P)의 1 프레임 기간은 초기화 기간(Ti), 샘플링 기간(Ts), 프로그래밍 기간(Tp), 및 에미션 기간(Te)으로 나뉘어진다.

[0033] 제1 스캔 신호(SCAN1)는 초기화 기간(Ti), 샘플링 기간(Ts), 및 프로그래밍 기간(Tp) 동안 온(ON) 레벨로 발생되어 제1 TFT(ST1)를 턴-온(turn-on)시키고, 에미션 기간(Te)에 오프(OFF) 레벨로 반전되어 제1 TFT(ST1)를 턴-오프(turn-off)시킨다.

[0034] 제2 스캔 신호(SCAN2)는 초기화 기간(Ti) 내에서 온(ON) 레벨로 발생되어 제2 TFT(ST2)를 턴-온(turn-on)시키고, 나머지 기간 동안 오프(OFF) 레벨을 유지하여 제2 TFT(ST2)를 오프(off) 상태로 제어한다.

[0035] 에미션 신호(EM)는 샘플링 기간(Ts) 내에서 온(ON) 레벨로 발생되어 제3 TFT(ST3)를 턴-온(turn-on)시키고, 초기화 기간(Ti)과 프로그래밍 기간(Tp)에 오프(OFF) 레벨로 반전되어 제3 TFT(ST3)를 턴-오프(turn-off)시킨다. 그리고, 에미션 신호(EM)는 에미션 기간(Te) 동안 내에서 온(ON) 레벨을 유지하여 제3 TFT(ST3)를 온 상태로 유

지시킨다.

[0036] OLED는 구동 TFT(DT)로부터 공급되는 구동 전류에 의해 발광한다. OLED의 애노드와 캐소드 사이에 구비된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제2 노드(N2)에 연결되고, 캐소드는 저전위 전원 전압(EVSS)에 연결된다.

[0037] 제1 TFT(ST1)는 제1 스캔 신호(SCAN1)에 응답하여 스위칭됨으로써 데이터 라인(14)과 제1 노드(N1) 사이의 전류 패스를 온(on)/오프(off)한다. 제1 TFT(ST1)의 게이트 전극은 제1 스캔 라인(15A)에 접속되고, 드레인 전극은 데이터 라인(14)에 접속된다. 제1 TFT(ST1)의 소스 전극은 제1 노드(N1)에 접속된다.

[0038] 제2 TFT(ST2)는 제2 스캔 신호(SCAN2)에 응답하여 스위칭됨으로써 초기화전압(Vini)의 입력단과 제2 노드(N2) 사이의 전류 패스를 온(on)/오프(off)한다. 제2 TFT(ST2)의 게이트 전극은 제2 스캔 라인(15B)에 접속되고, 드레인 전극은 제2 노드(N2)에 접속된다. 제2 TFT(ST2)의 소스 전극은 초기화전압(Vini)의 입력단에 접속된다.

[0039] 제3 TFT(ST3)는 에미션 신호(EM)에 응답하여 스위칭됨으로써, 고전위 전원 전압(EVDD)의 입력단과 제3 노드(N3) 사이의 전류 패스를 온(on)/오프(off)한다. 제3 노드(N3)는 고전위 전원 전압(EVDD)의 입력단과 구동 TFT(DT)의 드레인 전극 사이에 접속된다.

[0040] 제3 TFT(ST3)의 게이트 전극은 에미션 라인(15C)에 접속되고, 드레인 전극은 고전위 전원 전압(EVDD)의 입력단에 접속된다. 제3 TFT(ST3)의 소스 전극은 제3 노드(N3)에 접속된다.

[0041] 구동 TFT(DT)는 자신의 게이트-소스 간 전압에 따라 OLED에 흐르는 구동 전류를 제어하는 구동 소자이다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 드레인 전극은 제3 노드(N3)에 연결된다. 구동 TFT(DT)의 소스 전극은 제2 노드(N2)를 통해 OLED의 애노드에 접속된다.

[0042] 제4 TFT(ST4)는 그라운드전압(GND)에 응답하여 스위칭됨으로써, 고전위 전원 전압(EVDD)의 입력단과 구동 TFT(DT)의 게이트 전극 사이의 전류 패스를 온(on)/오프(off)한다. 제4 TFT(ST4)의 게이트 전극은 그라운드전압(GND)의 입력단에 접속되고, 드레인 전극은 고전위 전원 전압(EVDD)의 입력단에 접속된다. 제4 TFT(ST4)의 소스 전극은 제1 노드(N1)에 접속된다.

[0043] 제1 커패시터(Cst1)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되어 양단 간의 전압 차를 저장한다. 제1 커패시터(Cst1)는 소스팔로워(source-follower) 방식으로 구동 TFT(DT)의 문턱 전압(Vth)을 샘플링한다.

[0044] 제2 커패시터(Cst2)는 고전위 전원 전압(EVDD)의 입력단과 제2 노드(N2) 사이에 접속된다. 제1 및 제2 커패시터(Cst1,Cst2)는 프로그래밍 기간(Tp)에서 데이터 전압(Vdata)에 따라 제1 노드(N1)의 전위가 변할 때, 그 변화분을 전압 분배하여 제2 노드(N2)에 반영한다.

[0045] 이러한 픽셀(P)의 동작을 설명하면 다음과 같다.

[0046] 도 5a를 참조하면, 초기화 기간(Ti) 동안 제1 및 제2 TFT(ST1, ST2)가 온(ON) 레벨의 제1 및 제2 스캔 신호(SCAN1, SCAN2)에 응답하여 턴-온(turn on)된다. 제3 TFT(ST3)는 오프(OFF) 레벨의 에미션 신호(EM)에 의해 초기화 기간(Ti)에서 턴-오프(turn off)된다. 제4 TFT(ST4)는 그라운드전압(GND)에 의해 초기화 기간(Ti)에서 오프(OFF) 상태가 된다. 초기화 기간(Ti) 동안, 데이터 라인(14)에 소정의 기준전압(Vref)이 공급된다. 초기화 기간(Ti) 동안 제1 노드(N1)의 전압은 기준전압(Vref)으로 초기화되고, 제2 노드(N2)의 전압은 소정의 초기화전압(Vini)으로 초기화된다.

[0047] 도 5b를 참조하면, 샘플링 기간(Ts) 동안 제3 TFT(ST3)가 온(ON) 레벨의 에미션 신호(EM)에 응답하여 턴-온(turn on)된다. 샘플링 기간(Ts) 동안 제1 TFT(ST1)는 온(ON) 레벨의 제1 스캔 신호(SCAN1)에 의해 온(ON) 상태를 유지하는데 반해, 제2 TFT(ST2)는 오프(OFF) 레벨의 제2 스캔 신호(SCAN2)에 의해 턴 오프(turn off)된다. 제4 TFT(ST4)는 그라운드전압(GND)에 의해 오프(OFF) 상태를 계속해서 유지한다. 샘플링 기간(Ts) 동안, 데이터 라인(14)에는 기준전압(Vref)이 공급된다. 샘플링 기간(Ts) 동안, 제1 노드(N1)의 전위는 기준전압(Vref)으로 유지되는데 반해, 제2 노드(N2)의 전위는 구동 TFT(DT)의 드레인-소스 간 전류(Ids)에 의해 상승한다. 이러한 소스팔로워(source-follower) 방식에 따라 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 구동 TFT(DT)의 문턱 전압(Vth)으로서 샘플링되며, 이 샘플링된 문턱전압(Vth)은 제1 커패시터(Cst1)에 저장된다. 샘플링 기간(Ts) 동안 제1 노드(N1)의 전압은 “Vref”이고, 제2 노드(N2)의 전압은 “Vref-Vth”이다.

[0048] 도 5c을 참조하면, 프로그래밍 기간(Tp) 동안 제1 TFT(ST1)는 온(ON) 레벨의 제1 스캔 신호(SCAN1)에 따라온(ON) 상태를 유지하고 제2 및 제3 TFT(ST2, ST3)와 구동 TFT(DT)는 턴 오프(turn off)된다. 제4 TFT(ST4)는 그라운드전압(GND)에 의해 오프(OFF) 상태를 계속해서 유지한다. 프로그래밍 기간(Tp) 동안 데이터 라인(14)에 입력 영상의 데이터 전압(Vdata)이 공급된다. 데이터 전압(Vdata)이 제1 노드(N1)에 인가되고, 제1 노드(N1)의 전위 변화분(Vdata-Vref)에 대한 제1 및 제2 커패시터(Cst1, Cst2) 간의 전압 분배 결과가 제2 노드(N2)에 반영됨으로써 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 프로그래밍된다.

[0049] 프로그래밍 기간(Tp) 동안, 제1 노드(N1)의 전압은 데이터 전압(Vdata)이고, 제2 노드(N2)의 전압은 샘플링 기간(Ts)을 통해 설정된 "Vref-Vth"에 제1 및 제2 커패시터(Cst1, Cst2) 간의 전압 분배 결과($C'*(Vdata-Vref)$)가 더해져 "Vref-Vth+C'*(Vdata-Vref)"가 된다. 결국, 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 프로그래밍 기간(Tp)을 통해 "Vdata-Vref+Vth-C'*(Vdata-Vref)"으로 프로그래밍된다. 여기서, C' 는 $CST1/(CST1+CST2)$ 이며, CST1은 제1 커패시터(Cst1)의 제1 커패시턴스를 의미하고, CST2는 제2 커패시터(Cst2)의 제2 커패시턴스를 의미한다.

[0050] 도 5d를 참조하면, 에미션 기간(Te)은 프로그래밍 기간(Tp) 이후부터 그 다음 프레임의 초기화 기간(Ti)까지 연속된다. 에미션 신호(EM)는 온(ON) 레벨로 입력되어 제3 TFT(ST3)를 턴-온(turn on)시킨다. 제4 TFT(ST4)는 그라운드전압(GND)에 의해 오프(OFF) 상태를 계속해서 유지한다. 에미션 기간(Te)에서는 프로그래밍 기간(Tp)을 통해 프로그래밍된 게이트-소스 간 전압(Vgs)에 따라 구동전류(Ioled)를 OLED에 인가하여 OLED를 발광시킨다. 에미션 기간(Te) 동안, 제1 및 제2 스캔신호(SCAN1, SCAN2)는 오프(OFF) 레벨로 입력되어 제1 및 제2 TFT(ST1, ST2)를 턴-오프(turn off) 시킨다. 제1 TFT(ST1)가 턴-오프(turn off)되는 동안 제1 노드(N1)의 전위는 기준전압(Vref)을 유지하는 것이 바람직하나, 에미션 기간(Te)이 길어질수록 제1 TFT(ST1)를 통해 누설되는 누설(leakage) 전류가 증가되어 기준전압(Vref)이 낮아진다. 이와 같이, 누설(leakage) 전류가 제1 TFT(ST1)를 통해 누설되는 동안, 고전위 전원 전압(EVDD)의 입력단과 제1 노드(N1)의 전위 차에 의해 보상 전류가 제4 TFT(ST4)를 통해 제1 노드(N1)에 인가된다.

[0051] 제1 노드(N1)에는 제1 TFT(ST1)를 통해 누설되는 누설전류에 비례하여 보상전류가 제4 TFT(ST4)를 통해 인가되어 보상된다. 제1 노드(N1)의 전위는 에미션 기간(Te)이 길어지더라도 기준전압(Vref)을 오차범위 내에서 유지할 수 있다. 이에 따라, 에미션 기간(Te) 동안 OLED에 흐르는 구동 전류(Ioled)가 낮아지는 것을 미연에 방지할 수 있다.

[0052] 에미션 기간(Te) 동안 OLED에 일정하게 흐르는 구동 전류(Ioled)는 수학식 1과 같다. OLED는 이 전류에 의해 발광되어 입력 영상의 밝기를 표현한다.

수학식 1

$$Ioled = \frac{k}{2} [(1-C') (Vdata - Vref)]^2$$

[0053]

[0054] 수학식 1에서, k는 구동 TFT(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.

[0055] 구동전류(Ioled) 관계식은 $k/2(Vgs-Vth)^2$ 인데, 프로그래밍 기간(Tp)을 통해 프로그래밍된 Vgs에는 Vth가 포함되어 있으므로, 수학식 1과 같이 구동전류(Ioled) 관계식에서 Vth 성분은 소거된다. 따라서, 문턱전압(Vth) 변화가 구동전류(Ioled)에 미치는 영향이 제거된다.

[0056] 도 6은 도 3에 도시된 픽셀 구조의 일 변형 예들을 보여주는 등가 회로도이다. 도 7은 도 6의 픽셀에 인가되는 데이터신호와 게이트신호를 보여주는 과정도이다. 도 8a, 도 8b, 도 8c 및 도 8d는 각각 도 7의 초기화 기간, 샘플링 기간, 프로그래밍 기간, 및 에미션 기간에 대응되는 픽셀의 등가 회로도이다.

[0057] 도 6 및 도 8d를 참조하면, 각 픽셀(P)은 OLED, 구동 TFT(DT), 제1 내지 제5 TFT(ST1~ST4), 제1 내지 제3 커패시터(Cst1, Cst2, Ccp)를 포함한다. 이 픽셀(P)은 NMOS 타입의 6 개의 트랜지스터와 3 개의 커패시터를 포함한 6T3C 회로 구조이다.

[0058] 보상부(16)는 OLED를 발광시키는 에미션 기간 동안, 구동전류를 제어하는 구동 트랜지스터(DT)의 게이트 전극에

인가되는 게이트전압이 오차범위 내에서 일정하게 유지되도록 구동 트랜지스터(DT)의 게이트 전극에 보상전류를 인가한다. 보상부(16)는 제1 노드(N1)와 제4 노드(N4)와 사이에 접속된 제4 트랜지스터(ST4), 보상 전압(Vcp)의 입력단과 제4 노드(N4) 사이에 접속된 제5 트랜지스터(ST5) 및 제4 노드(N4)와 제5 노드(N5)에 접속된 제3 커패시터(Ccp)를 포함한다. 본 발명은 보상부(16)를 통해 구동 트랜지스터(DT)의 게이트 전극에서 누설되는 누설전류를 보상함으로써, 에미션 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 인가되는 게이트전압이 낮아지는 것을 미연에 방지하여 OLED에 일정한 구동전류를 공급할 수 있다.

- [0059] 퍽셀(P)의 1 프레임 기간은 초기화 기간(Ti), 샘플링 기간(Ts), 프로그래밍 기간(Tp), 및 에미션 기간(Te)으로 나뉘어진다.
- [0060] 제1 스캔 신호(SCAN1)는 초기화 기간(Ti), 샘플링 기간(Ts), 및 프로그래밍 기간(Tp) 동안 온(ON) 레벨로 발생되어 제1 TFT(ST1)를 턴-온(turn-on)시키고, 에미션 기간(Te)에 오프(OFF) 레벨로 반전되어 제1 TFT(ST1)를 턴-오프(turn-off)시킨다.
- [0061] 제2 스캔 신호(SCAN2)는 초기화 기간(Ti) 내에서 온(ON) 레벨로 발생되어 제2 TFT(ST2)와 제5 TFT(ST5)를 턴-온(turn-on)시키고, 나머지 기간 동안 오프(OFF) 레벨을 유지하여 제2 TFT(ST2)와 제5 TFT(ST5)를 오프(off) 상태로 제어한다.
- [0062] 에미션 신호(EM)는 샘플링 기간(Ts) 내에서 온(ON) 레벨로 발생되어 제3 TFT(ST3)를 턴-온(turn-on)시키고, 초기화 기간(Ti)과 프로그래밍 기간(Tp)에 오프(OFF) 레벨로 반전되어 제3 TFT(ST3)를 턴-오프(turn-off)시킨다. 그리고, 에미션 신호(EM)는 에미션 기간(Te) 동안 내에서 온(ON) 레벨을 유지하여 제3 TFT(ST3)를 온 상태로 유지시킨다.
- [0063] OLED는 구동 TFT(DT)로부터 공급되는 구동 전류에 의해 발광한다. OLED의 애노드와 캐소드 사이에 구비된 유기화합물층을 포함한다. 유기화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제2 노드(N2)에 연결되고, 캐소드는 저전위 전원 전압(EVSS)에 연결된다.
- [0064] 제1 TFT(ST1)는 제1 스캔 신호(SCAN1)에 응답하여 스위칭됨으로써 데이터 라인(14)과 제1 노드(N1) 사이의 전류 패스를 온(on)/오프(off)한다. 제1 TFT(ST1)의 게이트 전극은 제1 스캔 라인(15A)에 접속되고, 드레인 전극은 제4 노드(N4)에 접속된다. 제1 TFT(ST1)의 소스 전극은 제1 노드(N1)에 접속된다. 제4 노드(N4)는 데이터 라인(14)에 접속된다.
- [0065] 제2 TFT(ST2)는 제2 스캔 신호(SCAN2)에 응답하여 스위칭됨으로써 초기화전압(Vini)의 입력단과 제2 노드(N2) 사이의 전류 패스를 온(on)/오프(off)한다. 제2 TFT(ST2)의 게이트 전극은 제2 스캔 라인(15B)에 접속되고, 드레인 전극은 제2 노드(N2)에 접속된다. 제2 TFT(ST2)의 소스 전극은 초기화전압(Vini)의 입력단에 접속된다.
- [0066] 제3 TFT(ST3)는 에미션 신호(EM)에 응답하여 스위칭됨으로써, 고전위 전원 전압(EVDD)의 입력단과 구동 TFT(DT)의 드레인 전극 사이의 전류 패스를 온(on)/오프(off)한다. 제3 TFT(ST3)의 게이트 전극은 에미션 라인(15C)에 접속되고, 드레인 전극은 고전위 전원 전압(EVDD)의 입력단에 접속된다. 제3 TFT(ST3)의 소스 전극은 구동 TFT(DT)의 드레인 전극에 접속된다.
- [0067] 구동 TFT(DT)는 자신의 게이트-소스 간 전압에 따라 OLED에 흐르는 구동 전류를 제어하는 구동 소자이다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 드레인 전극은 제3 TFT(ST3)의 소스 전극에 연결된다. 구동 TFT(DT)의 소스 전극은 제2 노드(N2)를 통해 OLED의 애노드에 접속된다.
- [0068] 제4 TFT(ST4)는 그라운드전압(GND)에 응답하여 스위칭됨으로써, 고전위 전원 전압(EVDD)의 입력단과 구동 TFT(DT)의 게이트 전극 사이의 전류 패스를 온(on)/오프(off)한다. 제4 TFT(ST4)의 게이트 전극은 그라운드전압(GND)의 입력단에 접속되고, 드레인 전극은 제3 노드(N3)에 접속된다. 제4 TFT(ST4)의 소스 전극은 제1 노드(N1)에 접속된다.
- [0069] 제5 TFT(ST5)는 제2 스캔 신호(SCAN2)에 응답하여 스위칭됨으로써 보상전압(Vcp)의 입력단과 제3 노드(N3) 사이의 전류 패스를 온(on)/오프(off)한다. 제5 TFT(ST5)의 게이트 전극은 제2 스캔 라인(15B)에 접속되고, 드레인 전극은 보상전압(Vcp)의 입력단에 접속된다. 제5 TFT(ST5)의 소스 전극은 제2 노드(N2)에 접속된다.
- [0070] 제1 커패시터(Cst1)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되어 양단 간의 전압 차를 저장한다. 제1 커패

시터(Cst1)는 소스팔로워(source-follower) 방식으로 구동 TFT(DT)의 문턱 전압(Vth)을 샘플링한다.

[0071] 제2 커패시터(Cst2)는 고전위 전원 전압(EVDD)의 입력단과 제2 노드(N2) 사이에 접속된다. 제1 및 제2 커패시터(Cst1,Cst2)는 프로그래밍 기간(Tp)에서 데이터 전압(Vdata)에 따라 제1 노드(N1)의 전위가 변할 때, 그 변화분을 전압 분배하여 제2 노드(N2)에 반영한다.

[0072] 제3 커패시터(Ccp)는 제3 노드(N3)와 제4 노드(N4) 사이에 접속되어 양단 간의 전압 차를 저장한다.

[0073] 이러한 핵심(P)의 동작을 설명하면 다음과 같다.

[0074] 도 8a를 참조하면, 초기화 기간(Ti) 동안 제1 TFT(ST1), 제2 TFT(ST2) 및 제5 TFT(ST5)가 온(ON) 레벨의 제1 및 제2 스캔 신호(SCAN1, SCAN2)에 응답하여 턴-온(turn on)된다. 제3 TFT(ST3)는 오프(OFF) 레벨의 애미션 신호(EM)에 의해 초기화 기간(Ti)에서 턴-오프(turn off)된다. 제4 TFT(ST4)는 그라운드전압(GND)에 의해 초기화 기간(Ti)에서 오프(OFF) 상태가 된다. 초기화 기간(Ti) 동안, 데이터 라인(14)에 소정의 기준전압(Vref)이 공급된다. 초기화 기간(Ti) 동안 제1 노드(N1)의 전압은 기준전압(Vref)으로 초기화되고, 제2 노드(N2)의 전압은 소정의 초기화전압(Vini)으로 초기화된다.

[0075] 또한, 초기화 기간(Ti) 동안, 제3 노드에 보상전압(Vcp)이 공급된다. 보상전압(Vcp)은 제3 커패시터(Ccp)에 저장된다.

[0076] 도 8b를 참조하면, 샘플링 기간(Ts) 동안 제3 TFT(ST3)가 온(ON) 레벨의 애미션 신호(EM)에 응답하여 턴-온(turn on)된다. 샘플링 기간(Ts) 동안 제1 TFT(ST1)는 온(ON) 레벨의 제1 스캔 신호(SCAN1)에 의해 온(ON) 상태를 유지하는데 반해, 제2 TFT(ST2) 및 제5 TFT(ST5)는 오프(OFF) 레벨의 제2 스캔 신호(SCAN2)에 의해 턴 오프(turn off)된다. 제4 TFT(ST4)는 그라운드전압(GND)에 의해 오프(OFF) 상태를 계속해서 유지한다. 샘플링 기간(Ts) 동안, 데이터 라인(14)에는 기준전압(Vref)이 공급된다. 샘플링 기간(Ts) 동안, 제1 노드(N1)의 전위는 기준전압(Vref)으로 유지되고, 제3 노드(N3)의 전위는 보상전압(Vcp)으로 유지되는데 반해, 제2 노드(N2)의 전위는 구동 TFT(DT)의 드레인-소스 간 전류(Ids)에 의해 상승한다. 이러한 소스팔로워(source-follower) 방식에 따라 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 구동 TFT(DT)의 문턱 전압(Vth)으로서 샘플링되며, 이 샘플링된 문턱전압(Vth)은 제1 커패시터(Cst1)에 저장된다. 샘플링 기간(Ts) 동안 제1 노드(N1)의 전압은 “Vref”이고, 제2 노드(N2)의 전압은 “Vref-Vth”이다.

[0077] 도 8c를 참조하면, 프로그래밍 기간(Tp) 동안 제1 TFT(ST1)는 온(ON) 레벨의 제1 스캔 신호(SCAN1)에 따라온(ON) 상태를 유지하고 제2 TFT(ST2), 제3 TFT(ST3), 제5 TFT(ST5), 및 구동 TFT(DT)는 턴 오프(turn off)된다. 제4 TFT(ST4)는 그라운드전압(GND)에 의해 오프(OFF) 상태를 계속해서 유지한다. 프로그래밍 기간(Tp) 동안 데이터 라인(14)에 입력 영상의 데이터 전압(Vdata)이 공급된다. 데이터 전압(Vdata)이 제4 노드(N4)에 인가되면, 제4 노드(N4)에 걸려 있던 기준전압(Vref)이 데이터 전압(Vdata)까지 상승한다. 제4 노드(N4)의 전위 변화분(Vdata-Vref)에 대한 제3 커패시터(Ccp) 간의 전압 상승 결과가 제3 노드(N3)에 반영됨으로써, 제3 노드(N3)에 걸려 있던 보상전압(Vcp)이 제4 노드(N4)의 전위 변화분(Vdata-Vref)만큼 상승한다.

[0078] 데이터 전압(Vdata)이 제4 노드(N4) 거쳐 제1 노드(N1)에 인가되고, 제1 노드(N1)의 전위 변화분(Vdata-Vref)에 대한 제1 및 제2 커패시터(Cst1,Cst2) 간의 전압 분배 결과가 제2 노드(N2)에 반영됨으로써 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 프로그래밍된다.

[0079] 프로그래밍 기간(Tp) 동안, 제1 노드(N1)의 전압은 데이터 전압(Vdata)이고, 제2 노드(N2)의 전압은 샘플링 기간(Ts)을 통해 설정된 “Vref-Vth”에 제1 및 제2 커패시터(Cst1,Cst2) 간의 전압 분배 결과($C'*(Vdata-Vref)$)가 더해져 “Vref-Vth+C'*(Vdata-Vref)”가 된다. 결국, 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)은 프로그래밍 기간(Tp)을 통해 “Vdata-Vref+Vth-C'*(Vdata-Vref)”으로 프로그래밍된다. 여기서, C'는 CST1/(CST1+CST2)이며, CST1은 제1 커패시터(Cst1)의 제1 커패시턴스를 의미하고, CST2는 제2 커패시터(Cst2)의 제2 커패시턴스를 의미한다.

[0080] 또한, 제4 노드(N4)의 전압은 데이터 전압(Vdata)이고, 제3 노드(N2)의 전압은 샘플링 기간(Ts)을 통해 설정된 “Vcp”에 제3 커패시터(Ccp)에 저장된 저장 값($Ccp/(Ccp+Cpar)$)이 더해져 “ $Vcp+(Ccp/(Ccp+Cpar))*(Vdata-Vref)$ ”가 된다. 여기서, Ccp는 제3 커패시터(Ccp)의 제3 커패시턴스를 의미한다.

[0081] 도 8d를 참조하면, 애미션 기간(Te)은 프로그래밍 기간(Tp) 이후부터 그 다음 프레임의 초기화 기간(Ti)까지 연속된다. 애미션 신호(EM)는 온(ON) 레벨로 입력되어 제3 TFT(ST3)를 턴-온(turn on)시킨다. 제4 TFT(ST4)는 그라운드전압(GND)에 의해 오프(OFF) 상태를 계속해서 유지한다. 애미션 기간(Te)에서는 프로그래밍 기간(Tp)을

통해 프로그래밍된 게이트-소스 간 전압(V_{gs})에 따라 구동전류(I_{oled})를 OLED에 인가하여 OLED를 발광시킨다. 에미션 기간(T_e) 동안, 제1 및 제2 스캔신호(SCAN1, SCAN2)는 오프(OFF) 레벨로 입력되어 제1 TFT(ST1), 제2 TFT(ST2) 및 제5 TFT(ST5)를 턴-오프(turn off) 시킨다. 제1 TFT(ST1)가 턴-오프(turn off)되는 동안 제1 노드(N1)의 전위는 데이터전압(V_{data})을 유지하는 것이 바람직하나, 에미션 기간(T_e)이 길어질수록 제1 TFT(ST1)를 통해 누설되는 누설(leakage) 전류가 증가되어 데이터전압(V_{data})이 낮아진다. 이와 같이, 누설(leakage) 전류가 제1 TFT(ST1)를 통해 누설되는 동안, 고전위 전원 전압(EVDD)의 입력단과 제1 노드(N1)의 전위 차에 의해 보상 전류가 제4 TFT(ST4)를 통해 제1 노드(N1)에 인가된다. 이때 제4 노드(N4)에는 데이터 전압(V_{data})을 유지시킨다. 제4 노드(N4)에 데이터 전압(V_{data})이 유지됨으로써, 제3 노드(N3)의 전위가 제1 노드(N1)의 전위보다 낮아지는 것을 방지한다. 이에 제1 노드(N1)에 걸려 있던 전압이 제3 노드(N3)로 흐르는 것을 미연에 방지할 수 있다.

[0082] 제1 노드(N1)에는 제1 TFT(ST1)를 통해 누설되는 누설전류에 비례하여 보상전류가 제4 TFT(ST4)를 통해 인가되어 보상된다. 제1 노드(N1)의 전위는 에미션 기간(T_e)이 길어지더라도 데이터전압(V_{data})을 오차범위 내에서 유지할 수 있다. 이에 따라, 에미션 기간(T_e) 동안 OLED에 흐르는 구동 전류(I_{oled})가 낮아지는 것을 미연에 방지할 수 있다.

[0083] 에미션 기간(T_e) 동안 OLED에 일정하게 흐르는 구동 전류(I_{oled})는 수학식 2와 같다. OLED는 이 전류에 의해 발광되어 입력 영상의 밝기를 표현한다.

수학식 2

$$I_{oled} = \frac{k}{2} [(1 - C') (V_{data} - V_{ref})]^2$$

[0084]

[0085] 수학식 2에서, k는 구동 TFT(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.

[0086] 구동전류(I_{oled}) 관계식은 $k/2(V_{gs}-V_{th})^2$ 인데, 프로그래밍 기간(T_p)을 통해 프로그래밍 된 V_{gs} 에는 V_{th} 가 포함되어 있으므로, 수학식 1과 같이 구동전류(I_{oled}) 관계식에서 V_{th} 성분은 소거된다. 따라서, 문턱전압(V_{th}) 변화가 구동전류(I_{oled})에 미치는 영향이 제거된다.

[0087] 도 9는 에미션 기간 동안 본 발명의 제1 노드에 인가되는 게이트전압의 변화를 보여주고, 도 10은 도 9의 제1 노드에 인가되는 게이트전압에 따라 변화되는 구동전류를 보여준다.

[0088] 도 9을 참조하면, 세로방향은 제1 노드에 인가되는 전압을 나타내며, 가로방향은 에미션 기간을 나타낸다. 도 10을 참조하면, 세로방향은 OLED에 인가되는 전류를 나타내며, 가로방향은 에미션 기간을 나타낸다.

[0089] 종래의 픽셀 구조에서는 에미션 기간이 길어질수록 제1 노드에 인가되는 전압이 점진적으로 낮아짐으로써, 구동 TFT를 통해 흐르는 구동전류가 불안정하였다. 이에 구동전류를 공급받아 발광하는 OLED의 밝기가 다르게 표현되어 폴리커 현상이 발생되었다.

[0090] 반면에 본 발명의 픽셀 구조는 상술한 바와 같이, 제1 노드에서 누설되는 누설전류만큼 보상전류를 제1 노드에 입력할 수 있다. 이에 본 발명의 픽셀 구조는 에미션 기간이 길어지더라도 제1 노드에서 누설되는 누설전류만큼 보상전류를 통해 보상됨으로써, 구동 TFT의 게이트 전극에 안정적인 전압이 인가될 수 있다. 즉, 구동 TFT의 게이트 전극에 안정적인 전압이 드랍(Drop)되는 것을 미연에 방지할 수 있다.

[0091] 이와 같이, 구동 TFT의 게이트 전극에 안정적인 전압이 인가됨으로써, 구동 TFT를 통해 흐르는 구동전류도 안정적으로 흐를 수 있다. 이에 따라, OLED는 구동전류를 안정적으로 공급받아 발광함으로써, 일정한 OLED의 밝기를 표현할 수 있다.

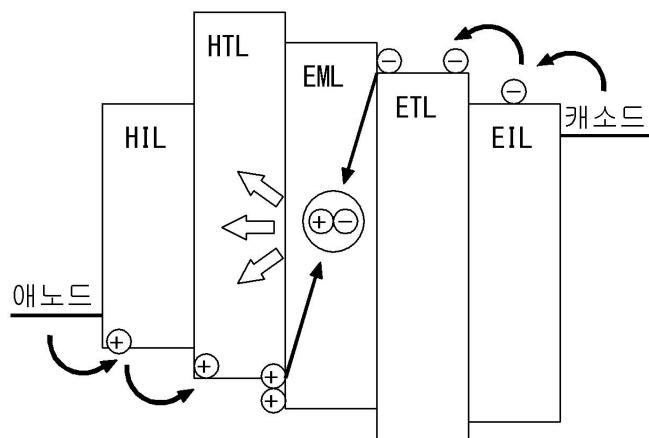
[0092] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

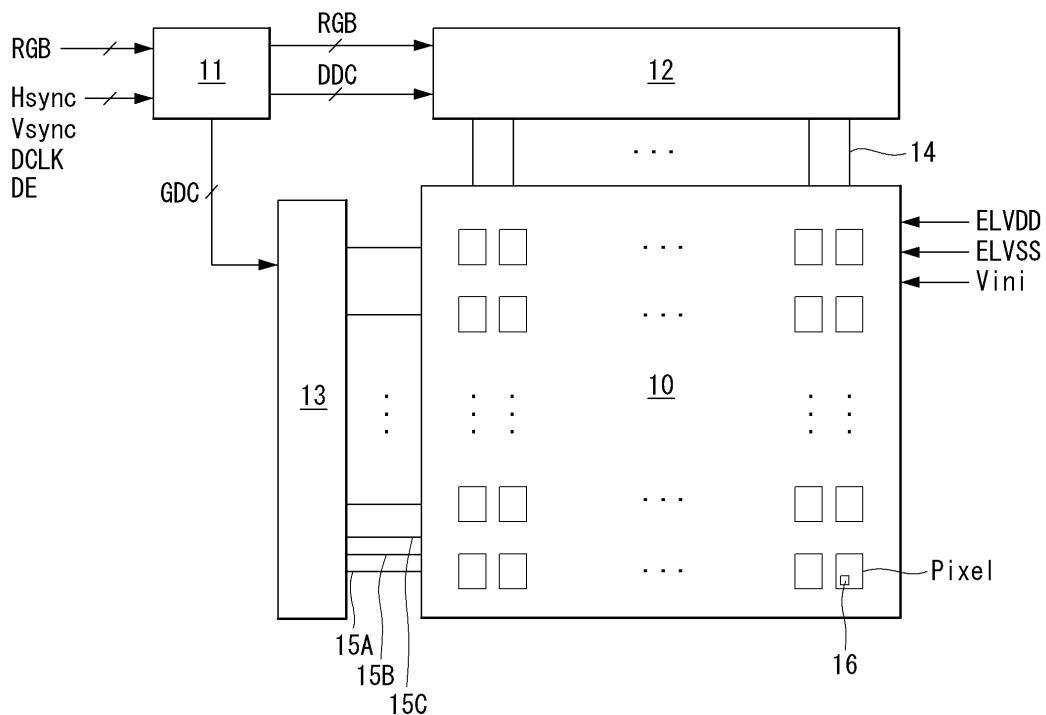
- [0093] 10 : 표시패널 11 : 타이밍 컨트롤러
 12 : 데이터 구동회로 13 : 게이트 구동회로
 14 : 데이터라인들 15 : 게이트라인들
 15A : 제1 스캔 라인 15B : 제2 스캔라인
 15C : 애미션 라인

도면

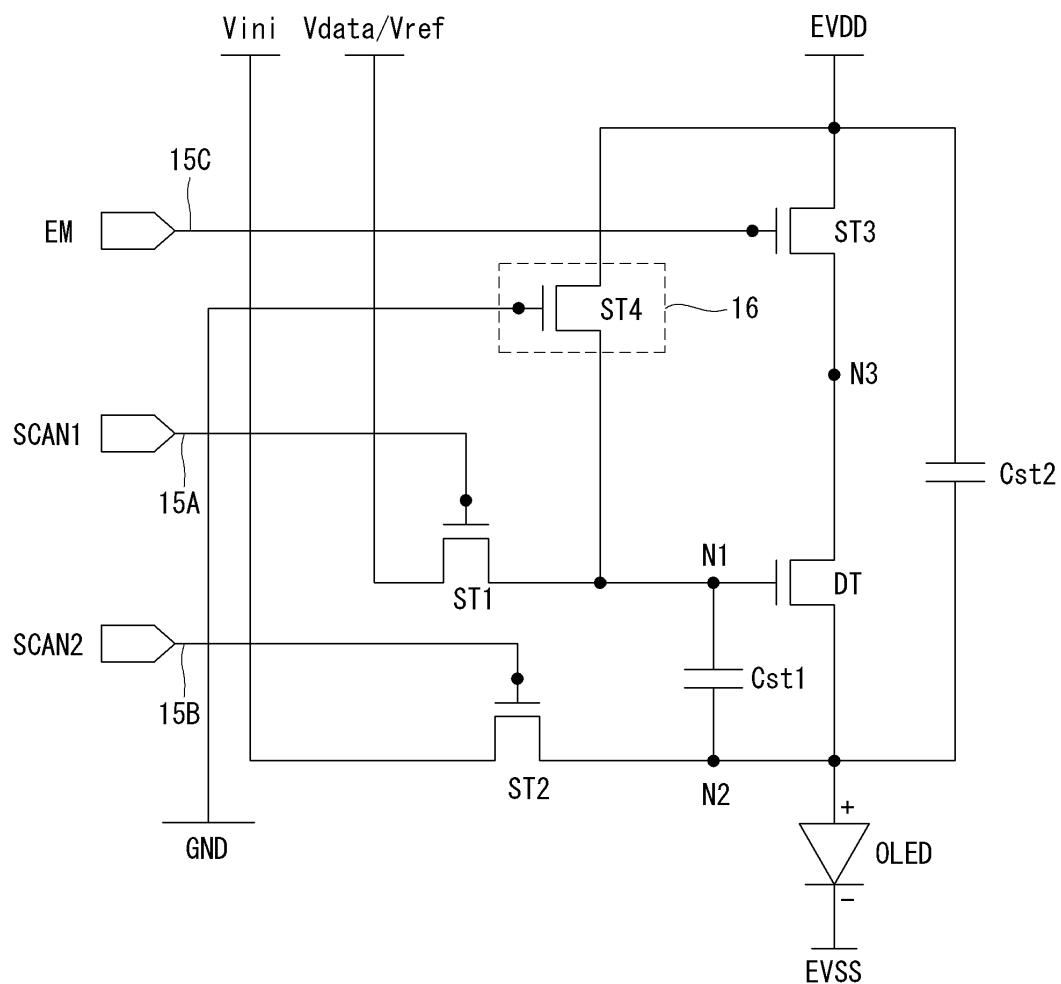
도면1



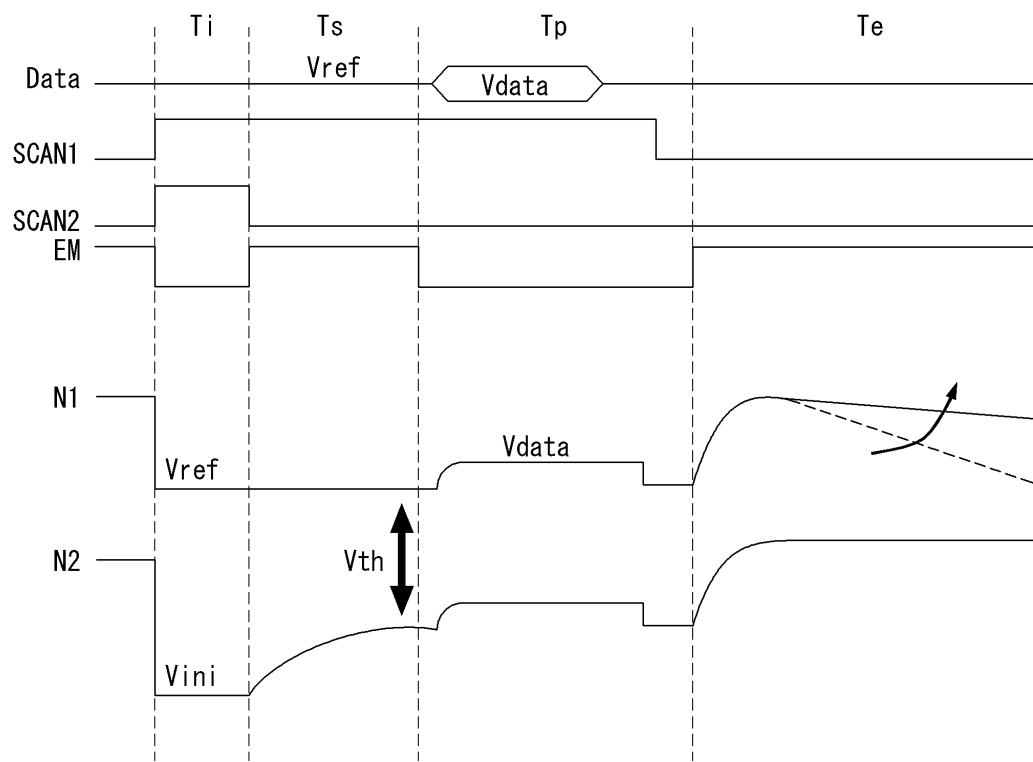
도면2



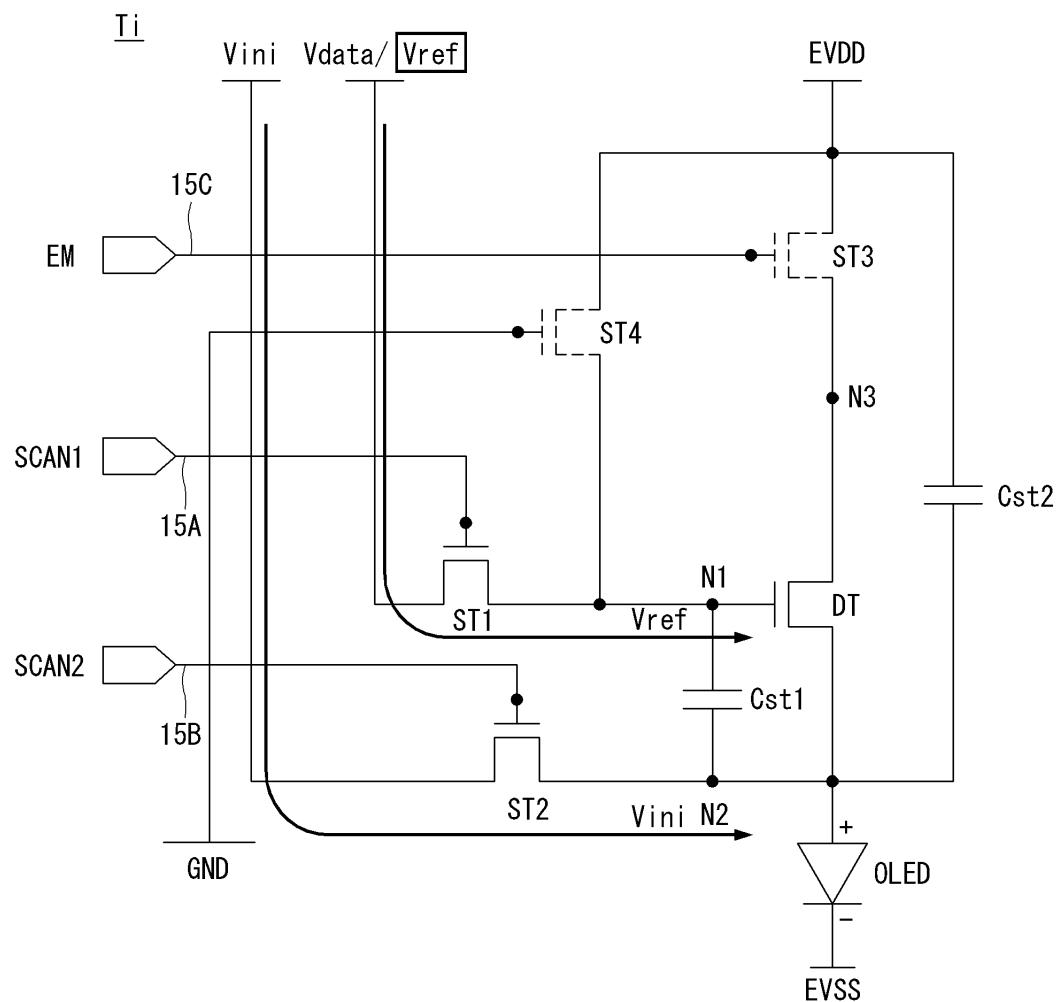
도면3



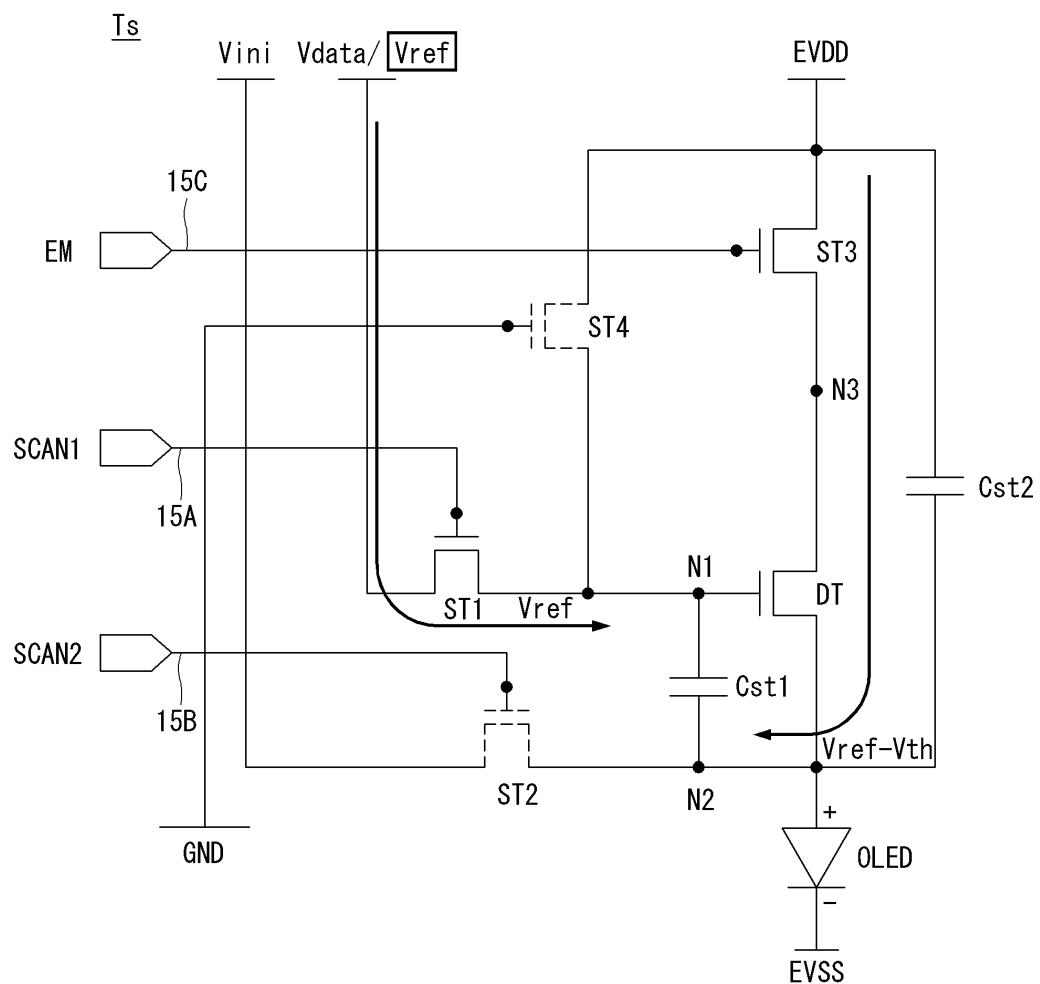
도면4



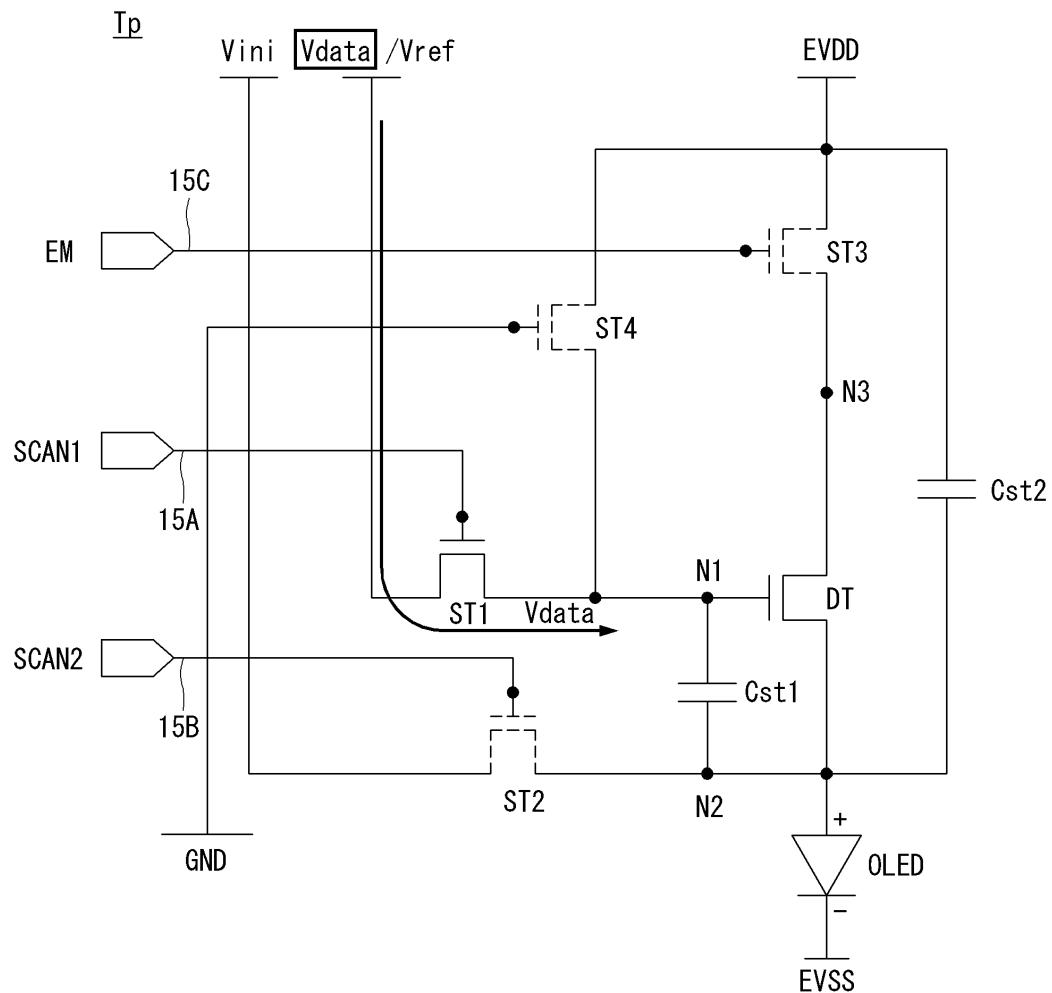
도면5a



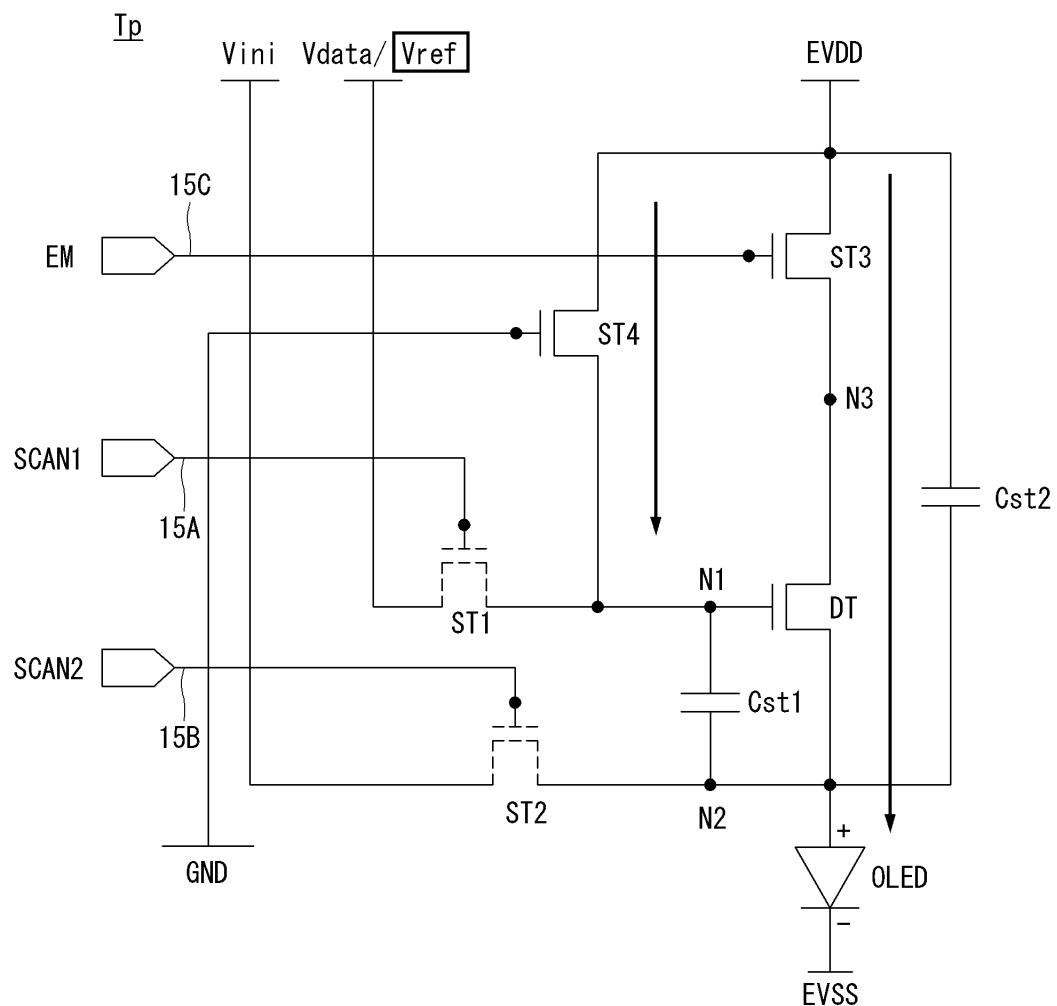
도면5b



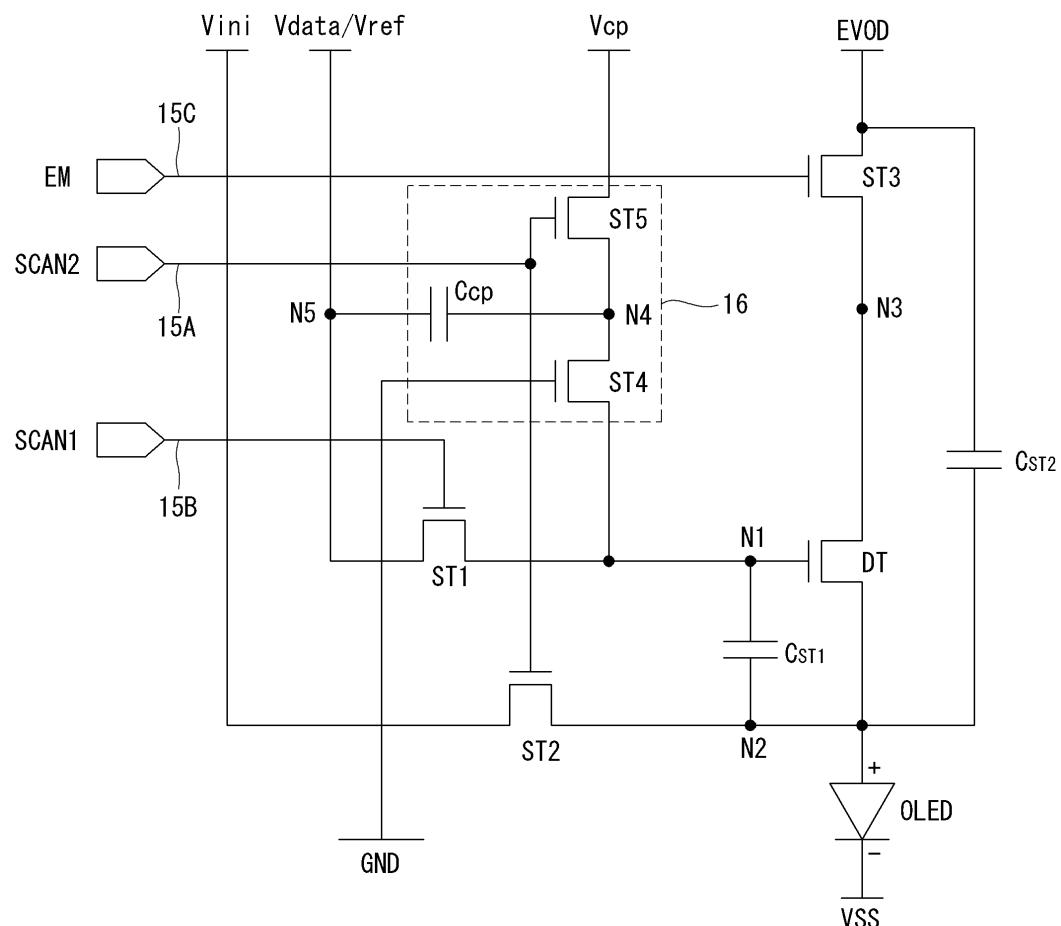
도면5c



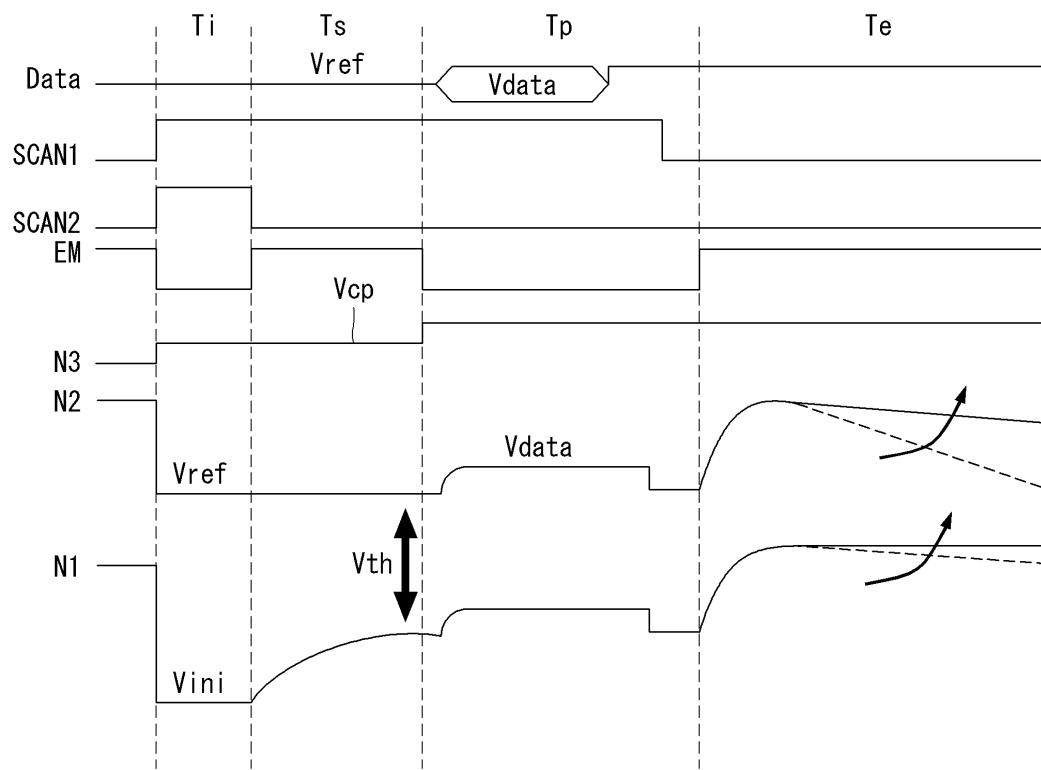
도면5d



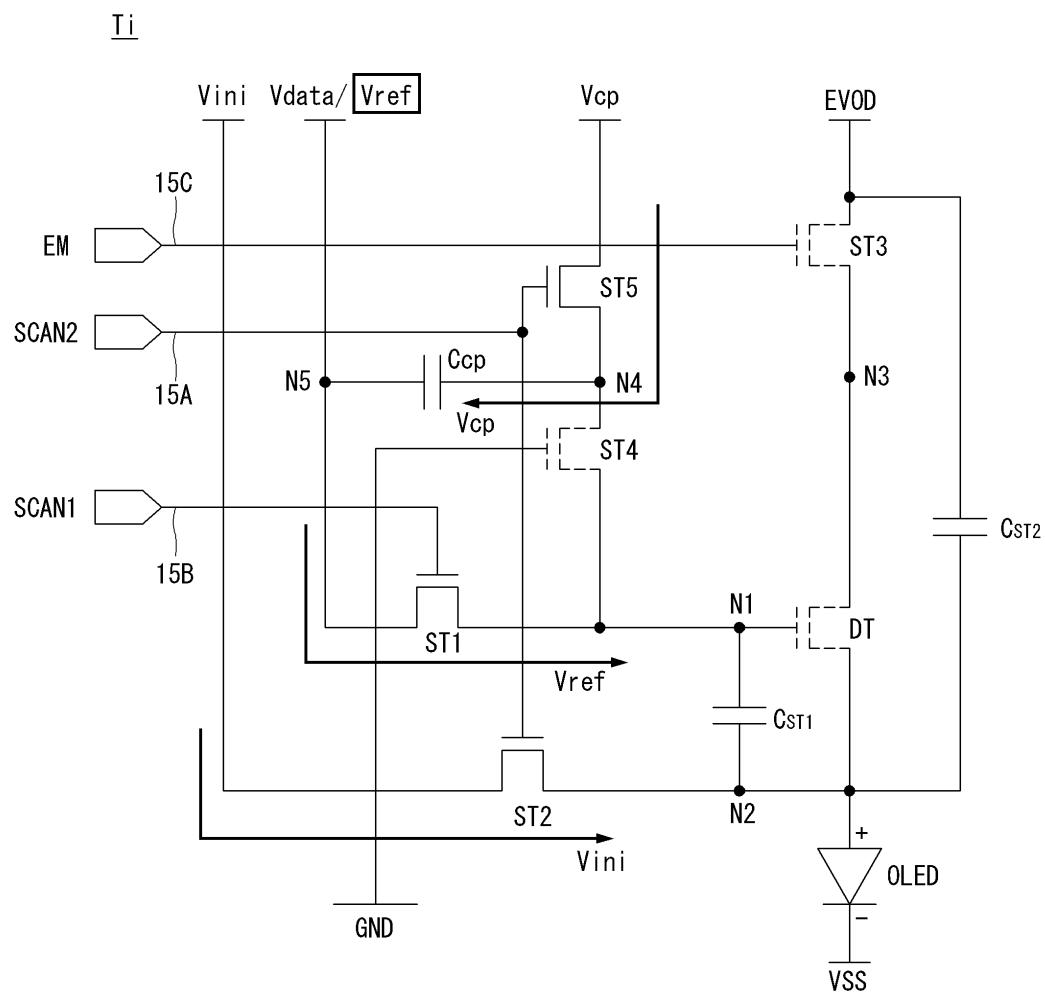
도면6



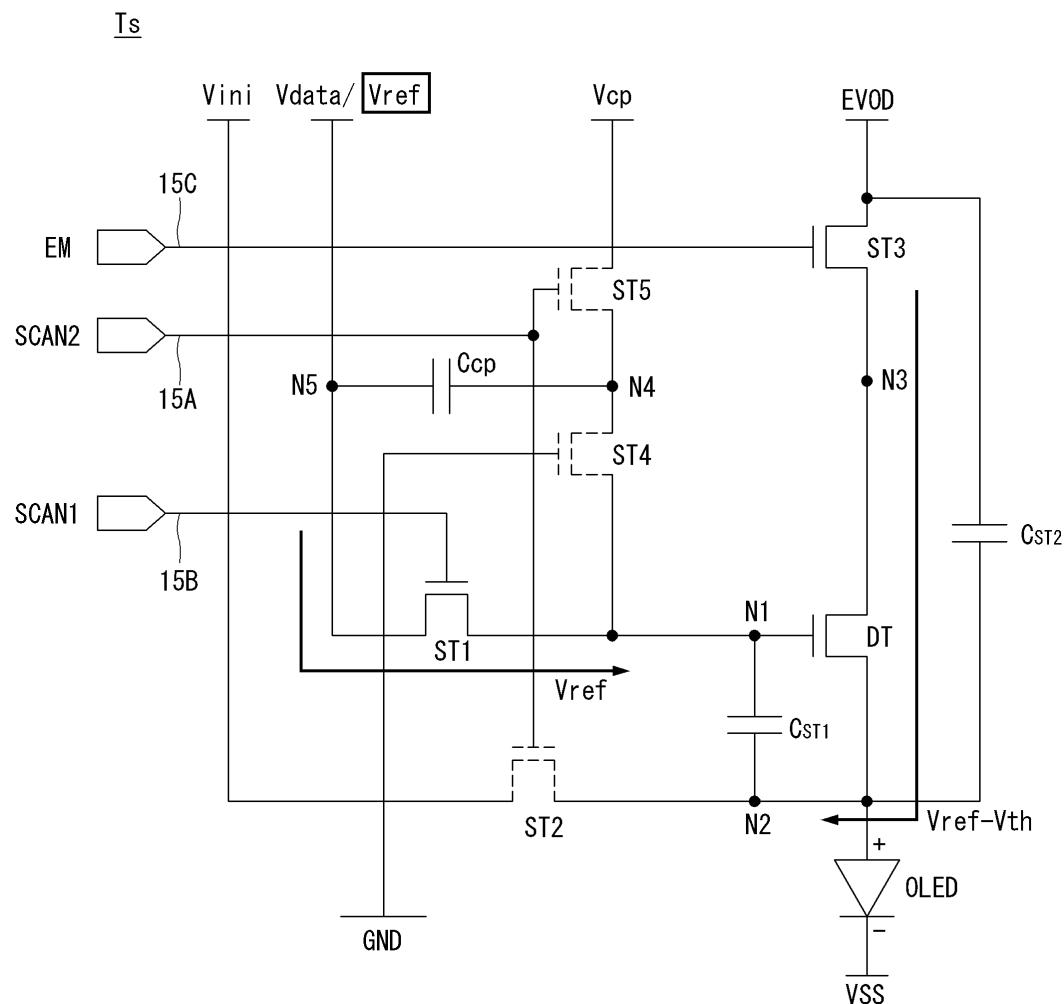
도면7



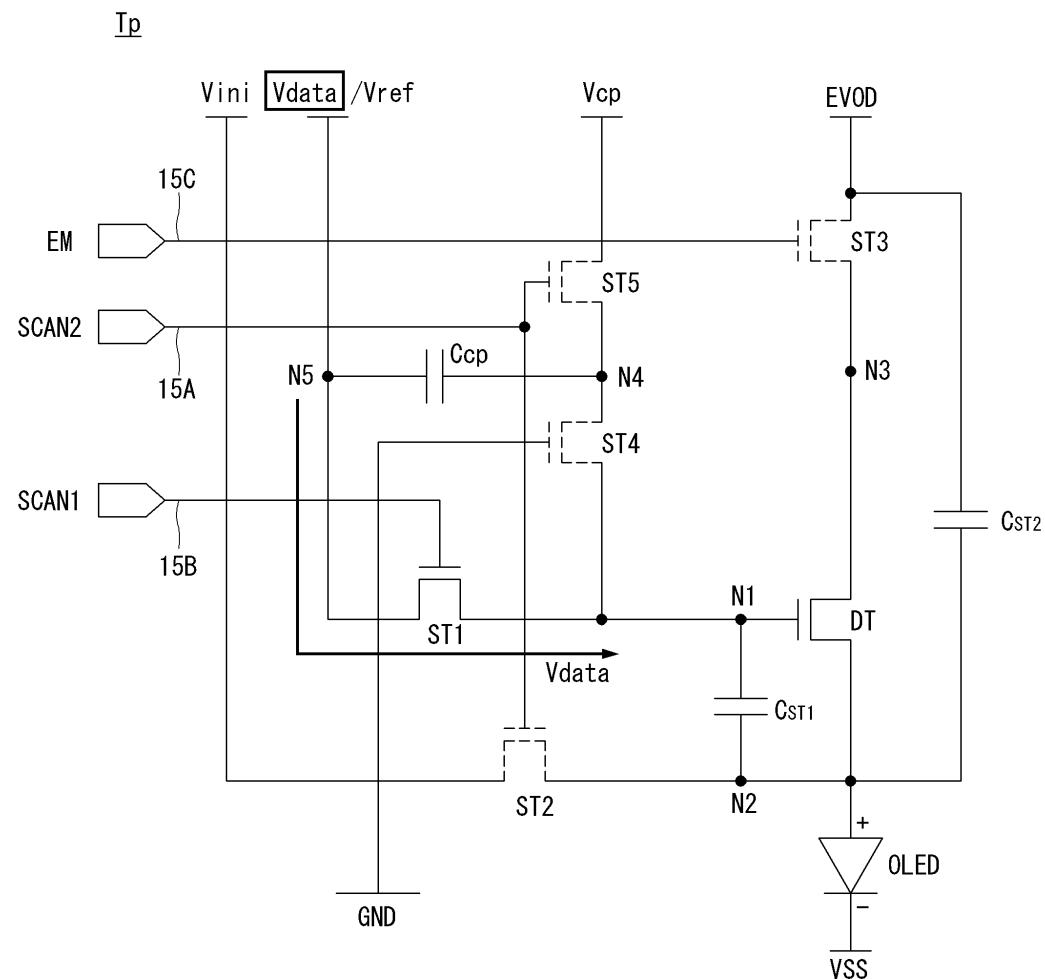
도면8a



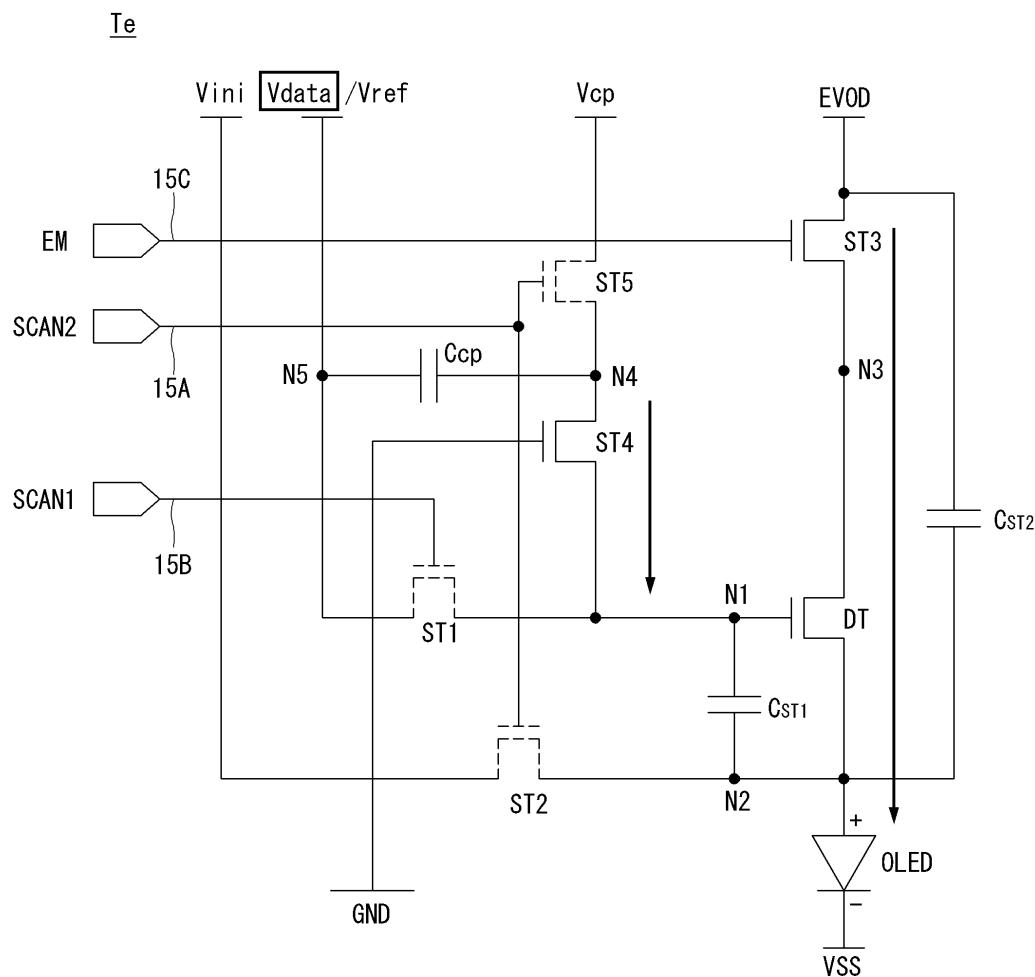
도면8b



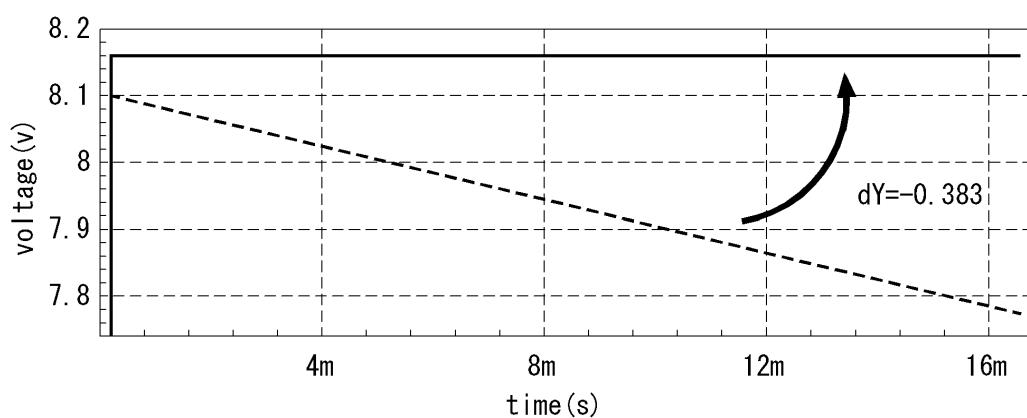
도면8c



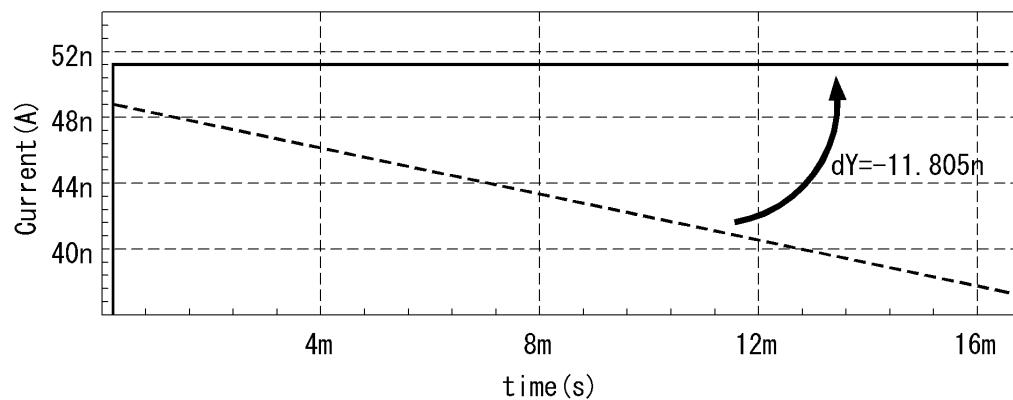
도면8d



도면9



도면10



| 专利名称(译) | 相关技术的描述 | | |
|----------------|---|---------|------------|
| 公开(公告)号 | KR1020170081082A | 公开(公告)日 | 2017-07-11 |
| 申请号 | KR1020150191816 | 申请日 | 2015-12-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | CHAE KOOK BYUNG 채국병 KIM JONG HYUN 김종현 | | |
| 发明人 | 채국병 김종현 | | |
| IPC分类号 | G09G3/32 | | |
| CPC分类号 | G09G3/3233 G09G2320/0247 G09G2320/0214 G09G2300/0852 G09G2230/00 G09G2300/043 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明包括显示面板，操作显示面板的数据线的数据驱动电路和用显示面板和像素的扫描线操作发射线的栅极驱动电路是在栅极中施加补偿电流的补偿驱动晶体管的电极使得在辐射有机发光二极管的时段期间施加在发射中的栅极电压和控制驱动电流的驱动晶体管的栅极保持配备。至于显示面板，配备有多个像素。

