



(52) CPC특허분류

*H01L 27/3258* (2013.01)

*H01L 27/326* (2013.01)

*H01L 27/3262* (2013.01)

*H01L 2227/32* (2013.01)

(72) 발명자

**양선영**

경기도 부천시 원미구 상동로 57, 2411동 1201호  
(상동, 행복한마을 서해그랑블)

**이정인**

서울특별시 구로구 벚꽃로70길 28, 삼성하이츠 40  
2호 (구로동)

## 명세서

### 청구범위

#### 청구항 1

복수개의 화소를 매트릭스 상으로 갖는 기관;

상기 기관 상의 제 1 방향으로 배치된 스캔 라인 및 센싱 라인;

상기 제 1 방향과 교차하는 제 2 방향으로 배치되며, 상기 제 1, 제 2 액티브층과 교차하는 데이터 라인, 기준 전압 라인 및 전원 전압 라인을 포함하며,

상기 기준 전압 라인 및 전원 전압 라인 중 적어도 어느 하나는 상기 데이터 라인과 다른 층에 위치하여, 평면 상으로 상기 데이터 라인과 접하거나 중첩하며, 인접한 화소들에 공유되는 유기 발광 표시 장치.

#### 청구항 2

제 1항에 있어서,

상기 각 화소에,

상기 스캔 라인으로부터 제 1 게이트 신호를 인가받고 상기 데이터 라인과 제 1 노드 사이에 위치한 제 1 스위칭 트랜지스터;

상기 제 1 노드로부터 게이트 신호를 인가받고 상기 전원 전압 라인과 제 2 노드 사이에 위치한 구동 박막 트랜지스터;

상기 센싱 라인으로부터 제 2 게이트 신호를 인가받고 상기 제 2 노드와 상기 기준 전압 라인 사이에 위치한 제 2 스위칭 박막 트랜지스터; 및

각각 상기 스캔 라인 및 센싱 라인과 교차하며, 서로 이격한 제 1 액티브층 및 제 2 액티브층을 더 포함한 유기 발광 표시 장치.

#### 청구항 3

제 2항에 있어서,

상기 제 1 노드에 접속된 제 1 스토리지 전극과,

상기 제 2 노드에 접속된 제 2 스토리지 전극과,

상기 제 1, 제 2 스토리지 전극들 사이의 제 1 층간 절연막을 포함한 스토리지 캐패시터를 더 포함한 유기 발광 표시 장치.

#### 청구항 4

제 3항에 있어서,

상기 제 2 스토리지 전극은 제 1 층에,

상기 제 1 스토리지 전극은 제 2 층에,

상기 제 1, 제 2 액티브층은 제 3 층에,

상기 스캔 라인 및 센싱 라인은 제 4 층에,

상기 데이터 라인은 제 5 층에 구비되며,

상기 제 1 내지 제 5층은 각각 서로 다른 층이며, 순서적으로 인접한 층들 사이에 절연막을 개재하여 위치한 유기 발광 표시 장치.

#### 청구항 5

제 4항에 있어서,

상기 제 1 노드에, 상기 제 1 스토리지 전극과 제 1 콘택홀을 통해 접속되며 제 6 층에 구비된 제 1 접속 전극을 더 포함하며,

상기 제 1 스위칭 박막 트랜지스터는 상기 제 1 접속 전극을 드레인 전극으로 이용하며, 상기 구동 박막 트랜지스터는 상기 제 1 접속 전극을 게이트 전극으로 이용하는 유기 발광 표시 장치.

#### 청구항 6

제 4항에 있어서,

상기 제 2 노드에, 상기 제 2 스토리지 전극과 제 2 콘택홀을 통해 접속되며 제 6 층에 구비된 제 2 접속 전극을 더 포함하며,

상기 구동 박막 트랜지스터는 상기 제 2 접속 전극을 드레인 전극으로 이용하고,

상기 제 2 스위칭 박막 트랜지스터는 상기 제 2 접속 전극을 소오스 전극으로 이용하는 유기 발광 표시 장치.

#### 청구항 7

제 6항에 있어서,

상기 제 1, 제 2 스토리지 전극은 중첩하되 상기 제 2 스토리지 전극이 상기 제 1 스토리지 전극에 비해 일측으로 돌출되며, 상기 돌출된 부위에 상기 제 2 접속 전극과 접속된 유기 발광 표시 장치.

#### 청구항 8

제 4항에 있어서,

평면적으로 상기 제 1 방향에서 인접한 화소들의 상기 데이터 라인들 사이에 상기 전원 전압 라인이 공유된 유기 발광 표시 장치.

#### 청구항 9

제 8항에 있어서,

상기 전원 전압 라인은 상기 제 2 스토리지 전극과 동일한 상기 제 1 층에 위치한 유기 발광 표시 장치.

#### 청구항 10

제 8항에 있어서,

상기 제 1 방향에서 인접한 화소들은 상기 전원 전압 라인을 경계로 좌우 대칭인 유기 발광 표시 장치.

#### 청구항 11

제 4항 또는 제 8항에 있어서,

평면적으로 상기 제 2 방향에서 인접한 화소들의 상기 스캔 라인들 사이에, 상기 센싱 라인이 공유된 유기 발광 표시 장치.

#### 청구항 12

제 11항에 있어서,

상기 제 2 방향에서 인접한 화소들은 상기 센싱 라인을 경계로 상하 대칭인 유기 발광 표시 장치.

#### 청구항 13

제 11항에 있어서,

상기 제 2 방향에서 인접한 화소들의 상하로 대칭의 제 2 스위칭 박막 트랜지스터들은 상기 기준 전압 라인과

하나의 제 3 콘택홀을 통해 드레인 전극이 접속된 유기 발광 표시 장치.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 특히 고집적화 및 고해상도를 위해 화소내 라인 및 접속 전극의 배치를 달리한 유기 발광 표시 장치에 관한 것이다.

## 배경 기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003] 평판 표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 유기 발광 표시 장치(Organic Emitting Display Device), 플라즈마 표시장치(Plasma Display Panel device: PDP), 양자점 표시 장치(Quantum Dot Display Device), 전계방출표시장치(Field Emission Display device: FED), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등을 들 수 있는데, 이들은 공통적으로 화상을 구현하는 평판 표시패널을 필수적인 구성요소로 하는 바, 평판 표시패널은 고유의 발광 또는 편광 혹은 그 밖의 광학 물질층을 사이에 두고 한 쌍의 투명 절연기판을 대면 합착시킨 구성을 갖는다.

[0004] 유기 발광 표시 장치는, 각 화소별로 발광을 위한 유기 발광 다이오드와 상기 유기 발광 다이오드에 흐르는 전류를 제어하는 화소 회로부를 갖고, 상기 화소 회로부에 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터를 포함한다.

[0005] 한편, 박막 트랜지스터는 게이트 전극의 위치에 따라 탑 게이트 구조와 바텀 게이트 구조로 구분된다.

[0006] 일반적인 탑 게이트 구조의 TFT(Thin Film Transistor)는 먼저, 기판 상에, 비정질 실리콘(amorphous)층을 형성하고, 이를 엑시머 레이저(eximer laser)를 이용하여 결정화하여 다결정 실리콘(poly-silicon)화 한다. 이어, 결정화된 다결정 실리콘 상에 감광막(미도시)을 도포하고, 상기 감광막을 노광 및 현상하여, 감광막 패턴을 형성하고, 감광막 패턴을 마스크로 하여 상기 다결정 실리콘을 식각하여, 각 화소별 필요 부위에 액티브층을 남긴다. 그리고, 액티브층을 덮으며 게이트 절연막이 형성되고, 상기 액티브층 상부에 대응되도록 게이트 절연막 상에 게이트 전극을 형성한다.

[0007] 이하, 종래의 유기 발광 표시 장치에 있어서, 일 화소의 회로 상의 구성을 도면을 통해 살펴본다.

[0008] 도 1은 종래의 유기 발광 표시 장치의 일 화소를 나타낸 회로도이다.

[0009] 도 1은 기본적인 구조의 유기 발광 표시 장치의 화소 회로부 구성을 나타낸 것으로, 스위칭 박막 트랜지스터(ST), 스위칭 박막 트랜지스터(ST)와 연결된 구동 박막 트랜지스터(DT), 및 구동 박막 트랜지스터(DT)에 접속된 유기발광 다이오드(OLED)를 포함하고 있다.

[0010] 스위칭 박막 트랜지스터(ST)는 스캔 라인(SL)과 데이터 라인(DL)이 교차하는 영역에 형성되어, 화소를 선택하는 기능을 한다. 그리고, 스위칭 박막 트랜지스터(ST)는 스캔 라인(SL)에서 돌출된 스위칭 게이트 전극(SG)과, 데이터 라인(DL)에서 분기된 스위칭 소오스 전극(SS)과, 스위칭 드레인 전극(SD) 및 스위칭 채널 영역이 정의된 제 1 액티브층을 포함한다.

[0011] 여기서, 제 1 액티브층은 스위칭 게이트 전극(SG)과 중첩된 부분에 스위칭 채널 영역이 정의되고, 스위칭 채널 영역 양 주변이 불순물이 도핑되어 소오스 영역과 드레인 영역으로 기능한다. 그리고, 소오스 영역과 드레인 영역은 각각 스위칭 박막 트랜지스터(ST)의 스위칭 소오스 전극(SS)과 스위칭 드레인 전극(SD)에 접속한다.

[0012] 또한, 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)에 의해 선택된 화소의 유기발광 다이오드(OLED)를 구동하는 기능을 한다. 구동 박막 트랜지스터(DT)는 스위칭 박막 트랜지스터(ST)의 스위칭 드레인 전극(SD)과 연결된 구동 게이트 전극(DG)과, 전원 전압(VDD)을 공급하는 전원 전압 라인(VDL) 상에 포함된 구동 소오스 전극(DS)과, 상기 구동 소오스 전극(DS)과 이격된 구동 전극 패턴(DD), 및 구동 채널 영역과 주변에 상기 구동 소오스 전극(DS)과 구동 전극 패턴(DD)과 접속된 소오스 영역 및 드레인 영역을 갖는 제 2 액티브층을 포함한다. 구동 박막 트랜지스터(DT)의 구동 전극 패턴(DD)은 유기발광 다이오드(OLED)의 제 1 전극과 연결된다.

[0013] 그리고, 상기 구동 게이트 전극(DG)과 스위칭 드레인 전극의 중첩부에서 전기적 접속이 이루어져 스위칭 박막

트랜지스터(ST)의 드레인 전극과 구동 박막 트랜지스터(DT)의 게이트 전극이 접속된다.

- [0014] 또한, 상기 구동 박막 트랜지스터(DT)의 구동 게이트 전극(DG)와 상기 구동 전극 패턴과의 중첩부에는 스토리지 캐패시터(Cst)가 정의될 수 있다.
- [0015] 그런데, 종래의 유기 발광 표시 장치에 있어서는, 도시된 회로도를 기준으로 살펴보면, 도 1의 한 화소에 대응된 구동 회로로 데이터 라인(DL)과 전원 전압 라인(VDL) 사이에 구비되어 있는 점을 나타낸다. 따라서, 도시된 화소와 인접한 화소에서는 도시된 전원 전압 라인(VDL)과 인접하여, 다음 데이터 라인(DL)이 배치될 것이다.
- [0016] 이러한 종래의 유기 발광 표시 장치의 화소들은 회로적으로 동일 방향으로 인가하는 신호들을 동일 방향으로 배치하고, 이들을 같은 층에 형성한다. 따라서, 전원 전압 라인(VDL)과 데이터 라인(DL)은 동일층에 위치한다.
- [0017] 이 경우, 라인간 간섭을 피하고, 쇼트를 방지하기 위해 전원 전압 라인(VDL)과 데이터 라인(DL)은 일정 간격 이격되어야 한다.
- [0018] 한편, 유기 발광 표시 장치는, 적용 범위가 점차 확대되어 가며, 대면적 및 고밀도 사양을 만족하는 개발이 가속화되고 있다. 특히, 해상도가 높아질수록 단위 화소의 크기가 점차 작아진다. 단위 화소의 크기가 작아진다는 것으로, 상술한 화소 구조에서는 동일층에 위치하는 전원 전압 라인과 인접한 데이터 라인간 이격 간격이 필히 존재하여야 하고, 이는 가로 방향에서의 데이터 라인이나 전원 전압 라인의 폭 외에도 이들의 이격 간격을 화소 내 구비하여야 하는 것으로, 이는 가로 방향에서 일정 이상의 집적이 어려움을 나타낸다.
- [0019] 상술한 종래의 유기 발광 표시 장치에 있어서는, 데이터 라인과 전원 전압 라인의 이격을 충분히 확보하게 되면, 화소 크기가 커지는 문제가 있어, 장치 내 화소를 고해상도로 배치하기 힘들다는 근본적인 한계가 있어, 초고집적화가 요구되는 유기 발광 표시 장치에 있어서, 이를 해결하고자 하는 노력이 요구된다.

## 발명의 내용

### 해결하려는 과제

- [0020] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 고집적화 및 고해상도를 위해 화소 내 라인 및 접속 전극의 배치를 달리한 유기 발광 표시 장치를 제공하는 데, 그 목적이 있다.

### 과제의 해결 수단

- [0021] 상기와 같은 목적을 달성하기 위한 본 발명의 유기 발광 표시 장치는, 인접 화소들에 대해 정전압 또는 일정 전압이 규칙적으로 들어오는 라인을 공유하고, 화소 내 박막 트랜지스터의 접속 노드에 해당하는 부위의 전극을 화소를 구분하는 교차 라인들과는 다른 층의 금속으로 형성함으로써, 화소 피치를 최소로 하여 초고해상도를 구현한다.
- [0022] 이를 위한 본 발명의 유기 발광 표시 장치는 복수개의 화소를 매트릭스 상으로 갖는 기판과, 상기 기판 상의 제 1 방향으로 배치된 스캔 라인 및 센싱 라인과, 각각 상기 스캔 라인 및 센싱 라인과 교차하며, 서로 이격된 제 1 액티브층 및 제 2 액티브층 및 상기 제 1 방향과 교차하는 제 2 방향으로 배치되며, 상기 제 1, 제 2 액티브층과 교차하는 데이터 라인, 기준 전압 라인 및 전원 전압 라인을 포함하며, 상기 각 화소에, 상기 스캔 라인으로부터 제 1 게이트 신호를 인가받고 상기 데이터 라인과 제 1 노드 사이에 위치한 제 1 스위칭 트랜지스터와, 상기 제 1 노드로부터 게이트 신호를 인가받고 상기 전원 전압 라인과 제 2 노드 사이에 위치한 구동 박막 트랜지스터 및 상기 센싱 라인으로부터 제 2 게이트 신호를 인가받고 상기 제 2 노드와 상기 기준 전압 라인 사이에 위치한 제 2 스위칭 박막 트랜지스터를 포함하고, 상기 기준 전압 라인 및 전원 전압 라인 중 적어도 어느 하나는 상기 데이터 라인과 다른 층에 위치하여, 평면상으로 상기 데이터 라인과 접하거나 중첩하며 인접한 화소들에 공유된다.
- [0023] 그리고, 상기 제 1 노드에 접속된 제 1 스토리지 전극과, 상기 제 2 노드에 접속된 제 2 스토리지 전극과, 상기 제 1, 제 2 스토리지 전극들 사이의 제 1 층간 절연막을 포함한 스토리지 캐패시터를 더 포함할 수 있다.
- [0024] 여기서, 상기 제 2 스토리지 전극은 제 1 층에, 상기 제 1 스토리지 전극은 제 2 층에, 상기 제 1, 제 2 액티브층은 제 3 층에, 상기 스캔 라인 및 센싱 라인은 제 4 층에, 상기 데이터 라인은 제 5 층에 구비되며, 상기 제 1 내지 제 5층은 각각 서로 다른 층이며, 순서적으로 인접한 층들 사이에 절연막을 개재하여 위치할 수 있다.
- [0025] 또한, 상기 제 1 노드에, 상기 제 1 스토리지 전극과 제 1 콘택홀을 통해 접속되며 제 6 층에 구비된 제 1 접

속 전극을 더 포함하며, 상기 제 1 스위칭 박막 트랜지스터는 상기 제 1 접속 전극을 드레인 전극으로 이용하며, 상기 구동 박막 트랜지스터는 상기 제 1 접속 전극을 게이트 전극으로 이용할 수 있다.

[0026] 그리고, 상기 제 2 노드에, 상기 제 2 스토리지 전극과 제 2 콘택홀을 통해 접속되며 제 6 층에 구비된 제 2 접속 전극을 더 포함하며, 상기 구동 박막 트랜지스터는 상기 제 2 접속 전극을 드레인 전극으로 이용하고, 상기 제 2 스위칭 박막 트랜지스터는 상기 제 2 접속 전극을 소오스 전극으로 이용할 수 있다.

[0027] 여기서, 상기 제 1, 제 2 스토리지 전극은 중첩하되 상기 제 2 스토리지 전극이 상기 제 1 스토리지 전극에 비해 일측으로 돌출되며, 상기 돌출된 부위에 상기 제 2 접속 전극과 접속될 수 있다.

[0028] 평면적으로 상기 제 1 방향에서 인접한 화소들의 상기 데이터 라인들 사이에 상기 전원 전압 라인이 공유될 수 있다.

[0029] 이 경우, 상기 전원 전압 라인은 상기 제 2 스토리지 전극과 동일한 상기 제 1 층에 위치할 수 있다.

[0030] 또한, 상기 제 1 방향에서 인접한 화소들은 상기 전원 전압 라인을 경계로 좌우 대칭일 수 있다.

[0031] 한편, 평면적으로 상기 제 2 방향에서 인접한 화소들의 상기 스캔 라인들 사이에, 상기 센싱 라인이 공유될 수도 있다.

[0032] 이 경우, 상기 제 2 방향에서 인접한 화소들은 상기 센싱 라인을 경계로 상하 대칭일 수 있다.

[0033] 또한, 상기 제 2 방향에서 인접한 화소들의 상하로 대칭의 제 2 스위칭 박막 트랜지스터들은 상기 기준 전압 라인과 하나의 제 3 콘택홀을 통해 드레인 전극이 접속될 수 있다.

### 발명의 효과

[0034] 본 발명의 유기 발광 표시 장치는 다음과 같은 효과가 있다.

[0035] 첫째, 인접 화소들에 대해 정전압 또는 일정 전압이 규칙적으로 들어오는 라인을 공유하고, 인접 화소의 구성을 좌우 대칭 혹은 상하 대칭 또는 상하좌우 대칭을 적용하여, 배선간 이격 공간을 줄여 화소의 가로 피치 혹은 세로 피치를 줄일 수 있다.

[0036] 둘째, 화소 내 박막 트랜지스터의 접속 노드에 해당하는 부위의 전극을 평면상으로 인접한 라인들과는 다른 층의 금속으로 형성함으로써, 같은 방향의 라인들인 기준 전압과 데이터 라인 사이에 배치되는 접속 전극이 평면상 인접한 기준 전압과 데이터 라인 사이에 최소 간격 내에 배치하기 용이하여 화소 피치를 최소로 할 수 있으며, 이에 따라 설계 마진이 늘고 자유도가 증가한다.

[0037] 셋째, 궁극적으로 인접 화소들에 대해 라인 공유와 다른 층의 접속 전극 구비로 초고해상도 구현이 가능하다.

### 도면의 간단한 설명

[0038] 도 1은 종래의 유기 발광 표시 장치의 회로도

도 2는 본 발명의 유기 발광 표시 장치의 회로도

도 3은 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 평면도

도 4는 본 발명의 제 1 실시예를 적용한 서로 인접한 2개의 화소를 나타낸 평면도

도 5는 도 3의 I~I' 선상의 단면도

도 6은 본 발명의 유기 발광 표시 장치에 있어서, 한 화소 내의 배선 사이의 간격을 나타낸 평면도

도 7은 본 발명의 제 2 실시예에 따른 유기 발광 표시 장치의 인접한 4개의 화소를 나타낸 평면도

도 8은 도 7의 II~II' 선상을 나타낸 단면도

도 9는 도 7의 III~III' 선상을 나타낸 단면도

도 10은 본 발명의 제 2 실시예의 변형예를 나타낸 평면도

### 발명을 실시하기 위한 구체적인 내용

[0039] 이하, 첨부된 도면들을 참조하여, 본 발명의 바람직한 실시예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조



번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 부품 명칭과 상이할 수 있다.

- [0040] 도 2는 본 발명의 유기 발광 표시 장치의 회로도이다.
- [0041] 먼저, 본 발명의 유기 발광 표시 장치의 일 화소를 회로로 표현하면, 도 2와 같이, 서로 교차하는 스캔 라인(SL)과 데이터 라인(DL) 사이에 제 1 스위칭 박막 트랜지스터(SW1)와, 상기 제 1 스위칭 박막 트랜지스터(SW1)와 전원 전압 라인(VDL) 사이에 연결된 구동 박막 트랜지스터(D-TFT)와, 상기 구동 박막 트랜지스터(D-TFT)와 기준 전압 라인(RL) 사이에 연결된 제 2 스위칭 박막 트랜지스터(SW2)와, 상기 제 1 스위칭 박막 트랜지스터(SW1)와 상기 구동 박막 트랜지스터(D-TFT)의 접속 지점인 제 1 노드(A)와 상기 구동 박막 트랜지스터(D-TFT)와 제 2 스위칭 박막 트랜지스터(SW2)의 접속 지점인 제 2 노드(B)에 연결된 스토리지 캐패시터(Cst) 및 상기 제 2 노드(B)와 접지단자 사이에 구비된 유기발광 다이오드(OLED)를 포함한다. 여기서, 서로 교차하는 스캔 라인(SL)과 데이터 라인(DL) 사이에 화소 영역이 정의되며, 상기 화소 영역은 기관(도 5의 100 참조) 상에, 매트릭스 상으로 배치되어 있다.
- [0042] 한편, 상기 제 1 노드(A)에는 상기 제 1 스위칭 박막 트랜지스터(SW1)의 스위칭 드레인 전극(SD1)과 구동 박막 트랜지스터(D-TFT)의 구동 게이트 전극(DG)이 접속되며, 상기 제 2 노드(B)에는 상기 구동 박막 트랜지스터의 구동 전극 패턴(DD)과 상기 제 2 스위칭 박막 트랜지스터의 제 2 스위칭 드레인 전극(SD2)이 접속된다.
- [0043] 그리고, 상기 제 1 스위칭 박막 트랜지스터(SW1)와 제 2 스위칭 박막 트랜지스터(SW2)의 각각의 게이트 전극(SG1, SG2)은 스캔 라인(SL) 및 센싱 라인(SSL)에 연결되어 있다.
- [0044] 상기 제 1 스위칭 박막 트랜지스터(SW1)는 스캔 라인(SL)의 인가되는 제 1 게이트 신호에 따라 구동되는 화소를 선택하며, 상기 구동 박막 트랜지스터(D-TFT)는 상기 제 1 스위칭 박막 트랜지스터(SW1)에 연결되어, 선택된 화소의 구동 전류를 제어하여 유기 발광 다이오드(OLED)에 공급한다. 또한, 상기 스토리지 캐패시터(Cst)는 상기 제 1 스위칭 박막 트랜지스터(SW1)로부터 제공받은 전압을 한 프레임 동안 유지하여 구동 박막 트랜지스터(D-TFT)가 일정한 전압을 유지하도록 한다. 이를 위해 스토리지 캐패시터(Cst)는 구동 박막 트랜지스터(D-TFT)의 구동 게이트 전극(DG)과 구동 전극 패턴(DD) 사이에 위치한다. 여기서, 상기 스토리지 캐패시터(Cst)는 제 2 스위칭 박막 트랜지스터(SW2)와 연결되어, 제 2 스위칭 박막 트랜지스터(SW)가 센싱 라인(SSL)의 센싱 신호 공급시 턴온되는 동안, 기준 전압 라인(RL)으로부터 제공받는 초기화 전압(제 2 게이트 신호)을 제 2 노드(B)로 제공하며, 이는 특정의 구간에서 센싱 라인(SSL)으로부터 센싱 신호 인가에 따라 초기화가 이루어짐을 의미한다.
- [0045] 이하, 도면을 참조하여 본 발명의 유기 발광 표시 장치의 화소의 구체적인 형상에 대해 살펴본다. 후술하는 바는 2개의 실시예와 이의 변형예를 설명하지만, 이에 한하지 않으며, 공통적으로 인접 화소들의 라인 공유와 접속 전극을 다른 층에 구비하는 예라면 다른 형태로도 변경 가능하다.
- [0046] \*본 발명의 제 1 실시예\*
- [0047] 도 3은 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치의 일 화소를 나타낸 평면도이며, 도 4는 본 발명의 제 1 실시예를 적용한 서로 인접한 2개의 화소를 나타낸 평면도이고, 도 5는 도 3의 I-I' 선상의 단면도이다.
- [0048] 도 3 내지 도 5와 같이, 본 발명의 제 1 실시예에 따른 유기 발광 표시 장치는 복수개의 화소를 매트릭스 상으로 갖는 기관(100)과, 상기 기관(100) 상의 제 1 방향으로 배치된 스캔 라인(SL)(130) 및 센싱 라인(SSL)(131)과, 각각 상기 스캔 라인(SL)(130) 및 센싱 라인(SSL)(131)과 교차하며, 서로 이격한 제 1 액티브층(121) 및 제 2 액티브층(122) 및 상기 제 1 방향과 교차하는 제 2 방향으로 배치되며, 상기 제 1, 제 2 액티브층과 교차하는 데이터 라인(DL)(140), 기준 전압 라인(RL)(141) 및 전원 전압 라인(VDL)(111)을 포함한다.
- [0049] 그리고, 상기 각 화소에, 도 2와 같이, 상기 스캔 라인(SL)(130)으로부터 제 1 게이트 신호를 인가받고 상기 데이터 라인(DL)(140)과 제 1 노드 사이에 위치한 제 1 스위칭 트랜지스터(SW1)와, 상기 제 1 노드로부터 게이트 신호를 인가받고 상기 전원 전압 라인(VDL)(111)과 제 2 노드 사이에 위치한 구동 박막 트랜지스터(D-TFT) 및 상기 센싱 라인(SSL)(131)으로부터 제 2 게이트 신호를 인가받고 상기 제 2 노드와 상기 기준 전압 라인 사이에 위치한 제 2 스위칭 박막 트랜지스터(SW2)를 포함한다.
- [0050] 여기서, 도 3 및 도 4와 같이, 상기 기준 전압 라인(RL)(141) 및 전원 전압 라인(VDL)(111) 중 상기 전원 전압 라인(111)은 상기 데이터 라인(DL)(140)과 다른 층에 위치하여, 평면상으로 상기 데이터 라인(DL)(140)과 접하



거나 중첩하며 인접한 화소들에 공유된다. 여기서, 2개의 인접한 좌우 화소가 하나의 전원 전압 라인(VDL)(111)을 공유하고 좌우 화소가 서로 대칭형으로 구성되기 때문에, 동일 형태의 화소들이 반복되는 구조 대비 전원 전압 라인의 폭 및 전원 전압 라인과 기준 전압 라인간의 이격 간격을 더한 폭이 감소되는 효과를 얻는다. 결과적으로, 화소별 가로 피치가 줄어드는 효과를 얻을 수 있는 것이다.

- [0051] 이 경우, 평면적으로 상기 제 1 방향(도면상의 가로 방향)에서 인접한 좌우 화소들의 상기 데이터 라인들(140) 사이에 상기 전원 전압 라인(VDL)(111)이 공유되는 것이며, 이 경우, 상기 전원 전압 라인(111)이 상기 데이터 라인들(140)과 다른 층에 위치하므로, 전원 전압 라인(111)의 양측에서 인접한 화소의 데이터 라인들(DL, DL')이 서로 일부 중첩될 수도 있다.
- [0052] 또한, 상기 제 1 방향에서 인접한 화소들은 상기 전원 전압 라인(111)을 경계로 좌우 대칭이다. 이는 전원 전압 라인(111)이 좌우 양 화소에서 공유되었기 때문에, 공통적으로 양 화소에 하나의 전원 전압 라인(111)으로 전원 전압(Vdd)을 공급하기 위함이다.
- [0053] 또한, 도시된 바는 전원 전압 라인(111)이 데이터 라인(140)과 다른 층에 위치한 점을 나타내지만, 전원 전압 라인(111)이 평면상 데이터 라인(140)에 인접하기에 서로 상이한 층에 위치한 점을 나타내었으며, 이에 한하지 않는다. 예를 들어, 기준 전압 라인(RL)이 만일 데이터 라인(DL)과 인접하여 위치한다면 데이터 라인(DL)과 다른 층에 위치시킬 수 있을 것이다.
- [0054] 여기서, 데이터 라인(DL)과 다른 층에 위치하는 라인들은 데이터 라인과 동일 방향으로 정전압이 인가되는 라인들에 상당하다. 이 경우, 같은 방향의 라인들이지만, 서로 다른 층에 데이터 라인과 기준 전압 라인 또는 전원 전압 라인이 배치되어, 데이터 라인과 기준 전압 라인 또는 전원 전압 라인이 서로 평면적으로 접하거나 중첩할 수 있어, 동일층에 위치하는 배선들에 경우 약  $2\mu\text{m}$  정도로 이격 마진을 구비하는 구조 대비 이를 줄일 수 있어,  $2\mu\text{m}$  이상의 화소 피치를 줄일 수 있는 이점이 있다. 한편, 도시된 도면 상에는 상기 전원 전압 라인(111)을 제 2 스토리지 전극(110)과 동일층에 구비한 형태를 나타내었다.
- [0055] 도 2 내지 도 5와 같이, 상기 제 1 노드(A)에 접속된 제 1 스토리지 전극(115)과, 상기 제 2 노드에 접속된 제 2 스토리지 전극(110)과, 상기 제 1, 제 2 스토리지 전극들(115, 110) 사이의 제 1 층간 절연막(113)을 포함하는 스토리지 캐패시터(Cst)를 더 포함한다.
- [0056] 여기서, 금속 라인 또는 반도체층과 같이 전류 패스를 갖는 구성 요소들을 기준으로 층상 구조를 살펴보면 아래와 같다.
- [0057] 즉, 상기 제 2 스토리지 전극(110)은 제 1 층에, 상기 제 1 스토리지 전극(115)은 제 2 층에, 상기 제 1, 제 2 액티브층(121, 122)은 제 3 층에, 상기 스캔 라인(130) 및 센싱 라인(131)은 제 4 층에, 상기 데이터 라인(140) 및 기준 전압 라인(141)은 제 5 층에 구비된다. 여기서, 상기 제 1 내지 제 5층은 각각 서로 다른 층이며, 순서적으로 인접한 층들 사이에는 제 1 층간 절연막(113), 제 2 층간 절연막(117), 게이트 절연막(125), 제 3 층간 절연막(135)을 구비한다.
- [0058] 또한, 상기 제 1 노드(A)에, 상기 제 1 스토리지 전극(115)과 제 1 콘택홀(CT1)을 통해 접속되며 제 6 층에 구비된 제 1 접속 전극(150)을 더 포함하며, 상기 제 1 스위칭 박막 트랜지스터(SW1)는 상기 제 1 접속 전극(150)을 드레인 전극으로 이용하며, 상기 구동 박막 트랜지스터(D-TFT)는 상기 제 1 접속 전극(150)을 게이트 전극으로 이용할 수 있다. 여기서, 상기 제 1 노드(A)의 제 1 접속 전극(150)은 제 1 스토리지 전극(115)과 상기 제 1 액티브층(121)층을 관통하는 제 1 콘택홀(CT1)을 통해 접속된다. 이 경우, 상기 제 1 접속 전극(150)의 폭은 제한적이므로, 도시된 바와 같이, 스캔 라인(SL)(130) 및 센싱 라인(SSL)(131)과 동일층의 상부 게이트 전극(132)과 측면 접속을 더 가질 수도 있다. 그리고, 이 경우, 상기 상부 게이트 전극(132)은 상기 제 1 및 제 2 액티브층(121, 122)의 소오스 및 드레인 전극과 접속되는 고농도 불순물 영역(121b, 122b)을 정의하는 기능도 가질 수 있다.
- [0059] 그리고, 상기 제 2 노드(B)에, 상기 제 2 스토리지 전극(110)과 제 2 콘택홀(CT2)을 통해 접속되며 제 6 층에 구비된 제 2 접속 전극(151)을 더 포함한다. 상기 구동 박막 트랜지스터(D-TFT)는 상기 제 2 접속 전극(151)을 드레인 전극으로 이용하고, 상기 제 2 스위칭 박막 트랜지스터(SW2)는 상기 제 2 접속 전극(151)을 소오스 전극으로 이용할 수 있다.
- [0060] 여기서, 상기 제 1, 제 2 스토리지 전극(115, 110)은 중첩하되 상기 제 2 스토리지 전극(110)이 상기 제 1 스토리지 전극(115)에 비해 일측으로 돌출되며, 상기 돌출된 부위에 상기 제 2 접속 전극(151)과 접속된다. 이 경우, 상기 제 1 스토리지 전극(115)은 상기 제 2 접속 전극(151)과 전기적으로 이격되어 있다. 즉, 상기 제 2

접속 전극(151)은 제 2 스토리지 전극(110)과 접속되어 동일 전위이기 때문에, 대향되는 제 1 스토리지 전극(110)과는 평면상으로도 이격 간격을 유지하여야 스토리지 캐패시터가 쇼트되지 않고 정상적으로 기능하는 것이다.

[0061] 한편, 도면 상에서는 상기 전원 전압 라인(VDL)(111)은 상기 제 2 스토리지 전극(110)과 동일한 상기 제 1 층에 위치한 점을 나타내는데, 경우에 따라, 제 2 층에 구비될 수도 있다.

[0062] 상기 제 1 접속 전극(150)은 각각 A 노드에서는 제 1 스위칭 박막 트랜지스터의 드레인 전극과 구동 박막 트랜지스터의 게이트 전극을 접속시키며, 또한, 제 1 스토리지 전극과도 접속되는 것이다.

[0063] 그리고, 상기 제 2 접속 전극(151)은 각각 B 노드에서 구동 박막 트랜지스터의 드레인 전극과 제 2 스위칭 박막 트랜지스터의 소오스 전극을 접속시키며, 또한, 제 2 스토리지 전극과도 접속되는 것이다.

[0064] 이러한 제 1, 제 2 접속 전극(150, 151)을 다른 제 1, 제 2 액티브층(121, 122)과 중첩되는 각 트랜지스터들의 게이트 전극들을 이루는 스캔 라인 또는 센싱 라인이나 데이터 라인(140)과 동일층으로 상기 제 1, 제 2 액티브층(121, 122)의 소오스 드레인 영역과 접속되는 데이터 라인(140) 자신이나 기준 전압 라인(141) 및 전원 전압 라인(111)과 다른 층에 위치시킨다. 이는, 종래 기준 전압 라인과 데이터 라인 사이에서의 접속 전극을 데이터 라인과 동일층의 금속으로 형성한 구조에서, 접속 전극과 데이터 라인들과 동일 층 사이의 이격을 구비하기 위해 화소 내 가로 피치를 줄일 수 없는 문제를 해결한 것이다.

[0065] 한편, 상기 제 6층은 상기 제 5층과의 사이에 제 4 층간 절연막(145)을 개재한다.

[0066] 도면 상에서 설명하지 않은 부호 CT3은 제 1 액티브층(121)과 데이터 라인(140)과의 접속이 이루어지는 제 3 콘택홀을 나타낸다. 여기서, 상기 제 3 콘택홀(CT3) 부위의 데이터 라인(140)의 영역은 제 1 스위칭 박막 트랜지스터(SW1)의 소오스 전극으로 기능한다. 또한, CT4는 제 2 액티브층(122)의 일단과 전원 전압 라인(VDL)과의 접속이 이루어지는 제 4 콘택홀을 나타낸다. 그리고, CT5는 제 2 액티브층(122)의 타단과 기준 전압 라인(RL)(141)과의 접속이 이루어지는 제 5 콘택홀을 나타낸다. 여기서, 상기 제 5 콘택홀(CT5) 부위의 데이터 라인(140)의 영역은 제 2 스위칭 박막 트랜지스터(SW2)의 드레인 전극으로 기능한다.

[0067] 그리고, 제 1 액티브층(121) 및 제 2 액티브층(122)은 각각 스캔 라인(SL)(131), 센싱 라인(SSL)(132) 및 구동 게이트 전극(132)에 대응되어 진성 영역의 채널 영역(121a, 122a)이 구비되고, 상기 채널 영역(121a, 122a)에 인접하여 각각의 소오스/드레인 전극과 접속되는 소오스/드레인 영역(131b, 132b)이 구비된다.

[0068] 도 6은 본 발명의 유기 발광 표시 장치에 있어서, 한 화소 내의 배선 사이의 간격을 나타낸 평면도이다.

[0069] 도 6은 본 발명의 유기 발광 표시 장치의 한 화소에서 세로 방향의 배선만을 나타낸 것으로, 우측부터 기준 전압 라인(RL), 데이터 라인(DL) 및 전원 전압 라인(VDL)이 차례로 배치되어 있다.

[0070] 도시된 도면은 평면상으로 인접한 기준 전압 라인(RL)과 데이터 라인(DL)이 서로 다른 층에 위치할 경우, 서로 평면적으로 접한 구성을 가질 수 있는 점을 나타내었다.

[0071] 그런데, 유기 발광 표시 장치의 화소내에는 도 2와 같이, 데이터 라인(DL)과 구동 전압 라인 (VDL) 사이에 각각 제 1, 제 2 스위칭 박막 트랜지스터(SW1, SW2) 와, 구동 박막 트랜지스터(D-TFT) 및 스토리지 캐패시터(Cst)의 연결을 가져야 하는데, 이들 박막 트랜지스터나 스토리지 캐패시터의 전극을 상기 데이터 라인(DL)과 동일 층으로 구비할 경우, 동일층의 데이터 라인(DL)과 전원 전압 라인(VDL) 사이에 해당 전극들은 상기 데이터 라인(DL)이 이격하여야 쇼트되지 않는다. 만일 도시된 바와 같이, 동일층의 데이터 라인(DL)과 전원 전압 라인(VDL) 사이의 가로 간격이  $4.4\mu\text{m}$  로 한정되어진 경우, 현재 가능한 해상도를 고려하여 동일층의 패턴들간의 이격 마진을  $2\mu\text{m}$  할 때, 좌우에서 이러한 이격 마진이 필요하므로, 실제 데이터 라인(DL)과 전원 전압 라인(VDL) 사이에 위치하는 데이터 라인과 동일층의 패턴이 구비되는 폭은  $0.4\mu\text{m}$ 에 한할 것으로, 현재 요구되는 고해상도 모델에서는 동일한 층 구성으로는 박막 트랜지스터의 전극 구성, 특히, 제 1 및 제 2 노드에서의 전극 구성이 용이하지 않다.

[0072] 본 발명의 유기 발광 표시 장치는, 상기 데이터 라인과 전원 전압 라인 사이의 간격이 한정적이라도, 데이터 라인과 다른 층에 제 1, 제 2 노드의 제 1, 제 2 접속 전극을 위치시켜, 데이터 라인과 제 1, 제 2 접속 노드간 이격이나 중첩이 크게 좌우되지 않아 설계 자유도를 가질 수 있으며, 결과적으로, 중첩시 화소의 가로 피치를 현저히 줄일 수 있어, 초고해상도까지 피할 수 있는 것이다.

[0073] \*본 발명의 제 2 실시예\*

- [0074] 도 7은 본 발명의 제 2 실시예에 따른 유기 발광 표시 장치의 인접한 4개의 화소를 나타낸 평면도이며, 도 8은 도 7의 II~II' 선상을 나타낸 단면도이고, 도 9는 도 7의 III~III' 선상을 나타낸 단면도이다.
- [0075] 도 7 내지 도 9는 본 발명의 제 2 실시예를 나타낸 것으로, 제 1 실시예에 더하여, 평면적으로 상기 제 2 방향(세로)에서 인접한 상하 화소들의 상기 스캔 라인들 사이에, 상기 센싱 라인(SSL)(230)이 공유된 점을 나타낸 것이다.
- [0076] 이 경우, 상기 제 2 방향에서 인접한 상하 화소들은 상기 센싱 라인(SSL)(230)을 경계로 상하 대칭이다.
- [0077] 그리고, 도 9와 같이, 전원 전압 라인(VDL)(111)은 상기 제 2 스토리지 전극(115)과 동일층에 위치할 수 있으며, 경우에 따라, 스캔 라인(SL)(130) 및 센싱 라인(SSL)(131)이 중첩하지 않는 범위 내에서, 보조 패턴(215)을 이들과 동일층에 구비하여 상기 제 2 스토리지 전극(115)과 보조 패턴(215) 사이에 제 5 콘택홀(CT5)을 사이에 구비한 형태로 구성할 수도 있다. 여기서, 상기 제 5 콘택홀(CT5)은 위에서부터 차례로 게이트 절연막(125), 제 2 액티브층(122), 제 2 층간 절연막(117) 및 제 1 층간 절연막(113) 사이에 구비된다.
- [0078] 경우에 따라, 좌우 공유되는 전원 전압 라인(111)은 제 1 스토리지 전극(115)과 동일층일 수도 있다.
- [0079] 한편, 상기 제 1 실시예와 동일한 구성을 동일 부호를 이용하며, 이에는 설명을 생략한다.
- [0080] 도 10은 본 발명의 제 2 실시예의 변형예를 나타낸 평면도이다.
- [0081] 도 10과 같이, 본 발명의 제 2 실시예의 변형예는 센싱 라인(230)이 상하로 공유되어 있기 때문에, 각각 양측의 기준 전압 라인(RL)(141)과 접속되는 제 4 콘택홀(CT4)을 상하에서 하나만 구비하는 것을 나타낸다.
- [0082] 즉, 센싱 라인(230)이 상하 화소들에 공유되어, 센싱 라인(230)을 게이트 전극으로 이용하는 인접한 상하 화소의 제 2 스위칭 박막 트랜지스터(SW2)는 각각 상기 하나의 제 5 콘택홀(CT5)을 통해 제 2 액티브층(122)와 접속된 기준 전압 라인(RL)(141)과 하나의 콘택을 공유로 갖는 것이다.
- [0083] 도면상에서는 좌측 상하 화소와 우측 상하 화소가 각각 상측 화소, 하측 화소에서 제 5 콘택홀(CT5)을 갖는 점을 나타내었으나, 같은 방향으로 가질 수도 있다.
- [0084] 그리고, 이 경우, 콘택을 갖지 않는 부분의 제 2 액티브층(122)은 생략할 수 있다.
- [0085] 즉, 본 발명의 유기 발광 표시 장치는 인접 화소들에 대해 정전압 또는 일정 전압이 규칙적으로 들어오는 라인을 공유하고, 인접 화소의 구성을 좌우 대칭 혹은 상하 대칭 또는 상하좌우 대칭을 적용하여, 배선간 이격 공간을 줄여 화소의 가로 피치 혹은 세로 피치를 줄일 수 있다.
- [0086] 또한, 화소 내 박막 트랜지스터의 접속 노드에 해당하는 부위의 전극을 평면상으로 인접한 라인들과는 다른 층의 금속으로 형성함으로써, 같은 방향의 라인들인 기준 전압과 데이터 라인 사이에 배치되는 접속 전극이 평면상 인접한 기준 전압과 데이터 라인 사이에 최소 간격 내에 배치하기 용이하여 화소 피치를 최소로 할 수 있으며, 이에 따라 설계 마진이 늘고 자유도가 증가한다.
- [0087] 그리고, 궁극적으로 인접 화소들에 대해 라인 공유와 다른 층의 접속 전극 구비로 초고해상도 구현이 가능하다.
- [0088] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

## 부호의 설명

- |                  |                  |
|------------------|------------------|
| [0089] 100: 기판   | 105: 버퍼층         |
| 110: 제 2 스토리지 전극 | 111: 데이터 라인      |
| 113: 제 1 층간 절연막  | 115: 제 1 스토리지 전극 |
| 117: 제 2 층간 절연막  | 121: 제 1 액티브층    |
| 122: 제 2 액티브층    | 125: 게이트 절연막     |
| 130: 스캔 라인       | 131: 센싱 라인       |
| 132: 구동 게이트 전극   | 135: 제 3 층간 절연막  |

140: 데이터 라인

141: 기준 전압 라인

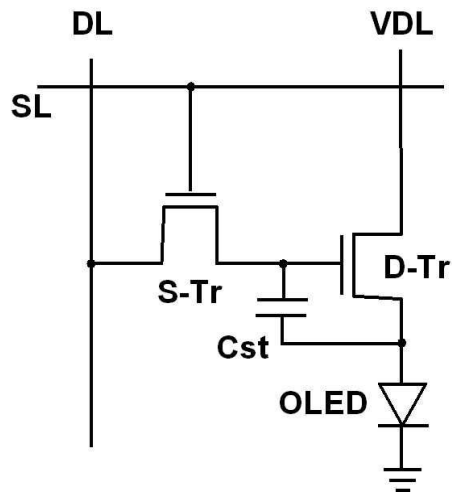
145: 제 4 층간 절연막

150: 제 1 접속 전극

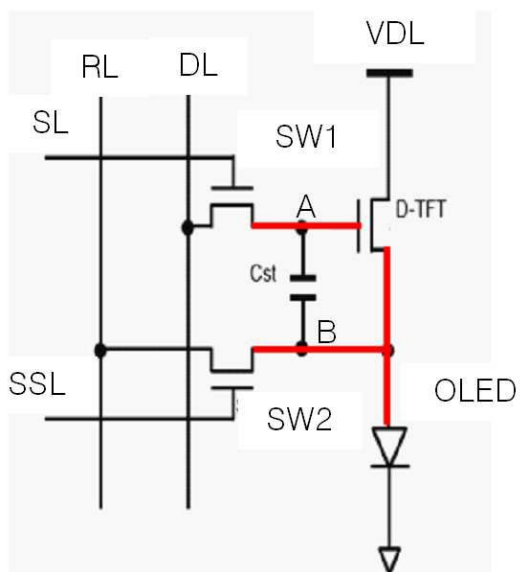
151: 제 2 접속 전극

도면

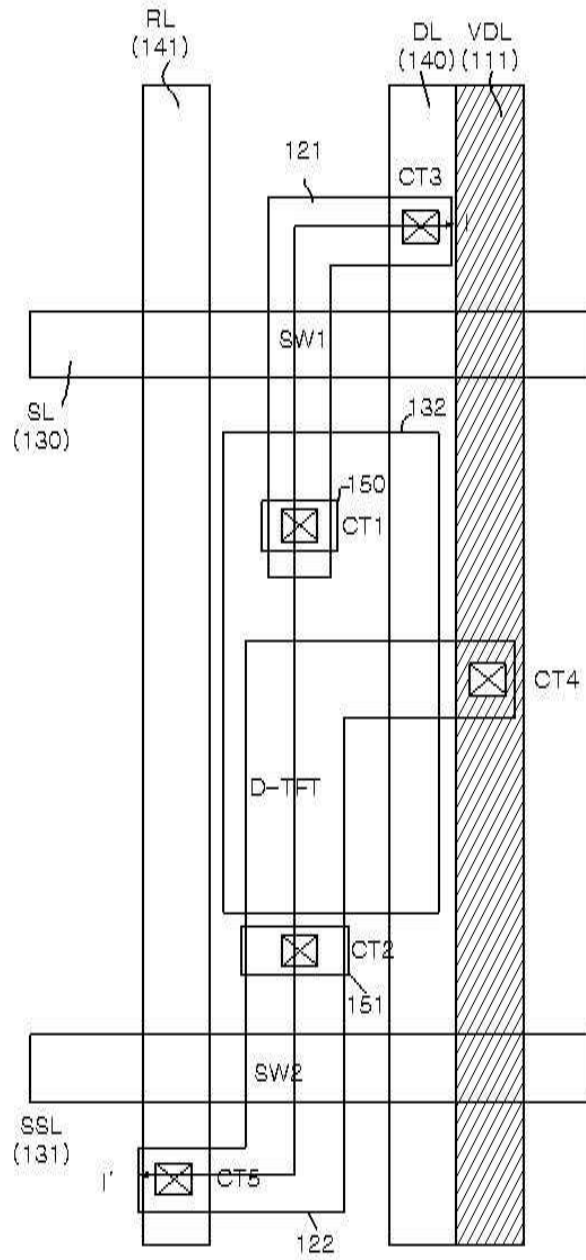
도면1



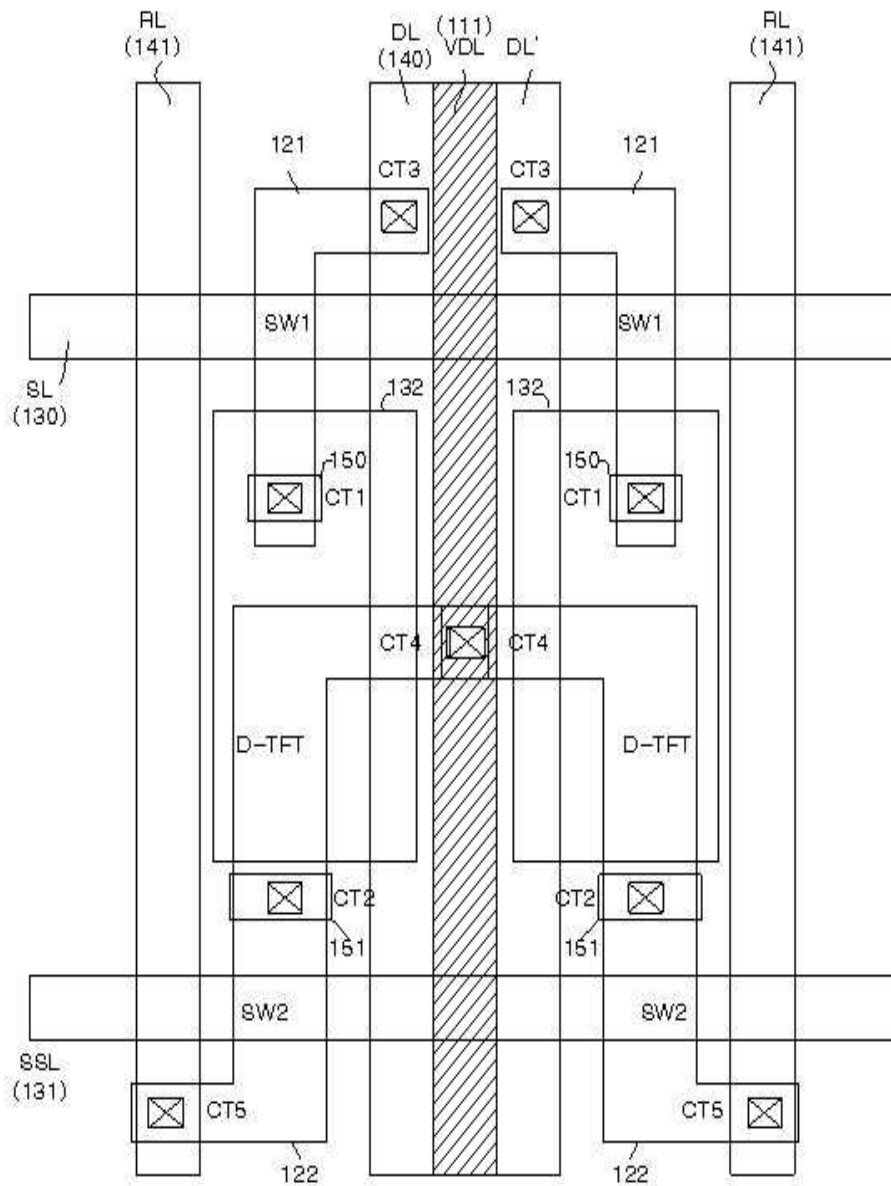
도면2



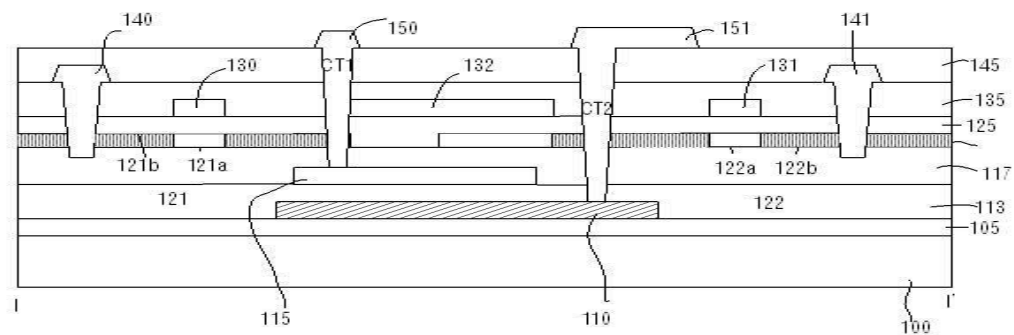
도면3



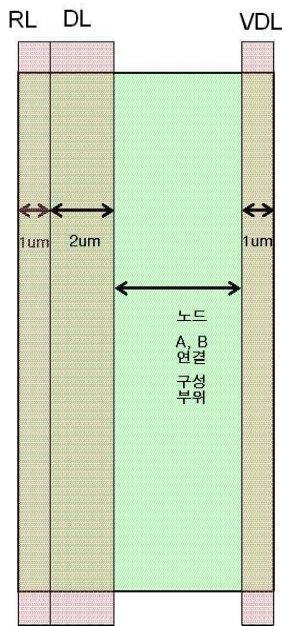
도면4



도면5

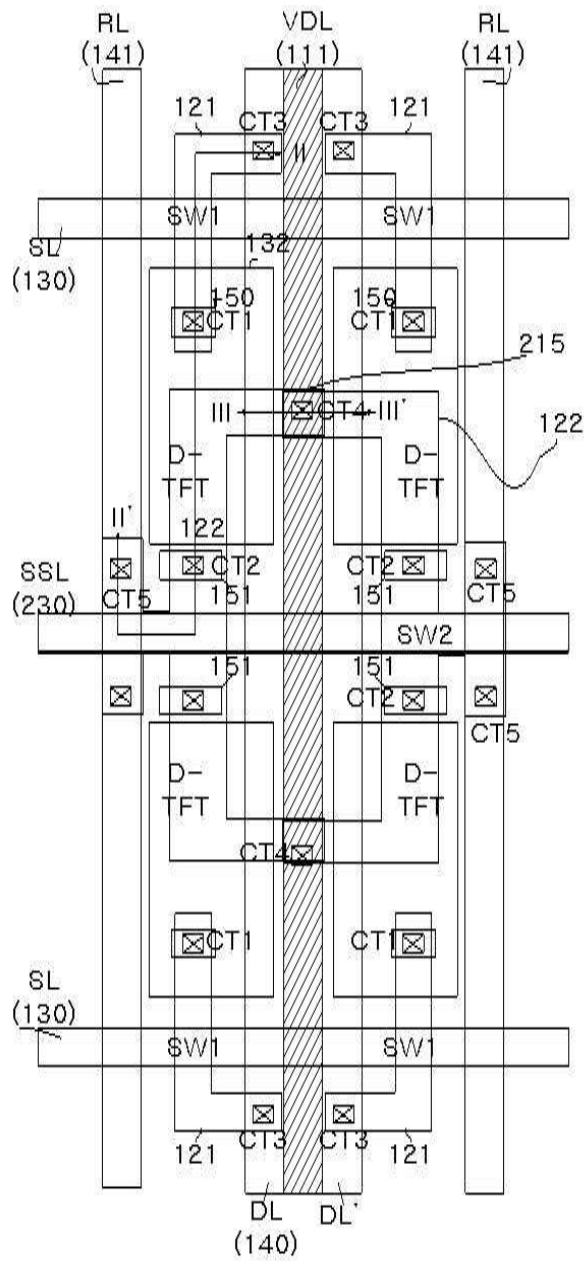


도면6

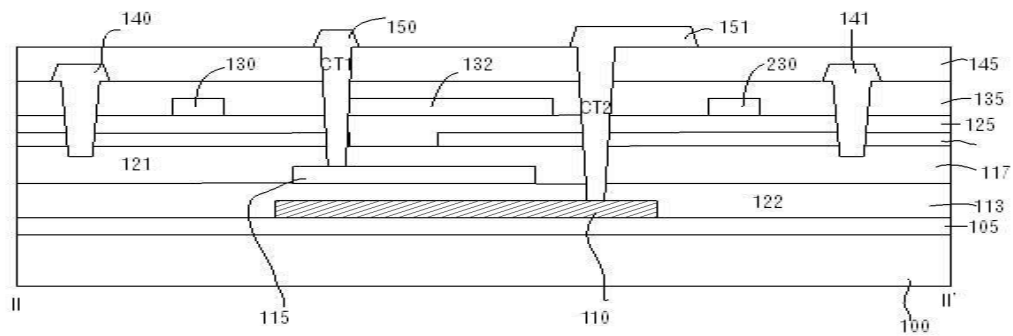




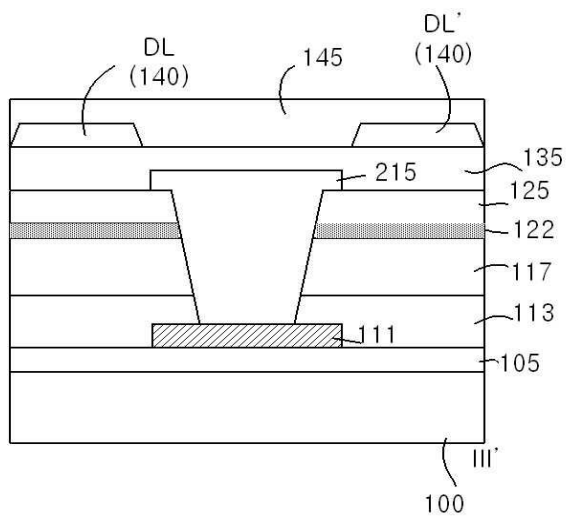
도면7



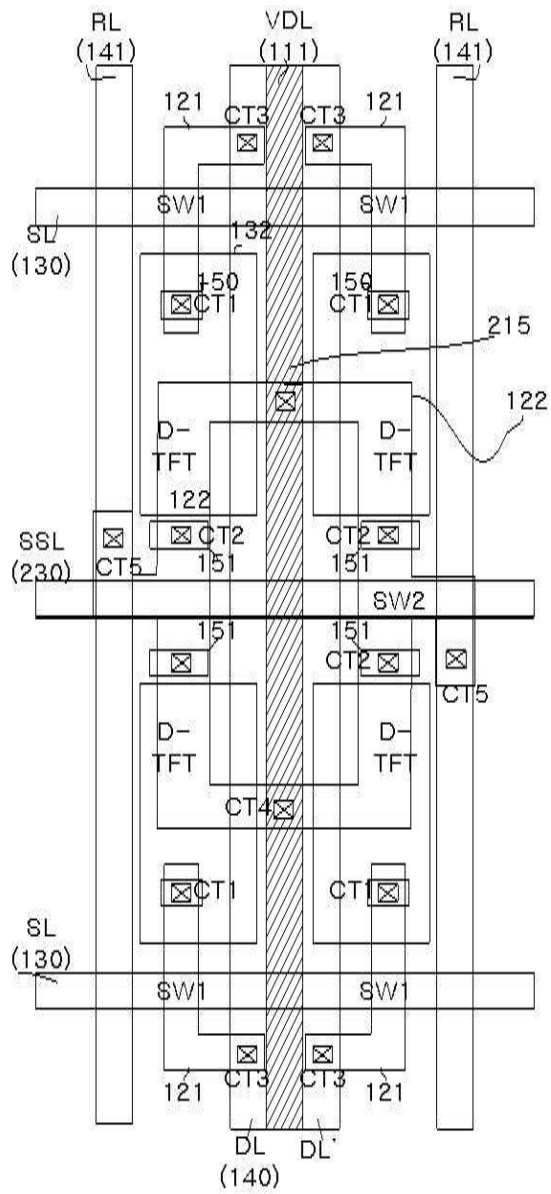
도면8



도면9



도면10



本发明涉及有机发光显示装置，用于区分像素内的高集成度和高分辨率的连接电极和线的布置，并且关于相邻像素共享恒定电压或规定电压经常出现的线。并且，对应于像素内部的存取节点的位置的电极，薄膜晶体管形成为与对像素进行分类的交叉线不同的层的金属。以这种方式，像素间距达到最小并且实现超高清。

