

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

픽셀마다 OLED(Organic Light Emitting Diode)가 포함된 픽셀 어레이와, 상기 픽셀 어레이를 구동하는 패널 내장형 게이트 드라이버를 갖는 유기발광 표시장치에 있어서,

상기 픽셀어레이는 1 픽셀을 구성하는 단위 TFT(Thin Film Transistor) 영역이 다수개 배치된 픽셀 TFT 어레이와, 상기 1 픽셀을 구성하는 단위 발광 영역이 다수개 배치된 픽셀 발광 어레이를 포함하고,

상기 픽셀 TFT 어레이는 표시패널의 제1 영역(AA) 내에 위치하고,

상기 패널 내장형 게이트 드라이버는 상기 표시패널에서 상기 제1 영역 바깥의 제2 영역(GA) 내에 위치하며,

상기 픽셀 발광 어레이는, 상기 제1 영역(AA)에 위치함과 아울러 상기 제2 영역(GA)의 일부에 위치하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 픽셀 발광 어레이는,

상기 제1 영역(AA)에서 상기 픽셀 TFT 어레이와 중첩되고, 상기 제2 영역(GA)에서 상기 패널 내장형 게이트 드라이버의 일부와 중첩되는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 단위 발광 영역은 상기 단위 TFT 영역보다 넓은 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 표시패널의 일부 위치에서, 상기 단위 발광 영역은 복수의 단위 TFT 영역들과 부분적으로 중첩되는 유기발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 픽셀 TFT 어레이를 구성하는 다수의 단위 TFT 영역들은 균등 간격으로 배치되는 유기발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 픽셀 TFT 어레이를 구성하는 다수의 단위 TFT 영역들은 차등 간격으로 배치되는 유기발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 서로 이웃한 단위 TFT 영역들 간의 간격은 상기 표시패널의 에지부에 비해 센터부에서 더 넓으며,

상기 에지부는 상기 센터부에 비해 상기 제2 영역(GA)에 더 가까운 유기발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 OLED는, 상기 단위 발광 영역에 구비된 발광 소자와, 상기 발광 소자를 상기 단위 TFT 영역에 구비된 구동 TFT에 연결하는 픽셀 전극을 포함하고,

상기 픽셀 전극은 구동 TFT에 직접 연결되는 메인 전극과, 상기 발광 소자에 직접 연결됨과 아울러 절연막을 관통하여 상기 메인 전극에 연결되는 보조 전극을 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기 발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. OLED는 애노드 전극과 캐소드 전극 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드 전극과 캐소드 전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시 광을 발생하게 된다.

[0003] 유기발광 표시장치는 표시패널의 게이트라인들을 구동하기 위한 게이트 드라이버를 포함한다. 이 게이트 드라이버는 공정 수순, 및 제조 단가를 줄이기 위해 GIP(Gate driver In Panel) 방식의 TFT(Thin Film Transistor) 공정을 통해 표시패널의 비 표시영역에 형성되고 있다. 이러한 패널 내장형 게이트 드라이버는 게이트라인들에 연결되는 다수의 GIP 소자들을 포함한다. 각 GIP 소자는 다수의 TFT들과 커패시터들로 이루어진다.

[0004] 도 1에서, 표시패널(PNL)의 액티브 영역(AA) 내에는 입력 영상을 표시하기 위한 픽셀 어레이가 형성된다. 픽셀 어레이는 OLED를 구현하는 발광층 어레이와, OLED를 구동하기 위한 픽셀 TFT 어레이를 포함한다. 액티브 영역(AA)에만 형성되는 발광층 어레이는 유기발광 표시장치의 발광면이 되며, 액티브 영역(AA)에서 픽셀 TFT 어레이와 중첩된다. 표시패널(PNL)에서 GIP 소자들이 형성되는 영역은 유기발광 표시장치의 비 발광면이 된다. 따라서, 패널 내장형의 게이트 드라이버가 형성되는 영역은 유기발광 표시장치의 베젤 영역(BZ)이 된다.

[0005] GIP 소자들이 형성되는 영역은 비 발광 영역으로서 표시장치에서 베젤 사이즈가 증가되는 주요 요인이 된다. 유기발광 표시장치는 다른 표시장치에 비해 많은 수의 픽셀 TFT와 게이트라인을 포함하므로, 패널 내장형의 게이트 드라이버가 복잡하고 그 형성 면적이 넓다.

[0006] 표시패널의 해상도가 높아질수록 베젤 사이즈가 증가되는 문제는 더 커진다. 일정 사이즈의 표시화면에서 해상도가 높아질수록 게이트라인들의 개수는 증가하기 때문에, 고해상도 표시장치에서 GIP 소자들의 개수는 증가한다. 이렇게 GIP 소자들의 개수가 증가하면 이들이 형성되는 비 발광영역의 면적이 증가될 수밖에 없어, 유기발광 표시장치에서 베젤을 줄이기 어렵다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 패널 내장형의 게이트 드라이버를 갖는 유기발광 표시장치에서 베젤 사이즈를 효과적으로 줄이는 것이다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여, 본 발명의 유기발광 표시장치는 픽셀마다 OLED(Organic Light Emitting Diode)가 포함된 픽셀 어레이와, 상기 픽셀 어레이를 구동하는 패널 내장형 게이트 드라이버를 갖는 것으로서, 상기 픽셀 어레이는 1 픽셀을 구성하는 단위 TFT(Thin Film Transistor) 영역이 다수개 배치된 픽셀 TFT 어레이와, 상기 1 픽셀을 구성하는 단위 발광 영역이 다수개 배치된 픽셀 발광 어레이를 포함한다. 상기 픽셀 TFT 어레이는 표시패널의 제1 영역(AA) 내에 위치하고, 상기 패널 내장형 게이트 드라이버는 상기 표시패널에서 상기 제1 영역 바

값의 제2 영역(GA) 내에 위치하며, 상기 픽셀 발광 어레이는, 상기 제1 영역(AA)에 위치함과 아울러 상기 제2 영역(GA)의 일부에 위치한다.

- [0009] 상기 픽셀 발광 어레이는, 상기 제1 영역(AA)에서 상기 픽셀 TFT 어레이와 중첩되고, 상기 제2 영역(GA)에서 상기 패널 내장형 게이트 드라이버의 일부와 중첩된다.
- [0010] 상기 단위 발광 영역은 상기 단위 TFT 영역보다 넓다.
- [0011] 상기 표시패널의 일부 위치에서, 상기 단위 발광 영역은 복수의 단위 TFT 영역들과 부분적으로 중첩된다.
- [0012] 상기 픽셀 TFT 어레이를 구성하는 다수의 단위 TFT 영역들은 균등 간격으로 배치된다.
- [0013] 상기 픽셀 TFT 어레이를 구성하는 다수의 단위 TFT 영역들은 차등 간격으로 배치된다.
- [0014] 상기 서로 이웃한 단위 TFT 영역들 간의 간격은 상기 표시패널의 에지부에 비해 센터부에서 더 넓으며, 상기 에지부는 상기 센터부에 비해 상기 제2 영역(GA)에 더 가깝다.
- [0015] 상기 OLED는, 상기 단위 발광 영역에 구비된 발광 소자와, 상기 발광 소자를 상기 단위 TFT 영역에 구비된 구동 TFT에 연결하는 픽셀 전극을 포함하고, 상기 픽셀 전극은 구동 TFT에 직접 연결되는 메인 전극과, 상기 발광 소자에 직접 연결됨과 아울러 절연막을 관통하여 상기 메인 전극에 연결되는 보조 전극을 포함한다.

발명의 효과

- [0016] 본 발명은 픽셀 발광 어레이를 픽셀 TFT 어레이보다 넓게 형성하여 픽셀 발광 어레이를 패널 내장형 게이트 드라이버가 형성된 영역으로까지 확장시킨다. 이에 따라 본 발명은 패널 내장형 게이트 드라이버가 형성된 영역 중에서 픽셀 발광 어레이가 위치하는 영역만큼 베젤 영역을 줄일 수 있다. 본 발명은 베젤 사이즈를 효과적으로 감소시킴으로써 제품의 완성도를 더욱 높일 수 있다.

도면의 간단한 설명

- [0017] 도 1은 패널 내장형 게이트 드라이버가 표시패널의 액티브 영역 바깥에 형성된 것을 보여주는 도면.
 도 2는 본 발명의 유기발광 표시장치에서 픽셀 어레이와 패널 내장형 게이트 드라이버의 형성 위치를 보여주는 도면.
 도 3은 픽셀 발광 어레이가 픽셀 TFT 어레이 및 GIP TFT 어레이의 일부와 중첩되는 것을 보여주는 도면.
 도 4는 단위 TFT 영역들 간의 간격이 표시패널의 에지부에 비해 센터부에서 더 넓어지는 경향을 보여주는 도면.
 도 5는 단위 TFT 영역들이 균등 간격 및 차등 간격으로 배치될 때의 픽셀 전극의 연결 형태를 각각 보여주는 도면.
 도 6은 픽셀 발광 어레이의 일부가 GIP 영역으로 확장된 일 예를 보여주는 표시패널의 단면도.
 도 7은 픽셀 발광 어레이의 일부가 GIP 영역으로 확장된 다른 예를 보여주는 표시패널의 단면도.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것이므로, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0019] 도 2는 본 발명의 유기발광 표시장치에서 픽셀 어레이와 패널 내장형 게이트 드라이버의 형성 위치를 보여준다. 도 3은 픽셀 발광 어레이가 픽셀 TFT 어레이 및 GIP TFT 어레이의 일부와 중첩되는 것을 보여준다. 도 4는 단위 TFT 영역들 간의 간격이 표시패널의 에지부에 비해 센터부에서 더 넓어지는 경향을 보여준다. 그리고, 도 5는 단위 TFT 영역들이 균등 간격 및 차등 간격으로 배치될 때의 픽셀 전극의 연결 형태를 각각 보여준다.
- [0020] 도 2 내지 도 5를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(PNL)과, 패널 내장형 게이트 드라이버(GDV)를 포함한다.

- [0021] 표시패널(PNL)에는 입력 영상을 표시하는 픽셀 어레이가 구비된다. 픽셀 어레이에서, 다수의 데이터 라인들과 다수의 게이트 라인들이 교차되고, 픽셀들이 매트릭스 형태로 배치된다. 픽셀들 각각은 OLED와 적어도 하나 이상의 TFT를 포함한다. 픽셀 어레이에는 고전위 구동 전압을 픽셀들에 공급하는 전원 공급 라인을 더 포함될 수 있다.
- [0022] 픽셀어레이는 1 픽셀을 구성하는 단위 TFT 영역($T1 \sim Ti$, i 는 2이상의 양의 정수)이 다수개 배치된 픽셀 TFT 어레이와, 1 픽셀을 구성하는 단위 발광 영역($E1 \sim Ei$)이 다수개 배치된 픽셀 발광 어레이를 포함한다.
- [0023] 픽셀 TFT 어레이에 속하는 각 단위 TFT 영역($T1 \sim Ti$)에는 다수의 게이트라인들, 데이터라인, 전원공급라인, 다수의 픽셀 TFT들(구동 TFT와 스위치 TFT를 포함), 커패시터 등이 포함된다. 픽셀 TFT 어레이는 표시패널(PNL)의 제1 영역(AA) 내에 위치한다.
- [0024] 패널 내장형 게이트 드라이버(GDV)는 게이트라인들에 연결되는 다수의 GIP 소자들을 포함한다. 각 GIP 소자는 다수의 TFT들과 커패시터들을 포함하여 GIP TFT 어레이를 구성한다. GIP TFT 어레이는 표시패널(PNL)에서 제1 영역(AA) 바깥의 제2 영역(GA) 내에 위치한다.
- [0025] 픽셀 발광 어레이에 속하는 단위 발광 영역($E1 \sim Ei$)은 OLED의 발광층(EL, 발광 소자)에 의해 구분된다. OLED의 발광 소자는 픽셀 단위로 패터닝된다. OLED는 발광 소자와 함께 픽셀 전극(ANO), 및 공통 전극을 구비한다. 픽셀 전극(ANO)은 발광 소자를 단위 TFT 영역($T1 \sim Ti$)의 구동 TFT에 연결하며, 픽셀 단위로 패터닝된다. 공통 전극은 모든 픽셀들의 발광 소자들에 공통으로 연결된다. 픽셀 전극(ANO)은 애노드 전극이고 공통 전극은 캐소드 전극일 수 있다. 또한, 이와 반대로 픽셀 전극(ANO)은 캐소드 전극이고 공통 전극은 애노드 전극일 수도 있다.
- [0026] 픽셀 발광 어레이는 제1 영역(AA)에 위치함과 아울러 제2 영역(GA)의 일부에도 위치한다. 픽셀 발광 어레이는, 도 3과 같이 제1 영역(AA)에서 픽셀 TFT 어레이와 중첩되고, 제2 영역(GA)에서 GIP TFT 어레이의 일부와 중첩된다. 이렇게 픽셀 발광 어레이는 제2 영역(GA)의 일부에 까지 확장되어 형성되기 때문에, 베젤 사이즈가 효과적으로 줄어든다. 종래 기술에서는 제2 영역(GA)이 모두 베젤 영역(BZ)이 되었지만, 본 발명에서는 제2 영역(GA) 중에서 픽셀 발광 어레이가 위치하는 영역(TD)만큼 베젤 영역(BZ)이 줄어든다.
- [0027] 픽셀 발광 어레이가 차지하는 면적은 픽셀 TFT 어레이가 차지하는 면적보다 넓다. 이를 위해, 단위 발광 영역($E1 \sim Ei$)은 단위 TFT 영역($T1 \sim Ti$)보다 넓게 설계된다. 그 결과, 도 5와 같이 표시패널(PNL)의 일부 위치에서, 단위 발광 영역($E1 \sim Ei$)은 복수의 단위 TFT 영역들($T1 \sim Ti$)과 부분적으로 중첩될 수 있다.
- [0028] 단위 발광 영역($E1 \sim Ei$)이 단위 TFT 영역($T1 \sim Ti$)보다 넓은 구조하에서, 픽셀 TFT 어레이를 구성하는 다수의 단위 TFT 영역들($T1 \sim Ti$)은 도 5의 (A)와 같이 균등 간격으로 배치될 수 있다. 다만, 이 경우 픽셀 전극(ANO)의 연결 형태가 복잡해 지기 때문에 픽셀 전극(ANO)에 대한 공정 편의 측면에서 불리할 수 있다. 고해상도 모델인 경우 공정 마진이 넉넉치 않기 때문에 공정의 복잡성을 최소화하는 것이 중요하다. 따라서, 이 경우에는 픽셀 TFT 어레이를 구성하는 다수의 단위 TFT 영역들($T1 \sim Ti$)을 도 5의 (B)와 같이 차등 간격으로 배치하는 것이 보다 바람직하다.
- [0029] 보다 구체적으로, 픽셀 전극(ANO)의 연결 형태를 간소화하기 위해서는, 서로 이웃한 단위 TFT 영역들 간의 간격(D)을 도 2 및 도 4와 같이 표시패널(PNL)의 에지부에 비해 센터부에서 더 넓히는 것이 중요하다. 여기서, 에지부는 센터부에 비해 제2 영역(GA)에 더 가깝다. 즉, 본 발명은 표시패널(PNL)의 에지부에 가까울수록 단위 TFT 영역들 간의 간격(D)을 촘촘히 설계하고, 이와 반대로 표시패널(PNL)의 센터부에 가까울수록 단위 TFT 영역들 간의 간격(D)을 성기게 설계할 수 있다.
- [0030] 도 6 및 도 7은 픽셀 발광 어레이의 일부가 GIP 영역으로 확장된 일 예들을 보여준다.
- [0031] 도 6 및 도 7에는 픽셀 발광 어레이의 일부가 GIP 영역으로 확장되어 형성것이 도시되어 있다.
- [0032] 발광 소자(EL)를 단위 TFT 영역의 구동 TFT에 연결하는 픽셀 전극(ANO)은 도 6과 같이 1 레이어(layer) 구조로 구현될 수도 있고, 도 7과 같이 2 레이어 구조로 구현될 수도 있다. 1 레이어 구조에서는 단일의 픽셀 전극(ANO)이 발광 소자(EL)와 구동 TFT에 직접 연결된다. 이에 반해 2 레이어 구조에서, 픽셀 전극(ANO)은 구동 TFT에 직접 연결되는 메인 전극(ANO1, ANO2)과, 발광 소자(EL)에 직접 연결됨과 아울러 절연막(BA)을 관통하여 메인 전극(ANO1, ANO2)에 연결되는 보조 전극(SNO1, SNO2)을 포함할 수 있다. 도 7의 2 레이어 구조는 하나의 마스크 공정을 더 필요로 하지만 해상도가 높을 경우 픽셀 발광 어레이를 효과적으로 확장할 수 있게 하는 장점이 있다.

- [0033] 도 6을 참조하면, 본 발명은 제1 TFT(T1)를 포함한 GIP TFT 어레이와, 제2 TFT(T2)을 포함한 픽셀 TFT 어레이와, OLED를 포함한 픽셀 발광 어레이를 갖는다.
- [0034] 본 발명은 제2 영역(GA)에 형성되는 제1 TFT(T1)와 제1 영역(AA)에 형성되는 제2 TFT(T2)를 포함한다. 본 발명은 제1 영역(AA)과 제2 영역(GA)에 걸쳐 형성되는 OLED를 포함한다.
- [0035] 기관(SUB)의 전체 표면 위에는 버퍼 층(BUF)이 적층되어 있다. 경우에 따라서, 버퍼 층(BUF)은 생략될 수도 있으며, 복수 개의 박막층이 적층된 구조를 가질 수도 있다.
- [0036] 버퍼 층(BUF) 위에는 제1 반도체 층(A1)과 제2 반도체 층(A2)이 배치되어 있다.
- [0037] 제1 반도체 층(A1)은 제1 TFT(T1)의 채널 영역을 포함한다. 채널 영역은 제1 게이트 전극(G1)과 제1 반도체 층(A1)이 중첩되는 영역으로 정의된다. 제1 게이트 전극(G1)이 제1 TFT(T1)의 중앙부와 중첩하므로, 제1 TFT(T1)의 중앙부가 채널 영역이 된다. 채널 영역의 양측면부는 불순물이 도핑된 영역으로서, 제1 소스 영역(SA1)과 제1 드레인 영역(DA1)으로 정의된다.
- [0038] 제2 반도체 층(A2)은 제2 TFT(T2)의 채널 영역을 포함한다. 채널 영역은 제2 게이트 전극(G2)과 제2 반도체 층(A2)이 중첩되는 영역으로 정의된다. 제2 게이트 전극(G2)이 제2 TFT(T2)의 중앙부와 중첩하므로, 제2 TFT(T2)의 중앙부가 채널 영역이 된다. 채널 영역의 양측면부는 불순물이 도핑된 영역으로서, 제2 소스 영역(SA2)과 제2 드레인 영역(DA2)으로 정의된다.
- [0039] 제1 및 제2 TFT(T1,T2)가 구동 TFT인 경우, 고속 구동 처리를 수행하는 데 적합한 특성을 갖는 것이 바람직하다. 예를 들어, P-MOS 혹은 N-MOS 형의 박막 트랜지스터를 이용하거나, 이 두 개를 모두 포함하는 C-MOS 형의 박막 트랜지스터를 구비할 수 있다. P-MOS, N-MOS 및/또는 C-MOS 형의 박막 트랜지스터들은 다결정 실리콘 (Poly-Silicon)과 같은 다결정 반도체 물질을 포함하는 것이 바람직하다. 또한, 제1 및 제2 TFT(T1,T2)의 경우 탑-게이트 (Top-Gate) 구조를 갖는 것이 바람직하다.
- [0040] 제1 및 제2 반도체 층(A1,A2)이 배치된 기관(SUB)의 전체 표면 위에는 게이트 절연막(GI)이 적층되어 있다. 게이트 절연막(GI)은 산화 실리콘(SiO_x)으로 형성할 수 있다.
- [0041] 게이트 절연막(GI) 위에는 제1 게이트 전극(G1)과 제2 게이트 전극(G2)이 형성되어 있다. 제1 게이트 전극(G1)은 제1 반도체 층(A1)의 중앙부와 중첩하도록 배치된다. 제2 게이트 전극(G2)은 제2 반도체 층(A2)의 중앙부와 중첩하도록 배치된다. 제1 및 제2 게이트 전극(G1,G2)을 덮도록 중간 절연막이 적층되어 있다. 중간 절연막은 질화 실리콘(SiNx)을 포함하는 질화막(SIN)으로 형성하는 것이 바람직하다. 또는, 중간 절연막은 질화 실리콘(SiNx)을 포함하는 질화막(SIN)과 산화 실리콘(SiO_x)을 포함하는 산화막(SIO)이 교대로 적층된 다중층의 구조를 갖는 것이 바람직하다. 여기서는, 편의상 최소한의 구성 요소로서, 질화막(SIN) 위에 산화막(SIO)이 적층된 이중층 구조로 설명한다.
- [0042] 중간 절연막 위에, 제1 소스-드레인 전극(S1-D1)과 제2 소스-드레인 전극(S2-D2)이 배치되어 있다. 제1 소스 전극(S1)과 제1 드레인 전극(D1)은 제1 게이트 전극(G1)을 중심으로 일정거리 이격하여 마주보도록 배치된다. 제1 소스 전극(S1)은, 제1 소스 콘택홀(미도시)을 통해 노출된 제1 반도체 층(A1)의 일측부인 제1 소스 영역(SA1)과 연결된다. 제1 드레인 전극(D1)은 제1 드레인 콘택홀(미도시)을 통해 노출된 제1 반도체 층(A1)의 타측부인 제1 드레인 영역(DA1)과 연결된다. 제2 소스 전극(S2)과 제2 드레인 전극(D2)은 제2 게이트 전극(G2)을 중심으로 일정거리 이격하여 마주보도록 배치된다. 제2 소스 전극(S2)은, 제2 소스 콘택홀(미도시)을 통해 노출된 제2 반도체 층(A2)의 일측부인 제2 소스 영역(SA2)과 연결된다. 제2 드레인 전극(D2)은 제2 드레인 콘택홀(미도시)을 통해 노출된 제2 반도체 층(A2)의 타측부인 제2 드레인 영역(DA2)과 연결된다.
- [0043] 제1 소스-드레인 전극(S1-D1)과 제2 소스-드레인 전극(S2-D2)이 형성된 기관(SUB) 위에는 보호막(PAS)과 평탄화막(OC)이 순차적으로 증착되어 있다. 보호막(PAS)과 평탄화막(OC)에는 제2 드레인 전극(D2)을 노출하는 드레인 콘택홀(PH)이 형성되어 있다.
- [0044] 픽셀 전극(ANO)은 OLED의 하부전극 역할을 하는 것으로, 평탄화막(OC) 상에 위치하며, 드레인 콘택홀(PH)을 통해 제2 TFT(T2)의 드레인 전극(D2)에 연결된다. 픽셀 전극(ANO)은 ITO 또는 IZO 등의 산화물을 포함하는 적어도 하나 이상의 투명 유전층과, 반사율이 높고 불투명한 Al, Ag, AlNd 등의 금속층을 포함할 수 있다.
- [0045] 뱅크패턴(BA)은 픽셀 전극(ANO)이 형성된 기관(SUB) 상에 위치하여 픽셀의 단위 발광 영역을 정의한다. 발광층(EL)은 OLED의 발광 소자로서 픽셀 전극(ANO)에 접촉되며 제1 영역(AA)과 제2 영역(GA)에 걸쳐서 위치한다. 공통 전극(CAT)은 OLED의 상부 전극 역할을 하는 것으로 발광층(EL) 상에 위치하며, 유전층(들)과 한층 또는 두층

의 금속층을 포함할 수 있다.

[0046] 도 7은 도 6과 비교하여, 픽셀 전극(ANO)이 뱅크막(절연막, BA)을 관통하여 서로 연결되는 메인 전극(AN01)과 보조 전극(SN01)으로 구성된다는 것만 제외하고 나머지 구성은 도 6에서 설명한 것과 실질적으로 동일하다.

[0047] 전술한 바와 같이, 본 발명은 픽셀 발광 어레이를 픽셀 TFT 어레이보다 넓게 형성하여 픽셀 발광 어레이를 패널 내장형 게이트 드라이버가 형성된 영역으로까지 확장시킨다. 이에 따라 본 발명은 패널 내장형 게이트 드라이버가 형성된 영역 중에서 픽셀 발광 어레이가 위치하는 영역만큼 베젤 영역을 줄일 수 있다. 본 발명은 베젤 사이즈를 효과적으로 감소시킴으로써 제품의 완성도를 더욱 높일 수 있다.

[0048] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

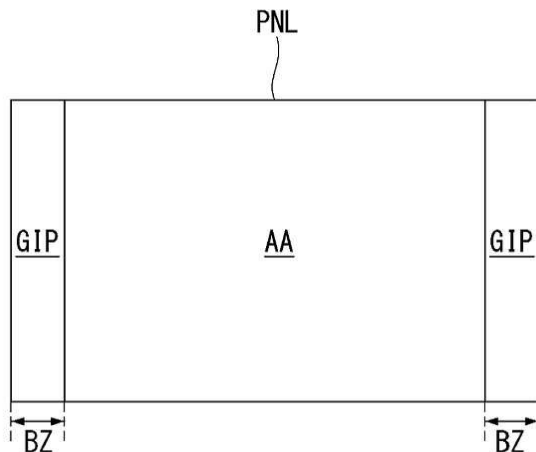
[0049] PNL : 표시패널 AA : 제1 영역

GA : 제2 영역 BZ : 베젤 영역

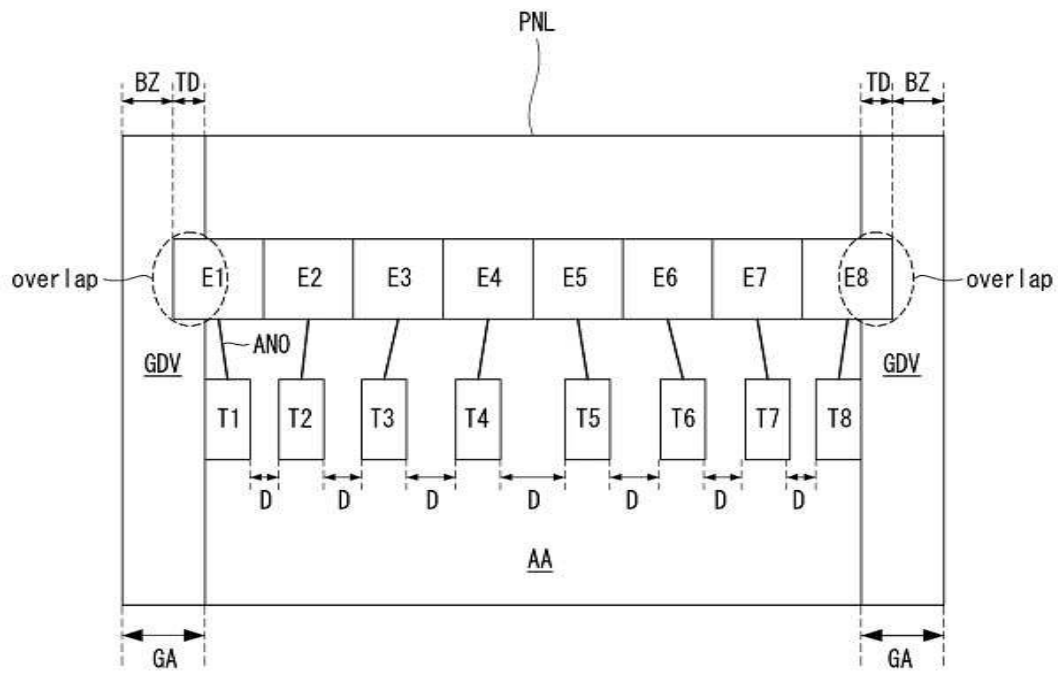
T1~T8: 단위 TFT 영역 E1~E8 : 단위 발광 영역

도면

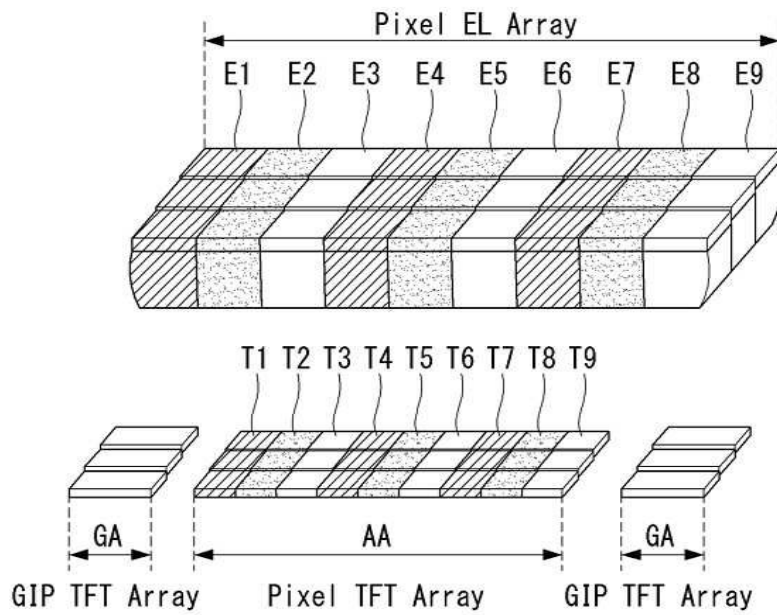
도면1



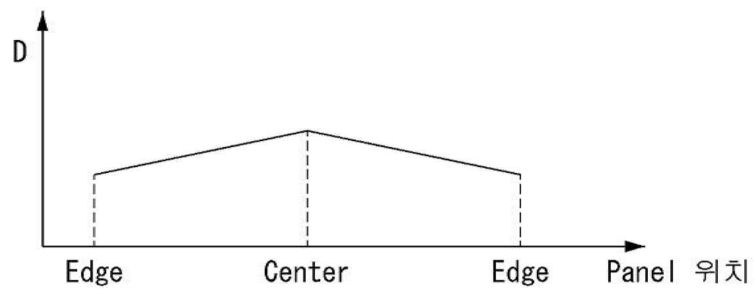
도면2



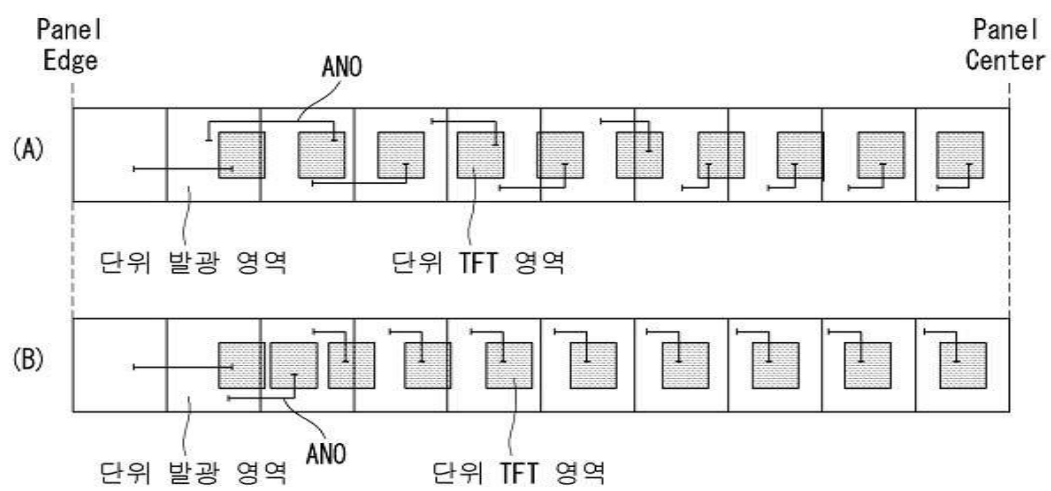
도면3



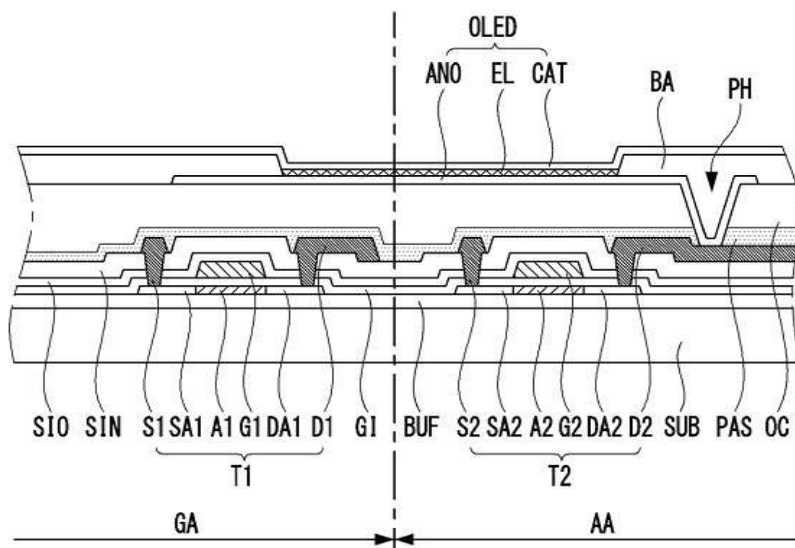
도면4



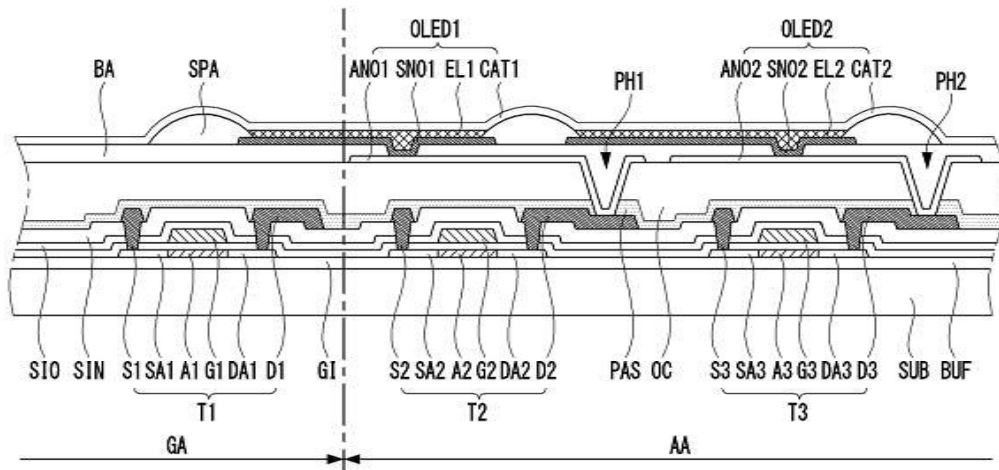
도면5



도면6



도면7



本发明的有机发光显示装置具有像素阵列，其中包括OLED（有机发光二极管）的像素和操作像素阵列的面板内置栅极驱动器。像素阵列包括像素TFT阵列和像素辐射阵列。关于像素TFT阵列，包括1个像素的单位TFT（薄膜晶体管）区域被多样地布置。关于像素辐射阵列，包括1个像素的单位发光区域被多样地布置。像素TFT阵列位于显示面板的第一区域（AA）内，并且面板内置栅极驱动器位于第一区域外部的第二部分（GA）内的显示面板中，并且像素辐射阵列位于在第一区域（AA）中，它位于第二部分（GA）的一部分中。

