



## 명세서

### 청구범위

#### 청구항 1

기판 상에 형성되는 스토리지 전극과;

상기 스토리지 전극을 덮도록 형성되는 스토리지 절연막과;

상기 스토리지 절연막 상에 형성되며, 채널 영역을 가지는 폴리실리콘의 액티브층, 상기 액티브층의 하부에 위치하는 게이트 전극, 상기 액티브층과 각각 접속되는 소스 및 드레인 전극을 각각 포함하는 스위칭 트랜지스터 및 구동 트랜지스터와;

상기 구동 트랜지스터와 접속된 유기 발광 다이오드를 구비하며,

상기 스토리지 전극은 상기 구동 트랜지스터의 드레인 전극과 접속되며, 상기 스토리지 절연막을 사이에 두고 상기 구동 트랜지스터의 게이트 전극과 중첩되어 스토리지 커패시터를 형성하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서,

상기 스위칭 트랜지스터는

상기 스토리지 절연막 상에 형성되는 제1 게이트 전극과;

상기 제1 게이트 전극을 덮도록 형성된 게이트 절연막 상에 형성되며 제1 채널 영역, 제1 소스 영역 및 제1 드레인 영역을 가지는 제1 액티브층과;

상기 제1 액티브층을 덮도록 형성된 층간 절연막 상에 형성되며 상기 제1 액티브층의 제1 소스 영역의 측면 및 제1 드레인 영역의 측면 각각과 접속되는 제1 소스 전극 및 제1 드레인 전극을 구비하며,

상기 구동 트랜지스터는

상기 스토리지 절연막 상에 형성되는 제2 게이트 전극과;

상기 게이트 절연막 상에 형성되며 제2 채널 영역, 제2 소스 영역 및 제2 드레인 영역을 가지는 제2 액티브층과;

상기 층간 절연막 상에 형성되며 상기 제2 액티브층의 제2 소스 영역의 측면 및 제2 드레인 영역의 측면 각각과 접속되는 제2 소스 전극 및 제2 드레인 전극을 구비하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 3

기판 상에 형성되는 스토리지 전극과;

상기 스토리지 전극을 덮도록 형성되는 스토리지 절연막과;

상기 스토리지 절연막 상에 형성되며, 채널 영역을 가지는 폴리실리콘의 액티브층, 상기 액티브층의 하부에 위치하는 게이트 전극, 상기 액티브층과 각각 접속되는 소스 및 드레인 전극을 각각 포함하는 스위칭 트랜지스터 및 구동 트랜지스터와;

상기 구동 트랜지스터와 접속된 유기 발광 다이오드와;

상기 스위칭 트랜지스터와 접속된 스캔 라인을 구비하며,

상기 스토리지 전극은 상기 구동 트랜지스터의 드레인 전극과 접속되며, 상기 스토리지 절연막을 사이에 두고 상기 구동 트랜지스터의 게이트 전극과 중첩되어 스토리지 커패시터를 형성하며,

상기 스캔 라인은

상기 스토리지 전극과 동일 평면 상에 동일 재질로 형성되는 제1 라인부와, 상기 스위칭 트랜지스터의 게이트 전극과 동일 평면 상에 동일 재질로 형성되는 제2 라인부를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 4**

제 3 항에 있어서,

상기 스위칭 트랜지스터는

상기 스토리지 절연막 상에 형성되는 제1 게이트 전극과;

상기 제1 게이트 전극을 덮도록 형성된 게이트 절연막 상에 형성되며 제1 채널 영역, 제1 소스 영역 및 제1 드레인 영역을 가지는 제1 액티브층과;

상기 제1 액티브층을 덮도록 형성된 층간 절연막 상에 형성되며 상기 제1 액티브층의 제1 소스 영역의 측면 및 제1 드레인 영역의 측면 각각과 접속되는 제1 소스 전극 및 제1 드레인 전극을 구비하며,

상기 구동 트랜지스터는

상기 스토리지 절연막 상에 형성되는 제2 게이트 전극과;

상기 게이트 절연막 상에 형성되며 제2 채널 영역, 제2 소스 영역 및 제2 드레인 영역을 가지는 제2 액티브층과;

상기 층간 절연막 상에 형성되며 상기 제2 액티브층의 제2 소스 영역의 측면 및 제2 드레인 영역의 측면 각각과 접속되는 제2 소스 전극 및 제2 드레인 전극을 구비하며,

상기 유기 발광 표시 장치는

상기 스캔 라인과 교차하는 데이터 라인과 동일 평면 상에 동일 재질로 형성되는 연결 전극과;

상기 제1 및 제2 라인부 각각과 상기 연결 전극을 전기적으로 접속시키는 스캔 컨택홀을 더 구비하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 5**

제 4 항에 있어서,

상기 연결 전극은 상기 화소 영역이 형성된 액티브 영역의 바깥쪽에 위치하는 비액티브 영역에 형성되며,

상기 스캔 컨택홀은 상기 스토리지 절연막, 상기 제2 라인부, 상기 게이트 절연막 및 상기 층간 절연막을 관통하여 상기 제1 라인부의 상부면 및 상기 제2 라인부의 측면을 노출시키며,

상기 연결 전극은 상기 스캔 컨택홀을 통해 상기 비액티브 영역에 위치하는상기 제1 및 제2 라인부와 접속되며,

상기 제1 액티브층의 채널 영역은 상기 스위칭 트랜지스터의 제1 게이트 전극과 중첩되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 6**

제 4 항에 있어서,

상기 연결 전극 및 스캔 컨택홀은 상기 화소 영역이 형성된 액티브 영역 내에 각 화소 영역마다 형성되거나  $i$  (여기서,  $i$ 는 자연수)번째 화소 영역마다 형성되며,

상기 스캔 컨택홀은 상기 스토리지 절연막, 상기 제2 라인부로부터 신장된 제2 게이트부, 상기 게이트 절연막 및 상기 층간 절연막을 관통하여 상기 제1 라인부로부터 신장된 제1 게이트부와, 상기 제2 게이트부로 이루어진 제1 게이트 전극을 노출시키며,

상기 연결 전극은 상기 스캔 컨택홀을 통해 제1 게이트부의 상부면 및 상기 제2 게이트부의 측면과 접속되며,

상기 연결 전극 및 스캔 컨택홀이 형성된 화소 영역에 위치하는 상기 제1 액티브층의 채널 영역은 상기 데이터 라인과 중첩되며,

상기 연결 전극 및 스캔 컨택홀이 없는 화소 영역에 위치하는 상기 제1 액티브층의 채널 영역은 상기 스위칭 트

랜지스터의 게이트 전극과 중첩되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 7**

기판 상에 스토리지 전극을 형성하는 단계와;

상기 스토리지 전극을 덮도록 스토리지 절연막을 형성하는 단계와;

상기 스토리지 절연막 상에 채널 영역을 가지는 폴리실리콘의 액티브층, 상기 액티브층의 하부에 위치하는 게이트 전극, 상기 액티브층과 각각 접속되는 소스 및 드레인 전극을 각각 포함하는 스위칭 트랜지스터 및 구동 트랜지스터를 형성하는 단계와;

상기 스위칭 트랜지스터 및 구동 트랜지스터를 덮도록 보호막을 형성하는 단계와;

상기 보호막 상에 상기 구동 트랜지스터와 접속된 유기 발광 다이오드를 형성하는 단계를 포함하며,

상기 스토리지 전극은 상기 구동 트랜지스터의 드레인 전극과 접속되며, 상기 스토리지 절연막을 사이에 두고 상기 구동 트랜지스터의 게이트 전극과 중첩되어 스토리지 커패시터를 형성하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 8**

제 7 항에 있어서,

상기 스위칭 트랜지스터 및 상기 구동 트랜지스터를 형성하는 단계는

상기 스토리지 절연막 상에 상기 스위칭 트랜지스터의 제1 게이트 전극과, 상기 구동 트랜지스터의 제2 게이트 전극을 형성하는 단계와;

상기 제1 및 제2 게이트 전극을 덮도록 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 스위칭 트랜지스터의 제1 액티브층 및 구동 트랜지스터의 제2 액티브층을 형성하는 단계와;

상기 제1 및 제2 액티브층을 덮도록 제1 층간 절연막을 형성하는 단계와;

상기 제1 및 제2 액티브층에 불순물을 도핑하여 제1 채널 영역, 제1 소스 영역 및 제1 드레인 영역을 가지는 스위칭 트랜지스터의 제1 액티브층과, 제2 채널 영역, 제2 소스 영역 및 제2 드레인 영역을 가지는 구동 트랜지스터의 제2 액티브층을 형성하는 단계와;

상기 불순물이 도핑된 상기 제1 및 제2 액티브층을 덮도록 제2 층간 절연막을 형성하는 단계와;

상기 제1 소스 및 제1 드레인 영역 각각의 측면을 노출시키는 스위칭 트랜지스터의 제1 소스 및 제1 드레인 콘택홀과, 상기 제2 소스 및 제2 드레인 영역 각각의 측면을 노출시키는 구동 트랜지스터의 제2 소스 및 제2 드레인 콘택홀을 형성하는 단계와;

상기 제1 소스 및 드레인 콘택홀을 통해 제1 소스 및 드레인 영역과 접속되는 스위칭 트랜지스터의 제1 소스 및 드레인 전극과, 상기 제2 소스 및 드레인 콘택홀을 통해 제2 소스 및 드레인 영역과 접속되는 구동 트랜지스터의 제2 소스 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 9**

기판 상에 스토리지 전극과, 스캔 라인의 제1 라인부를 동시에 동일 재질로 형성하는 단계와;

상기 스토리지 전극 및 상기 스캔 라인의 제1 라인부를 덮도록 스토리지 절연막을 형성하는 단계와;

상기 스토리지 절연막 상에 채널 영역을 가지는 폴리실리콘의 액티브층, 상기 액티브층의 하부에 위치하는 게이트 전극, 상기 액티브층과 각각 접속되는 소스 및 드레인 전극을 각각 포함하는 스위칭 트랜지스터 및 구동 트랜지스터를 형성함과 동시에 상기 스캔 라인의 제2 라인부를 형성하는 단계와;

상기 스위칭 트랜지스터 및 구동 트랜지스터와 상기 스캔 라인의 제2 라인부를 덮도록 보호막을 형성하는 단계와;

상기 보호막 상에 상기 구동 트랜지스터와 접속된 유기 발광 다이오드를 형성하는 단계를 포함하며,  
 상기 스토리지 전극은 상기 구동 트랜지스터의 드레인 전극과 접속되며, 상기 스토리지 절연막을 사이에 두고  
 상기 구동 트랜지스터의 게이트 전극과 중첩되어 스토리지 커패시터를 형성하며,  
 상기 스캔 라인은 상기 스토리지 전극과 동일 평면 상에 동일 재질로 형성되는 상기 제1 라인부와, 상기 스위칭  
 트랜지스터의 게이트 전극과 동일 평면 상에 동일 재질로 형성되는 상기 제2 라인부를 포함하는 것을 특징으로  
 하는 유기 발광 표시 장치의 제조 방법.

**청구항 10**

제 9 항에 있어서,  
 상기 스위칭 트랜지스터 및 상기 구동 트랜지스터와 상기 스캔 라인의 제2 라인부를 형성하는 단계는  
 상기 스토리지 절연막 상에 상기 스위칭 트랜지스터의 제1 게이트 전극과, 상기 구동 트랜지스터의 제2 게이트  
 전극과, 상기 스캔 라인의 제2 라인부를 형성하는 단계와;  
 상기 제1 및 제2 게이트 전극과 제2 라인부를 덮도록 게이트 절연막을 형성하는 단계와;  
 상기 게이트 절연막 상에 스위칭 트랜지스터의 제1 액티브층 및 구동 트랜지스터의 제2 액티브층을 형성하는 단  
 계와;  
 상기 제1 및 제2 액티브층을 덮도록 제1 층간 절연막을 형성하는 단계와;  
 상기 제1 및 제2 액티브층에 불순물을 도핑하여 제1 채널 영역, 제1 소스 영역 및 제1 드레인 영역을 가지는 스  
 위칭 트랜지스터의 제1 액티브층과, 제2 채널 영역, 제2 소스 영역 및 제2 드레인 영역을 가지는 구동 트랜지스  
 터의 제2 액티브층을 형성하는 단계와;  
 상기 불순물이 도핑된 상기 제1 및 제2 액티브층을 덮도록 제2 층간 절연막을 형성하는 단계와;  
 상기 제1 소스 및 제1 드레인 영역 각각의 측면을 노출시키는 스위칭 트랜지스터의 제1 소스 및 제1 드레인 컨  
 택홀과, 상기 제2 소스 및 제2 드레인 영역 각각의 측면을 노출시키는 구동 트랜지스터의 제2 소스 및 제2 드레  
 인 콘택홀을 형성함과 동시에 상기 제1 및 제2 라인부 각각을 노출시키는 스캔 콘택홀을 형성하는 단계와;  
 상기 제1 소스 및 드레인 콘택홀을 통해 제1 소스 및 드레인 영역과 접속되는 스위칭 트랜지스터의 제1 소스 및  
 드레인 전극과, 상기 제2 소스 및 드레인 콘택홀을 통해 제2 소스 및 드레인 영역과 접속되는 구동 트랜지스터  
 의 제2 소스 및 드레인 전극을 형성함과 동시에 상기 스캔 콘택홀을 통해 상기 제1 및 제2 라인부와 접속되는  
 연결 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**청구항 11**

제 10 항에 있어서,  
 상기 스캔 콘택홀을 형성하는 단계는  
 상기 스토리지 절연막, 상기 제2 라인부, 상기 게이트 절연막 및 상기 층간 절연막을 관통하여 상기 제1 라인부  
 의 상부면 및 상기 제2 라인부의 측면을 노출시키는 단계이며,  
 상기 연결 전극을 형성하는 단계는  
 상기 화소 영역이 형성된 액티브 영역의 바깥쪽에 위치하는 비액티브 영역에 위치하는 상기 제1 및 제2 라인부  
 와 상기 스캔 콘택홀을 통해 접속되도록 형성하는 단계인 것을 특징으로 하는 유기 발광 표시 장치의 제조  
 방법.

**청구항 12**

제 10 항에 있어서,  
 상기 스캔 콘택홀을 형성하는 단계는  
 상기 스토리지 절연막, 상기 제2 라인부로부터 신장된 제2 게이트부, 상기 게이트 절연막 및 상기 층간 절연막  
 을 관통하여 상기 제1 라인부로부터 신장된 제1 게이트부와, 상기 제2 게이트부로 이루어진 제1 게이트 전극을

노출시키는 단계이며,

상기 연결 전극을 형성하는 단계는

상기 화소 영역이 형성된 액티브 영역 내에 각 화소 영역마다 또는  $i$ (여기서,  $i$ 는 자연수임)번째 화소 영역마다 상기 스캔 컨택홀을 통해 제1 게이트부의 상부면 및 상기 제2 게이트부의 측면과 접촉되도록 상기 연결 전극을 형성하는 단계인 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 특히 고해상도 및 고신뢰성을 얻을 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치가 각광받고 있다.

[0003] 평판형 표시 장치는 기판 상에 형성되어 스위칭 소자 및 구동 소자로 이용되는 박막트랜지스터를 구비한다. 박막트랜지스터는 채널 영역을 형성하는 액티브층과, 채널영역과 중첩되게 형성되는 게이트 전극과, 채널 영역을 사이에 두고 서로 마주보는 소스 및 드레인 전극을 구비한다.

[0004] 이러한 액티브층은 기판 상에 비정질 실리콘 박막을 증착한 뒤 열처리하여 다결정 실리콘으로 결정화된다. 구체적으로, 비정질 실리콘층에 레이저를 주사하는 경우에, 순간적인 용해 과정과 응고 과정을 거쳐 냉각이 진행됨에 따라 고체 상태의 다결정 실리콘핵이 생성된다. 그리고, 온도구배를 따라 다결정 실리콘핵의 상방향과 주변 횡방향으로 고체 및 액체 계면이 전진하게 되는 성장과정을 거치게 된다. 이와 같은 응고 과정의 단계에서 3방향 이상에서 성장한 고체 상태의 그레인(grain)이 한 선상에서 만나게 되고 이와 같은 계면이 그레인 바운더리(grain boundary)를 형성하게 된다. 그러나, 레이저에 의해서 용해되는 비정질 실리콘층은 응고 속도가 매우 빠르며, 비정질 실리콘층의 고체 및 액체 상태의 변화에 따른 부피 팽창을 수용할 공간이 부족하기 때문에 3방향 이상의 핵성장예 의해서 형성된 그레인 바운더리가 만나는 지점의 다결정 실리콘층인 액티브층(16)은 도 1에 도시된 바와 같이 상부로 높이 솟아올라 돌출부(protrusion)를 형성하게 된다. 이에 따라, 액티브층(16)의 돌출부에 전계가 집중되어 게이트 절연막(14)의 절연 파괴현상이 발생되므로, 게이트 전극(18)과 액티브층(16)이 쇼트되는 문제점이 있다. 또한, 종래에는 액티브층(16)의 스토리지 영역과 스토리지 전극이 게이트 절연막(14)을 사이에 두고 중첩되어 스토리지 커패시터를 형성한다. 이 때, 액티브층의 스토리지 영역은 액티브층(16)의 채널영역과 별도의 도핑 공정을 통해 버퍼층(12) 상에 형성되지만, 채널 영역과 다른 영역에 위치하므로 고해상도에 불리한 문제점이 있다. 뿐만 아니라, 종래에는 패널의 박형화를 위해 플렉서블 기판을 이용하는 경우, 플렉서블 기판으로부터 유입되는 이동 전하(mobile charge)와 같은 불순물에 의해 트랜지스터의 전류가 저하되는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 고해상도 및 고신뢰성을 얻을 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0006] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치는 기판 상에 형성되는 스토리지 전극과; 상기 스토리지 전극을 덮도록 형성되는 스토리지 절연막과; 상기 스토리지 절연막 상에 형성되며, 채널 영역을 가지는 폴리실리콘의 액티브층, 상기 액티브층의 하부에 위치하는 게이트 전극, 상기 액티브층과 각각 접촉되는 소스 및 드레인 전극을 각각 포함하는 스위칭 트랜지스터 및 구동 트랜지스터와; 상기 구동 트랜지스터와 접속된 유기 발광 다이오드를 구비하며, 상기 스토리지 전극은 상기 구동 트랜지스터의 드레인 전극과 접속되며, 상기 스토리지 절연막을 사이에 두고 상기 구동 트랜지스터의 게이트 전극과 중첩되어 스토리지 커패시터를 형성

하는 것을 특징으로 한다.

[0007] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치의 제조 방법은 기판 상에 스토리지 전극을 형성하는 단계와; 상기 스토리지 전극을 덮도록 스토리지 절연막을 형성하는 단계와; 상기 스토리지 절연막 상에 채널 영역을 가지는 폴리실리콘의 액티브층, 상기 액티브층의 하부에 위치하는 게이트 전극, 상기 액티브층과 각각 접속되는 소스 및 드레인 전극을 각각 포함하는 스위칭 트랜지스터 및 구동 트랜지스터를 형성하는 단계와; 상기 스위칭 트랜지스터 및 구동 트랜지스터를 덮도록 보호막을 형성하는 단계와; 상기 보호막 상에 상기 구동 트랜지스터와 접속된 유기 발광 다이오드를 형성하는 단계를 포함하며, 상기 스토리지 전극은 상기 구동 트랜지스터의 드레인 전극과 접속되며, 상기 스토리지 절연막을 사이에 두고 상기 구동 트랜지스터의 게이트 전극과 중첩되어 스토리지 커패시터를 형성하는 것을 특징으로 한다.

[0008] 상기 스위칭 트랜지스터는 상기 스토리지 절연막 상에 형성되는 제1 게이트 전극과; 상기 제1 게이트 전극을 덮도록 형성된 게이트 절연막 상에 형성되며 제1 채널 영역, 제1 소스 영역 및 제1 드레인 영역을 가지는 제1 액티브층과; 상기 제1 액티브층을 덮도록 형성된 층간 절연막 상에 형성되며 상기 제1 액티브층의 제1 소스 영역의 측면 및 제1 드레인 영역의 측면 각각과 접속되는 제1 소스 전극 및 제1 드레인 전극을 구비하며, 상기 구동 트랜지스터는 상기 스토리지 절연막 상에 형성되는 제2 게이트 전극과; 상기 게이트 절연막 상에 형성되며 제2 채널 영역, 제2 소스 영역 및 제2 드레인 영역을 가지는 제2 액티브층과; 상기 층간 절연막 상에 형성되며 상기 제2 액티브층의 제2 소스 영역의 측면 및 제2 드레인 영역의 측면 각각과 접속되는 제2 소스 전극 및 제2 드레인 전극을 구비하는 것을 특징으로 한다.

[0009] 상기 유기 발광 표시 장치는 상기 스토리지 전극과 동일 평면 상에 동일 재질로 형성된 제1 라인부와, 상기 제1 및 제2 게이트 전극과 동일 평면 상에 동일 재질로 형성되는 제2 라인부를 포함하는 스캔 라인과; 상기 스캔 라인과 교차하는 데이터 라인과 동일 평면 상에 동일 재질로 형성되는 연결 전극과; 상기 제1 및 제2 라인부 각각과 상기 연결 전극을 전기적으로 접속시키는 스캔 콘택홀을 더 구비하는 것을 특징으로 한다.

[0010] 상기 연결 전극은 상기 화소 영역이 형성된 액티브 영역의 바깥쪽에 위치하는 비액티브 영역에 형성되며, 상기 스캔 콘택홀은 상기 스토리지 절연막, 상기 제2 라인부, 상기 게이트 절연막 및 상기 층간 절연막을 관통하여 상기 제1 라인부의 상부면 및 상기 제2 라인부의 측면을 노출시키며, 상기 연결 전극은 상기 스캔 콘택홀을 통해 상기 비액티브 영역에 위치하는 상기 제1 및 제2 라인부와 접속되며, 상기 제1 액티브층의 채널 영역은 상기 스위칭 트랜지스터의 제1 게이트 전극과 중첩되는 것을 특징으로 한다.

[0011] 상기 연결 전극 및 스캔 콘택홀은 상기 화소 영역이 형성된 액티브 영역 내에 각 화소 영역마다 형성되거나  $i$  (여기서,  $i$ 는 자연수)번째 화소 영역마다 형성되며, 상기 스캔 콘택홀은 상기 스토리지 절연막, 상기 제2 라인부로부터 신장된 제2 게이트부, 상기 게이트 절연막 및 상기 층간 절연막을 관통하여 상기 제1 라인부로부터 신장된 제1 게이트부와, 상기 제2 게이트부로 이루어진 제1 게이트 전극을 노출시키며, 상기 연결 전극은 상기 스캔 콘택홀을 통해 제1 게이트부의 상부면 및 상기 제2 게이트부의 측면과 접속되며, 상기 연결 전극 및 스캔 콘택홀이 형성된 화소 영역에 위치하는 상기 제1 액티브층의 채널 영역은 상기 데이터 라인과 중첩되며, 상기 연결 전극 및 스캔 콘택홀이 없는 화소 영역에 위치하는 상기 제1 액티브층의 채널 영역은 상기 스위칭 트랜지스터의 게이트 전극과 중첩되는 것을 특징으로 한다.

**발명의 효과**

[0012] 본 발명은 추가 도핑공정없이 저저항금속으로 형성된 스토리지 전극 및 게이트 전극이 액티브층 하부에서 액티브층과 중첩되도록 형성된다. 이에 따라, 본 발명은 스토리지 커패시터의 면적을 극대화할 수 있으며 단일 게이트 구조로 고해상도 구현이 가능하다. 또한, 본 발명에서는 게이트 전극이 액티브층 하부에 위치하므로, 액티브층의 결정화 공정시 생성된 액티브층의 돌출부와 게이트 전극이 쇼트되는 현상을 방지할 수 있어 신뢰성이 향상된다. 또한, 본 발명에서는 폴리이미드와 같은 플렉서블 재질로 형성된 기판으로부터 유입되는 이동 전하와 같은 불순물이 스토리지 전극에 의해 차단되므로 구동 트랜지스터의 전류가 저하되는 것을 방지할 수 있어 신뢰성이 향상된다. 또한, 본 발명에서는 스위칭 트랜지스터, 구동 트랜지스터 및 스토리지 커패시터를 고가의 하프톤 마스크없이 6개의 포토마스크로 형성할 수 있어 비용을 절감할 수 있으며 공정 신뢰성이 향상된다. 뿐만 아니라, 본 발명에서는 게이트 전극과 접속된 스캔 라인을 2중 구조로 형성함으로써 게이트 전극의 두께를 증가시키지 않고서 게이트 전극 상부에 위치하는 액티브층을 결정화할 수 있어 액티브층의 결정성이 저하되는 것을 방지할 수 있다.

**도면의 간단한 설명**

[0013]

도 1은 종래 유기 발광 표시 장치에 적용된 트랜지스터를 나타내는 단면도이다.  
 도 2는 본 발명의 제1 실시 예에 따른 유기 발광 표시 장치의 각 서브 화소를 나타내는 회로도이다.  
 도 3은 도 2에 도시된 유기 발광 표시 장치를 설명하기 위한 평면도이다.  
 도 4는 도 3에서 선 "I-I'"를 따라 절단한 유기 발광 표시 장치를 나타내는 단면도이다.  
 도 5는 도 4에 도시된 스토리지 커패시터를 상세히 설명하기 위한 단면도이다.  
 도 6a 및 도 6b는 도 3 및 도 4에 도시된 스토리지 전극의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 7a 및 도 7b는 도 3 및 도 4에 도시된 게이트 전극의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 8a 및 도 8b는 도 3 및 도 4에 도시된 액티브층의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 9a 및 도 9b는 도 3 및 도 4에 도시된 액티브층의 소스 영역 및 드레인 영역의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 10a 및 도 10b는 도 3 및 도 4에 도시된 소스 컨택홀 및 드레인 컨택홀의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 11a 및 도 11b는 도 3 및 도 4에 도시된 소스 및 드레인 전극의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 12a 및 도 12b는 도 3 및 도 4에 도시된 화소 컨택홀의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 13a 및 도 13b는 도 3 및 도 4에 도시된 애노드 전극의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 14a 및 도 14b는 도 3 및 도 4에 도시된 बैं크 절연막, 스페이서, 유기 공통층, 및 캐소드 전극의 제조 방법을 설명하기 위한 평면도 및 단면도이다.  
 도 15는 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 설명하기 위한 평면도이다.  
 도 16은 도 15에서 선 "II-II'"를 따라 절단한 유기 발광 표시 장치를 나타내는 단면도이다.  
 도 17a 내지 도 17c는 도 15 및 도 16에 도시된 연결 전극 및 스캔 컨택홀의 다른 형태를 나타내는 평면도 및 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0014]

이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다.

[0015]

도 2는 본 발명에 따른 유기 발광 표시 장치의 각 서브 화소를 나타내는 회로도이다.

[0016]

도 2에 도시된 유기 발광 표시 장치의 각 서브 화소는 유기 발광 다이오드(OLED)와, 제1 및 제2 스위칭 트랜지스터(ST1, ST2)와, 구동 트랜지스터(DT) 및 스토리지 커패시터(Cst)를 포함한다.

[0017]

제1 스위칭 트랜지스터(ST)는 제2n(여기서, n은 자연수)-1번째 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 전압을 제1 노드(n1), 즉 스토리지 커패시터(Cst) 및 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 이를 위해, 제1 스위칭 트랜지스터(ST1)는 도 2 및 도 3에 도시된 바와 같이 제2n-1번째 스캔 라인(SL1)과 접속된 제1 게이트 전극(156)과, 데이터 라인(DL)에 포함된 제1 소스 전극(104)과, 제1 소스 전극(104)과 마주하며 구동 박막 트랜지스터(DT)의 제2 게이트 전극(106) 및 스토리지 커패시터(Cst)와 접속된 제1 드레인 전극(108)과, 제1 소스 전극(104) 및 제1 드레인 전극(108) 사이에 채널부를 형성하는 제1 액티브층(154)을 구비한다.

[0018]

여기서, 제1 액티브층(154)은 제1 게이트 전극(156)보다 위에 배치되도록 게이트 절연막(112) 상에 형성된다. 이러한 제1 액티브층(154)은 제1 채널 영역(154C)과, 그 제1 채널 영역(154C)을 사이에 두고 마주보는 제1 소스 영역(154S) 및 제1 드레인 영역(154D)을 구비한다. 제1 채널 영역(154C)은 게이트 절연막(112)을 사이에 두고 제1 게이트 전극(156)과 중첩된다. 제1 소스 영역(154S)은 n형 또는 p형 불순물이 주입되며, 제1 소스 컨택홀(124S)을 통해 측면이 노출되어 제1 소스 전극(104)과 접속된다. 여기서, 제1 소스 컨택홀(124S)은 스토리지

절연막(126), 게이트 절연막(112), 제1 소스 영역(154S), 제1 및 제2 층간 절연막(128,116)을 관통하도록 형성되어 제1 소스 영역(154S)의 측면 및 기판(101)의 상부면을 노출시킨다. 제1 드레인 영역(154D)은 n형 또는 p형 불순물이 주입되며, 제1 드레인 콘택홀(124D)을 통해 측면이 노출되어 제1 드레인 전극(108)과 접속된다. 여기서, 제1 드레인 콘택홀(124D)은 제2 게이트 전극(106)의 일부, 게이트 절연막(112), 제1 드레인 영역(154D), 제1 및 제2 층간 절연막(128,116)을 관통하도록 형성되어 제1 드레인 영역(154D)의 측면 및 제2 게이트 전극(106)을 노출시킨다.

[0019] 구동 트랜지스터(DT)는 스토리지 커패시터(Cst)에 저장된 데이터 전압에 응답하여 전원 라인(PL)으로부터 발광 소자(OLED)로 공급되는 전류를 제어함으로써 발광 소자(OLED)의 발광량을 조절하게 된다. 이를 위해, 구동 박막 트랜지스터(DT)는 도 2 및 도 3에 도시된 바와 같이 스위칭 트랜지스터(ST1)의 제1 드레인 전극(108)과 접속된 제2 게이트 전극(106), 전원 라인(PL)에 포함된 제2 소스 전극, 제2 소스 전극과 마주하며 애노드 전극(132)과 접속된 제2 드레인 전극(110), 제2 소스 및 제2 드레인 전극(110) 사이에 채널부를 형성하는 제2 액티브층(114)을 구비한다.

[0020] 제2 게이트 전극(106)은 제1 드레인 콘택홀(124D)을 통해 노출되어 스위칭 트랜지스터(ST1)의 제1 드레인 전극(108)과 접속된다. 또한, 제2 게이트 전극(106)은 스토리지 절연막(126) 상에 스토리지 전극(140)과 중첩되도록 형성되어 스토리지 커패시터(Cst)를 형성한다.

[0021] 제2 소스 전극은 전원 라인(PL)에 포함되며 제2 액티브층(114)의 제2 소스 영역(114S)의 측면을 노출시키는 제2 소스 콘택홀(164S)을 통해 제2 소스 영역(114S)의 측면과 접속된다. 여기서, 제2 소스 콘택홀(164S)은 제1 소스 콘택홀(124S)과 마찬가지로 스토리지 절연막(126), 게이트 절연막(112), 제2 소스 영역(114S), 제1 및 제2 층간 절연막(128,116)을 관통하여 제2 소스 영역(114S)의 측면을 노출시킨다.

[0022] 제2 드레인 전극(110)은 보호막(118)을 관통하는 화소 콘택홀(120)을 통해 노출되어 애노드 전극(132)과 접속된다. 또한, 제2 드레인 전극(110)은 제2 드레인 영역(114D)의 측면을 노출시키는 제2 드레인 콘택홀(164D)을 통해 제2 액티브층의 제2 드레인 영역(114D)의 측면과 접속된다. 여기서, 제2 드레인 콘택홀(164D)은 스토리지 절연막(126), 게이트 절연막(112), 제2 드레인 영역(114D), 제1 및 제2 층간 절연막(128,116)을 관통하여 제2 드레인 영역(114D)의 측면을 노출시킨다.

[0023] 제2 액티브층(114)은 제2 게이트 전극(106)보다 위에 배치되도록 게이트 절연막(112) 상에 형성된다. 이러한 제2 액티브층(114)은 제2 채널 영역(114C)과, 그 제2 채널 영역(114C)을 사이에 두고 마주보는 제2 소스 영역(114S) 및 제2 드레인 영역(114D)을 구비한다. 제2 채널 영역(114C)은 게이트 절연막(112) 상에 형성되며 게이트 절연막(112)을 사이에 두고 제2 게이트 전극(106)과 중첩된다. 제2 소스 영역(114S)은 n형 또는 p형 불순물이 주입되며, 제2 소스 콘택홀(142S)을 통해 노출되어 전원 라인(PL)과 접속된다. 제2 드레인 영역(114D)은 n형 또는 p형 불순물이 주입되며, 제2 드레인 콘택홀(164D)을 통해 노출되어 제2 드레인 전극(110)과 접속된다.

[0024] 제2 스위칭 트랜지스터(ST2)는 도 3 및 도 4에 도시된 바와 같이 제2n(여기서, n은 자연수) 번째 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 기준 전압 라인(RL)을 통해 공급된 기준 전압(Vref)으로 제2 노드(n2)를 초기화한다.

[0025] 이를 위해, 제2 스위칭 트랜지스터(ST2)는 제2n(여기서, n은 자연수) 번째 스캔 라인(SL)에 접속된 제3 게이트 전극(172), 기준 전압 라인(RL)에 포함된 제3 소스 전극, 제3 소스 전극과 마주하는 제2 드레인 전극(110), 제3 소스 전극 및 제2 드레인 전극(172,110) 사이에 채널부를 형성하는 제3 액티브층(176)을 구비한다.

[0026] 제3 소스 전극은 기준 전압 라인(RL)에 포함되며 제3 액티브층(176)의 제3 소스 영역(176S)의 측면을 노출시키는 제3 소스 콘택홀(174S)을 통해 제3 소스 영역(176S)의 측면과 접속된다. 여기서, 제3 소스 콘택홀(174S)은 제1 소스 콘택홀(124S)과 마찬가지로 스토리지 절연막(126), 게이트 절연막(112), 제3 소스 영역(176S), 제1 및 제2 층간 절연막(128,116)을 관통하여 제3 소스 영역(174S)의 측면을 노출시킨다.

[0027] 제3 액티브층(176)은 제2 액티브층(114)에서 연장되어 형성되며, 제3 게이트 전극(172)보다 위에 배치되도록 게이트 절연막(112) 상에 형성된다. 이러한 제3 액티브층(176)은 제2 드레인 영역(114D)과 접속된 제3 채널 영역(176C)과, 그 제3 채널 영역(176C)을 사이에 두고 제2 드레인 영역(114D)과 마주보는 제3 소스 영역(176S)을 구비한다.

[0028] 제3 채널 영역(176C)은 게이트 절연막(112)을 사이에 두고 제3 게이트 전극(172)과 중첩된다. 제3 소스 영역(176S)은 n형 또는 p형 불순물이 주입되며 제3 소스 콘택홀(152S)을 통해 노출되어 기준 전압 라인(RL)과 접속

된다.

- [0029] 유기 발광 다이오드(OLED)는 애노드 전극(132)과 캐소드 전극(136) 사이에 전압을 인가하면, 제1 전극(132)으로부터 정공이 제2 전극(136)으로부터 전자가 주입되어 발광층에서 재결합하여 이로 인한 엑시톤(exciton)이 생성되며, 이 엑시톤이 기저상태로 떨어지면서 빛이 방출된다. 이를 위해, 유기 발광 다이오드(OLED)는 구동 트랜지스터(DT)의 제2 드레인 전극(110)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 유기 공통층(134)과, 유기 공통층(134) 위에 형성된 캐소드 전극(136)을 구비한다.
- [0030] 애노드 전극(132)은 투명 전극으로 형성되며, 캐소드 전극(136)은 반사 전극으로 형성된다. 이 경우, 도 3 및 도 4에 도시된 유기 발광 표시 장치는 기관(101) 쪽으로 빛이 방출되는 배면 발광을 하게 된다. 이외에도 애노드 전극(132) 및 캐소드 전극(136)의 재질에 따라 도 3 및 도 4에 도시된 유기 발광 표시 장치는 캐소드 전극(136) 쪽으로 빛이 방출되는 전면 발광 또는 전면 및 배면으로 발광하는 양면 발광할 수도 있다. 따라서, 애노드 전극(132) 및 캐소드 전극(136)의 재질을 상기와 같이 한정하지 않는다.
- [0031] 유기 공통층(134)은 बैं크 절연막(130)에 의해 마련된 बैं크홀에 의해 노출된 애노드 전극(132) 상에 적층된 정공 관련층, 발광층, 전자 관련층 순으로 또는 역순으로 구성된다. 여기서, बैं크 절연막(130)은 셀갭을 유지시키기 위한 스페이서(138)와 일체화되게 형성되어 동일 공정에서 동시에 형성된다. 이에 따라, 하나의 마스크로 스페이서(138)와 बैं크 절연막(130)을 동시에 형성하므로 그에 따른 마스크 수를 줄일 수 있으며, 공정시간 및 비용을 줄일 수 있다.
- [0032] 스토리지 커패시터(Cst)는 도 2에 도시된 바와 같이 제1 노드(n1)에 접속된 제1 전극과, 제2 노드(N2)에 접속된 제2 전극을 구비하여 제1 및 제2 노드(n1, n2) 간의 차전압을 저장한다. 이러한 스토리지 커패시터(Cst)에 충전된 전압에 의해 스위칭 트랜지스터(ST1)가 턴-오프되더라도 구동 트랜지스터(DT)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 발광 소자(OLED)의 발광을 유지하게 한다.
- [0033] 이를 위해, 스토리지 커패시터(Cst)는 도 4 및 도 5에 도시된 바와 같이 기관(101) 상에 형성된 제2 전극인 스토리지 전극(140)과, 제1 전극인 구동 트랜지스터의 제2 게이트 전극(106)이 스토리지 절연막(126)을 사이에 두고 중첩됨으로써 형성된다. 스토리지 전극(140)은 제2 드레인 콘택홀(164D)을 통해 노출되어 구동 트랜지스터의 제2 드레인 전극(110)과 접속된다. 이 스토리지 전극(140)은 저저항 금속물질, 예를 들면, 알루미늄(Al), 알루미늄-네오듐과 같은 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 몰리브덴(Mo), 몰리타늄(MoTi) 중 어느 하나 또는 둘 이상의 물질을 증착하여 형성한다. 구동 트랜지스터(DT)의 제2 게이트 전극(106)은 제1 드레인 콘택홀(124D)을 통해 노출되어 제1 스위칭 트랜지스터(ST1)의 제1 드레인 전극(108)과 접속된다.
- [0034] 이와 같이, 본 발명에서는 추가 도핑공정없이 저저항금속으로 형성된 스토리지 전극(140) 및 제2 게이트 전극(106)이 제2 액티브층(114) 하부에서 제2 액티브층(114)과 중첩되도록 형성됨으로써 스토리지 커패시터의 면적을 극대화할 수 있어 고해상도 구현이 가능하다.
- [0035] 또한, 본 발명에서는 도 5에 도시된 바와 같이 제2 게이트 전극(106)이 제2 액티브층(114) 하부에 위치하므로 제2 액티브층(114)의 결정화공정시 생성된 제2 액티브층(114)의 돌출부와 제2 게이트 전극(106)이 쇼트되는 현상을 방지할 수 있어 신뢰성이 향상된다. 뿐만 아니라, 제1 및 제3 게이트 전극(156, 172)이 제1 및 제3 액티브층(154, 176) 하부에 위치하므로 제1 및 제3 액티브층(154, 176) 각각의 돌출부와 제1 및 제3 게이트 전극(156, 172)이 쇼트되는 현상을 방지할 수 있어 신뢰성이 향상된다.
- [0036] 또한, 본 발명에서는 폴리이미드와 같은 플렉서블 재질로 형성된 기관(101)으로부터 유입되는 이동 전하(mobile charge)와 같은 불순물이 스토리지 전극(140)에 의해 차단되므로 구동 트랜지스터(DT)의 전류가 저하되는 것을 방지할 수 있어 신뢰성이 향상된다.
- [0037] 도 6a 및 도 14b는 도 3 및 도 4에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- [0038] 도 6a 및 도 6b를 참조하면, 기관(101) 상에 제1 마스크 공정으로 스토리지 전극(140)이 형성된다.
- [0039] 구체적으로, 기관(101) 상에 저저항 금속층이 전면 적층된 후, 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 저저항 금속층이 패터닝됨으로써 스토리지 전극(140)이 형성된다.
- [0040] 도 7a 및 도 7b를 참조하면, 스토리지 전극(140)이 형성된 기관(101) 상에 스토리지 절연막(126)과; 스캔 라인(SL), 제1 내지 제3 게이트 전극(156, 106, 172)을 포함하는 게이트 패턴이 순차적으로 형성된다.

- [0041] 구체적으로, 스토리지 전극(140)이 형성된 기판(101) 상에 SiO<sub>x</sub> 또는 SiN<sub>x</sub>와 같은 무기 절연 물질이 전면 증착됨으로써 스토리지 절연막(126)이 형성된다. 그런 다음, 스토리지 절연막(126) 상에 게이트 금속층이 적층된 후, 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 스캔 라인(SL), 제1 내지 제3 게이트 전극(156,106,172)을 포함하는 게이트 패턴이 순차적으로 형성된다.
- [0042] 도 8a 및 도 8b를 참조하면, 게이트 패턴이 형성된 기판(101) 상에 게이트 절연막(112)과; 제1 내지 제3 액티브층(154,114,176)이 순차적으로 형성된다.
- [0043] 구체적으로, 게이트 패턴이 형성된 기판(101) 상에 SiO<sub>x</sub> 또는 SiN<sub>x</sub>와 같은 무기 절연 물질이 전면 증착됨으로써 게이트 절연막(112)이 형성된다. 그런 다음, 게이트 절연막(112) 상에 아몰퍼스 실리콘 박막이 전면 증착된다. 그 아몰퍼스 실리콘 박막이 증착된 기판(101)에 열을 가하는 탈수소화 공정을 통해 아몰퍼스 실리콘 박막에 포함된 수소를 제거한다. 이 탈수소화 공정은 아몰퍼스 실리콘 박막에 포함된 수소가 레이저를 이용한 결정화 공정시 챔버 내부에 존재하는 산화물 반응을 일으켜 아몰퍼스 실리콘 박막의 표면 특성이 저하되는 것을 방지할 수 있다. 탈수소화 공정 후, 열처리를 통해 아몰퍼스 실리콘을 결정화함으로써 폴리 실리콘 박막이 형성된다. 이 폴리실리콘 박막이 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 제1 내지 제3 액티브층(154,114,176)이 형성된다.
- [0044] 도 9a 및 도 9b를 참조하면, 제1 내지 제3 액티브층(154,114,176)이 형성된 기판(101) 상에 제1 층간 절연막(128)이 형성되고, 제1 내지 제3 액티브층 각각의 소스 영역(154S,114S,176S) 및 드레인 영역(154D,114D)이 형성된다.
- [0045] 구체적으로, 제1 및 제2 액티브층(154,114)이 형성된 기판(101) 상에 SiO<sub>x</sub> 또는 SiN<sub>x</sub>와 같은 무기 절연 물질이 전면 증착됨으로써 제1 층간 절연막(128)이 형성된다.
- [0046] 그런 다음, 제1 층간 절연막(128) 상에 포토레지스트를 전면 도포한 후, 그 포토레지스트를 제4 마스크를 이용한 포토리소그래피 공정으로 패터닝함으로써 제1 층간 절연막(128) 상에 포토레지스트 패턴이 형성된다. 그 포토레지스트 패턴을 마스크로 이용하여 제1 내지 제3 액티브층(154,114,176)에 n형 또는 p형 불순물을 주입함으로써 제1 내지 제3 액티브층 각각의 소스 영역(154S,114S,176S) 및 드레인 영역(154D,114D)이 형성된다.
- [0047] 도 10a 및 도 10b를 참조하면, 제1 층간 절연막(128)이 형성된 기판(101) 상에 소스 컨택홀(124S, 164S,174S)과 드레인 컨택홀(124D),164D)을 가지는 제2 층간 절연막(116)이 형성된다.
- [0048] 구체적으로, 제1 층간 절연막(128)이 형성된 기판(101) 상에 SiO<sub>x</sub> 또는 SiN<sub>x</sub>와 같은 무기 절연 물질이 전면 증착됨으로써 제2 층간 절연막(116)이 형성된다. 그런 다음, 제1 내지 제3 액티브층(154,114,176)에 레이저를 조사하거나 열처리하여 제1 내지 제3 액티브층(154,114,176) 내에 주입된 불순물을 활성화시키고, 탈수소화 공정에 의해 제거된 수소를 다시 제1 내지 제3 액티브층(154,114,176)에 주입하여 제1 내지 제3 액티브층(154,114,176)을 수소화한다. 여기서, 제1 내지 제3 액티브층(154,114,176)에 주입된 수소는 제1 내지 제3 액티브층(154,114,176)을 안정화시키고 계면 특성을 향상시킬 수 있으며, 전하의 이동이 트랩되는 것을 방지할 수 있다.
- [0049] 수소화 공정 이후, 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 스토리지 절연막(126), 게이트 절연막(112), 제1 내지 제3 액티브층(154,114,176), 제1 및 제2 층간 절연막(128,116)을 선택적으로 관통하여 제1 내지 제3 액티브층(154,114,176) 각각의 소스 영역(154S,114S,176S)을 노출시키는 제1 내지 제3 소스 컨택홀(124S,164S,174S)과, 제1 및 제2 액티브층 각각의 드레인 영역(154D,114D)을 노출시키는 제1 및 제2 드레인 컨택홀(124D,164D)이 형성된다. 제1 소스 컨택홀(124S)은 스토리지 절연막(126), 게이트 절연막(112), 제1 액티브층의 제1 소스 영역(154S), 제1 및 제2 층간 절연막(128,116)을 관통하여 제1 소스 영역(154S)의 측면을 노출시킨다. 제1 드레인 컨택홀(124S)은 게이트 절연막(112), 제1 액티브층의 제1 드레인 영역(154D), 제1 및 제2 층간 절연막(128,116)을 관통하여 제1 드레인 영역(154D)의 측면을 노출시킨다. 제2 소스 컨택홀(164S)은 스토리지 절연막(126), 게이트 절연막(112), 전원 라인(PL)과 중첩되는 제2 소스 영역(114S), 제1 및 제2 층간 절연막(128,116)을 관통하여 제2 소스 영역(114S)의 측면을 노출시킨다. 제2 드레인 컨택홀(164D)은 스토리지 절연막(126), 게이트 절연막(112), 제2 액티브층의 제2 드레인 영역(114D), 제1 및 제2 층간 절연막(128,116)을 관통하여 제2 드레인 영역(114D)의 측면을 노출시킨다. 제3 소스 컨택홀(174S)은 스토리지 절연막(126), 게이트 절연막(112), 제3 액티브층의 제3 소스 영역(176S), 제1 및 제2 층간 절연막(128,116)을 관통하여 제3 소스 영역(176S)의 측면을 노출시킨다.
- [0050] 도 11a 및 도 11b를 참조하면, 제2 층간 절연막(116) 상에 데이터 라인(DL), 전원 라인(PL), 소스 전극(104) 및

드레인 전극(108,110)이 형성된다.

- [0051] 구체적으로, 제2 층간 절연막(116) 상에 소스/드레인 금속층을 형성한 후, 제6 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스/드레인 금속층을 패터닝함으로써 데이터 라인(DL), 전원 라인(PL), 소스 전극(104) 및 드레인 전극(108,110)이 형성된다.
- [0052] 도 12a 및 도 12b를 참조하면, 데이터 라인(DL), 전원 라인(PL), 소스 전극(104) 및 드레인 전극(108,110)이 형성된 기판(101) 상에 화소 콘택홀(120)을 가지는 보호막(118)이 형성된다.
- [0053] 구체적으로, 데이터 라인(DL), 전원 라인(PL), 소스 전극(104) 및 드레인 전극(108,110)이 형성된 기판(101) 상에 포토 아크릴계 수지와 같은 유기 절연막이 순차적으로 형성되므로 보호막(118)이 형성된다. 이어서, 제7 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 보호막(118)을 패터닝함으로써 화소 콘택홀(120)이 형성된다. 이 화소 콘택홀(120)은 해당 서브 화소 영역의 구동 트랜지스터의 제2 드레인 전극(110)을 노출시킨다.
- [0054] 도 13a 및 도 13b를 참조하면, 화소 콘택홀(120)을 가지는 보호막(118)이 형성된 기판(101) 상에 애노드 전극(132)이 형성된다.
- [0055] 구체적으로, 화소 콘택홀(120)을 가지는 보호막(118)이 형성된 기판(101) 상에 스퍼터링 방법 등의 증착 방법을 통해 ITO(Indium Tin Oxide; 이하, ITO), IZO(Indium Zinc Oxide; 이하, IZO) 등의 투명 도전 물질이 형성된다. 이어서, 투명 도전 물질이 제8 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 패터닝됨으로써 애노드 전극(132)이 형성된다.
- [0056] 도 14a 및 도 14b를 참조하면, 애노드 전극(132)이 형성된 기판 상에 일체형 बैं크 절연막(130) 및 스페이서(138)와, 유기 발광층(134) 및 캐소드 전극(136)이 순차적으로 형성된다.
- [0057] 구체적으로, 애노드 전극(132)이 형성된 기판(101) 상에 유기 절연 물질이 전면 도포된다. 그런 다음, 제9 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 유기 절연 물질이 패터닝됨으로써 애노드 전극(132)을 노출시키는 बैं크홀을 포함하는 बैं크 절연막(130)과, 그 बैं크 절연막(130)과 일체화된 스페이서(136)가 형성된다. 이후, 애노드 전극(132)을 노출시키는 बैं크홀 내에 정공 주입층과 정공 수송층, 발광층, 전자 수송층을 포함하는 유기 공동층(134)이 형성된다. 그런 다음, 유기공동층(134)이 형성된 기판(101) 전면에 캐소드 전극(136)이 형성된다.
- [0058] 도 15는 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 평면도이며, 도 16은 도 15에서 선 "II-II"를 따라 절취한 유기 발광 표시 장치를 나타내는 단면도이다.
- [0059] 도 15 및 도 16에 도시된 유기 발광 표시 장치는 스캔 라인이 2중 구조로 형성되는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.
- [0060] 스캔 라인(SL)은 제1 라인부(102a)와, 제1 라인부(102a)를 따라 형성되는 제2 라인부(102b)를 구비한다.
- [0061] 제1 라인부(102a)는 기판(101) 상에 스토리지 전극(140)과 동일 재질로 동시에 형성된다.
- [0062] 제2 라인부(102b)는 스토리지 절연막(126) 상에 제1 내지 제3 게이트 전극(156,106,172)과 동일 재질로 동시에 형성되며, 제1 라인부(102a)와 연결 전극(144)을 통해 전기적으로 접속된다.
- [0063] 연결 전극(144)은 제2 층간 절연막(116) 상에 데이터 라인(DL)과 동일 재질로 동시에 형성된다. 이 연결 전극(144)은 스캔 콘택홀(142)을 통해 노출된 제1 라인부(102a)의 상부면 및 제2 라인부(102b)의 측면과 접속되어 제1 및 제2 라인부(102a,102b)를 전기적으로 연결시킨다. 여기서, 스캔 콘택홀(142)은 스토리지 절연막(126), 제2 라인부(102b), 게이트 절연막(112), 제1 및 제2 층간 절연막(128,116)을 관통하여 제1 라인부(102a)의 상부면 및 제2 라인부(102b)의 측면을 노출시킨다. 이러한 스캔 콘택홀(142)은 제2 드레인 콘택홀(164D)과 동일 공정으로 동시에 형성된다.
- [0064] 이와 같이, 본 발명은 스캔 라인(SL)이 연결 전극(144)을 통해 서로 접속되는 제1 및 제2 라인부(102a,102b)로 이루어져 2중 구조를 형성하므로, 스캔 라인(SL)의 전체 저항값을 줄일 수 있다. 특히, 액티브층(154,114,176)의 열처리 결정화공정시 액티브층(154,114,176) 하부에 위치하는 게이트 전극(156,106,172)의 높은 열전도율에 의해 기판(101) 쪽으로 열이 발산되어 액티브층(154,114,176)의 결정성이 저하된다. 이를 방지하기 위해 게이트 전극(156,106,172)의 두께를 줄이는 경우, 게이트 전극(156,106,172)과 동시에 형성되는 스캔 라인(SL)의 제2 라인부(102b)의 두께도 줄어들어 스캔 라인의 신호 지연이 발생할 수 있다. 이 경우, 연결 전극(144)을 통해 제2 라인부(102b)와 접속되는 제1 라인부(102a)에 의해 스캔 라인(SL)의 전체 저항값을 줄일 수 있어 스캔

라인(SL)의 신호 변동을 방지할 수 있다.

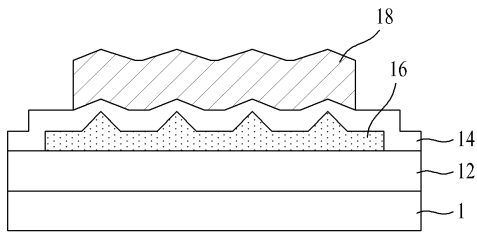
- [0065] 한편, 연결 전극(144) 및 스캔 콘택홀(142)은 도 15에 도시된 바와 같이 각 서브 화소가 위치하는 액티브(AA) 영역의 바깥쪽에 위치하는 비액티브 영역의 양측에 위치한다.
- [0066] 이외에도 연결 전극(144) 및 스캔 콘택홀(142)은 도 17a 및 도 17b에 도시된 바와 같이 각 서브 화소가 위치하는 액티브 영역(AA) 내에 위치하거나, 액티브 영역 및 비액티브 영역에 모두 형성될 수도 있다.
- [0067] 도 17a에 도시된 바와 같이 연결 전극(144) 및 스캔 콘택홀(142)은 각 서브 화소 영역마다 형성되어 콘택특성이 향상된다. 이 연결 전극(144)은 도 17c에 도시된 바와 같이 스캔 콘택홀(142)을 통해 제1 및 제2 라인부(102a, 102b) 각각으로부터 신장된 제1 및 제2 게이트부(156a, 156b)로 이루어진 제1 게이트 전극(156)과 전기적으로 접속된다. 스캔 콘택홀(142)은 스토리지 절연막(126), 제2 게이트부(156b), 게이트 절연막(112), 제1 및 제2 층간 절연막(128, 116)을 관통하여 제1 게이트부(156a)의 상부면 및 제2 게이트부(156b)의 측면을 노출시킨다.
- [0068] 이 때, 제1 액티브층(154)의 채널 영역은 데이터 라인(DL)과 중첩되도록 형성되어 연결 전극(144)과 제1 액티브층(154)이 스캔 콘택홀(142)을 통해 전기적으로 접속되는 것을 방지한다.
- [0069] 도 17b에 도시된 바와 같이 연결 전극(144) 및 스캔 콘택홀(142)은 i(여기서, i는 자연수)번째 서브 화소마다 형성된다. 이 연결 전극(144)은 도 17c에 도시된 바와 같이 제1 및 제2 라인부(102a, 102b) 각각으로부터 돌출된 제1 및 제2 게이트부(156a, 156b)로 이루어진 제1 게이트 전극(156)과 전기적으로 접속된다. 이 때, 연결 전극(144) 및 스캔 콘택홀(142)이 형성된 서브 화소의 제1 액티브층(154)의 채널 영역은 데이터 라인(DL)과 중첩되도록 형성되어 연결 전극(144)과 제1 액티브층(154)이 스캔 콘택홀(142)을 통해 전기적으로 접속되는 것을 방지한다. 그리고, 연결 전극(144) 및 스캔 콘택홀(142)이 형성되지 않은 서브 화소의 제1 액티브층(154)의 채널 영역은 제1 게이트 전극(156)과 중첩되도록 형성되어 스토리지 전극(140) 및 애노드 전극(132)의 면적 감소를 최소화한다.
- [0070] 한편, 본 발명에 따른 유기 발광 표시 장치는 각 서브 화소를 3개의 트랜지스터(T)와 1개의 스토리지 커패시터(C)를 구비하는 구조를 예로 들어 설명하였지만, 이를 한정하는 것이 아니며, 이외에도 다양한 구조에서 적용 가능하다.
- [0071] 또한, 본 발명의 스토리지 커패시터는 유기 발광 표시 장치 뿐만 아니라, 박막트랜지스터를 구비하는 모든 평판 표시 패널에도 적용가능하다.
- [0072] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

**부호의 설명**

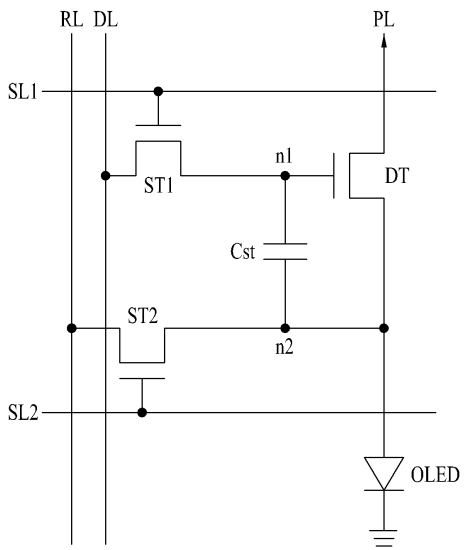
- [0073] 114, 154, 174 : 액티브층
- 132 : 애노드 전극
- 134: 유기 공통층
- 136 : 캐소드 전극
- 140 : 스토리지 전극
- 144 : 연결 전극

도면

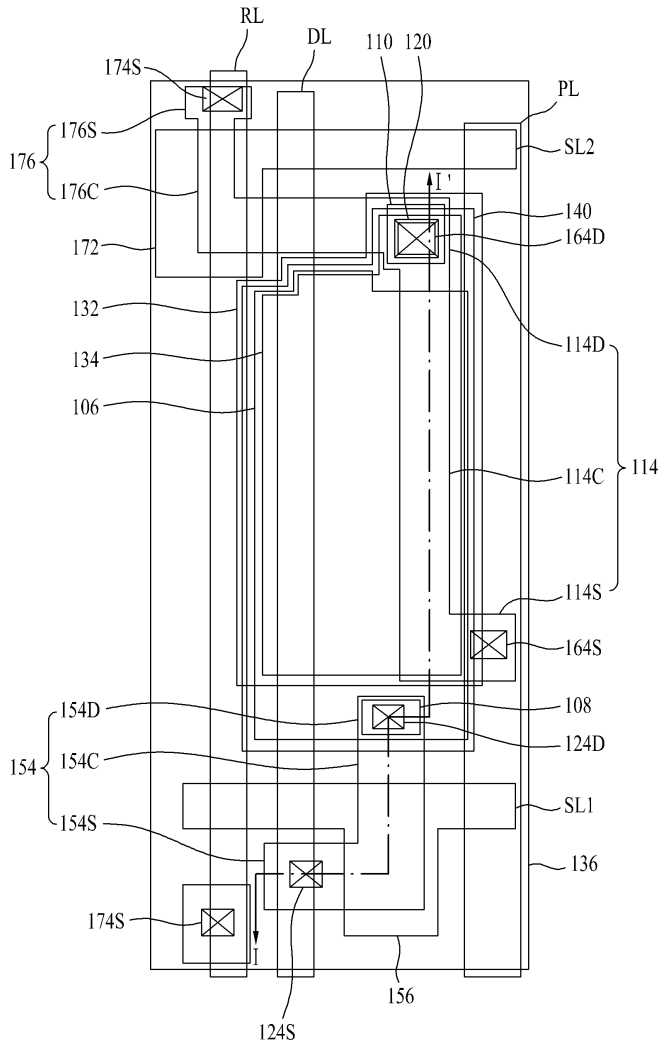
도면1



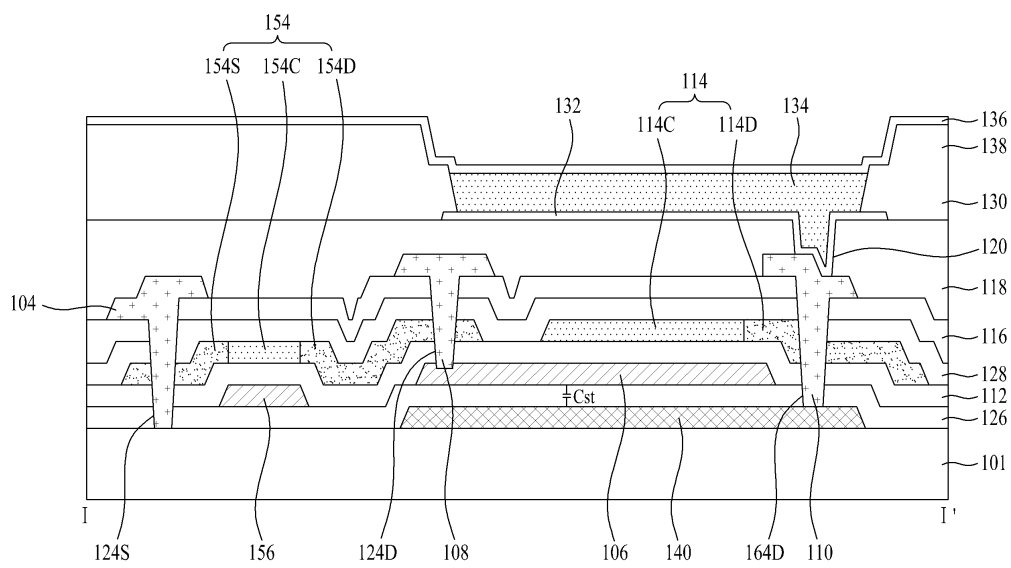
도면2



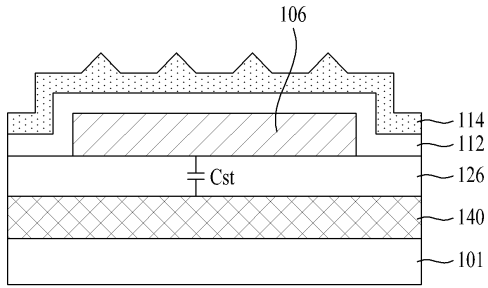
도면3



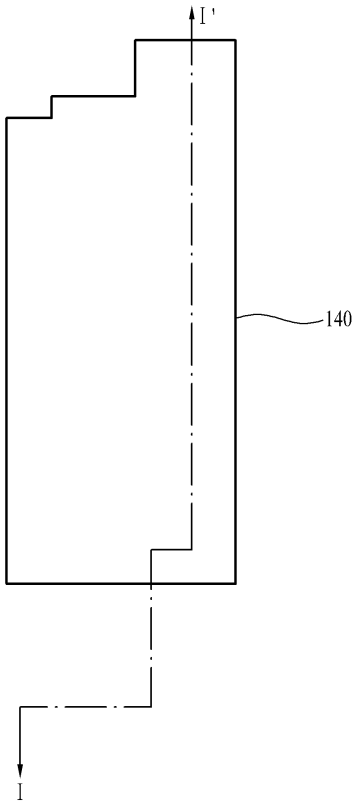
도면4



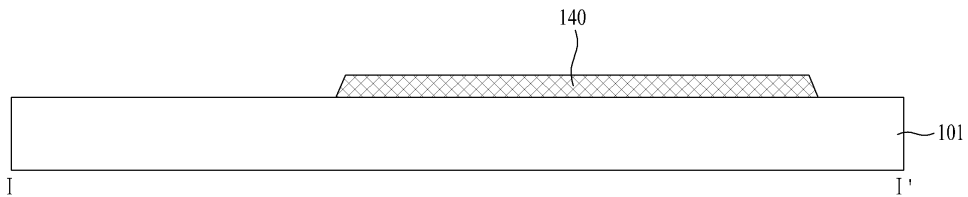
도면5



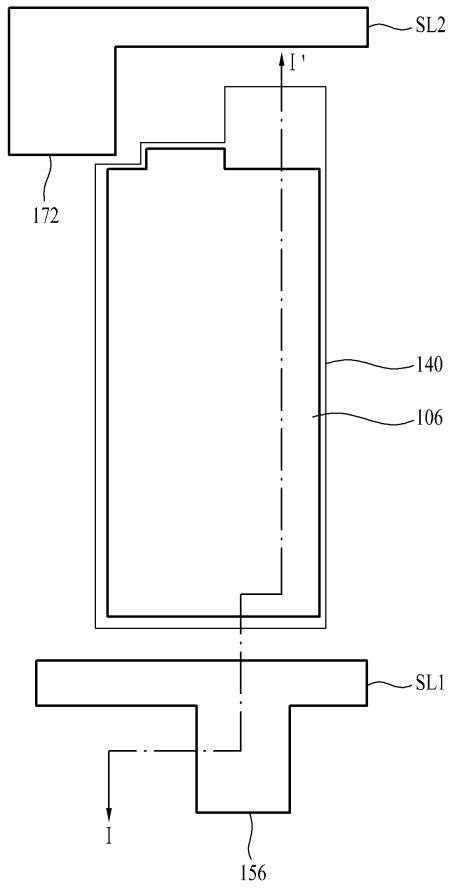
도면6a



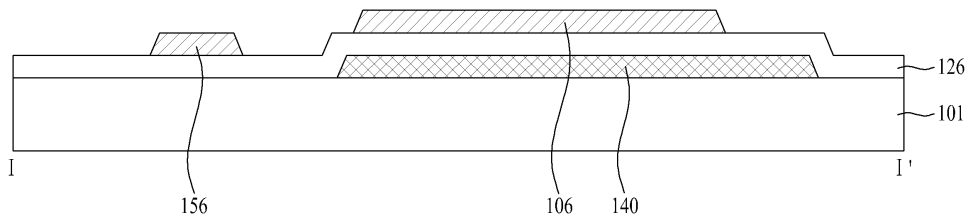
도면6b



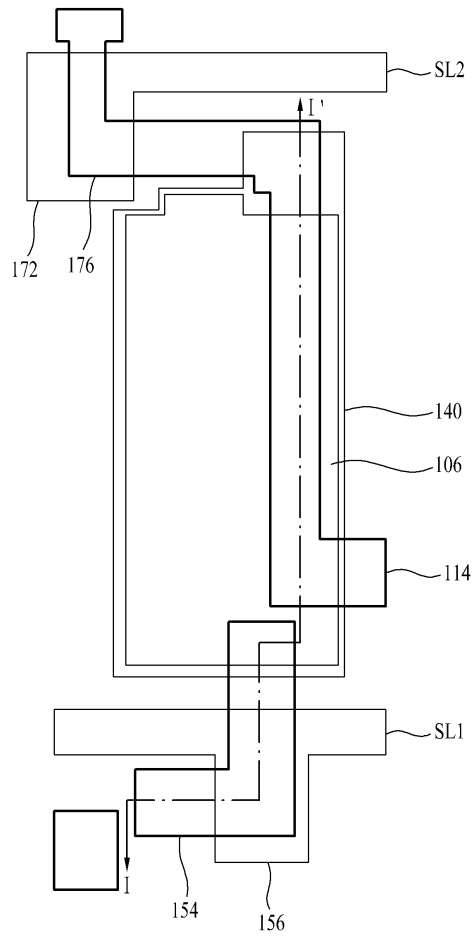
도면7a



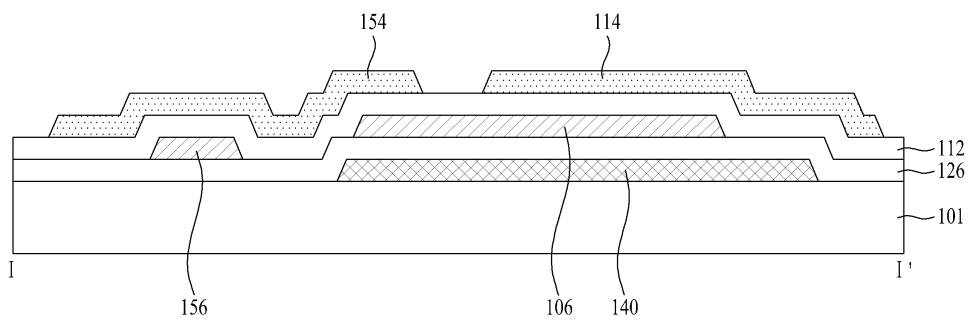
도면7b



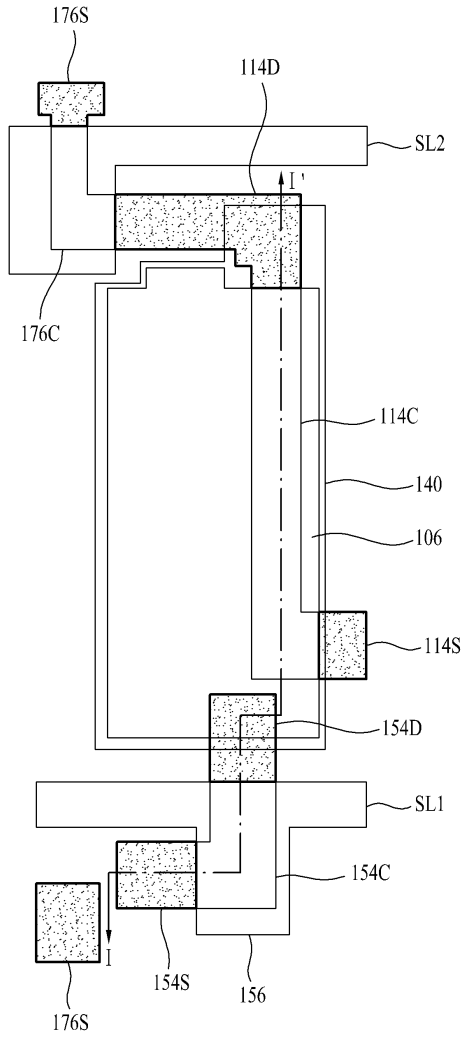
도면8a



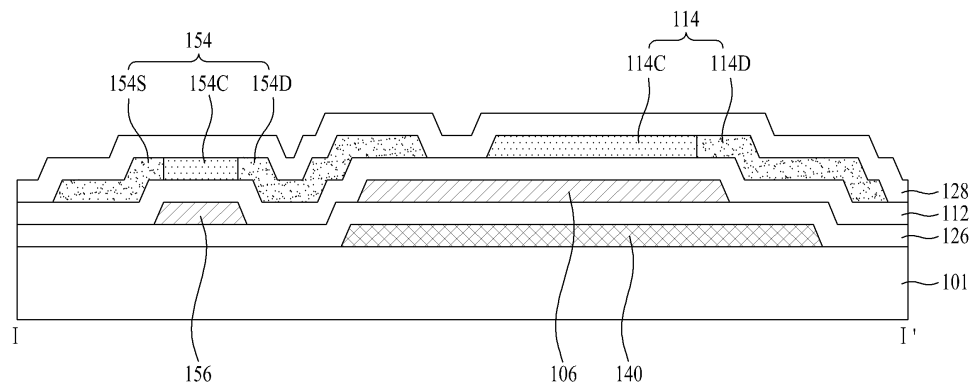
도면8b



도면9a



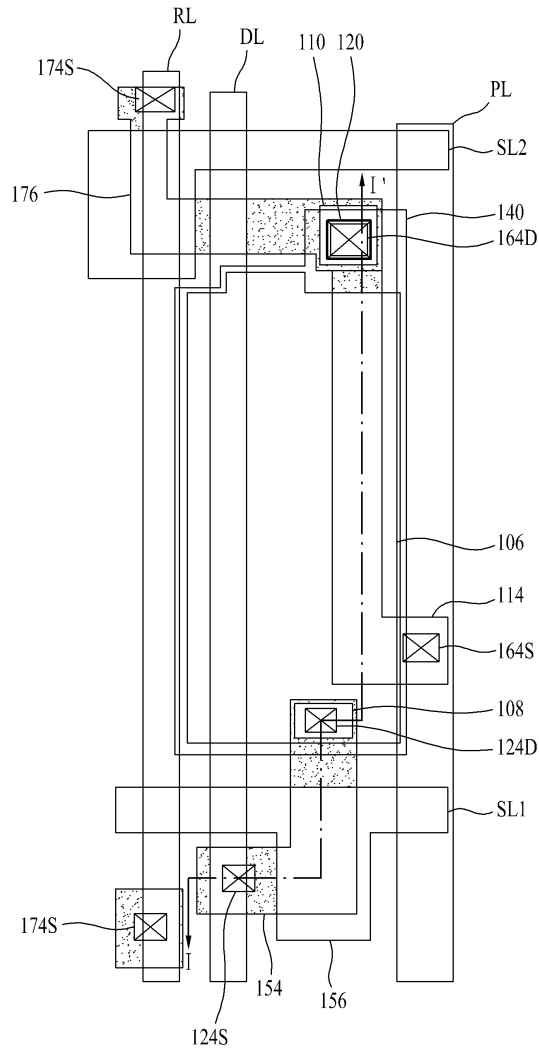
도면9b







도면12a

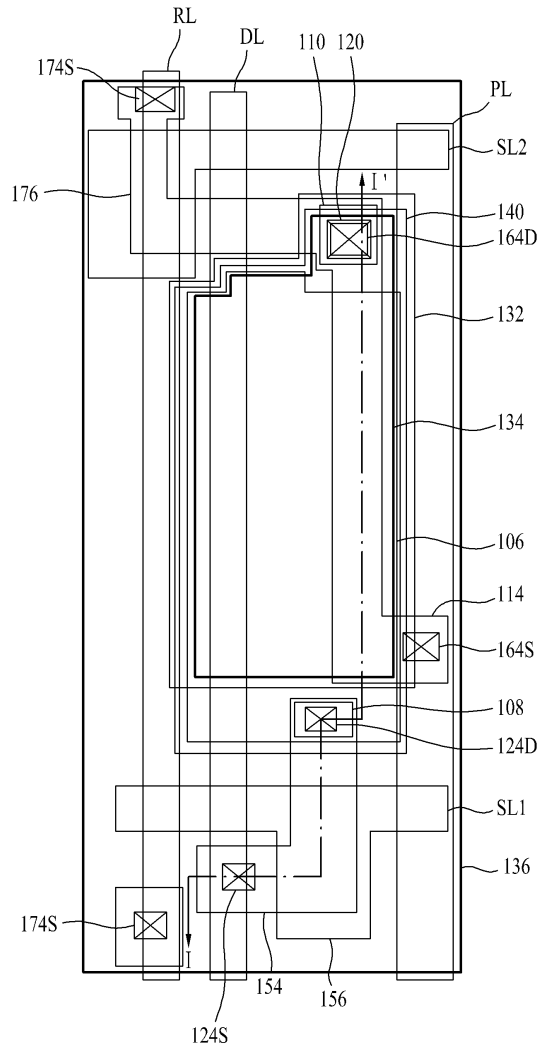


도면12b

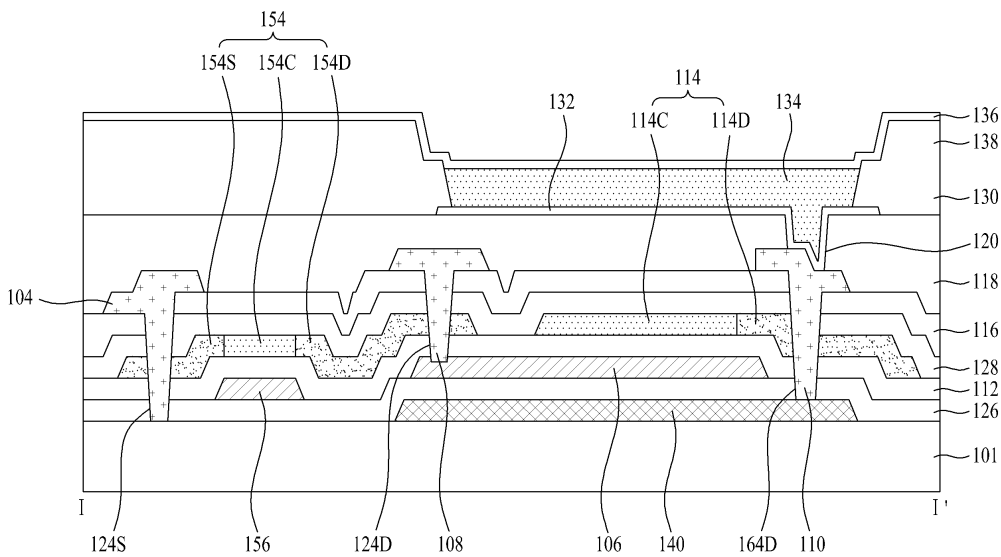




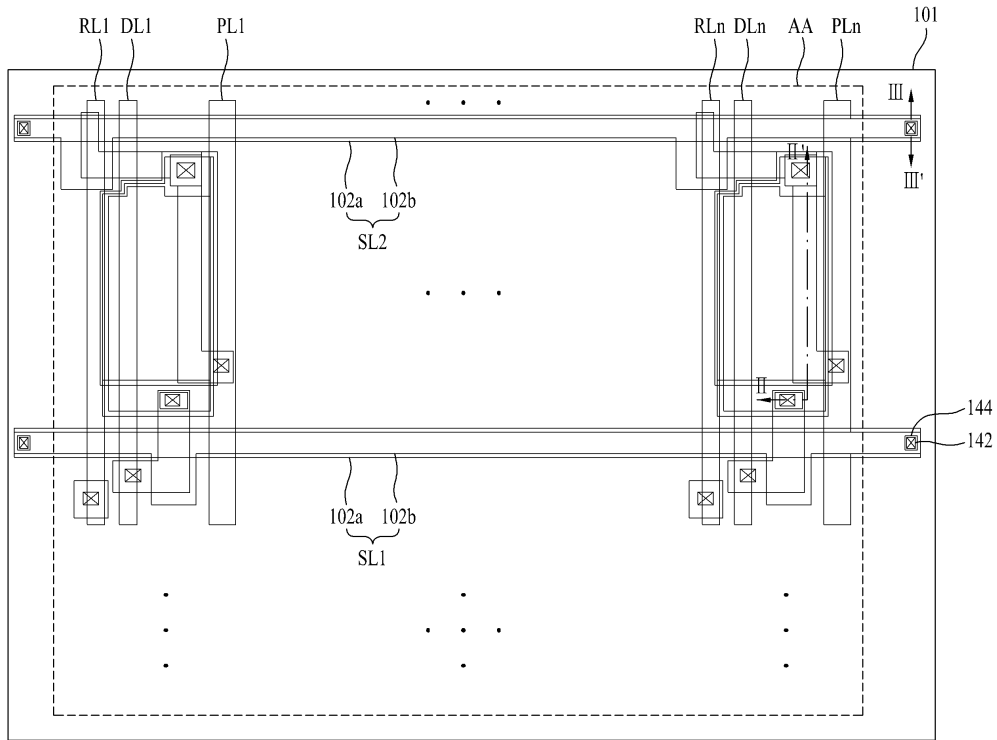
도면14a



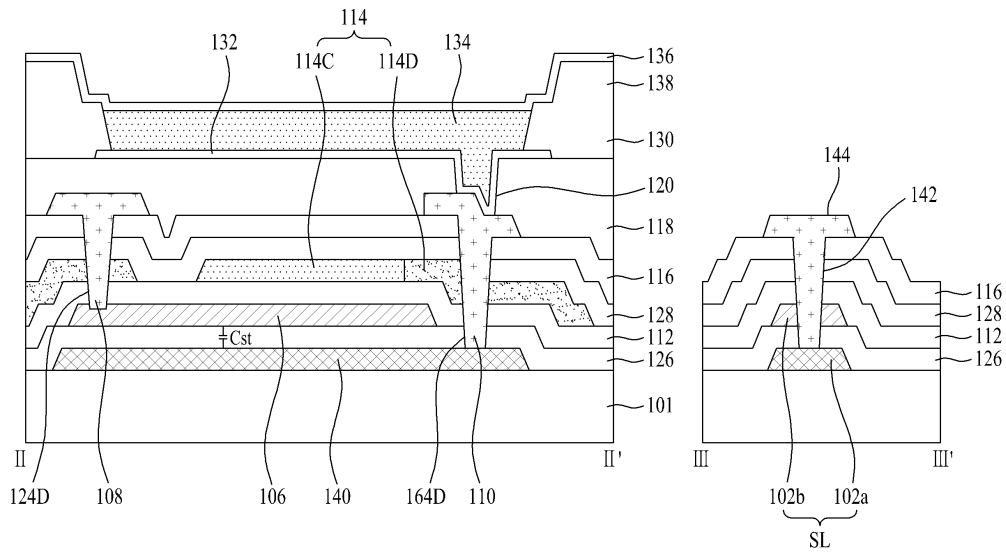
도면14b



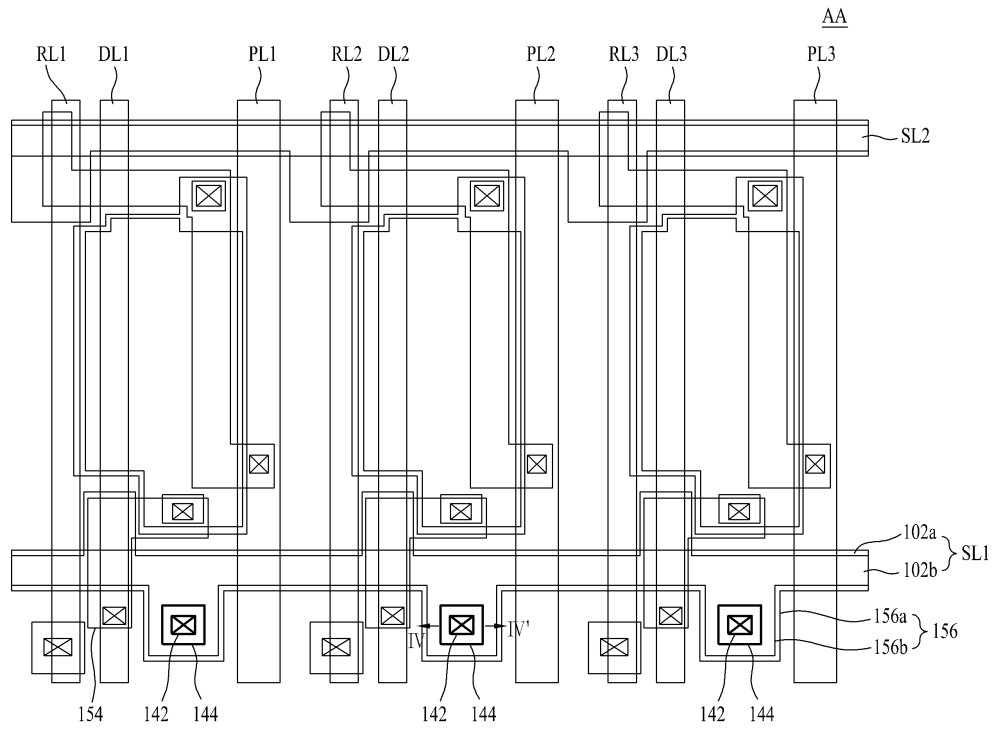
도면15



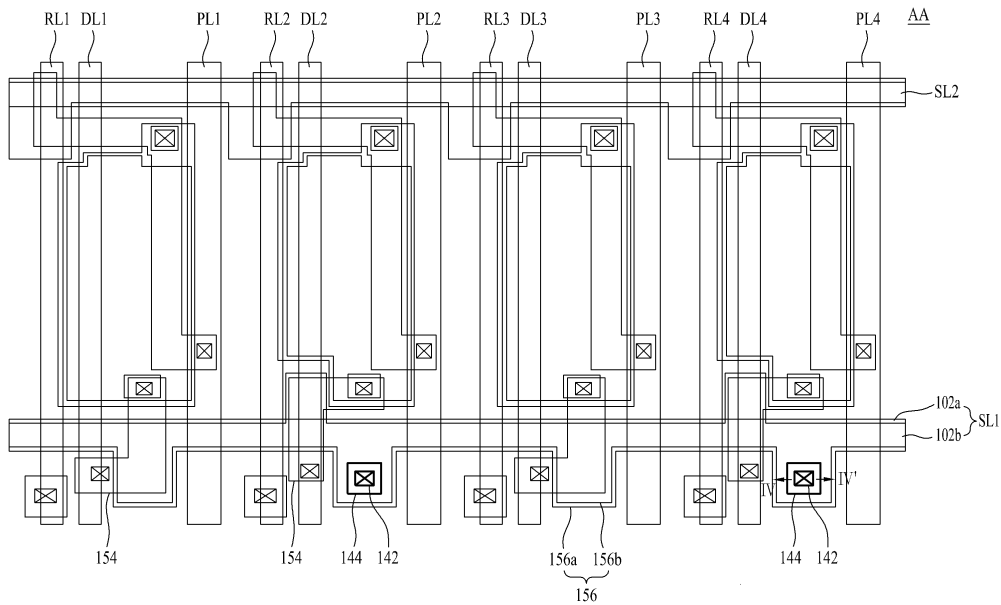
도면16



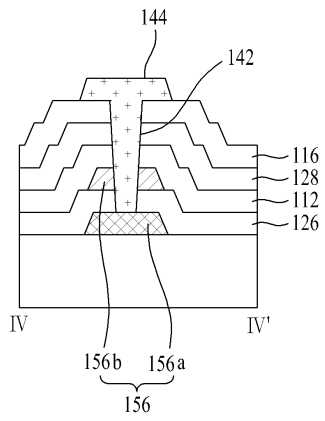
도면17a



도면17b



도면17c



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	<a href="#">KR1020160004843A</a>	公开(公告)日	2016-01-13
申请号	KR1020140083926	申请日	2014-07-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH KUM MI 오금미 SON KYUNG MO 손경모 KIM SUNG HOON 김성훈		
发明人	오금미 손경모 김성훈		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3262 H01L51/0562 H01L2227/323		
代理人(译)	PARK , YOUNG BOK		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及能够获得高分辨率和高可靠性的有机发光显示装置及其制造方法。根据本发明的有机发光显示装置包括：存储电极，形成在基板上；形成为覆盖存储电极的存储绝缘膜；形成在存储绝缘膜上的开关晶体管和驱动晶体管，每个开关晶体管和驱动晶体管包括具有沟道区的多晶硅有源层，位于有源层下部的栅电极，以及单独连接的源电极和漏电极到活动层；有机发光二极管，连接到驱动晶体管的栅电极，存储电极连接到驱动晶体管的漏电极，并且与驱动晶体管的栅电极重叠，存储绝缘膜插入其间以形成存储电容器。

