



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0087128  
(43) 공개일자 2013년08월06일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0008159

(22) 출원일자 2012년01월27일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김태진

충청남도 천안시 서북구 쌍용동 범양마더빌 101동 604호

(74) 대리인

박영우

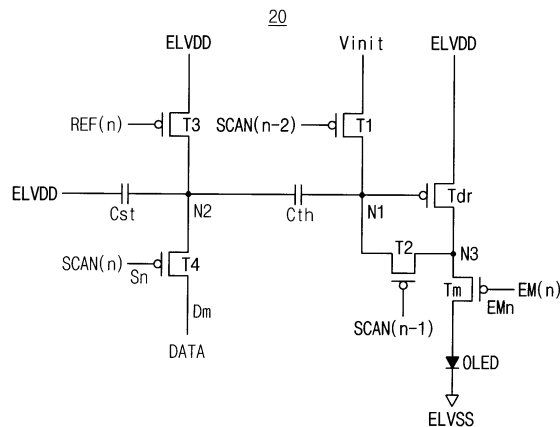
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 회로, 그 구동 방법, 및 이를 포함하는 유기 발광 표시 장치

**(57) 요약**

화소 회로 구동 방법에서는, 초기화 전압 및 제 1 전원 전압을 동시에 구동 트랜지스터의 게이트 전극 및 저장 커패시터에 각각 인가하여 구동 트랜지스터 및 저장 커패시터를 각각 초기화시키고, 구동 트랜지스터를 다이오드 연결시키며, 데이터 전압을 저장 커패시터에 인가하고, 구동 트랜지스터의 게이트 전극과 저장 커패시터 사이에 연결되는 보상 커패시터를 커플링(coupling)하여 데이터 전압을 구동 트랜지스터의 게이트 전극에 인가하며, 제 1 전원 전압 및 데이터 전압에 반응하는 전류를 구동 트랜지스터에 연결되는 유기 발광 다이오드에 인가한다.

**대표도 - 도2**



## 특허청구의 범위

### 청구항 1

초기화 전압 및 제 1 전원 전압을 동시에 구동 트랜지스터의 게이트 전극 및 저장 커패시터에 각각 인가하여, 상기 구동 트랜지스터 및 상기 저장 커패시터를 각각 초기화시키는 단계;

상기 구동 트랜지스터를 다이오드 연결시키는 단계;

데이터 전압을 상기 저장 커패시터에 인가하는 단계;

상기 구동 트랜지스터의 상기 게이트 전극과 상기 저장 커패시터 사이에 연결되는 보상 커패시터를 커플링(coupling)하여 상기 데이터 전압을 상기 구동 트랜지스터의 상기 게이트 전극에 인가하는 단계; 및

상기 제 1 전원 전압 및 상기 데이터 전압에 상응하는 전류를 상기 구동 트랜지스터에 연결되는 유기 발광 다이오드에 인가하는 단계를 포함하는 화소 회로 구동 방법.

### 청구항 2

제 1 항에 있어서, 상기 구동 트랜지스터 및 상기 저장 커패시터가 초기화될 때, 상기 구동 트랜지스터의 상기 게이트 전극의 전압은 상기 초기화 전압에 상응하는 전압으로 바뀌고, 상기 저장 커패시터에 저장된 이전 프레임의 데이터 전압은 상기 제 1 전원 전압에 상응하는 전압으로 바뀌는 것을 특징으로 하는 화소 회로 구동 방법.

### 청구항 3

제 2 항에 있어서, 상기 구동 트랜지스터가 다이오드 연결될 때, 상기 구동 트랜지스터의 상기 게이트 전극에 상기 제 1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차에 상응하는 전압이 인가되는 것을 특징으로 하는 화소 회로 구동 방법.

### 청구항 4

제 3 항에 있어서, 상기 저장 커패시터에 데이터 전압이 인가될 때, 상기 저장 커패시터에 저장된 상기 제 1 전원 전압은 상기 데이터 전압으로 바뀌고, 상기 보상 커패시터의 커플링에 의해 상기 구동 트랜지스터의 상기 게이트 전극의 전압은 상기 제 1 전원 전압과 상기 데이터 전압의 차만큼 감소되는 것을 특징으로 하는 화소 회로 구동 방법.

### 청구항 5

제 4 항에 있어서, 상기 구동 트랜지스터의 다이오드 연결이 종료될 때, 상기 데이터 전압이 상기 저장 커패시터에 인가되는 것을 특징으로 하는 화소 회로 구동 방법.

### 청구항 6

유기 발광 다이오드(Organic Light Emitting Diode; OLED);

제 1 노드에 연결되는 게이트 전극, 제 1 전원 전압을 수신하는 제 1 전극 및 상기 OLED에 연결되는 제 2 전극을 구비하는 구동 트랜지스터;

상기 제 1 노드에 연결되고, 리셋 신호에 응답하여 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 제공하는 제 1 트랜지스터;

상기 구동 트랜지스터의 제 2 전극과 상기 제 1 노드 사이에 연결되는 제 2 트랜지스터;

상기 제 1 노드에 연결되는 제 1 전극, 및 제 2 노드에 연결되는 제 2 전극을 구비하는 보상 커패시터;

상기 제 2 노드에 연결되는 제 1 전극, 및 상기 제 1 전원 전압을 수신하는 제 2 전극을 구비하는 저장 커패시터;

상기 제 2 노드에 연결되고, 기준 전압 제어 신호에 응답하여 상기 제 1 전원 전압을 상기 저장 커패시터의 제

1 전극에 제공하는 제 3 트랜지스터;

상기 제 2 노드에 연결되고, 스캔 신호에 응답하여 데이터 전압을 상기 저장 커패시터의 제 1 전극에 제공하는 제 4 트랜지스터; 및

상기 구동 트랜지스터의 제 2 전극과 상기 OLED 사이에 연결되고, 발광 제어 신호에 응답하여 턴 온 되는 발광 제어 트랜지스터를 포함하는 화소 회로.

**청구항 7**

제 6 항에 있어서, 상기 구동 트랜지스터, 상기 발광 제어 트랜지스터 및 상기 제 1 내지 제 4 트랜지스터들은 피모스(P-channel Metal Oxide Semiconductor; PMOS) 트랜지스터인 것을 특징으로 하는 화소 회로.

**청구항 8**

제 7 항에 있어서, 상기 기준 전압 제어 신호는 상기 리셋 신호와 동시에 인가되는 것을 특징으로 하는 화소 회로.

**청구항 9**

제 8 항에 있어서, 제 1 내지 제 n(단, n은 3 이상의 정수) 스캔 신호가 순차적으로 제공될 때, 상기 스캔 신호는 상기 제 n 스캔 신호에 상응하고, 상기 리셋 신호는 상기 제 (n-2) 스캔 신호에 상응하며, 상기 제 2 트랜지스터의 게이트 전극에는 상기 제 (n-1) 스캔 신호가 인가되는 것을 특징으로 하는 화소 회로.

**청구항 10**

제 8 항에 있어서, 제 1 내지 제 n(단, n은 3 이상의 정수) 스캔 신호가 순차적으로 제공될 때, 상기 스캔 신호는 제 n 스캔 신호에 상응하고, 상기 리셋 신호는 상기 제 1 내지 제 (n-1) 스캔 신호들 중 하나의 스캔 신호에 상응하며, 상기 제 2 트랜지스터의 게이트 전극에는 별도의 보상 제어 신호가 인가되는 것을 특징으로 하는 화소 회로.

**청구항 11**

제 10 항에 있어서, 상기 리셋 신호가 인가되는 시점에 따라 상기 보상 제어 신호가 인가되는 구간의 길이가 결정되는 것을 특징으로 하는 화소 회로.

**청구항 12**

제 11 항에 있어서, 상기 리셋 신호의 인가가 종료될 때, 상기 보상 제어 신호가 인가되는 것을 특징으로 하는 화소 회로.

**청구항 13**

제 12 항에 있어서, 상기 보상 제어 신호가 인가되는 동안, 상기 구동 트랜지스터가 다이오드 연결되고, 상기 구동 트랜지스터의 게이트 전극에 상기 제 1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차에 상응하는 전압이 인가되는 것을 특징으로 하는 화소 회로.

**청구항 14**

제 13 항에 있어서, 상기 보상 제어 신호 인가가 종료될 때, 상기 스캔 신호가 인가되는 것을 특징으로 하는 화소 회로.

**청구항 15**

복수의 화소 회로들을 포함하고, 제 1 전원 전압 및 제 2 전원 전압을 수신하는 표시 패널;

제 1 내지 제 n(단, n은 3 이상의 정수) 스캔 라인들을 통해 상기 화소 회로들에 순차적으로 제 1 내지 제 n 스캔 신호들을 제공하는 스캔 구동부;

상기 제 1 내지 제 n 스캔 신호들에 따라 복수의 데이터 라인들을 통해 상기 화소 회로들에 데이터 전압을 제공하는 데이터 구동부;

복수의 발광 제어 라인들을 통해 상기 화소 회로들에 발광 제어 신호를 제공하는 발광 제어부; 및  
 상기 스캔 구동부, 상기 데이터 구동부 및 상기 발광 제어부를 제어하는 타이밍 컨트롤러를 포함하고,  
 상기 화소 회로들 각각은,  
 유기 발광 다이오드(Organic Light Emitting Diode; OLED);  
 제 1 노드에 연결되는 게이트 전극, 상기 제 1 전원 전압을 수신하는 제 1 전극 및 상기 OLED에 연결되는 제 2 전극을 구비하는 구동 트랜지스터;  
 상기 제 1 노드에 연결되고, 상기 제 1 내지 제 (n-1) 스캔 신호들 중 하나의 스캔 신호에 응답하여 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 제공하는 제 1 트랜지스터;  
 상기 구동 트랜지스터의 제 2 전극과 상기 제 1 노드 사이에 연결되는 제 2 트랜지스터;  
 상기 제 1 노드에 연결되는 제 1 전극 및 제 2 노드에 연결되는 제 2 전극을 구비하는 보상 커패시터;  
 상기 제 2 노드에 연결되는 제 1 전극 및 상기 제 1 전원 전압을 수신하는 제 2 전극을 구비하는 저장 커패시터;  
 상기 제 2 노드에 연결되고, 기준 전압 제어 신호에 응답하여 상기 제 1 전원 전압을 상기 저장 커패시터의 제 1 전극에 제공하는 제 3 트랜지스터;  
 상기 제 2 노드에 연결되고, 상기 제 n 스캔 신호에 응답하여 데이터 전압을 상기 저장 커패시터의 제 1 전극에 제공하는 제 4 트랜지스터; 및  
 상기 구동 트랜지스터의 제 2 전극과 상기 OLED 사이에 연결되고, 상기 발광 제어 신호에 응답하여 턴 온 되는 발광 제어 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 16**

제 15 항에 있어서, 상기 제 1 트랜지스터의 게이트 전극에 상기 제 (n-2) 스캔 신호가 인가되고, 상기 제 2 트랜지스터의 게이트 전극에 상기 제 (n-1) 스캔 신호가 인가되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 17**

제 16 항에 있어서, 상기 기준 전압 제어 신호는 상기 제 (n-2) 스캔 신호와 동시에 인가되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 18**

제 15 항에 있어서,  
 상기 제 2 트랜지스터의 게이트 전극에 보상 제어 신호를 제공하는 보상 제어부를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 19**

제 18 항에 있어서, 상기 제 1 트랜지스터의 게이트 전극에 상기 제 1 내지 제 (n-1) 스캔 신호들 중 하나의 스캔 신호가 인가되는 시점에 따라, 상기 보상 제어 신호가 인가되는 구간의 길이가 결정되는 것을 특징으로 하는 유기 발광 표시 장치.

**청구항 20**

제 19 항에 있어서, 상기 보상 제어 신호의 인가가 종료될 때, 상기 제 n 스캔 신호가 인가되는 것을 특징으로 하는 유기 발광 표시 장치.

**명세서**

**기술분야**

[0001] 본 발명은 화소 회로, 그 구동 방법, 및 이를 포함하는 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는

구동 트랜지스터의 문턱 전압 보상과 데이터 프로그래밍을 분리하여 수행하는 화소 회로, 그 구동 방법, 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

### 배경 기술

- [0002] 유기 발광 표시(OLED) 장치는 복수의 스캔 라인, 복수의 데이터 라인 및 상기 라인들이 교차하는 지점에 매트릭스 형태로 배열되는 복수의 화소 회로들을 구비한다. 각각의 화소 회로는 구동 트랜지스터를 구비하고, 상기 구동 트랜지스터에 의해 유기 발광 다이오드에 흐르는 전류를 제어함으로써 휘도를 나타낸다.
- [0003] 그러나 이러한 구동 트랜지스터의 히스테리시스(Hysteresis) 특성에 의해 상기 구동 트랜지스터에 흐르는 전류가 이전 프레임의 데이터 전압의 영향을 받고, 이에 따라 동일한 데이터 전압이 인가되는 화소 회로들 간에 휘도 불균일이 발생할 수 있다.
- [0004] 또한, 휘도 균일도 개선을 위해 구동 트랜지스터의 문턱 전압을 보상하는데, 데이터 프로그래밍과 상기 문턱 전압 보상을 동시에 수행하는 경우 짧은 데이터 프로그래밍 시간 내에 상기 문턱 전압 보상이 원활히 이루어지지 않을 수 있다.

### 발명의 내용

#### 해결하려는 과제

- [0005] 본 발명의 일 목적은 구동 트랜지스터의 문턱 전압 보상과 데이터 프로그래밍을 분리하여 수행하고, 데이터 프로그래밍 이전에 구동 트랜지스터의 게이트 전극에 동일한 초기값을 인가하여 구동 트랜지스터의 히스테리시스에 따른 휘도 불균일을 제거하는 화소 회로, 그 구동 방법, 및 이를 포함하는 유기 발광 표시 장치를 제공하는 것이다.
- [0006] 다만, 본 발명의 해결하고자 하는 과제는 이에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

#### 과제의 해결 수단

- [0007] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 화소 회로 구동 방법에서는, 초기화 전압 및 제 1 전원 전압을 동시에 구동 트랜지스터의 게이트 전극 및 저장 커패시터에 각각 인가하여, 상기 구동 트랜지스터 및 상기 저장 커패시터를 각각 초기화시키고, 상기 구동 트랜지스터를 다이오드 연결시키고, 데이터 전압을 상기 저장 커패시터에 인가하고, 상기 구동 트랜지스터의 상기 게이트 전극과 상기 저장 커패시터 사이에 연결되는 보상 커패시터를 커플링(coupling)하여 상기 데이터 전압을 상기 구동 트랜지스터의 상기 게이트 전극에 인가하며, 상기 제 1 전원 전압 및 상기 데이터 전압에 상응하는 전류를 상기 구동 트랜지스터에 연결되는 유기 발광 다이오드에 인가한다.
- [0008] 일 실시예에 의하면, 상기 구동 트랜지스터 및 상기 저장 커패시터가 초기화될 때, 상기 구동 트랜지스터의 상기 게이트 전극의 전압은 상기 초기화 전압에 상응하는 전압으로 바뀌고, 상기 저장 커패시터에 저장된 이전 프레임의 데이터 전압은 상기 제 1 전원 전압에 상응하는 전압으로 바뀔 수 있다.
- [0009] 일 실시예에 의하면, 상기 구동 트랜지스터가 다이오드 연결될 때, 상기 구동 트랜지스터의 상기 게이트 전극에 상기 제 1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차에 상응하는 전압이 인가될 수 있다.
- [0010] 일 실시예에 의하면, 상기 저장 커패시터에 데이터 전압이 인가될 때, 상기 저장 커패시터에 저장된 상기 제 1 전원 전압은 상기 데이터 전압으로 바뀌고, 상기 보상 커패시터의 커플링에 의해 상기 구동 트랜지스터의 상기 게이트 전극의 전압은 상기 제 1 전원 전압과 상기 데이터 전압의 차만큼 감소될 수 있다.
- [0011] 일 실시예에 의하면, 상기 구동 트랜지스터의 다이오드 연결이 종료될 때, 상기 데이터 전압이 상기 저장 커패시터에 인가될 수 있다.
- [0012] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 화소 회로는 유기 발광 다이오드(Organic Light Emitting Diode; OLED), 구동 트랜지스터, 제 1 내지 제 4 트랜지스터들, 보상 커패시터, 저장 커패시터 및 발광 제어 트랜지스터를 포함한다.
- [0013] 상기 구동 트랜지스터는 제 1 노드에 연결되는 게이트 전극, 제 1 전원 전압을 수신하는 제 1 전극 및 상기 OLED에 연결되는 제 2 전극을 구비한다. 상기 제 1 트랜지스터는 상기 제 1 노드에 연결되고, 리셋 신호에 응답

하여 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 제공한다. 상기 제 2 트랜지스터는 상기 구동 트랜지스터의 제 2 전극과 상기 제 1 노드 사이에 연결된다. 상기 보상 커패시터는 상기 제 1 노드에 연결되는 제 1 전극, 및 제 2 노드에 연결되는 제 2 전극을 구비한다. 상기 저장 커패시터는 상기 제 2 노드에 연결되는 제 1 전극, 및 상기 제 1 전원 전압을 수신하는 제 2 전극을 구비한다. 상기 제 3 트랜지스터는 상기 제 2 노드에 연결되고, 기준 전압 제어 신호에 응답하여 상기 제 1 전원 전압을 상기 저장 커패시터의 제 1 전극에 제공한다. 상기 제 4 트랜지스터는 상기 제 2 노드에 연결되고, 스캔 신호에 응답하여 데이터 전압을 상기 저장 커패시터의 제 1 전극에 제공한다. 상기 발광 제어 트랜지스터는 상기 구동 트랜지스터의 제 2 전극과 상기 OLED 사이에 연결되고, 발광 제어 신호에 응답하여 턴 온 된다.

- [0014] 일 실시예에 의하면, 상기 구동 트랜지스터, 상기 발광 제어 트랜지스터 및 상기 제 1 내지 제 4 트랜지스터들은 피모스(P-channel Metal Oxide Semiconductor; PMOS) 트랜지스터일 수 있다.
- [0015] 일 실시예에 의하면, 상기 기준 전압 제어 신호는 상기 리셋 신호와 동시에 인가될 수 있다.
- [0016] 일 실시예에 의하면, 제 1 내지 제 n(단, n은 3 이상의 정수) 스캔 신호가 순차적으로 제공될 때, 상기 스캔 신호는 상기 제 n 스캔 신호에 상응하고, 상기 리셋 신호는 상기 제 (n-2) 스캔 신호에 상응하며, 상기 제 2 트랜지스터의 게이트 전극에는 상기 제 (n-1) 스캔 신호가 인가될 수 있다.
- [0017] 일 실시예에 의하면, 제 1 내지 제 n(단, n은 3 이상의 정수) 스캔 신호가 순차적으로 제공될 때, 상기 스캔 신호는 제 n 스캔 신호에 상응하고, 상기 리셋 신호는 상기 제 1 내지 제 (n-1) 스캔 신호들 중 하나의 스캔 신호에 상응하며, 상기 제 2 트랜지스터의 게이트 전극에는 별도의 보상 제어 신호가 인가될 수 있다.
- [0018] 일 실시예에 의하면, 상기 리셋 신호가 인가되는 시점에 따라 상기 보상 제어 신호가 인가되는 구간의 길이가 결정될 수 있다.
- [0019] 일 실시예에 의하면, 상기 리셋 신호의 인가가 종료될 때, 상기 보상 제어 신호가 인가될 수 있다.
- [0020] 일 실시예에 의하면, 상기 보상 제어 신호가 인가되는 동안, 상기 구동 트랜지스터가 다이오드 연결되고, 상기 구동 트랜지스터의 게이트 전극에 상기 제 1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차에 상응하는 전압이 인가될 수 있다.
- [0021] 일 실시예에 의하면, 상기 보상 제어 신호 인가가 종료될 때, 상기 스캔 신호가 인가될 수 있다.
- [0022] 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 표시 패널, 스캔 구동부, 데이터 구동부, 발광 제어부 및 타이밍 컨트롤러를 포함한다.
- [0023] 상기 표시 패널은 복수의 화소 회로들을 포함하고, 제 1 전원 전압 및 제 2 전원 전압을 수신한다. 상기 스캔 구동부는 제 1 내지 제 n(단, n은 3 이상의 정수) 스캔 라인들을 통해 상기 화소 회로들에 순차적으로 제 1 내지 제 n 스캔 신호들을 제공한다. 상기 데이터 구동부는 상기 제 1 내지 제 n 스캔 신호들에 따라 복수의 데이터 라인들을 통해 상기 화소 회로들에 데이터 전압을 제공한다. 상기 발광 제어부는 복수의 발광 제어 라인들을 통해 상기 화소 회로들에 발광 제어 신호를 제공한다. 상기 타이밍 컨트롤러는 상기 스캔 구동부, 상기 데이터 구동부 및 상기 발광 제어부를 제어한다.
- [0024] 일 실시예에 의하면, 상기 제 1 트랜지스터의 게이트 전극에 상기 제 (n-2) 스캔 신호가 인가되고, 상기 제 2 트랜지스터의 게이트 전극에 상기 제 (n-1) 스캔 신호가 인가될 수 있다.
- [0025] 일 실시예에 의하면, 상기 기준 전압 제어 신호는 상기 제 (n-2) 스캔 신호와 동시에 인가될 수 있다.
- [0026] 일 실시예에 의하면, 상기 유기 발광 표시 장치는 상기 제 2 트랜지스터의 게이트 전극에 보상 제어 신호를 제공하는 보상 제어부를 더 포함할 수 있다.
- [0027] 일 실시예에 의하면, 상기 제 1 트랜지스터의 게이트 전극에 상기 제 1 내지 제 (n-1) 스캔 신호들 중 하나의 스캔 신호가 인가되는 시점에 따라, 상기 보상 제어 신호가 인가되는 구간의 길이가 결정될 수 있다.
- [0028] 일 실시예에 의하면, 상기 보상 제어 신호의 인가가 종료될 때, 상기 제 n 스캔 신호가 인가될 수 있다.

**발명의 효과**

- [0029] 본 발명의 실시예들에 따르면, 구동 트랜지스터의 문턱 전압 보상과 데이터 프로그래밍을 분리하여 수행함으로써 데이터 프로그래밍 시간과 무관하게 문턱 전압 보상 시간을 충분히 확보할 수 있다. 이에 따라, 명암비가 개

선될 수 있고, 고속의 데이터 프로그래밍이 가능해진다. 또한, 데이터 프로그래밍 이전에 구동 트랜지스터의 게이트 전극에 동일한 초기값을 인가함으로써 구동 트랜지스터의 히스테리시스에 따른 휘도 불균일을 제거할 수 있다.

[0030] 다만, 본 발명의 효과는 이에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

**도면의 간단한 설명**

- [0031] 도 1은 본 발명의 일 실시예에 따른 화소 회로 구동 방법을 나타내는 순서도이다.
- 도 2는 도 1의 화소 회로 구동 방법에 의하여 구동되는 화소 회로의 일 예를 나타내는 회로도이다.
- 도 3은 도 1의 화소 회로 구동 방법에 의하여 도 2의 화소 회로가 구동되는 것을 설명하기 위한 타이밍도이다.
- 도 4a 내지 도 4j는 도 1의 화소 회로 구동 방법에 의하여 도 2의 화소 회로가 구동되는 일 예를 나타내는 도면들이다.
- 도 5는 도 1의 화소 회로 구동 방법에 의하여 구동되는 화소 회로의 다른 예를 나타내는 회로도이다.
- 도 6은 도 1의 화소 회로 구동 방법에 의하여 도 5의 화소 회로가 구동되는 것을 설명하기 위한 타이밍도이다.
- 도 7a 및 도 7b는 p형 다결정 실리콘 박막 트랜지스터의 히스테리시스(hysteresis) 특성을 설명하기 위한 도면들이다.
- 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- 도 10은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 구비하는 전자 기기를 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0032] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0033] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0034] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0035] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0036] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0037] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사

용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0038] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 화소 회로 구동 방법을 나타내는 순서도이다.
- [0040] 도 1을 참조하면, 해당 프레임이 시작할 때, 초기화 전압 및 제 1 전원 전압을 동시에 각각 구동 트랜지스터의 게이트 전극 및 저장 커패시터에 인가하여, 상기 구동 트랜지스터 및 상기 저장 커패시터를 각각 초기화시킨다(단계S10). 이에 따라, 상기 구동 트랜지스터의 게이트 전극의 전압은 상기 초기화 전압에 상응하는 전압으로 바뀌고, 상기 저장 커패시터에 저장된 이전 프레임의 데이터 전압은 상기 제 1 전원 전압에 상응하는 전압으로 바뀐다. 일 실시예에서, 상기 저장 커패시터에 인가되는 상기 제 1 전원 전압은 상기 저장 커패시터를 초기화하기 위한 기준 전압(reference voltage)으로서 사용된다. 본 발명의 실시예들에 따르면, 별도의 기준 전압을 인가하지 않고 제 1 전원 전압을 기준 전압으로서 사용함으로써 회로 구성이 간단해지고, 유기 발광 다이오드에 흐르는 전류를 용이하게 제어할 수 있다. 상기 전류를 나타내는 식에 관해 도 4e를 참조하여 상세히 후술한다.
- [0041] 본 발명의 실시예들에 따르면, 상기 초기화 전압과 상기 제 1 전원 전압은 각각 상기 구동 트랜지스터의 게이트 전극 및 상기 저장 커패시터에 동시에 인가된다. 따라서, 상기 구동 트랜지스터 및 상기 저장 커패시터가 각각 완전하게 초기화될 수 있다. 예를 들어, 상기 초기화 전압을 먼저 인가한다면, 후에 상기 제 1 전원 전압을 인가할 때 상기 구동 트랜지스터의 게이트 전극과 상기 저장 커패시터 사이에 연결된 보상 커패시터의 커플링에 의해 상기 구동 트랜지스터의 게이트 전극의 전압이 변경될 수 있다. 이 경우, 상기 구동 트랜지스터의 게이트 전극의 전압이 일정한 값으로 초기화되지 않아 휘도 불균일이 발생할 수 있다.
- [0042] 일 실시예에서, 상기 구동 트랜지스터는 피모스(PMOS) 트랜지스터일 수 있다. 실시예에 따라, 상기 초기화 전압은 상기 구동 트랜지스터를 턴 온(turn on) 시킬 수 있도록 충분히 낮은 전압일 수 있다. 이에 따라, 다음 단계에서 상기 구동 트랜지스터가 용이하게 다이오드 연결되도록 할 수 있다.
- [0043] 이후, 상기 구동 트랜지스터를 다이오드 연결시킨다(단계 S20). 이에 따라, 상기 구동 트랜지스터의 게이트 전극에 상기 제 1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차에 상응하는 전압이 인가된다. 이와 같이, 매 프레임마다 표시 패널에 포함되는 모든 구동 트랜지스터의 게이트 전극이 상기 제 1 전원 전압과 상기 구동 트랜지스터의 문턱 전압의 차에 상응하는 전압으로 초기화될 수 있다. 따라서, 동일한 전압으로부터 해당 프레임의 데이터 전압으로 프로그래밍되므로 구동 트랜지스터의 게이트 전극의 전압 간 편차에 의한 히스테리시스 특성을 제거할 수 있고, 이에 따라 휘도 균일도를 개선할 수 있다.
- [0044] 다음으로, 데이터 전압을 상기 저장 커패시터에 인가한다(단계 S30). 이에 따라, 상기 저장 커패시터의 전압이 상기 제 1 전원 전압에서 상기 데이터 전압으로 바뀐다. 상기 저장 커패시터의 전압이 상기 제 1 전원 전압에서 상기 데이터 전압으로 바뀌에 따라, 상기 구동 트랜지스터의 게이트 전극과 상기 저장 커패시터 사이에 연결된 보상 커패시터가 커플링되어 상기 데이터 전압이 상기 구동 트랜지스터의 게이트 전극에 인가된다(단계 S40). 보다 구체적으로, 상기 제 1 전원 전압과 상기 데이터 전압의 차에 상응하는 변화량이 상기 구동 트랜지스터의 게이트 전극에 인가된다. 이와 같이 본 발명의 실시예에 따른 화소 회로 구동 방법은 구동 트랜지스터의 게이트 전극에 프로그래밍할 데이터 전압을 직접 인가하지 않고, 커패시터 커플링에 의해 상기 데이터 전압을 인가한다. 이러한 방식으로 구동 트랜지스터의 문턱 전압 보상과 데이터 프로그래밍을 시간적, 공간적으로 분리함으로써 데이터 프로그래밍 시간과 무관하게 문턱 전압 보상 시간을 충분히 확보할 수 있다. 이에 따라, 명암비가 개선될 수 있고, 고속의 데이터 프로그래밍이 가능해진다.
- [0045] 마지막으로, 상기 제 1 전원 전압 및 상기 데이터 전압에 상응하는 전류를 상기 구동 트랜지스터에 연결되는 유기 발광 다이오드(OLED)에 인가한다(단계 S50). 이는 상기 구동 트랜지스터와 상기 OLED 사이에 연결되는 발광 제어 트랜지스터를 턴 온 시킴으로써 수행된다. 상기 전류는 상기 제 1 전원 전압과 상기 데이터 전압의 차의 공급에 비례하는 형태를 갖는다. 이와 같이, 상기 OLED에 흐르는 전류는 상기 구동 트랜지스터의 문턱 전압 성분을 포함하지 않으므로 구동 트랜지스터의 문턱 전압 편차에 의한 휘도 불균일을 제거할 수 있다. 화소 회로의 구동 방법에 관하여는 도 4a 내지 도 4e를 참조하여 상세히 후술한다.
- [0046] 도 2는 도 1의 화소 회로 구동 방법에 의하여 구동되는 화소 회로의 일 예를 나타내는 회로도이다.
- [0047] 도 2를 참조하면, 화소 회로(20)는 데이터 라인(Dm)과 스캔 라인(Sn)이 교차하는 지점에 연결되고, 제 1 전원

전압(ELVDD) 및 제 2 전원 전압(ELVSS)을 수신한다. 화소 회로(20)는 유기 발광 다이오드(OLED), 구동 트랜지스터(Tdr), 제 1 내지 제 4 트랜지스터들(T1-T4), 발광 제어 트랜지스터(Tm), 보상 커패시터(Cth), 및 저장 커패시터(Cst)를 포함한다.

- [0048] 구동 트랜지스터(Tdr)는 제 1 노드(N1)에 연결되는 게이트 전극, 제 1 전원 전압(ELVDD)을 수신하는 제 1 전극, 및 유기 발광 다이오드(OLED)에 연결되는 제 2 전극을 구비한다. 제 1 트랜지스터(T1)는 제 1 노드(N1)에 연결되고, 리셋 신호에 응답하여 초기화 전압(Vinit)을 구동 트랜지스터(Tdr)의 게이트 전극에 제공한다. 제 2 트랜지스터(T2)는 구동 트랜지스터(Tdr)의 제 2 전극과 제 1 노드(N1) 사이에 연결된다. 보상 커패시터(Cth)는 제 1 노드(N1)에 연결되는 제 1 전극, 및 제 2 노드(N2)에 연결되는 제 2 전극을 구비한다. 저장 커패시터(Cst)는 제 2 노드(N2)에 연결되는 제 1 전극, 및 제 1 전원 전압(ELVDD)을 수신하는 제 2 전극을 구비한다. 제 3 트랜지스터(T3)는 제 2 노드(N2)에 연결되고, 기준 전압 제어 신호(REF(n))에 응답하여 제 1 전원 전압(ELVDD)을 저장 커패시터(Cst)의 제 1 전극에 제공한다. 제 4 트랜지스터(T4)는 제 2 노드(N2)에 연결되고, 스캔 신호에 응답하여 데이터 전압(DATA)을 저장 커패시터(Cst)의 제 1 전극에 제공한다. 발광 제어 트랜지스터(Tm)는 구동 트랜지스터(Tdr)의 제 2 전극과 유기 발광 다이오드(OLED) 사이에 연결되고, 발광 제어 신호(EM(n))에 응답하여 턴 온된다.
- [0049] 일 실시예에서, 화소 회로(20)는 피모스(PMOS) 트랜지스터로 구현될 수 있다. 즉, 구동 트랜지스터(Tdr), 제 1 내지 제 4 트랜지스터들(T1-T4), 및 발광 제어 트랜지스터(Tm)는 피모스 트랜지스터로 구현될 수 있다. 이에 따라, 상기 트랜지스터들의 게이트 전극에 로우(low) 레벨 신호가 인가되었을 때 트랜지스터가 턴 온 되어 회로를 연결할 수 있다. 반대로 하이(high) 레벨 신호가 인가되었을 때 트랜지스터는 오프(off)될 수 있다.
- [0050] 화소 회로(20)에서, 기준 전압 제어 신호(REF(n))는 상기 리셋 신호와 동시에 인가될 수 있다. 이에 따라, 제 1 전원 전압(ELVDD) 및 초기화 전압(Vinit)이 동시에 각각 저장 커패시터(Cst) 및 구동 트랜지스터(Tdr)의 게이트 전극에 인가되어 초기화시킬 수 있다.
- [0051] 일 실시예에서, 복수의 화소 회로들(20)에 제 1 내지 제 n(n은 3 이상의 정수) 스캔 신호가 순차적으로 제공될 때, 상기 스캔 신호는 제 n 스캔 신호(SCAN(n))에 상응하고, 상기 리셋 신호는 제 (n-2) 스캔 신호(SCAN(n-2))에 상응하며, 제 2 트랜지스터(T2)의 게이트 전극에는 제 (n-1) 스캔 신호(SCAN(n-1))가 인가될 수 있다. 이에 따라, 제 1 트랜지스터(T1), 제 2 트랜지스터(T2), 제 4 트랜지스터(T4) 순으로 턴 온 되면서 각각의 기능을 수행할 수 있다.
- [0052] 다른 실시예에서, 복수의 화소 회로들(20)에 제 1 내지 제 n(n은 3 이상의 정수) 스캔 신호가 순차적으로 제공될 때, 상기 스캔 신호는 제 n 스캔 신호(SCAN(n))에 상응하고, 상기 리셋 신호는 상기 제 1 내지 제 (n-1) 스캔 신호들 중 하나의 스캔 신호에 상응하며, 제 2 트랜지스터(T2)의 게이트 전극에는 별도의 보상 제어 신호(DC(n), 도 5 참조)가 인가될 수 있다. 또한, 상기 보상 제어 신호는 상기 리셋 신호 인가가 종료될 때 인가되고, 스캔 신호(SCAN(n))는 상기 보상 제어 신호 인가가 종료될 때 인가될 수 있다. 이에 따라, 제 1 트랜지스터(T1), 제 2 트랜지스터(T2), 제 4 트랜지스터(T4) 순으로 턴 온 되면서 각각의 기능을 수행할 수 있다.
- [0053] 실시예에 따라, 상기 리셋 신호가 인가되는 시점에 따라 상기 보상 제어 신호가 인가되는 구간의 길이가 결정될 수 있다. 예를 들어, 상기 리셋 신호로 제 (n-4) 스캔 신호가 인가되는 경우, 상기 보상 제어 신호는 상기 스캔 신호의 로직 로우 레벨 구간의 길이의 3배에 해당하는 길이만큼 인가될 수 있다.
- [0054] 도 3은 도 1의 화소 회로 구동 방법에 의하여 도 2의 화소 회로가 구동되는 것을 설명하기 위한 타이밍도이다.
- [0055] 도 3을 참조하면, a 구간은 이전 프레임인 제 (N-1) 프레임((N-1)th FRAME)에 해당하고, b 내지 e 구간은 제 n 프레임(Nth FRAME)에 해당한다. 즉, 화소 회로를 구동하는 한 프레임은 b 내지 e 구간으로 이루어진다. 또한, 한 프레임 내에서, b 내지 d 구간은 비발광 구간에 해당하고, e 구간은 발광 구간에 해당한다.
- [0056] 도 2를 함께 참조하면, 제 N 프레임(Nth FRAME)이 시작될 때, 제 (n-2) 스캔 신호(SCAN(n-2))가 제 1 트랜지스터(T1)에 인가되고, 동시에 기준 전압 제어 신호(REF(n))가 제 3 트랜지스터(T3)에 인가된다(b 구간). 이후, 제 (n-1) 스캔 신호(SCAN(n-1))가 제 2 트랜지스터(T2)에 인가되고(c 구간), 기준 전압 제어 신호(REF(n)) 인가가 종료되면서 제 n 스캔 신호(SCAN(n))가 제 4 트랜지스터(T4)에 인가된다(d 구간). 데이터 프로그래밍이 완료된 후, 발광 제어 신호(EM(n))가 로직 로우 레벨로 됨으로써 유기 발광 다이오드(OLED)가 발광하게 된다(e 구간).
- [0057] 도 4a 내지 도 4j는 도 1의 화소 회로 구동 방법에 의하여 도 2의 화소 회로가 구동되는 일 예를 나타내는 도면들이다. 이하 도 4a 내지 4j를 참조하여 화소 회로의 구동 방법을 구간별로 나누어 설명한다.

[0058] 도 4a 및 도 4b를 참조하면, 제 1 구간(a)은 제 (N-1) 프레임((N-1)th FRAME)에 대응한다. 발광 제어 신호(EM(n))가 로우 레벨로 인가되므로, 제 (N-1) 프레임((N-1)th FRAME)의 데이터 전압(Vdata')에 상응하는 유기 발광 다이오드 전류(IOLED')에 의해 유기 발광 다이오드(OLED)가 발광하고 있는 상태이다. 여기서 제 (n-3) 스캔 신호(SCAN(n-3))는 임의의 신호에 해당하며, 단지 아직 제 N 프레임(Nth FRAME)이 시작되지 않았음을 나타낸다. 제 (n-2) 스캔 신호(SCAN(n-2)), 제 (n-1) 스캔 신호(SCAN(n-1)), 제 n 스캔 신호(SCAN(n)) 및 기준 전압 제어 신호(REF(n))가 하이 레벨로 인가되므로 이에 각각 상응하는 트랜지스터들은 모두 오프 되어 있다.

[0059] 도 4c 및 도 4d를 참조하면, 제 2 구간(b)은 초기화 단계(RESET)에 대응한다. 제 2 구간(b)에서 로우 레벨의 제 (n-2) 스캔 신호(SCAN(n-2))가 제 1 트랜지스터(T1)에 제공되고, 동시에 로우 레벨의 기준 전압 제어 신호(REF(n))가 제 3 트랜지스터(T3)에 제공된다. 이에 따라, 제 1 노드(N1), 즉 구동 트랜지스터(Tdr)의 게이트 전극에 초기화 전압(Vinit)이 인가되고, 제 2 노드(N2), 즉 저장 커패시터(Cst)에 제 1 전원 전압(Vdd)이 기준 전압으로서 인가된다. 다시 말해, 제 1 노드(N1)의 전압은 이전 프레임((N-1)th FRAME)의 데이터 전압(Vdata')과 구동 트랜지스터(Tdr)의 문턱 전압(Vth)의 차에 상응하는 전압에서 초기화 전압(Vinit)으로 바뀌고, 제 2 노드(N2)의 전압은 이전 프레임((N-1)th FRAME)의 데이터 전압(Vdata')에서 제 1 전원 전압(Vdd)으로 바뀌므로써 각각 초기화된다. 이를 식으로 표현하면 하기와 같다.

[0060] [수식 1]

[0061]  $VN1 = Vdata' - Vth \rightarrow Vinit$

[0062] (단, VN1은 제 1 노드(N1)의 전압)

[0063] [수식 2]

[0064]  $VN2 = Vdata' \rightarrow Vdd$

[0065] (단, VN2는 제 2 노드(N2)의 전압)

[0066] 이와 같이, 본 발명의 실시예들에 따른 화소 회로 구동 방법에 의하면, 별도의 기준 전압을 인가하지 않고 제 1 전원 전압(Vdd)을 기준 전압으로서 사용함으로써 회로 구성이 간단해지고, 유기 발광 다이오드(OLED)에 흐르는 전류를 용이하게 제어할 수 있다. 또한, 초기화 전압(Vinit)과 제 1 전원 전압(Vdd)이 각각 구동 트랜지스터(Tdr)의 게이트 전극 및 저장 커패시터(Cst)에 동시에 인가됨으로써 구동 트랜지스터(Tdr)의 게이트 전극 및 저장 커패시터(Cst)가 각각 완전하게 초기화될 수 있다. 그 결과, 휘도 균일도가 개선될 수 있다.

[0067] 실시예에 따라, 초기화 전압(Vinit)은 구동 트랜지스터(Tdr)를 턴 온 시킬 수 있도록 충분히 낮은 전압일 수 있다. 이에 따라, 다음 단계(c)에서 구동 트랜지스터(Tdr)가 용이하게 다이오드 연결될 수 있도록 할 수 있다.

[0068] 도 4e 및 도 4f를 참조하면, 제 3 구간(c)은 보상 구간(COMP)에 대응한다. 제 3 구간(c)에서 로우 레벨의 제 (n-1) 스캔 신호(SCAN(n-1))가 제 2 트랜지스터(T2)에 인가된다. 그러면, 제 2 트랜지스터(T2)가 켜지면서 구동 트랜지스터(Tdr)가 다이오드 연결된다. 이때 제 1 전원 전압(Vdd)과 구동 트랜지스터(Tdr)의 문턱 전압(Vth)의 차에 상응하는 전압이 제 3 노드(N3)에 인가되고, 이에 연결된 제 1 노드(N1)에도 인가된다. 이를 식으로 표현하면 하기와 같다.

[0069] [수식 3]

[0070]  $VN1 = Vinit \rightarrow Vdd - Vth$

[0071] (단, VN1은 제 1 노드(N1)의 전압)

[0072] [수식 3]과 같이, 매 프레임마다 표시 패널에 포함되는 모든 구동 트랜지스터(Tdr)의 게이트 전극이 제 1 전원 전압(Vdd)과 구동 트랜지스터(Tdr)의 문턱 전압(Vth)의 차에 상응하는 전압으로 초기화될 수 있다. 따라서, 구동 트랜지스터(Tdr)의 게이트 전극이 동일한 전압에서 해당 프레임의 데이터 전압(Vdata)으로 프로그래밍되므로, 구동 트랜지스터(Tdr)의 게이트 전극의 전압 간 편차에 의한 히스테리시스 특성을 제거할 수 있고, 이에 따라 휘도 균일도가 개선될 수 있다.

[0073] 도 4g 및 도 4h를 참조하면, 제 4 구간(d)은 프로그램 구간(PROGRAM)에 대응한다. 제 4 구간(d)에서 로우 레벨의 제 n 스캔 신호(SCAN(n))가 제 4 트랜지스터(T4)에 인가된다. 그러면, 제 4 트랜지스터(T4)가 켜지면서 제 N 프레임(Nth FRAME)의 데이터 전압(Vdata)이 데이터 라인(Dm)을 통해 제 2 노드(N2)에 인가된다. 다시 말해, 저장 커패시터(Cst)가 데이터 전압(Vdata)으로 프로그래밍된다. 이때, 제 1 노드(N1)와 제 2 노드(N2) 사이에 연

결된 보상 커패시터(Cth)의 커플링에 의해 제 1 노드(N1)의 전압도 제 2 노드(N2)의 전압 변화량만큼 변하게 된다. 다시 말해, 구동 트랜지스터(Tdr)의 게이트 전극의 전압은 제 1 전원 전압(Vdd)과 데이터 전압(Vdata)의 차만큼 감소된다. 이를 식으로 표현하면 하기와 같다.

[0074] [수식 4]

[0075]  $V_{N2} = V_{dd} \rightarrow V_{data}$

[0076] (단, VN2는 제 2 노드(N2)의 전압)

[0077] [수식 5]

[0078]  $V_{N1} = V_{dd} - V_{th} \rightarrow V_{dd} - V_{th} - (V_{dd} - V_{data}) \rightarrow V_{data} - V_{th}$

[0079] (단, VN1은 제 1 노드(N1)의 전압)

[0080] 이와 같이, 본 발명의 실시예에 따른 화소 회로 구동 방법은 구동 트랜지스터(Tdr)의 게이트 전극에 프로그래밍 할 데이터 전압(Vdata)을 직접 인가하지 않고, 커패시터 커플링에 의해 간접적으로 인가할 수 있다. 이러한 방식으로 구동 트랜지스터의 문턱 전압 보상과 데이터 프로그래밍을 시간적, 공간적으로 분리함으로써 데이터 프로그래밍 시간과 무관하게 문턱 전압 보상 시간을 충분히 확보할 수 있다. 이에 따라, 명암비가 개선될 수 있고, 고속의 데이터 프로그래밍이 가능해진다.

[0081] 도 4i 및 도 4j를 참조하면, 제 5 구간(e)은 발광 구간(EMISSION)에 대응한다. 제 5 구간(e)에서 로우 레벨의 발광 제어 신호(EM(n))가 발광 제어 트랜지스터(Tm)에 인가된다. 그러면, 발광 제어 트랜지스터(Tm)가 연결되고, 유기 발광 다이오드 전류(IOLED)가 유기 발광 다이오드(OLED)에 흐르면서 유기 발광 다이오드(OLED)가 발광한다. 이때 유기 발광 다이오드 전류(IOLED)는 제 1 노드(N1)에 설정된 전압 성분을 포함한다. 전술한 바와 같이 프로그램 구간(PROGRAM)에서 제 1 노드(N1)에 설정된 전압은 구동 트랜지스터(Tdr)의 문턱 전압(Vth) 성분을 포함하므로 유기 발광 다이오드 전류(IOLED)는 문턱 전압(Vth) 성분을 제거한 값을 가지게 된다. 이를 식으로 표현하면 하기와 같다.

[0082] [수식 6]

[0083]  $V_s = V_{dd}$

[0084] (단, Vs는 구동 트랜지스터(Tdr)의 소스 전극의 전압)

[0085] [수식 7]

[0086]  $V_g = V_{data} - V_{th}$

[0087] (단, Vg는 구동 트랜지스터(Tdr)의 게이트 전극의 전압)

[0088] [수식 8]

[0089]  $V_{sg} = V_{dd} - (V_{data} - V_{th}) = V_{dd} - V_{data} + V_{th}$

[0090] [수식 9]

[0091]  $\therefore IOLED = 1/2 * k * (V_{sg} - V_{th})^2 = 1/2 * k * (V_{dd} - V_{data})^2$

[0092] (단, k는 구동 트랜지스터(Tdr)에 따라 결정되는 상수)

[0093] [수식 9]를 참조하면, 구동 트랜지스터(Tdr)의 문턱 전압(Vth) 성분이 제거되는 것을 볼 수 있다. 또한, 유기 발광 다이오드 전류(IOLED)의 크기가 제 1 전원 전압(Vdd)과 데이터 전압(Vdata)의 차의 제곱에 비례하는 것을 알 수 있다. 이와 같이 유기 발광 다이오드(OLED)는 구동 트랜지스터(Tdr)의 문턱 전압(Vth)과 무관한 전류(IOLED)를 흘려 보냄으로써 각 화소 회로 간의 편차를 없앨 수 있다.

[0094] 도 5는 도 1의 화소 회로 구동 방법에 의하여 구동되는 화소 회로의 다른 예를 나타내는 회로도이고, 도 6은 도 1의 화소 회로 구동 방법에 의하여 도 5의 화소 회로가 구동되는 것을 설명하기 위한 타이밍도이다.

[0095] 도 5를 참조하면, 도 5의 화소 회로(50)는 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)의 게이트 전극들에 인가되는 신호를 제외하고, 도 2의 화소 회로(20)와 실질적으로 동일한 구성을 갖는다. 이하, 도 6을 함께 참조하여, 상기 차이점을 중심으로 화소 회로(50)의 구동 방법을 설명한다.

- [0096] 제 1 구간(a)에서 제 1 트랜지스터(T1)에 제 (n-3) 스캔 신호(SCAN(n-3))가 인가되고, 이와 동시에, 제 3 트랜지스터(T3)에 기준 전압 제어 신호(REF(n))가 인가된다. 이후, 제 2 구간(b) 및 제 3 구간(c)에서 각각 제 (n-2) 스캔 신호(SCAN(n-2)) 및 제 (n-1) 스캔 신호(SCAN(n-1))가 차례로 인가된다. 여기서, 제 (n-2) 스캔 신호(SCAN(n-2)) 및 제 (n-1) 스캔 신호(SCAN(n-1))는 화소 회로(50)가 속해 있는 제 n 스캔 라인(Sn)에 인접한 다른 스캔 라인들에 스캔 신호가 인가되고 있음을 나타낸다. 다시 말해, 제 n 스캔 라인(Sn)에 연결되어 있는 화소 회로(50)는 제 (n-3) 스캔 신호(SCAN(n-3))를 이용하여 제 1 트랜지스터(T1)를 턴 온 시키고, 이후, 제 (n-2) 스캔 신호(SCAN(n-2)) 및 제 (n-1) 스캔 신호(SCAN(n-1)) 다음에 인가되는 제 n 스캔 신호(SCAN(n))를 이용하여 제 4 트랜지스터(T4)를 턴 온 시킨다. 단, 여기서 제 (n-3) 스캔 신호(SCAN(n-3))는 임의의 신호로서 실시예에 따라, 다른 스캔 라인의 스캔 신호가 제 1 트랜지스터(T1)에 인가될 수 있다. 예를 들어, 제 (n-4) 스캔 신호가 제 1 트랜지스터(T1)에 인가되고, 제 (n-3) 내지 (n-1) 스캔 신호들을 지나 제 n 스캔 신호(SCAN(n))가 제 4 트랜지스터(T4)에 인가될 수 있다.
- [0097] 제 2 구간(b)에서, 보상 제어 신호(DC(n))가 제 2 트랜지스터(T2)에 인가되기 시작하여 제 4 구간(d) 이전에 종료된다. 즉, 보상 제어 신호(DC(n))는 제 1 구간(a)에서 제 1 트랜지스터(T1)에 신호가 인가된 직후부터 제 4 구간(d)에서 제 4 트랜지스터(T4)에 신호가 인가되기 직전까지 지속된다. 결과적으로, 제 1 구간(a)에서 제 1 트랜지스터(T1)에 신호가 인가되는 시점에 따라 보상 제어 신호(DC(n))가 인가되는 구간의 길이가 결정될 수 있다.
- [0098] 일 실시예에서, 보상 제어 신호(DC(n))는 별도의 보상 제어부에서 인가되는 신호일 수 있다. 즉, 보상 제어 신호(DC(n))는 순차적으로 인가되는 스캔 신호들과는 별도로 제어될 수 있다. 이에 따라, 구동 트랜지스터(Tdr)의 문턱 전압 보상 시간을 자유롭게 조절할 수 있다. 또한, 제 4 구간(d) 동안 커패시터 커플링에 의해 데이터 프로그래밍이 수행되므로 짧은 시간 내에 데이터 프로그래밍이 가능해진다. 따라서, 명암비가 개선될 수 있고, 고속의 데이터 프로그래밍이 가능해진다.
- [0099] 도 7a 및 도 7b는 p형 다결정 실리콘 박막 트랜지스터의 히스테리시스(hysteresis) 특성을 설명하기 위한 도면이다.
- [0100] 도 7a에는 2개의 박막 트랜지스터(T1, T2)와 1개의 커패시터(Cst)로 구성된 유기 발광 표시(OLED) 장치의 기본적인 화소 회로가 도시되어 있다. 제 1 트랜지스터(T1)는 스캔 신호(Gate)에 응답하여 데이터 신호(Data)를 제 2 트랜지스터(T2)의 게이트 전극에 인가하는 역할을 한다. 이때, 제 2 트랜지스터(T2)의 게이트 전극에 저장되어 있는 이전 프레임의 데이터 전압이 유기 발광 다이오드(OLED)에 흐르는 전류(Ids)에 영향을 준다. 이하, 도 7b를 참조하여 p형 다결정 실리콘 박막 트랜지스터의 히스테리시스 특성을 설명한다.
- [0101] 도 7b에 도시된 그래프는 다결정 실리콘 박막 트랜지스터의 히스테리시스 특성을 측정한 결과를 나타낸다. 게이트 스위프(sweep) 방향에 따라(x축 방향) 서로 다른 문턱 전압 값을 가짐을 알 수 있다. p형 다결정 실리콘 박막 트랜지스터의 히스테리시스는 다결정 실리콘 박막과 게이트 산화막 사이의 전하 트랩 현상에 의해서 일어난다. 게이트 전압(Vg)에 따라 전하가 트랩(trap)되거나 디트랩(detrap)될 수 있으며, 음의 게이트 전압에서 스위프를 시작할 경우(즉, x축 방향으로 감소), 정공이 트랩되어 문턱 전압과 드레인 전류(Ids)가 감소하게 된다. 반면에, 양의 게이트 전압에서 스위프를 시작할 경우(즉, x축 방향으로 증가), 트랩된 정공이 디트랩하여 문턱 전압과 드레인 전류(Ids)가 증가하게 된다. 이런 게이트 스위프 방향에 따른 문턱 전압의 변화로 인해 동일한 전압을 제 2 트랜지스터(T2)의 게이트 전극에 인가하여도 이전 게이트 전압(Vg)에 따라 드레인 전류(Ids) 차이가 발생하기 때문에 도 7a의 화소 구조를 사용하는 유기 발광 표시 장치의 경우 잔상이 발생할 수 있다.
- [0102] 따라서, 프로그래밍 단계에서 데이터 전압을 구동 트랜지스터의 게이트 전극에 인가하기 전에 모든 구동 트랜지스터들의 게이트 전극을 동일한 전압으로 초기화시켜줄 필요가 있다. 그러면, 게이트 스위프 방향에 따른 드레인 전류 차이가 발생하지 않을 수 있다. 이에 따라, 본 발명에서는 데이터 프로그래밍 이전에 모든 구동 트랜지스터를 순차적으로 다이오드 연결시킴으로써 상기 모든 구동 트랜지스터의 게이트 전극을 동일한 전압으로 초기화시킨다. 따라서, 구동 트랜지스터의 히스테리시스 특성에 기인한 휘도 불균일을 제거할 수 있다.
- [0103] 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- [0104] 도 8을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 스캔 구동부(120), 데이터 구동부(130), 발광 제어부(140) 및 타이밍 컨트롤러(150)를 포함한다.
- [0105] 표시 패널(110)은 복수의 화소 회로들을 포함하고, 제 1 전원 전압(ELVDD) 및 제 2 전원 전압(ELVSS)을 수신한다. 스캔 구동부(120)는 제 1 내지 제 n(n은 3 이상의 정수) 스캔 라인들(S1-Sn)을 통해 상기 화소 회로

들에 순차적으로 제 1 내지 제 n 스캔 신호들을 제공할 수 있다. 데이터 구동부(130)는 상기 제 1 내지 제 n 스캔 신호들에 따라 복수의 데이터 라인들(D1-Dm)을 통해 상기 화소 회로들에 데이터 전압을 제공할 수 있다. 발광 제어부(140)는 복수의 발광 제어 라인들(EM1-EMn)을 통해 상기 화소 회로들에 발광 제어 신호를 제공할 수 있다. 도시하지는 않았지만, 실시예에 따라, 발광 제어부(140)는 복수의 발광 제어 라인들(EM1-EMn)을 통해 상기 화소 회로들에 기준 전압 제어 신호를 제공할 수 있다. 타이밍 컨트롤러(150)는 스캔 구동부(120), 데이터 구동부(130) 및 발광 제어부(140)를 제어할 수 있다.

[0106] 일 실시예에서, 상기 화소 회로들 각각은 유기 발광 다이오드(OLED), 구동 트랜지스터, 제 1 내지 제 4 트랜지스터들, 발광 제어 트랜지스터, 보상 커패시터 및 저장 커패시터를 포함할 수 있다.

[0107] 상기 구동 트랜지스터는 제 1 노드에 연결되는 게이트 전극, 제 1 전원 전압(ELVDD)을 수신하는 제 1 전극 및 상기 OLED에 연결되는 제 2 전극을 구비한다. 상기 제 1 트랜지스터는 상기 제 1 노드에 연결되고, 상기 제 1 내지 제 (n-1) 스캔 신호들 중 하나의 스캔 신호에 응답하여 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 제공한다. 상기 제 2 트랜지스터는 상기 구동 트랜지스터의 제 2 전극과 상기 제 1 노드 사이에 연결된다. 상기 보상 커패시터는 상기 제 1 노드에 연결되는 제 1 전극 및 제 2 노드에 연결되는 제 2 전극을 구비한다. 상기 저장 커패시터는 상기 제 2 노드에 연결되는 제 1 전극 및 제 1 전원 전압(ELVDD)을 수신하는 제 2 전극을 구비한다. 상기 제 3 트랜지스터는 상기 제 2 노드에 연결되고, 상기 기준 전압 제어 신호에 응답하여 제 1 전원 전압(ELVDD)을 상기 저장 커패시터의 제 1 전극에 제공한다. 상기 제 4 트랜지스터는 상기 제 2 노드에 연결되고, 상기 제 n 스캔 신호에 응답하여 데이터 전압을 상기 저장 커패시터의 제 1 전극에 제공한다. 상기 발광 제어 트랜지스터는 상기 구동 트랜지스터의 제 2 전극과 상기 OLED 사이에 연결되고, 상기 발광 제어 신호에 응답하여 턴 온 된다.

[0108] 일 실시예에서, 상기 제 1 트랜지스터의 게이트 전극에 상기 제 (n-2) 스캔 신호가 인가되고, 상기 제 2 트랜지스터의 게이트 전극에 상기 제 (n-1) 스캔 신호가 인가될 수 있다. 또한, 상기 기준 전압 제어 신호는 상기 제 (n-2) 스캔 신호와 동시에 인가될 수 있다. 이에 따라, 상기 구동 트랜지스터의 문턱 전압 보상과 데이터 프로그램밍을 분리하여 수행함으로써 데이터 프로그램밍 시간과 무관하게 문턱 전압 보상 시간을 충분히 확보할 수 있다. 또한, 데이터 프로그램밍 이전에 상기 구동 트랜지스터의 게이트 전극에 동일한 초기값을 인가함으로써 상기 구동 트랜지스터의 히스테리시스에 따른 휘도 불균일을 제거할 수 있다.

[0109] 도 9는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

[0110] 도 9를 참조하면, 도 9의 유기 발광 표시 장치(200)는 보상 제어부(160)를 제외하고 도 8의 유기 발광 표시 장치(100)와 실질적으로 동일한 구성을 갖는다. 도 9의 유기 발광 표시 장치(200)는 복수의 보상 제어 라인들(DC1-DCn)을 통해 표시 패널(110)에 보상 제어 신호를 제공하는 보상 제어부(160)를 더 포함한다.

[0111] 일 실시예에서, 하나의 화소 회로에 포함되는 제 1 트랜지스터의 게이트 전극에 제 1 내지 제 (n-1) 스캔 신호들 중 하나의 스캔 신호가 인가되는 시점에 따라, 상기 보상 제어 신호가 인가되는 구간의 길이가 결정될 수 있다. 보다 상세하게, 상기 보상 제어 신호는 보상 제어부(160)에 의해 상기 스캔 신호들과 별도로 제어될 수 있다. 예를 들어, 상기 제 1 트랜지스터의 게이트 전극에 제 (n-3) 스캔 신호가 인가되는 경우, 다른 화소 회로들에 제 (n-2) 스캔 신호 및 제 (n-1) 스캔 신호가 인가되는 동안 상기 보상 제어 신호가 계속적으로 제공될 수 있다. 이후, 제 n 스캔 신호가 상기 하나의 화소 회로에 인가되어 데이터가 프로그램 되기 직전에 상기 보상 제어 신호 인가가 종료된다. 따라서, 상기 하나의 화소 회로에 포함되는 구동 트랜지스터의 문턱 전압을 충분히 보상할 수 있다.

[0112] 도 10은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 구비하는 전자 기기를 나타내는 블록도이다.

[0113] 도 10을 참조하면, 전자 기기(1000)는 프로세서(1100), 메모리 장치(1200), 입출력 장치(1300) 및 표시 장치(1400)를 포함할 수 있다. 이 때, 표시 장치(1400)는 도 8의 유기 발광 표시 장치(100) 또는 도 9의 유기 발광 표시 장치(200)에 상응할 수 있다.

[0114] 프로세서(1100)는 특정 계산들 또는 태스크(task)들을 수행하는 특정 소프트웨어를 실행하는 것과 같이 다양한 컴퓨팅 기능들을 실행할 수 있다. 예를 들어, 프로세서(1100)는 마이크로프로세서 또는 중앙 처리 장치(Central Processing Unit; CPU)일 수 있다. 프로세서(1100)는 버스(1001)를 통하여 메모리 장치(1200)에 연결될 수 있다. 프로세서(1100)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 메모리 장치(1200) 및 표시 장치(600)에 연결되어 통신을 수행할 수 있다. 예시적인 실시예에 있어서, 프로세서(1100)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에

도 연결될 수 있다.

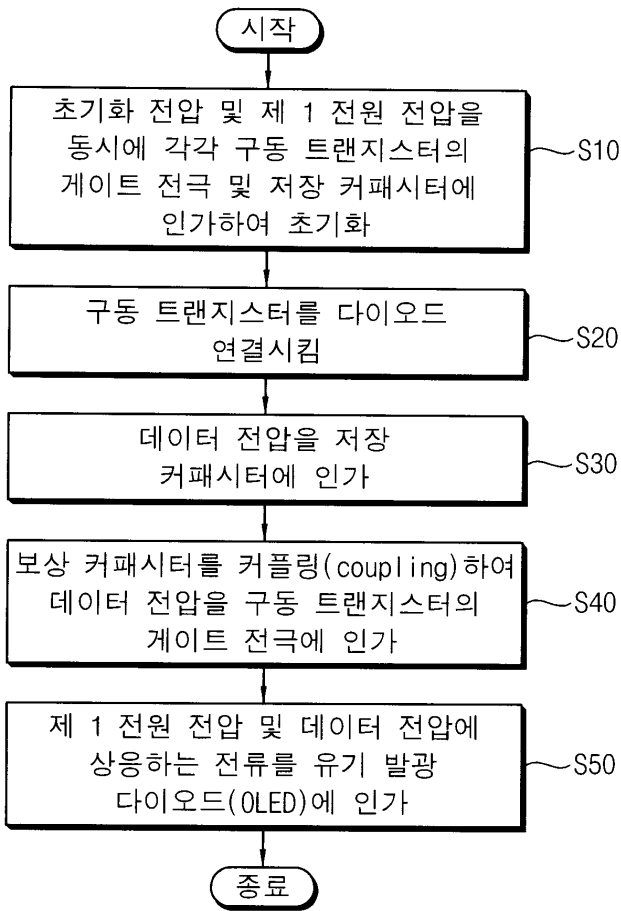
- [0115] 메모리 장치(1200)는 예를 들어 동적 랜덤 액세스 메모리(Dynamic Random Access Memory; DRAM), 정적 랜덤 액세스 메모리(Static Random Access Memory; SRAM) 등과 같은 휘발성 메모리 장치 및 이피롬(Erasable Programmable Read-Only Memory; EPROM), 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 및 플래시 메모리 장치(flash memory device) 등과 같은 비휘발성 메모리 장치를 포함할 수 있다. 메모리 장치(1200)는 프로세서(1100)에 의해 실행되는 소프트웨어를 저장할 수 있다.
- [0116] 입출력 장치(1300)는 버스(1001)에 연결되며 키보드 또는 마우스와 같은 입력 수단 및 프린터와 같은 출력 수단을 포함할 수 있다. 프로세서(1100)는 입출력 장치(1300)의 동작을 제어할 수 있다.
- [0117] 표시 장치(1400)는 버스(1001)를 통해 프로세서(1100)와 연결된다. 표시 장치(1400)는 표시 패널(1420)을 포함한다. 표시 장치(1400)는 구동 트랜지스터의 문턱 전압 보상과 데이터 프로그래밍을 분리하여 수행함으로써, 데이터 프로그래밍 시간과 무관하게 문턱 전압 보상 시간을 충분히 확보할 수 있다. 또한, 데이터 프로그래밍 이전에 상기 구동 트랜지스터의 게이트 전극에 동일한 초기값을 인가함으로써 상기 구동 트랜지스터의 히스테리시스에 따른 휘도 불균일을 제거할 수 있다.
- [0118] 일 실시예에서, 표시 장치(1400)는 보상 제어부(1440)를 더 포함할 수 있다. 이때, 보상 제어부(1440)는 표시 패널(1420)에 순차적으로 인가되는 스캔 신호들과는 별도로 제어되는 보상 제어 신호를 제공할 수 있다. 이에 따라, 구동 트랜지스터의 문턱 전압 보상 시간을 자유롭게 조절할 수 있고, 짧은 시간 내에 데이터 프로그래밍이 가능해진다. 따라서, 명암비가 개선될 수 있고, 고속의 데이터 프로그래밍이 가능해진다.
- [0119] 전자 기기(1000)는 표시 장치(1400)를 통해 사용자에게 화상을 제공하는 휴대폰, 스마트폰, 스마트패드, 텔레비전, PDA(Personal Digital Assistant), MP3 플레이어, 노트북 컴퓨터, 데스크 톱 컴퓨터, 디지털 카메라 등을 포함하는 임의의 전자 장치일 수 있다.

### 산업상 이용가능성

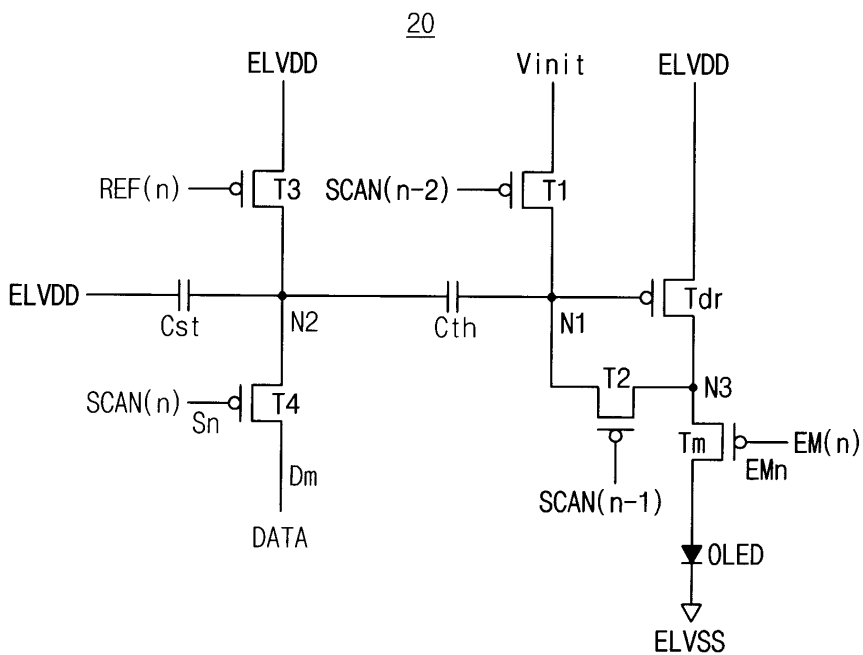
- [0120] 본 발명은 표시 장치를 포함하는 여러 응용분야에서 폭 넓게 적용될 수 있다. 특히, 본 발명은 낮은 소비전력으로 동시 발광 구동이 가능한 표시 장치를 포함하는 모니터, 노트북, PDA, 스마트폰, 스마트패드, 중대형 표시 패널 등에 유용하게 이용될 수 있다.
- [0121] 상기에서는 본 발명을 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

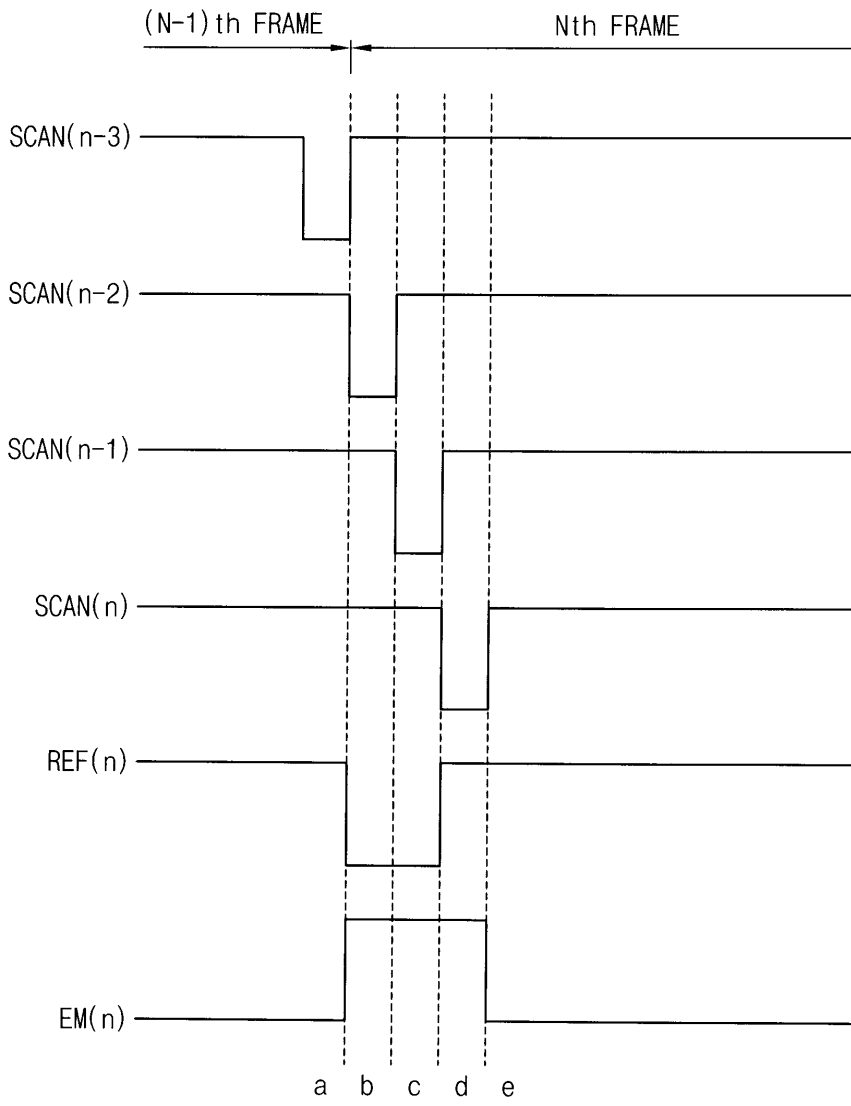
도면1



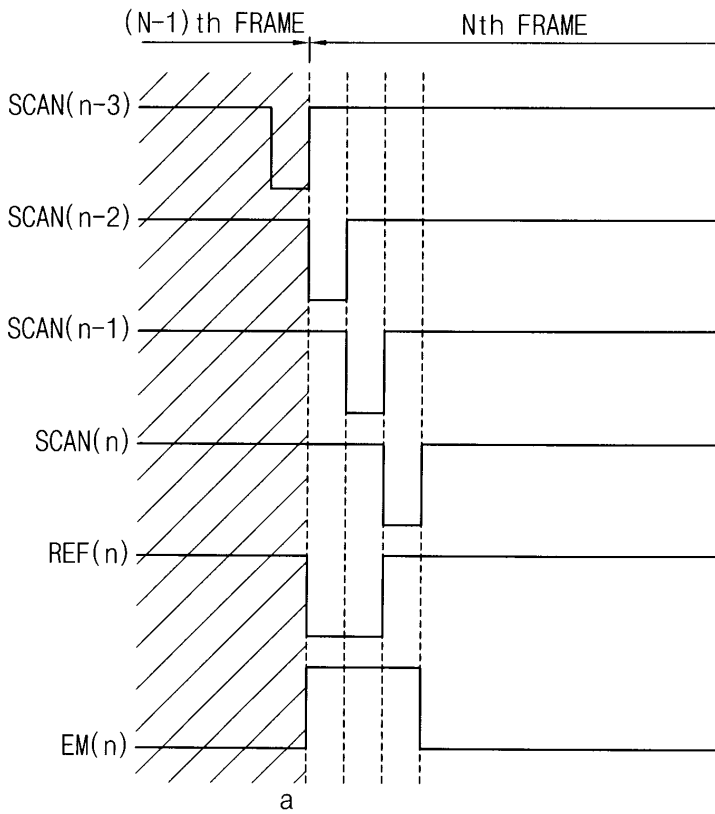
도면2



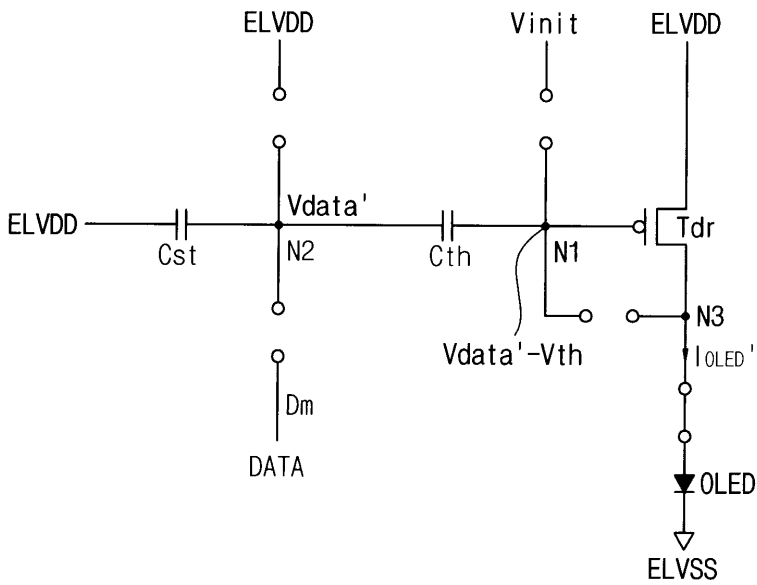
도면3



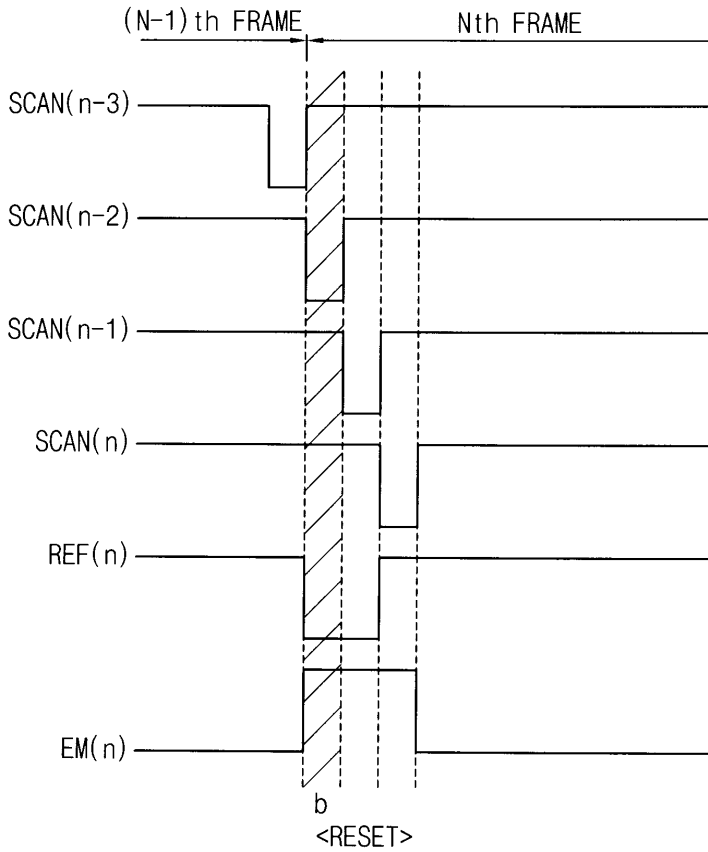
도면4a



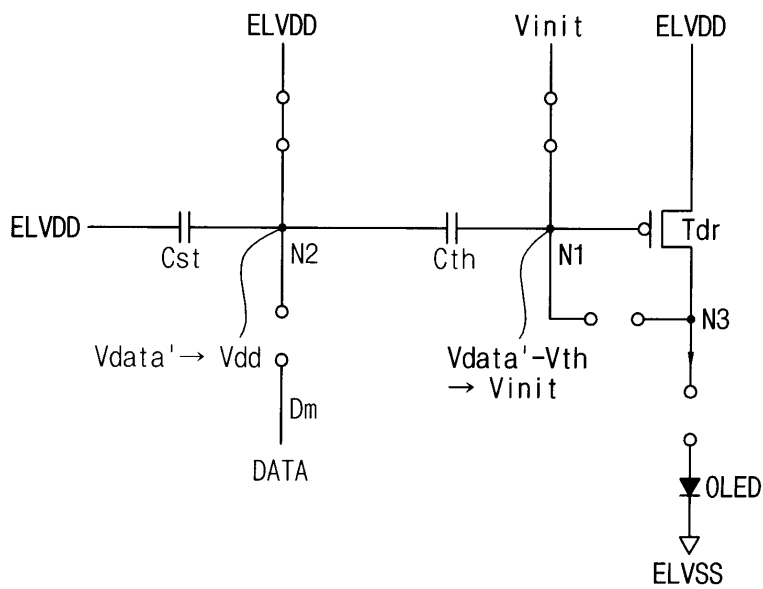
도면4b



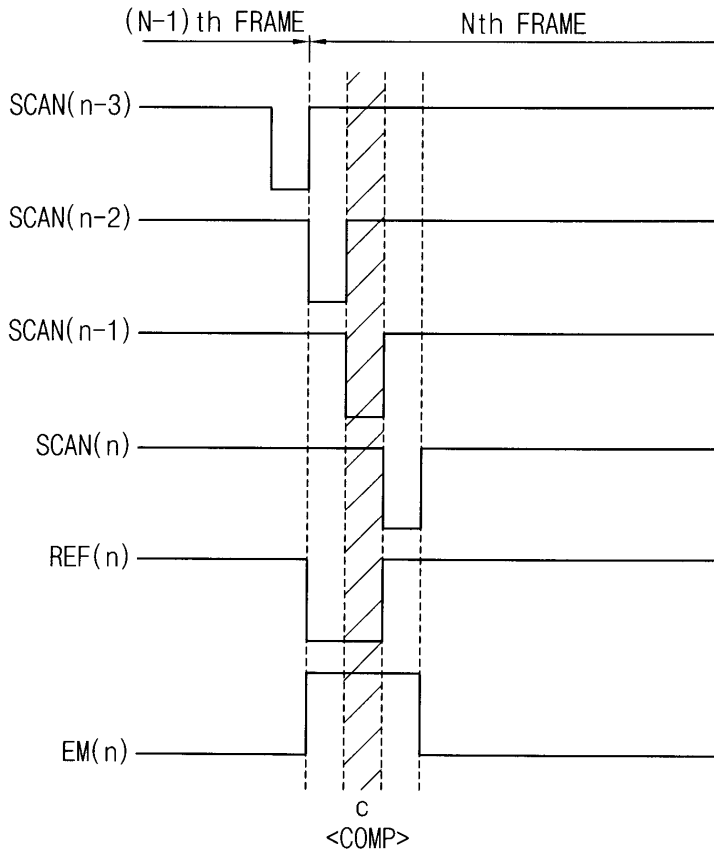
도면4c



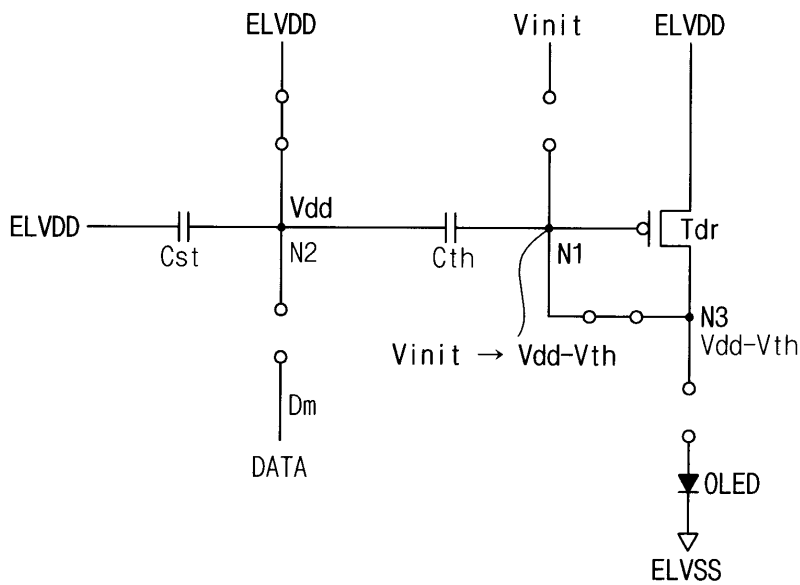
도면4d



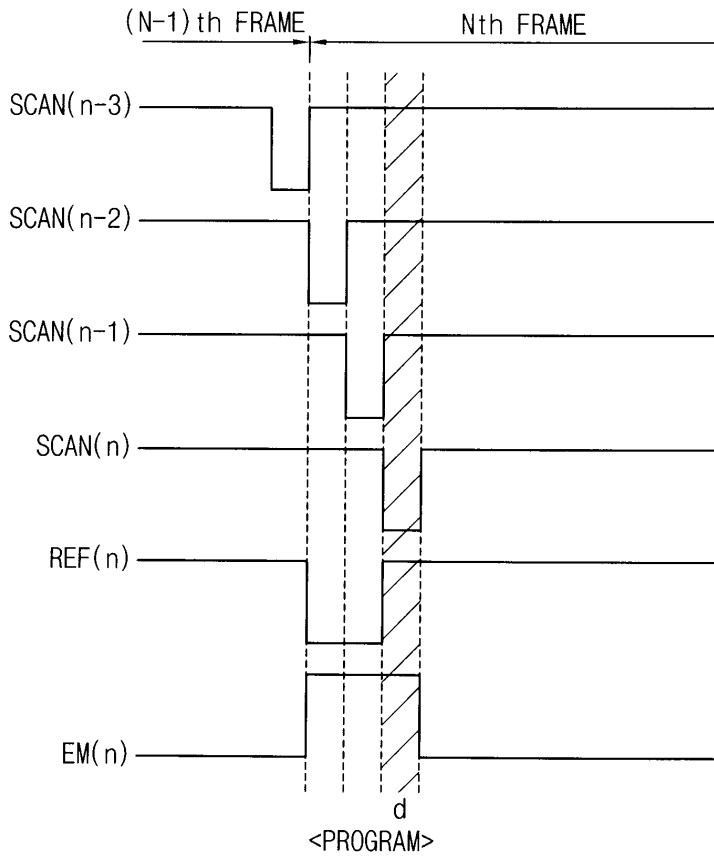
도면4e



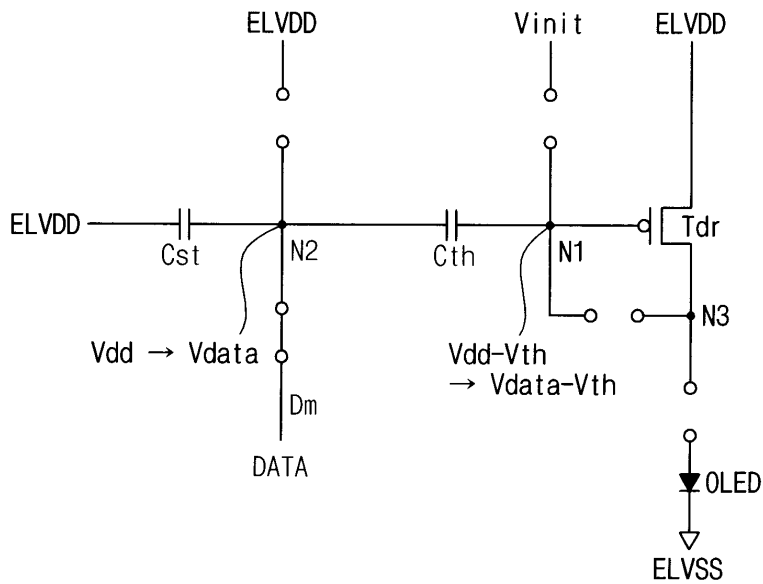
도면4f



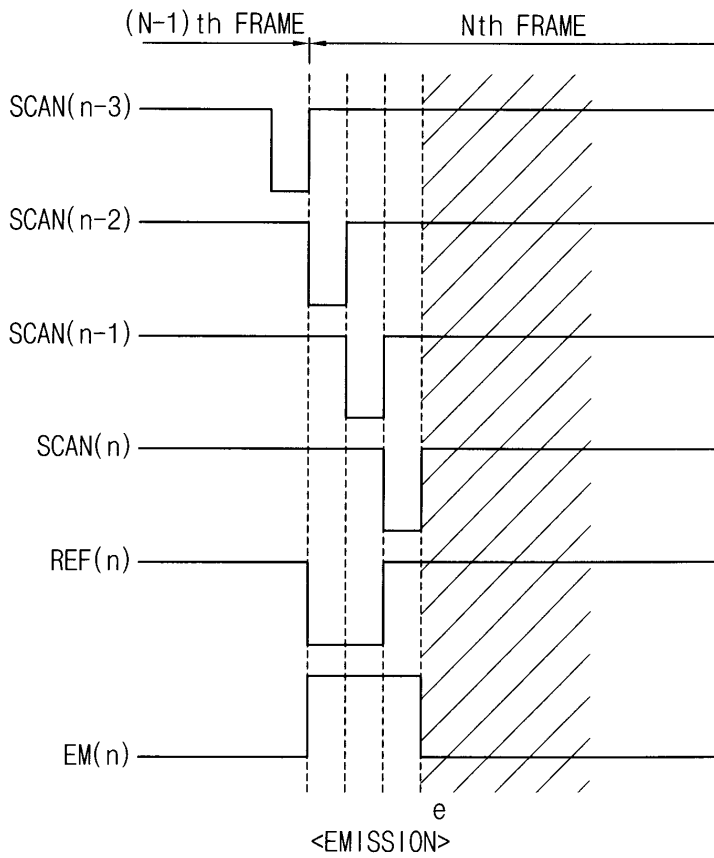
도면4g



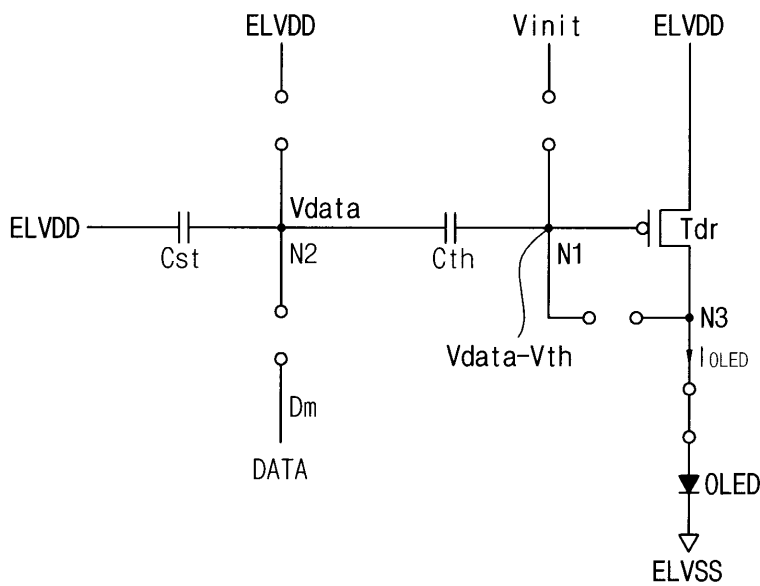
도면4h



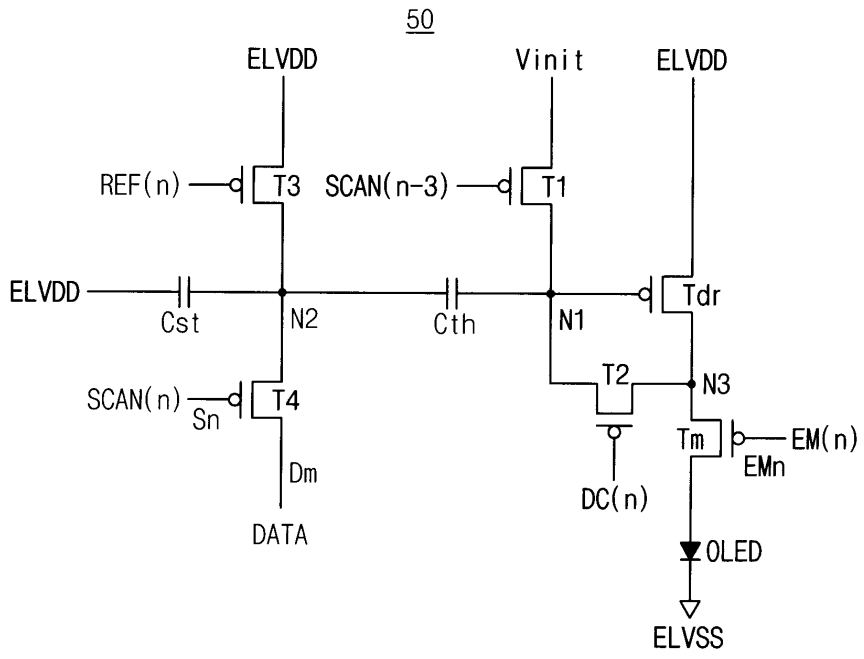
도면4i



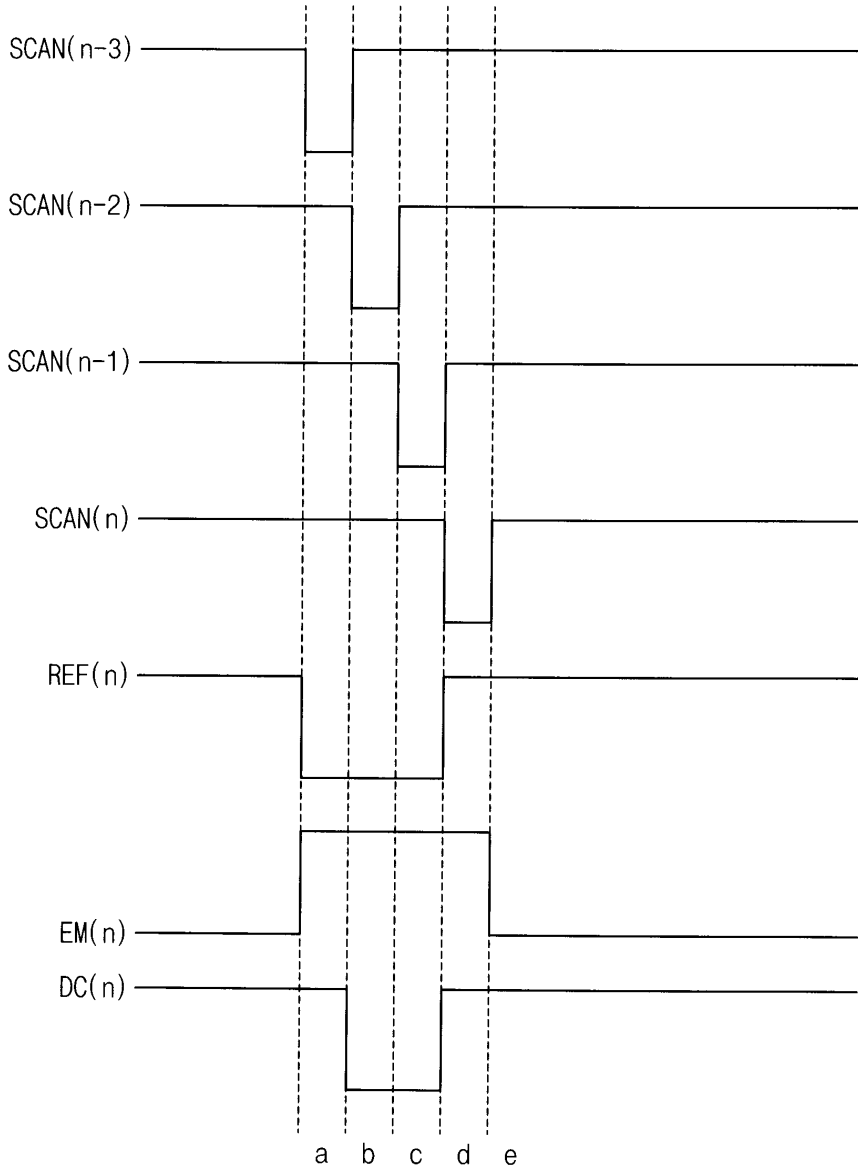
도면4j



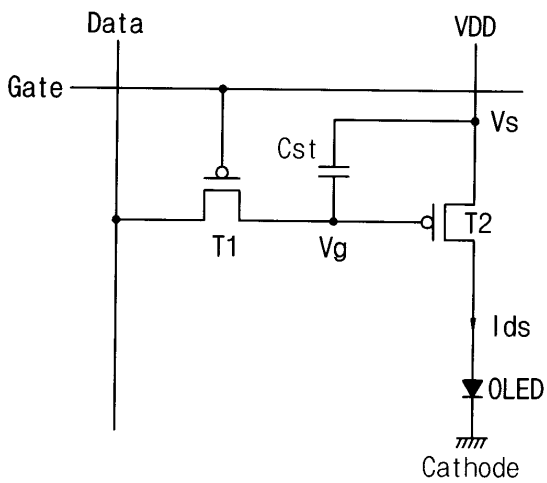
도면5



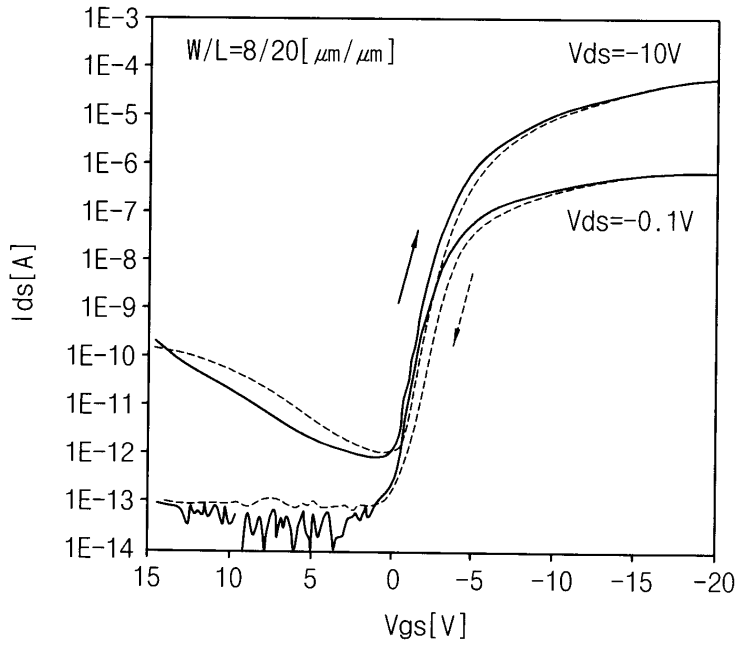
도면6



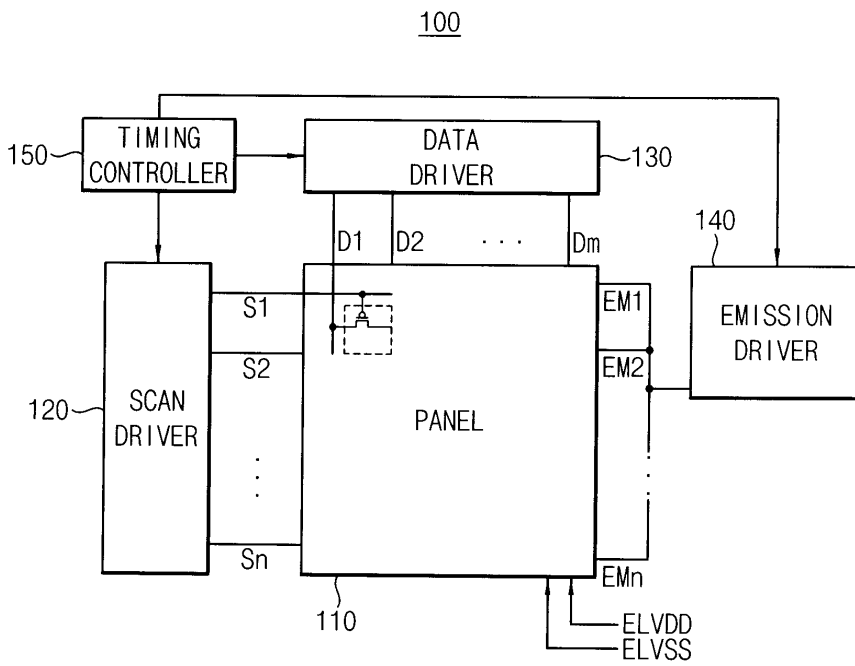
도면7a



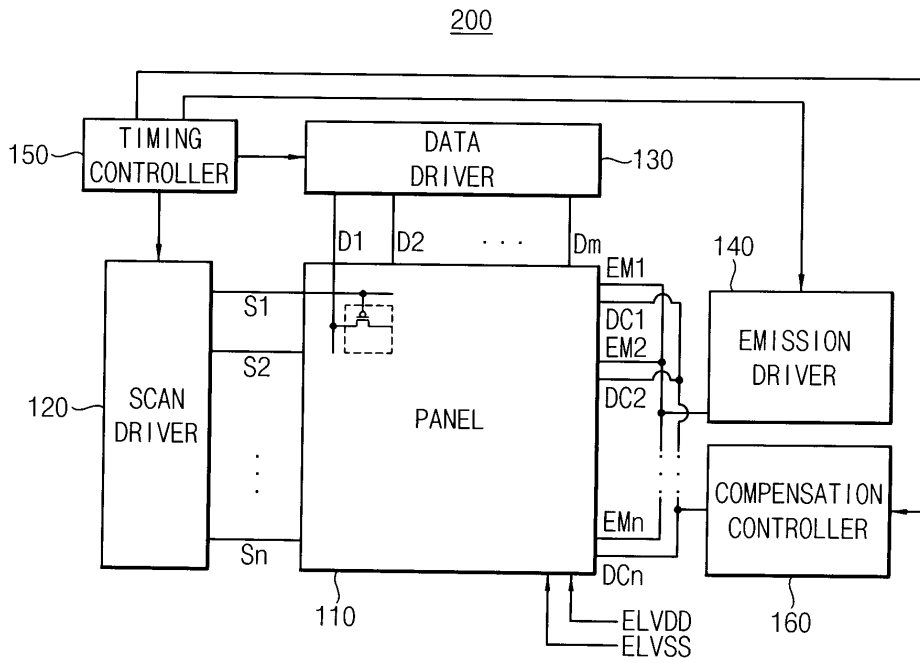
도면7b



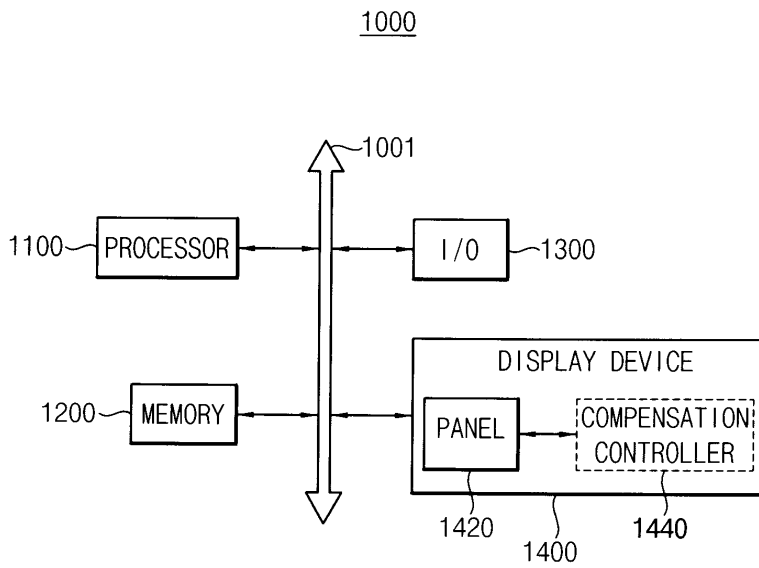
도면8



도면9



도면10



专利名称(译)	像素电路，其驱动方法以及包括其的有机发光显示装置		
公开(公告)号	<a href="#">KR1020130087128A</a>	公开(公告)日	2013-08-06
申请号	KR1020120008159	申请日	2012-01-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM TAE JIN 김태진		
发明人	김태진		
IPC分类号	G09G3/30		
CPC分类号	G09G2320/045 G09G2300/0852 G09G2300/0861 G09G5/00 G09G2310/0251 G09G3/3233 G09G3/32 G09G3/3659 G09G2300/0819		
代理人(译)	英西湖公园		
其他公开文献	KR101951665B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

在像素电路驱动方法中，初始化电压和第一电源电压分别同时施加到驱动晶体管的栅极和存储电容，以初始化驱动晶体管和存储电容，将驱动晶体管连接到二极管并将数据电压连接到存储电容器。并且通过耦合连接在驱动晶体管的栅极和存储电容器之间的补偿电容器将数据电压施加到驱动晶体管的栅极，以将对应于第一电源电压和数据电压的电流施加到驱动晶体管。到有有机发光二极管。 专利文献10-2013-0087128