



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2019년08월06일
 (11) 등록번호 10-2007374
 (24) 등록일자 2019년07월30일

- (51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
- (52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3258 (2013.01)
- (21) 출원번호 10-2019-0040837(분할)
- (22) 출원일자 2019년04월08일
 심사청구일자 2019년04월08일
- (65) 공개번호 10-2019-0040160
- (43) 공개일자 2019년04월17일
- (62) 원출원 특허 10-2015-0119646
 원출원일자 2015년08월25일
 심사청구일자 2017년04월11일
- (56) 선행기술조사문현
 KR1020140079093 A
 KR1020010014501 A
 JP2008010427 A

- (73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자
변창수
 경기도 성남시 분당구 중앙공원로 17, 315동 130
 5호 (서현동, 시범단지한양아파트)
박옥경
 경기도 화성시 동탄반석로 207, 207동 1803호 (반
 송동, 동탄시범한빛마을 삼부르네상스)
김세호
 충청남도 천안시 동남구 청당2길 118, 105동 206
 호 (청당동, 청당벽산블루밍아파트)
- (74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 20 항

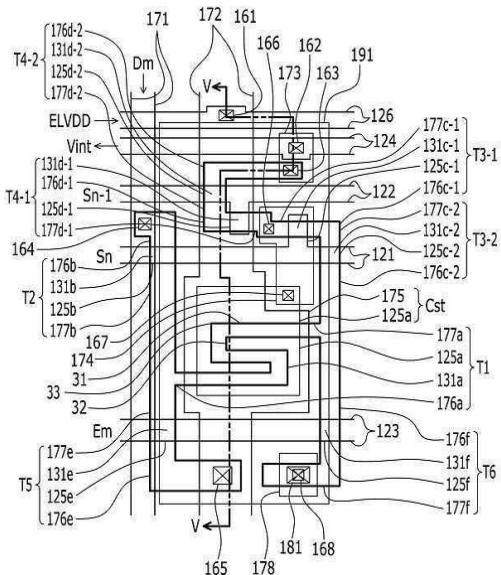
심사관 : 조성수

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판 위에 위치하는 스위칭 박막 트랜지스터의 반도체; 상기 기판 위에 위치하며 하나 이상의 굴곡부를 가지는 구동 박막 트랜지스터의 반도체; 상기 스위칭 박막 트랜지스터의 반도체 및 상기 구동 박막 트랜지스터의 반도체를 덮고 있는 게이트 절연막; 상기 게이트 절연막

(뒷면에 계속)

대 표 도 - 도3

위에 형성되어 있으며, 상기 스위칭 박막 트랜지스터의 반도체와 중첩하는 상기 스위칭 박막 트랜지스터의 게이트 전극; 상기 게이트 절연막 위에 형성되어 있으며, 상기 구동 박막 트랜지스터의 반도체와 중첩하는 상기 구동 박막 트랜지스터의 게이트 전극; 상기 스위칭 박막 트랜지스터의 게이트 전극 및 상기 구동 박막 트랜지스터의 게이트 전극을 덮는 충간 절연막; 상기 충간 절연막 위에 형성되어 있으며, 상기 스위칭 박막 트랜지스터의 반도체와 전기적으로 연결되어 있는 데이터선; 및 상기 충간 절연막 위에 형성되어 있는 제1 구동 전압선을 포함하며, 상기 제1 구동 전압선은 제1 방향으로 연장되어 있는 제1 부분 및 상기 제1 방향에 수직인 제2 방향으로 상기 제1 부분보다 넓은 폭을 가지는 제2 부분을 가지고, 상기 제2 부분은 상기 구동 박막 트랜지스터의 게이트 전극과 상기 충간 절연막을 사이에 두고 중첩한다.

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기판;

상기 기판 위에 위치하는 제1 반도체 및 제2 반도체,

상기 제1 반도체 및 상기 제2 반도체 위에 위치하는 제1 절연층,

상기 제1 절연층 위에 위치하고 상기 제1 반도체와 중첩하는 제1 게이트 전극,

상기 제1 절연층 위에 위치하고 상기 제2 반도체와 중첩하는 제2 게이트 전극,

상기 제1 게이트 전극 및 상기 제2 게이트 전극 위에 위치하는 제2 절연층,

상기 제2 절연층 위에 위치하는 데이터선, 그리고

상기 제2 절연층 위에 위치하는 제1 구동 전압선

을 포함하고,

상기 제1 구동 전압선은 제1 방향으로 연장되어 있는 제1 부분 및 상기 제1 방향에 수직인 제2 방향으로 상기 제1 부분보다 넓은 폭을 가지는 제2 부분을 가지고,

상기 제2 부분은 상기 제2 게이트 전극의 적어도 일부와 상기 제2 절연층을 사이에 두고 중첩하고,

상기 제1 구동 전압선과 다른 층에 위치하며 상기 제1 구동 전압선과 전기적으로 연결되어 있는 제2 구동 전압선을 더 포함하고,

상기 제2 구동 전압선은 상기 제2 방향으로 연장되어 있는 부분을 포함하는

표시 장치.

청구항 2

제1항에서,

상기 제1 부분과 상기 제2 부분은 서로 같은 층에 위치하고 서로 연결되어 있는 표시 장치.

청구항 3

제1항에서,

상기 제2 구동 전압선은 상기 데이터선과 다른 층에 위치하는 표시 장치.

청구항 4

제1항에서,

상기 제2 구동 전압선은 두 개 이상의 인접한 상기 제1 구동 전압선을 전기적으로 연결하는 표시 장치.

청구항 5

제4항에서,

상기 제2 구동 전압선은 상기 제1 방향에 교차하는 방향으로 연장되어 있는 부분을 포함하는 표시 장치.

청구항 6

제1항에서,

상기 제2 구동 전압선은 상기 제2 게이트 전극과 동일한 층에 위치하고 동일한 물질을 포함하는 표시 장치.

청구항 7

제1항에서,

상기 제2 게이트 전극은 상기 제1 구동 전압선의 상기 제2 부분과 중첩하지 않는 부분을 가지고,

상기 제2 절연층은 상기 제2 게이트 전극의 상기 제2 부분과 중첩하지 않는 상기 부분 위에 위치하는 접촉 구멍을 포함하는

표시 장치.

청구항 8

제7항에서,

상기 제2 절연층의 상기 접촉 구멍을 통해 상기 제2 게이트 전극과 연결되어 있는 연결부를 더 포함하고,

상기 연결부는 상기 제1 구동 전압선과 동일한 층에 위치하는

표시 장치.

청구항 9

제1항에서,

상기 제2 구동 전압선은 상기 제1 구동 전압선과 상기 기판 사이에 위치하는 표시 장치.

청구항 10

제1항에서,

상기 데이터선은 상기 제1 구동 전압선과 동일한 층에 위치하는 표시 장치.

청구항 11

제1항에서,

상기 제2 구동 전압선은 상기 제2 반도체와 동일한 층에 위치하며 동일한 물질을 포함하는 표시 장치.

청구항 12

제11항에서,

상기 제2 구동 전압선은 이웃한 두 개의 상기 데이터선 중 적어도 하나와 중첩하며 상기 데이터선을 따라 뻗는 확장부를 포함하는 표시 장치.

청구항 13

제1항에서,

이웃한 두 개의 상기 제2 부분은 서로 연결되어 있는 표시 장치.

청구항 14

제1항에서,

상기 제2 절연층, 상기 데이터선 및 상기 제1 구동 전압선 위에 위치하는 제3 절연층을 더 포함하는 표시 장치.

청구항 15

제14항에서,

상기 제3 절연층 위에 위치하는 화소 전극;

상기 화소 전극 위에 위치하는 발광층; 및

상기 발광층 위에 위치하는 공통 전극을 더 포함하고,

상기 제2 구동 전압선은 상기 화소 전극과 동일한 층에 위치하며 상기 화소 전극과 동일한 물질을 포함하는 표시 장치.

청구항 16

제1항에서,

상기 제1 반도체는 상기 제2 반도체와 일체로 형성되어 있는 표시 장치.

청구항 17

제1항에서,

상기 제1 게이트 전극과 연결되어 있는 스캔선을 더 포함하며,

상기 스캔선은 상기 제2 게이트 전극과 동일한 층에 위치하는 표시 장치.

청구항 18

제1항에서,

상기 제1 구동 전압선의 상기 제2 부분과 상기 제2 게이트 전극 사이에는 상기 제2 절연층만 위치하는 표시 장치.

청구항 19

제1항에서,

상기 제1 구동 전압선의 상기 제2 부분과 상기 제2 게이트 전극 사이에는 다른 어떤 도전층도 위치하지 않는 표시 장치.

청구항 20

제1항에서,

상기 제2 반도체는 한 번 이상 굴곡되어 있는 표시 장치.

발명의 설명

기술 분야

[0001]

본 발명은 유기 발광 표시 장치 및 그 제조 방법에 대한 것이다.

배경 기술

[0002]

유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003]

이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 박막 트랜지스터 및 캐패시터(Capacitor)가 형성되어 있다. 복수개의 박막 트랜지스터는 기본적으로 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함한다.

[0004]

이와 같이 유기 발광 표시 장치는 하나의 화소 내에 복수의 박막 트랜지스터와 캐패시터가 형성되고, 그 위에 유기 발광층도 형성되기 때문에 많은 마스크를 사용할 수 밖에 없다. 하지만, 마스크 하나의 비용도 매우 비싸 제조 원가가 증가하는 단점이 있다.

발명의 내용

해결하려는 과제

[0005]

본 발명이 이루고자 하는 기술적 과제는 유기 발광 표시 장치의 화소 구조를 변경하여 적어도 하나의 마스크를 적게 사용하여 제조할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0006]

이러한 과제를 해결하기 위하여 본 발명의 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판 위에 위치하는 스위칭 박막 트랜지스터의 반도체; 상기 기판 위에 위치하며 하나 이상의 굴곡부를 가지는 구동 박막 트랜지스터의 반도체; 상기 스위칭 박막 트랜지스터의 반도체 및 상기 구동 박막 트랜지스터의 반도체를 덮고 있는 게이트 절연막; 상기 게이트 절연막 위에 형성되어 있으며, 상기 스위칭 박막 트랜지스터의 반도체와 중첩하는 상기 스위칭 박막 트랜지스터의 게이트 전극; 상기 게이트 절연막 위에 형성되어 있으며, 상기 구동 박막 트랜지스터의 반도체와 중첩하는 상기 구동 박막 트랜지스터의 게이트 전극; 상기 스위칭 박막 트랜지스터의 게이트 전극 및 상기 구동 박막 트랜지스터의 게이트 전극을 덮는 충간 절연막; 상기 충간 절연막 위에 형성되어 있으며, 상기 스위칭 박막 트랜지스터의 반도체와 전기적으로 연결되어 있는 데이터선; 및 상기 충간 절연막 위에 형성되어 있는 제1 구동 전압선을 포함하며, 상기 제1 구동 전압선은 제1 방향으로 연장되어 있는 제1 부분 및 상기 제1 방향에 수직인 제2 방향으로 상기 제1 부분보다 넓은 폭을 가지는 제2 부분을 가지고, 상기 제2 부분은 상기 구동 박막 트랜지스터의 게이트 전극과 상기 충간 절연막을 사이에 두고 중첩한다.

[0007]

상기 제1 구동 전압선과 다른 층에 위치하며 상기 제1 구동 전압선과 전기적으로 연결되어 있는 제2 구동 전압선을 더 포함하며, 상기 제2 구동 전압선은 상기 제2 방향으로 연장되어 있는 부분을 포함할 수 있다.

[0008]

상기 제2 구동 전압선은 상기 데이터선과 다른 층에 위치할 수 있다.

[0009]

상기 제2 구동 전압선은 두 개 이상의 인접한 상기 제1 구동 전압선을 전기적으로 연결할 수 있다.

[0010]

상기 제2 구동 전압선은 상기 제1 방향에 교차하는 방향으로 연장되어 있는 부분을 포함할 수 있다.

[0011]

상기 제2 구동 전압선은 상기 구동 박막 트랜지스터의 게이트 전극과 동일한 층에 위치하고 동일한 물질을 포함

할 수 있다.

- [0012] 상기 구동 박막 트랜지스터의 게이트 전극은 상기 제1 구동 전압선의 상기 제2 부분과 중첩하지 않는 부분을 가지며, 상기 충간 절연막은 상기 구동 박막 트랜지스터의 게이트 전극의 상기 제2 부분과 중첩하지 않는 상기 부분 위에 위치하는 접촉 구멍을 포함할 수 있다.
- [0013] 상기 제2 구동 전압선은 상기 구동 박막 트랜지스터의 반도체와 동일한 층에 위치하며 동일한 물질을 포함할 수 있다.
- [0014] 상기 제2 구동 전압선은 이웃한 두 개의 상기 데이터선 중 적어도 하나를 덮으며 상기 데이터선을 따라 뻗는 확장부를 포함할 수 있다.
- [0015] 이웃한 두 개의 상기 제2 부분은 서로 연결되어 있을 수 있다.
- [0016] 상기 충간 절연막, 상기 데이터선 및 상기 제1 구동 전압선 위에 위치하는 절연층을 더 포함할 수 있다.
- [0017] 상기 절연층 위에 위치하는 화소 전극; 상기 화소 전극 위에 위치하는 유기 발광층; 및 상기 유기 발광층 위에 위치하는 공통 전극을 더 포함하고, 상기 제2 구동 전압선은 상기 화소 전극과 동일한 층에 위치하며 상기 화소 전극과 동일한 물질을 포함할 수 있다.
- [0018] 상기 스위칭 박막 트랜지스터의 반도체는 상기 구동 박막 트랜지스터의 반도체와 일체로 형성되어 있을 수 있다.
- [0019] 상기 스위칭 박막 트랜지스터의 게이트 전극과 연결되어 있는 스캔선을 더 포함하며, 상기 스캔선은 상기 구동 박막 트랜지스터의 게이트 전극과 동일한 층에 위치할 수 있다.
- [0020] 상기 제1 구동 전압선의 상기 제2 부분과 상기 구동 박막 트랜지스터의 게이트 전극 사이에는 상기 충간 절연막만 위치할 수 있다.
- [0021] 상기 제1 구동 전압선의 상기 제2 부분과 상기 구동 박막 트랜지스터의 게이트 전극 사이에는 다른 어떤 도전층이 위치하지 않을 수 있다.
- [0022] 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선, 데이터 전압을 전달하는 데이터선 및 구동 전압을 전달하는 제1 구동 전압선, 상기 스캔선과 연결되어 있는 제1 게이트 전극, 상기 데이터선과 연결되어 있는 제1 소스 전극, 그리고 상기 제1 소스 전극과 마주하는 제1 드레인 전극을 포함하는 스위칭 박막 트랜지스터, 상기 제1 드레인 전극과 연결되어 있는 제2소스 전극, 상기 제2 소스 전극과 마주하는 제2 드레인 전극, 제2 게이트 전극, 그리고 반도체를 포함하는 구동 박막 트랜지스터, 제1 스토리지 단자로서 상기 구동 박막 트랜지스터의 게이트 전극을 포함하고 상기 제1 스토리지 단자와 마주하는 제2 스토리지 단자로서 상기 제1 구동 전압선의 상기 제2 부분을 포함하는 스토리지 캐패시터, 및 상기 구동 박막 트랜지스터의 상기 제2 드레인 전극과 전기적으로 연결되어 있는 유기 발광 다이오드를 포함하며, 상기 제1 구동 전압선은 제1 방향으로 뻗는 상기 스캔선과 교차하는 방향으로 연장되어 있는 제1 부분 및 상기 제1 부분과 연결되어 있는 제2 부분을 포함한다.
- [0023] 상기 제1 구동 전압선의 상기 제2 부분은 상기 제1 방향에 수직인 제2 방향으로 상기 제1 부분보다 넓은 폭을 가질 수 있다.
- [0024] 상기 제1 구동 전압선과 다른 층에 위치하며 상기 제1 구동 전압선과 전기적으로 연결되어 있는 제2 구동 전압선을 더 포함하며, 상기 제2 구동 전압선은 상기 제1 방향과 교차하는 방향으로 연장되어 있는 부분을 포함할 수 있다.
- [0025] 상기 제2 구동 전압선은 상기 제1 구동 전압선과 상기 기판 사이에 위치할 수 있다.
- [0026] 상기 제2 구동 전압선은 상기 스캔선과 동일한 층에 위치할 수 있다.
- [0027] 상기 제2 구동 전압선은 상기 구동 박막 트랜지스터의 반도체와 동일한 층에 위치하며 상기 구동 박막 트랜지스터의 반도체와 동일한 물질을 포함할 수 있다.
- [0028] 상기 제2 구동 전압선은 이웃한 두 개의 상기 데이터선 중 적어도 하나를 덮으며 상기 데이터선을 따라 뻗는 확장부를 포함할 수 있다.
- [0029] 상기 스위칭 박막 트랜지스터, 상기 구동 박막 트랜지스터, 상기 스토리지 캐패시터 및 상기 제1 구동 전원선을

덮고 있는 평탄화막을 더 포함할 수 있다.

- [0030] 상기 유기 발광 다이오드는 상기 평탄화막 위에 위치하는 화소 전극, 유기 발광층 및 공통 전극을 포함하고, 상기 제2 구동 전압선은 상기 평탄화막의 접촉 구멍을 통해 상기 구동 전압을 전달할 수 있다.
- [0031] 상기 제2 구동 전압선은 상기 제1 구동 전원선과 상기 유기 발광층 사이에 위치할 수 있다.
- [0032] 상기 제2 구동 전압선은 상기 화소 전극과 동일한 층에 동일한 물질로 형성되어 있을 수 있다.
- [0033] 상기 제2 구동 전압선은 인접하는 두 개 이상의 상기 제1 구동 전압선을 서로 연결할 수 있다.
- [0034] 이웃한 두 개의 상기 제2 부분은 서로 연결되어 있을 수 있다.
- [0035] 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조방법은 기판 상에 구동 반도체 및 스위칭 반도체를 형성하는 단계; 상기 구동 반도체 및 상기 스위칭 반도체 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막상에 형성되어 있으며, 상기 구동 반도체의 채널 영역 및 상기 스위칭 반도체의 채널 영역에 각각 대응하는 구동 게이트 전극 및 스위칭 게이트 전극을 형성하는 단계; 상기 구동 게이트 전극 및 상기 스위칭 게이트 전극을 덮는 충간 절연막을 형성하는 단계; 상기 충간 절연막 위에 데이터선 및 제1 구동 전압선을 형성하는 단계; 및 상기 제1 구동 전압선과 다른 층에 위치하며 상기 제1 구동 전압선과 전기적으로 연결되어 있는 제2 구동 전압선을 형성하는 단계를 포함하며, 상기 제1 구동 전압선은 제1 방향으로 연장되어 있는 제1 부분 및 상기 제1 방향에 수직인 제2 방향으로 상기 제1 부분보다 넓은 폭을 가지는 제2 부분을 가지고, 상기 제2 구동 전압선은 상기 제2 방향으로 연장되어 있는 부분을 포함하고, 상기 제1 구동 전압선의 상기 제2 부분은 상기 구동 게이트 전극과 중첩한다.
- [0036] 상기 스위칭 게이트 전극을 형성하는 단계는 상기 스위칭 게이트 전극과 연결되어 있으며, 스캔 신호를 전달하는 스캔선을 함께 형성하는 단계를 포함할 수 있다.
- [0037] 상기 구동 반도체층은 복수개의 굴곡부를 가지도록 형성할 수 있다.
- [0038] 상기 제2 구동 전압선을 형성하는 단계와 상기 스캔선을 형성하는 단계는 함께 수행될 수 있다.
- [0039] 상기 제2 구동 전압선을 형성하는 단계와 상기 구동 반도체를 형성하는 단계는 함께 수행될 수 있다.
- [0040] 상기 충간 절연막 및 상기 제1 구동 전압선을 덮는 평탄화막을 형성하는 단계; 상기 평탄화막 위에 화소 전극을 형성하는 단계; 상기 화소 전극 위에 유기 발광층을 형성하는 단계; 및 상기 유기 발광층 위에 공통 전극을 형성하는 단계를 더 포함하고, 상기 제2 구동 전압선을 형성하는 단계와 상기 화소 전극을 형성하는 단계는 동시에 수행될 수 있다.
- [0041] 상기 제2 구동 전압선은 두 개 이상의 인접한 상기 제1 구동 전압선을 서로 전기적으로 연결할 수 있다.

발명의 효과

- [0042] 캐패시터를 구성하는 일 전극을 전원 전압을 인가하는 배선과 동일한 층에 형성하여 적어도 하나의 마스크를 줄여 제조할 수 있는 유기 발광 표시 장치가 제공된다. 또한, 본 발명의 실시예에서는 캐패시터를 구성하는 일 전극을 데이터선과 동일한 층에 형성하여 적어도 하나의 마스크를 줄여 제조할 수 있는 유기 발광 표시 장치가 제공된다.

도면의 간단한 설명

- [0043] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
 도 2는 도 1의 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.
 도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 배치도이다.
 도 4는 도 3의 실시예에 따른 유기 발광 표시 장치에서 인접하는 세개의 화소를 함께 도시한 배치도이다.
 도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.
 도 6 내지 도 11은 도 3의 실시예에 따른 유기 발광 표시 장치의 제조 순서에 따라 도시한 도면이다.
 도 12는 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 배치도이다.

도 13은 도 12의 실시예에 따른 유기 발광 표시 장치에서 인접하는 세개의 화소를 함께 도시한 배치도이다.

도 14는 도 12의 유기 발광 표시 장치를 XIV-XIV선을 따라 자른 단면도이다.

도 15는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.

도 16은 도 15의 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.

도 17은 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 배치도이다.

도 18은 도 17의 실시예에 따른 유기 발광 표시 장치에서 인접하는 세개의 화소를 함께 도시한 배치도이다.

도 19는 도 17의 유기 발광 표시 장치를 XIX-XIX선을 따라 자른 단면도이다.

도 20은 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 배치도이다.

도 21은 도 20의 실시예에 따른 유기 발광 표시 장치에서 인접하는 세개의 화소를 함께 도시한 배치도이다.

도 22는 도 20의 유기 발광 표시 장치를 XXII-XXII선을 따라 자른 단면도이다.

도 23 내지 도 28은 본 발명의 실시예에 따른 유기 발광 표시 장치에서 인접하는 두 화소의 배치도이다.

발명을 실시하기 위한 구체적인 내용

[0044]

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0045]

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0046]

이제 본 발명의 실시예에 따른 유기 발광 표시 장치의 화소에 대하여 도 1 및 도 2를 참고로 하여 상세하게 설명한다.

[0047]

도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이고, 도 2는 도 1의 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.

[0048]

도 1에 도시한 바와 같이, 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선(121, 122, 123, 124, 171, 126/172), 복수의 신호선에 연결되어 있는 복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6), 스토리지 캐패시터(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.

[0049]

박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)를 포함한다.

[0050]

신호선은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(Em)를 전달하는 발광 제어선(123), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하는 구동 전압선(126/172) 및 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(124)을 포함한다. 여기서, 구동 전압선(126/172)은 스캔선(121)과 평행한 제1 구동 전압선(126)과 데이터선(171)과 평행한 제2 구동 전압선(172)로 이루어져 있으며, 제1 구동 전압선(126)과 제2 구동 전압선(172)은 전기적으로 연결되어 있다.

[0051]

구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(126/172)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류를

공급한다.

- [0052] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으므로 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(126/172)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)을 구동 박막 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.
- [0053] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)에 연결되어 있고, 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으므로 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 캐페시터(Cst)의 일단(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 보상 박막 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.
- [0054] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 캐페시터(Cst)의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 초기화 박막 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0055] 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(126/172)과 연결되어 있고, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.
- [0056] 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(Em)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 구동 전류가 흐르게 된다.
- [0057] 스토리지 캐페시터(Cst)의 타단(Cst2)은 구동 전압선(126/172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류를 전달받아 발광함으로써 화상을 표시한다.
- [0058] 이하에서 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 도 2의 타이밍 도를 참고하여 상세히 설명한다.
- [0059] 우선, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 이 때, 발광 제어선(123)을 통하여 발광 제어 신호(Em)는 이미 로우 레벨(low level)이 인가되고 있다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(124)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.
- [0060] 이 후, 데이터 프로그래밍 기간 중 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3-1, T3-2)가 턴 온된다.
- [0061] 이 때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3-1, T3-2)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.

- [0062] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(D_m)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, V_{th})만큼 감소한 보상 전압(D_m+V_{th} , V_{th} 는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극에 인가된다.
- [0063] 스토리지 캐패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(D_m+V_{th})이 인가되고, 스토리지 캐패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다. 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(E_m)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(E_m)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.
- [0064] 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(I_{LED})가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간동안 스토리지 캐패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트 전극-소스 전극 전압(V_{gs})은 ' $(D_m+V_{th})-ELVDD$ '으로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(I_d)는 소스 전극-게이트 전극 전압에서 문턱 전압을 차감한 값의 제곱 ' $(D_m-ELVDD)^2$ '에 비례한다. 따라서 구동 전류(I_{LED})는 구동 박막 트랜지스터(T1)의 문턱 전압(V_{th})에 관계 없이 결정된다.
- [0065] 그러면 도 1에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 3 내지 도 5를 참고하여 상세하게 설명한다.
- [0066] 도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 배치도이고, 도 4는 도 3의 실시예에 따른 유기 발광 표시 장치에서 인접하는 세개의 화소를 함께 도시한 배치도이고, 도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.
- [0067] 도 2에 도시한 바와 같이, 본 발명의 실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(S_n), 이전 스캔 신호(S_{n-1}), 발광 제어 신호(E_m) 및 초기화 전압(V_{int})을 각각 인가받으며, 행 방향을 따라 형성되어 있는 스캔 선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124) 모두와 교차하고 있으며 화소에 데이터 신호(D_m)를 인가하는 데이터선(171)을 포함한다.
- [0068] 또한, 구동 전압(ELVDD)을 인가하는 구동 전압선(126/172)도 포함되어 있으며, 구동 전압선(126/172)은 스캔선(121)과 평행한 제1 구동 전압선(126)과 데이터선(171)과 평행한 제2 구동 전압선(172)로 이루어져 있다. 제1 구동 전압선(126)과 제2 구동 전압선(172)은 전기적으로 연결되어 있다. 제1 구동 전압선(126)은 가로 방향으로 두 개 이상의 인접한 제2 구동 전압선(172)을 전기적으로 연결하여 구동 전압(ELVDD)이 가로 방향으로도 전달되도록 한다.
- [0069] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 스토리지 캐패시터(Cst), 그리고 유기 발광 다이오드가 형성되어 있다. 도 3의 실시예를 참고하면, 보상 박막 트랜지스터(T3-1, T3-2) 및 초기화 박막 트랜지스터(T4-1, T4-2)는 듀얼 게이트 구조의 박막 트랜지스터로 구성되어 있으며, 이하에서는 각각 두 개의 트랜지스터가 연결된 구조로 설명한다.
- [0070] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)의 채널은 연결되어 있는 하나의 반도체(131)의 내에 형성되어 있으며, 반도체(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 도 3의 실시예에 따른 반도체(131)은 구동 박막 트랜지스터(T1)의 반도체(131a; 구동 반도체라고도 함)를 중심으로 좌우에 수직 방향(데이터선(171)과 평행한 방향)으로 연장된 세로 부분을 포함하며, 각 세로 부분의 양 끝단은 꺾여 있다. 또한, 우측의 세로 부분의 상부에는 추가 연장되어 'ㄷ'자 모양으로 꺾인 추가 연장 부분을 가진다.
- [0071] 구동 박막 트랜지스터(T1)의 반도체(131a)는 역 'ㄹ'자 모양('ㄹ'자 모양을 중심점을 지나는 수직선 또는 수평선을 기준으로 대칭시킨 모양)을 가지며, 대부분이 구동 박막 트랜지스터(T1)의 반도체(131a)를 구성하며, 좌우에 위치하는 세로 부분에 인접한 부분에는 구동 박막 트랜지스터(T1)의 각각 소스 전극(176a) 및 드레인 전극(177a)이 위치하고 있다. 구동 박막 트랜지스터(T1)의 반도체(131a)는 실시예에서 역 'ㄹ'자 모양을 가지지만, 다양한 모양을 가질 수 있으며, 하나 이상의 굴곡부를 포함하는 구조를 가지면 충분하다. 또한, 구동 박막 트랜지스터(T1)의 반도체(131a)는 제1 방향으로 연장되어 있는 복수개의 제1 연장부(31)와 제2방향과 다른 제2

방향으로 연장되어 있는 복수개의 제2 연장부(32)를 포함하고, 굴곡부(33)는 상기 제1 연장부(31)와 상기 제2 연장부(32)를 연결하는 구조를 가질 수 있다.

[0072] 구동 박막 트랜지스터(T1)의 소스 전극(176a)과 연결되어 있는 좌측의 세로 부분에는 위쪽에 위치하는 스위칭 박막 트랜지스터(T2)의 반도체(131b; 스위칭 반도체라고도 함)와 아래쪽에 위치하는 동작 제어 박막 트랜지스터(T5)의 반도체(131e)가 형성되어 있다. 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 사이에는 스위칭 박막 트랜지스터(T2)의 드레인 전극(177b)과 동작 제어 박막 트랜지스터(T5)의 드레인 전극(177e)이 위치하고 있어 구동 박막 트랜지스터(T1)의 소스 전극(176a)과 연결되어 있다.

[0073] 스위칭 박막 트랜지스터(T2)의 반도체(131b)의 위쪽에는 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)가 위치하며, 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 아래쪽에는 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e)가 위치하고 있다.

[0074] 한편, 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있는 우측의 세로 부분에는 위쪽에 위치하는 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 아래쪽에 위치하는 발광 제어 박막 트랜지스터(T6)의 반도체(131f)가 형성되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 사이에는 보상 박막 트랜지스터(T3-1, T3-2) 중 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)과 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f)이 위치하고 있어 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 보상 박막 트랜지스터(T3-1, T3-2)는 제1 보상 박막 트랜지스터(T3-1)과 제2 보상 박막 트랜지스터(T3-2)를 포함하며, 제1 보상 박막 트랜지스터(T3-1)는 스캔선(121)의 돌출부를 중심으로 위치하고 있으며, 제2 보상 박막 트랜지스터(T3-2)는 스캔선(121)과 반도체(131)의 우측 세로 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)은 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있으며, 게이트 전극(125c-2)은 스캔선(121) 중 반도체(131)의 우측 세로 부분이 중첩하는 곳에 위치하며, 반도체(131c-2)는 반도체(131)의 우측 세로 부분 중 스캔선(121)과 중첩하는 곳에 위치하며, 드레인(177c-2)은 반도체(131)의 우측 세로 부분 중 반도체(131c-2)의 위쪽에 위치한다. 한편, 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1)은 제2 보상 박막 트랜지스터(T3-2)의 드레인(177c-2)과 연결되어 있으며, 게이트 전극(125c-1)은 스캔선(121)의 돌출부에 위치하며, 반도체(131c-1)는 반도체(131)의 우측 세로 부분 중 스캔선(121)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177c-1)은 반도체(131c-1)를 기준으로 소스 전극(176c-1)의 반대측에 위치한다. 제1 보상 박막 트랜지스터(T3-1)는 본 실시예에서 반도체(131)의 우측 세로 부분에서 'ㄷ'자로 추가 연장된 부분에 위치한다.

[0075] 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 아래쪽에는 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)가 위치하고, 제2 보상 박막 트랜지스터(T3-2)의 반도체(131c-2) 및 드레인 전극(177c-1)의 위쪽에는 추가 연장되어 있는 'ㄷ'자 모양의 추가 연장 부분에 초기화 박막 트랜지스터(T4-1, T4-2)의 반도체(131d-1, 131d-2)가 더 형성되어 있다. 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 사이에는 제1 초기화 박막 트랜지스터(T4-1)의 드레인 전극(177d-1)가 위치하며, 추가 연장되어 'ㄷ'자 모양의 부분의 끝단에는 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)이 위치하고 있다. 초기화 박막 트랜지스터(T4-1, T4-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 초기화 박막 트랜지스터(T4-1, T4-2)는 제1 초기화 박막 트랜지스터(T4-1)과 제2 초기화 박막 트랜지스터(T4-2)를 포함하며, 제1 초기화 박막 트랜지스터(T4-1)는 이전 스캔선(122)의 돌출부를 중심으로 위치하고 있으며, 제2 초기화 박막 트랜지스터(T4-2)는 이전 스캔선(122)과 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1)은 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있으며, 게이트 전극(125d-1)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 곳에 위치하며, 반도체(131d-1)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177d-1)은 반도체(131d-1)을 기준으로 소스 전극(176d-1)의 반대측에 위치한다. 한편, 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)은 제1 초기화 박막 트랜지스터(T4-1)의 드레인(177d-1)과 연결되어 있으며, 게이트 전극(125d-2)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분과 중첩하는 부분에 위치하며, 반도체(131d-2)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)과 중첩하는 곳에 위치하며, 드레인(177d-2)은 반도체(131d-2)를 기준으로 소스 전극(176d-2)의 반대측으로, 반도체(131)의 'ㄷ'자 모양의 부분의 끝단에 위치한다.

[0076] 실시예에 따라서는 반도체(131)의 구조는 다양할 수 있으며, 반도체(131)는 다결정 반도체로 형성되어 있을 수

있다. 반도체(131)에 형성되어 있는 소스 전극/드레인 전극은 해당 영역만 도핑하여 형성할 수 있다. 또한, 반도체(131)에서 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 사이 영역도 도핑되어 소스 전극과 드레인 전극이 전기적으로 연결되어 있을 수 있다.

[0077] 반도체(131)는 절연 기판(110)위에 형성되어 있으며, 절연 기판(110)과 반도체(131)의 사이에는 베퍼층(111)이 위치할 수 있다. 베퍼층(111)은 다결정 반도체를 형성하기 위하여 결정화 공정시 절연 기판(110)으로부터 불순물을 차단하여 다결정 반도체의 특성을 향상시키고, 절연 기판(110)이 받는 스트레스를 줄이는 역할을 할 수 있다.

[0078] 반도체(131)의 위에는 이를 덮는 게이트 절연막(141)이 형성되어 있다. 게이트 절연막(141)은 무기 절연막으로 형성될 수 있다.

[0079] 게이트 절연막(141)의 위에는 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 제1 구동 전압선(126) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)가 형성되어 있다.

[0080] 스캔선(121) 및 이전 스캔선(122)은 각각 돌출되어 있는 돌출부를 가지며, 스캔선(121)의 돌출부는 이전 스캔선(122)을 향하여 돌출되어 있고, 이전 스캔선(122)의 돌출부는 스캔선(121)을 향하여 돌출되어 있다.

[0081] 먼저, 스캔선(121)의 돌출부는 스캔선(121)의 윗 방향으로 돌출되어 있으며, 제1 보상 박막 트랜지스터(T3-1)의 반도체(131c-1)와 중첩하며, 제1 보상 박막 트랜지스터(T3-1)의 게이트 전극(125c-1)를 구성한다. 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1) 및 드레인 전극(177c-1)는 제1 보상 박막 트랜지스터(T3-1)의 게이트 전극(125c-1)과 중첩하지 않는다.

[0082] 이전 스캔선(122)의 돌출부는 이전 스캔선(122)의 아랫 방향으로 돌출되어 있으며, 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 중첩하며, 제1 초기화 박막 트랜지스터(T4-1)의 게이트 전극(125d-1)를 구성한다. 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1) 및 드레인 전극(177d-1)는 제1 초기화 박막 트랜지스터(T4-1)의 게이트 전극(125d-1)과 중첩하지 않는다.

[0083] 스캔선(121)의 하측에는 발광 제어선(123)이 위치하며, 발광 제어선(123)은 반도체(131)의 좌측 세로 부분 및 우측 세로 부분과 각각 중첩한다. 발광 제어선(123)은 반도체(131)의 좌측 세로 부분 중 동작 제어 박막 트랜지스터(T5)의 반도체(131e)과 중첩하며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e) 및 드레인 전극(177e)과는 중첩하지 않는다. 또한, 발광 제어선(123)은 반도체(131)의 우측 세로 부분 중 발광 제어 박막 트랜지스터(T6)의 반도체(131f)와 중첩하며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 드레인 전극(177f)과는 중첩하지 않는다.

[0084] 이전 스캔선(122)의 상측에는 초기화 전압선(124)이 위치하며, 초기화 전압선(124)은 일부 확장된 영역을 가진다. 초기화 전압선(124)의 확장된 영역은 다른 배선과의 접촉을 용이하게 하기 위하여 확장되어 있다.

[0085] 초기화 전압선(124)의 상측에는 제1 구동 전압선(126)이 위치하고 있으며, 제1 구동 전압선(126)도 일부 확장된 영역을 가져 다른 배선과의 접촉을 용이하게 하고 있다.

[0086] 초기화 전압선(124) 및 제1 구동 전압선(126)은 반도체(131)와 중첩하지 않는다.

[0087] 구동 박막 트랜지스터(T1)의 게이트 전극(125a; 구동 게이트 전극이라고도 함)는 사각 형태로 형성되며, 반도체(131)의 역 'ㄹ'자 모양을 가지는 부분, 즉, 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 구동 박막 트랜지스터(T1)의 소스 전극(176a) 및 드레인 전극(177a)은 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 중첩하지 않는다.

[0088] 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 제1 구동 전압선(126; 가로 구동 전압선이라고도 함) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 노출되어 있는 게이트 절연막(141)의 위에는 충간 절연막(160)이 덮여 있다. 충간 절연막(160)은 무기 절연막으로 형성될 수 있다.

[0089] 충간 절연막(160)에는 복수의 접촉 구멍(161, 162, 163, 164, 165, 166, 167, 168)이 형성되어 있다.

[0090] 제1 접촉 구멍(161)은 제1 구동 전압선(126)의 확장 영역을 노출시키며, 제2 접촉 구멍(162)은 초기화 전압선(124)의 확장 영역을 노출시키고, 제3 접촉 구멍(163)은 반도체(131)의 추가 연장되어 있는 'ㄷ'자 모양의 부분의 끝단(제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2))을 노출시킨다. 제4 접촉 구멍(164)는 반도체(131)의 좌측 세로 부분의 상측 끝단(스위칭 박막 트랜지스터(T2)의 소스 전극(176b))을 노출시키고, 제5 접촉

구멍(165)은 반도체(131)의 좌측 세로 부분의 하측 끝단(동작 제어 박막 트랜지스터(T5)의 소스 전극(176e)을 노출시키고, 제6 접촉 구멍(166)은 반도체(131)의 우측 세로 부분에서 추가 연장되어 있는 'ㄷ'자 모양의 부분의 일 부분인 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)을 노출시킨다. 제7 접촉 구멍(167)은 구동 박막 트랜지스터(T1)의 게이트 전극(125a)의 일부 영역을 노출시키고, 제8 접촉 구멍(168)은 반도체(131)의 우측 세로 부분의 하측 끝단(발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)을 노출시킨다.

[0091] 층간 절연막(160)의 위에는 데이터선(171), 확장 영역(175)을 가지는 제2 구동 전압선(172), 제1 연결부(173), 제2 연결부(174) 및 제3 연결부(178)가 형성되어 있다.

[0092] 데이터선(171)은 제4 접촉 구멍(164)를 지나 세로 방향으로 연장되어 있으며, 제4 접촉구멍(164)을 통하여 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)과 연결되어 있다. 그 결과 데이터선(171)을 흐르는 데이터 전압이 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)로 전달된다.

[0093] 제2 구동 전압선(172; 세로 구동 전압선이라고도 함)은 세로 방향으로 연장되어 있으며, 제1 접촉 구멍(161)을 통하여 제1 구동 전압선(126)과 연결되어 있다. 제1 구동 전압선(126)은 구동 전압(ELVDD)을 가로 방향으로 전달하고, 제2 구동 전압선(172)은 구동 전압(ELVDD)을 세로 방향으로 전달한다. 제2 구동 전압선(172)은 확장 영역(175)을 가지며, 확장 영역(175)은 하나의 화소마다 하나씩 형성되어 있다. 제2 구동 전압선(172)의 확장 영역(175)은 스토리지 캐패시터 (Cst)의 제2 전극(175)을 구성한다. 스토리지 캐패시터 (Cst)의 제2 전극(175)에는 구동 전압(ELVDD)이 인가된다. 스토리지 캐패시터 (Cst)의 제2 전극(175)은 박막 트랜지스터(T1)의 게이트 전극(125a) 및 역 'ㄹ'자 모양을 가지는 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 스토리지 캐패시터 (Cst)는 박막 트랜지스터(T1)의 게이트 전극(125a), 스토리지 캐패시터 (Cst)의 제2 전극(175) 및 그 사이의 층간 절연막(160)으로 이루어진다.

[0094] 이상과 같은 제2 구동 전압선(172)의 구조에 의하면, 제2 구동 전압선(172)과 스토리지 캐패시터(Cst)의 제2 전극(175)은 동일한 물질로 함께 형성되므로 별도의 층에 스토리지 캐패시터(Cst)의 전극을 형성할 필요가 없어, 제조시 사용되는 마스크의 수가 줄어든다. 마스크의 개당 가격을 고려하면, 제조 비용도 줄어들고, 제조 시간도 단축된다.

[0095] 이러한 본 실시예에 따르면, 데이터선(171)과 동일한 층에 위치하는 제2 구동 전압선(172)의 확장 영역(175)(제2 전극(175)이라고도 함)과 구동 박막 트랜지스터(T1)의 게이트 전극(125a) 사이에는 한 종류의 층간 절연막(160)만이 위치하며, 확장 영역(175)이 위치하는 층과 구동 박막 트랜지스터(T1)의 게이트 전극(125a)이 위치하는 층 사이에는 별도의 도전층이 위치하지 않는다.

[0096] 제1 연결부(173)는 제2 접촉 구멍(162)과 제3 접촉 구멍(163)을 통하여 초기화 전압선(124)과 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)을 연결한다. 그 결과 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)에는 초기화 전압(Vint)이 인가되며, 제1 및 제2 초기화 박막 트랜지스터(T4-1, T4-2)를 듀얼 게이트 구조의 하나의 박막 트랜지스터로 볼 수 있으므로, 초기화 박막 트랜지스터(T4)의 소스 전극으로 초기화 전압(Vint)이 인가된다고 해석할 수 있다.

[0097] 제2 연결부(174)는 제6 접촉 구멍(166)과 제7 접촉 구멍(167)을 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 박막 트랜지스터(T1)의 게이트 전극(125a)을 연결한다. 그 결과 박막 트랜지스터(T1)의 게이트 전극(125a)에는 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 전압이 전달된다. 구동 박막 트랜지스터(T1)의 게이트 전극(125a) 중 일부는 제2 구동 전압선(172)의 확장 영역과 중첩하지 않는 노출 영역을 가지며, 노출 영역은 제2 연결부(174) 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있다.

[0098] 제3 연결부(178)는 제8 접촉 구멍(168)의 위에 형성되어 있어 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)과 연결되어 있다. 제3 연결부(178)의 위에는 평탄화막(180)이 위치하고 있다. 평탄화막(180)에는 제1 상부 접촉 구멍(181)이 있어 제3 연결부(178)를 노출시킨다. 평탄화막(180)의 위에는 화소 전극(191)이 위치하며, 평탄화막의 제1 상부 접촉 구멍(181)을 통하여 화소 전극(191)과 제3 연결부(178)가 연결되어 있다. 그 결과 화소 전극(191)은 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)과 연결되어 있다. 화소 전극(191)의 위에는 유기 발광층(370)이 위치하고, 그 위에는 공통 전극(270)이 위치한다. 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)은 유기 발광 다이오드(70)를 구성하며, 화소 전극(191)은 유기 발광 다이오드(70)의 애노드(anode)이다.

[0099] 구동 박막 트랜지스터(T1)는 125a, 131a, 176a, 177a로 구성되고, 스위칭 박막 트랜지스터(T2)는 125b, 131b,

176b, 177b로 구성되며, 보상 박막 트랜지스터(T3-1, T3-2)는 각각 125c-1, 131c-1, 176c-1, 177c-1와 125c-2, 131c-2, 176c-2, 177c-2로 구성되며, 초기화 박막 트랜지스터(T4-1, T4-2)는 각각 125d-1, 131d-1, 176d-1, 177d-1와 125d-2, 131d-2, 176d-2, 177d-2로 구성되며, 동작 제어 박막 트랜지스터(T5)는 125e, 131e, 176e, 177e로 구성되며, 발광 제어 박막 트랜지스터(T6)는 125f, 131f, 176f, 177f로 구성된다. 또한, 스토리지 캐퍼시터(Cst)는 125a 및 175로 구성된다. 각 트랜지스터의 반도체는 각 트랜지스터의 게이트 전극과 중첩되는 부분에서 채널 영역이 형성된다.

- [0100] 이하에서는 도 6 내지 도 11을 통하여 본 발명의 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대하여 살펴본다.
- [0101] 도 6 내지 도 11은 도 3의 실시예에 따른 유기 발광 표시 장치의 제조 순서에 따라 도시한 도면이다.
- [0102] 먼저, 도 6 및 도 7을 이용하여 반도체(131)만이 형성되어 있는 유기 발광 표시 장치를 살펴본다.
- [0103] 절연 기판(110)의 위에 절연 기판(110)을 보호하는 베퍼층(111)을 형성한다. 베퍼층(111)은 절연 기판(110)을 보호할 뿐만 아니라 반도체(131)을 결정화할 때 절연 기판(110)으로부터 불순물이 반도체(131)으로 유입되지 않도록 하는 역할도 수행할 수 있다.
- [0104] 베퍼층(111)의 위에 비정질 실리콘을 전체적으로 형성한 후, 이를 결정화시켜 다결정 반도체층을 형성한다. 그 후 다결정 반도체층의 위에 제1 마스크를 사용하여 다결정 반도체층을 도 6에서 도시하고 있는 형태의 반도체(131)로 식각한다.
- [0105] 반도체(131)은 역 'ㄹ'자 모양을 가지는 구동 박막 트랜지스터(T1)의 반도체(131a)를 중심으로 좌우에 수직 방향으로 연장된 세로 부분을 포함하며, 각 세로 부분의 양 끝단은 꺾여 있다. 또한, 우측의 세로 부분의 상부에는 추가 연장되어 'ㄷ'자 모양으로 꺾인 부분을 가진다. 반도체(131)은 도핑되지 않아서 각 트랜지스터를 구성하는 반도체, 소스 전극 및 드레인 전극으로 구분되어 있지 않다.
- [0106] 그 후, 도 8 및 도 9에서 도시하고 있는 바와 같이 반도체(131)의 위에 게이트 절연막(141)을 덮은 후 게이트 절연막(141)위에 게이트용 도전체를 적층한 후 제2 마스크를 사용하여 식각한다. 그 결과 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 제1 구동 전압선(126) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)이 형성된다. 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 제1 구동 전압선(126)은 서로 평행한다. 또한, 스캔선(121) 및 이전 스캔선(122)은 각각 돌출부가 형성되어 있다.
- [0107] 그 후, 반도체(131)을 도핑한다. 반도체(131)은 돌출부를 포함하는 스캔선(121), 돌출부를 포함하는 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 제1 구동 전압선(126) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)에 의하여 가려진 부분을 제외하고 노출된 영역에 도핑된다. 그 결과 각 트랜지스터의 소스 전극과 드레인 전극이 형성된다. 반도체(131)의 가려져 도핑되지 않은 영역에는 각 트랜지스터에서 채널 역할을 하는 반도체가 형성된다. 즉, 반도체(131)의 도핑시에는 별도의 마스크가 필요하지 않다.
- [0108] 도핑에 의한 반도체(131)은 아래와 같은 구조를 가진다.
- [0109] 구동 박막 트랜지스터(T1)의 반도체(131a)는 역 'ㄹ'자 모양을 가지며, 좌우에 위치하는 세로 부분에 인접한 부분에는 구동 박막 트랜지스터(T1)의 각각 소스 전극(176a) 및 드레인 전극(177a)이 위치하고 있다. 구동 박막 트랜지스터(T1)의 반도체(131a)는 실시예에서 역 'ㄹ'자 모양을 가지지만, 다양한 모양을 가질 수 있으며, 하나 이상의 굴곡부를 포함하는 구조를 가지면 충분하다. 또한, 구동 박막 트랜지스터(T1)의 반도체(131a)는 제1 방향으로 연장되어 있는 복수개의 제1 연장부(31)와 제1방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부(32)를 포함하고, 굴곡부(33)는 상기 제1 연장부(31)와 상기 제2 연장부(32)를 연결하는 구조를 가질 수 있다.
- [0110] 구동 박막 트랜지스터(T1)의 소스 전극(176a)와 연결되어 있는 좌측의 세로 부분에는 위쪽에 위치하는 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 아래쪽에 위치하는 동작 제어 박막 트랜지스터(T5)의 반도체(131e)가 형성되어 있다. 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 사이에는 스위칭 박막 트랜지스터(T2)의 드레인 전극(177b)과 동작 제어 박막 트랜지스터(T5)의 드레인 전극(177e)이 위치하고 있어 구동 박막 트랜지스터(T1)의 소스 전극(176a)과 연결되어 있다.
- [0111] 스위칭 박막 트랜지스터(T2)의 반도체(131b)의 위쪽에는 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)가 위치하며, 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 아래쪽에는 동작 제어 박막 트랜지스터(T5)의 소스 전

극(176e)가 위치하고 있다.

[0112] 한편, 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있는 우측의 세로 부분에는 위쪽에 위치하는 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 아래쪽에 위치하는 발광 제어 박막 트랜지스터(T6)의 반도체(131f)가 형성되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 사이에는 보상 박막 트랜지스터(T3-1, T3-2) 중 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)과 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f)이 위치하고 있어 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 보상 박막 트랜지스터(T3-1, T3-2)는 제1 보상 박막 트랜지스터(T3-1)과 제2 보상 박막 트랜지스터(T3-2)를 포함하며, 제1 보상 박막 트랜지스터(T3-1)는 스캔선(121)의 돌출부를 중심으로 위치하고 있으며, 제2 보상 박막 트랜지스터(T3-2)는 스캔선(121)과 반도체(131)의 우측 세로 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)은 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있으며, 게이트 전극(125c-2)은 스캔선(121) 중 반도체(131)의 우측 세로 부분이 중첩하는 곳에 위치하며, 반도체(131c-2)는 반도체(131)의 우측 세로 부분 중 스캔선(121)과 중첩하는 곳에 위치하며, 드레인(177c-2)은 반도체(131)의 우측 세로 부분 중 반도체(131c-2)의 위쪽에 위치한다. 한편, 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1)은 제2 보상 박막 트랜지스터(T3-2)의 드레인(177c-2)과 연결되어 있으며, 게이트 전극(125c-1)은 스캔선(121)의 돌출부에 위치하며, 반도체(131c-1)는 반도체(131)의 우측 세로 부분 중 스캔선(121)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177c-1)은 반도체(131c-1)를 기준으로 소스 전극(176c-1)의 반대측에 위치한다. 제1 보상 박막 트랜지스터(T3-1)는 본 실시예에서 반도체(131)의 우측 세로 부분에서 'ㄷ'자로 추가 연장된 부분에 위치한다.

[0113] 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 아래쪽에는 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)가 위치하고, 제2 보상 박막 트랜지스터(T3-2)의 반도체(131c-2) 및 드레인 전극(177c-1)의 위쪽에는 추가 연장되어 'ㄷ'자 모양의 부분에 초기화 박막 트랜지스터(T4-1, T4-2)의 반도체(131d-1, 131d-2)가 형성되어 있다. 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 사이에는 제1 초기화 박막 트랜지스터(T4-1)의 드레인 전극(177d-1)가 위치하며, 추가 연장되어 'ㄷ'자 모양의 추가 연장 부분의 끝단에는 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)이 위치하고 있다. 초기화 박막 트랜지스터(T4-1, T4-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 초기화 박막 트랜지스터(T4-1, T4-2)는 제1 초기화 박막 트랜지스터(T4-1)과 제2 초기화 박막 트랜지스터(T4-2)를 포함하며, 제1 초기화 박막 트랜지스터(T4-1)는 이전 스캔선(122)의 돌출부를 중심으로 위치하고 있으며, 제2 초기화 박막 트랜지스터(T4-2)는 이전 스캔선(122)과 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1)은 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있으며, 게이트 전극(125d-1)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 곳에 위치하며, 반도체(131d-1)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177d-1)은 반도체(131d-1)를 기준으로 소스 전극(176d-1)의 반대측에 위치한다. 한편, 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)은 제1 초기화 박막 트랜지스터(T4-1)의 드레인(177d-1)과 연결되어 있으며, 게이트 전극(125d-2)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분과 중첩하는 부분에 위치하며, 반도체(131d-2)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)과 중첩하는 곳에 위치하며, 드레인(177d-2)은 반도체(131d-2)를 기준으로 소스 전극(176d-2)의 반대측으로, 반도체(131)의 'ㄷ'자 모양의 부분의 끝단에 위치한다.

[0114] 그 후, 도 10 및 도 11에서 도시하고 있는 바와 같이 충간 절연막(160)을 덮은 후, 제3 마스크를 사용하여 충간 절연막(160)에 복수의 접촉 구멍(161, 162, 163, 164, 165, 166, 167, 168)을 형성한다. 그 후, 충간 절연막(160)위에 데이터용 도전체를 적층한 후 제4 마스크를 사용하여 식각한다. 그 결과 데이터선(171), 확장 영역(175)을 가지는 제2 구동 전압선(172), 제1 연결부(173), 제2 연결부(174) 및 제3 연결부(178)가 형성된다.

[0115] 데이터선(171)은 제4 접촉 구멍(164)를 지나 세로 방향으로 연장되어 있으며, 제4 접촉구멍(164)을 통하여 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)과 연결되어 있다. 그 결과 데이터선(171)을 흐르는 데이터 전압이 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)로 전달된다.

[0116] 제2 구동 전압선(172)은 세로 방향으로 연장되어 있으며, 제1 접촉 구멍(161)을 통하여 제1 구동 전압선(126)과 연결되어 있다. 제1 구동 전압선(126)은 구동 전압(ELVDD)을 가로 방향으로 전달하고, 제2 구동 전압선(172)은 구동 전압(ELVDD)을 세로 방향으로 전달한다. 제2 구동 전압선(172)은 확장 영역을 가지며, 확장 영역은 하나

의 화소마다 하나씩 형성되어 있다. 제2 구동 전압선(172)의 확장 영역은 스토리지 캐패시터(Cst)의 제2 전극(175)을 구성한다. 스토리지 캐패시터(Cst)의 제2 전극(175)에는 구동 전압(ELVDD)이 인가된다. 스토리지 캐패시터(Cst)의 제2 전극(175)은 박막 트랜지스터(T1)의 게이트 전극(125a) 및 역 'ㄹ'자 모양을 가지는 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 스토리지 캐패시터(Cst)는 박막 트랜지스터(T1)의 게이트 전극(125a), 스토리지 캐패시터(Cst)의 제2 전극(175) 및 그 사이의 충간 절연막(160)으로 이루어진다.

[0117] 제1 연결부(173)는 제2 접촉 구멍(162)과 제3 접촉 구멍(163)을 통하여 초기화 전압선(124)과 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)을 연결한다. 그 결과 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)에는 초기화 전압(Vint)이 인가되며, 제1 및 제2 초기화 박막 트랜지스터(T4-1, T4-2)를 듀얼 게이트 구조의 하나의 박막 트랜지스터로 볼 수 있으므로, 초기화 박막 트랜지스터(T4)의 소스 전극으로 초기화 전압(Vint)이 인가된다고 해석할 수 있다.

[0118] 제2 연결부(174)는 제6 접촉 구멍(166)과 제7 접촉 구멍(167)을 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 박막 트랜지스터(T1)의 게이트 전극(125a)을 연결한다. 그 결과 박막 트랜지스터(T1)의 게이트 전극(125a)에는 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 전압이 전달된다. 구동 박막 트랜지스터(T1)의 게이트 전극(125a) 중 일부는 제2 구동 전압선(172)의 확장 영역과 중첩하지 않는 노출 영역을 가지며, 노출 영역은 제2 연결부(174) 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있다.

[0119] 제3 연결부(178)는 제8 접촉 구멍(168)의 위에 형성되어 있어 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)과 연결되어 있다.

[0120] 그 후, 다시 도 5를 참고하면, 데이터선(171), 확장 영역(175)을 가지는 제2 구동 전압선(172), 제1 연결부(173), 제2 연결부(174) 및 제3 연결부(178)를 덮는 평탄화막(180)을 적층한다. 그 후, 제5 마스크를 사용하여 제3 연결부(178)를 노출시키는 제1 상부 접촉 구멍(181)을 형성한다. 그 후, 평탄화막(180)의 위에는 제6 마스크를 사용하여 화소 전극(191)을 형성하고, 화소 전극(191)은 노출된 제3 연결부(178)와 전기적으로 연결되어 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)과 연결된다.

[0121] 그 후, 화소 전극(191)의 위에 제7 마스크를 사용하여 격벽(도시하지 않음)을 형성하고, 격벽의 사이에 유기 발광층(370)을 형성한다. 그 후, 유기 발광층(370)의 위에 공통 전극(270)을 형성한다. 공통 전극(270)은 전 영역에 걸쳐 형성되므로 별도의 마스크를 사용하지 않는다. 그 결과 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)은 유기 발광 다이오드(70)를 구성하며, 화소 전극(191)은 유기 발광 다이오드(70)의 애노드(anode)이다.

[0122] 이상과 같은 제조 방법에 의하면, 제2 구동 전압선(172)의 확장 영역은 스토리지 캐패시터(Cst)의 제2 전극(175)을 구성하므로, 별도의 층에 스토리지 캐패시터(Cst)의 전극을 형성할 필요가 없어, 제조시 사용되는 마스크의 수가 줄어든다. 마스크의 개당 가격을 고려하면, 제조 비용도 줄어들고, 제조 시간도 단축된다.

[0123] 이하에서는 도 12 내지 도 14를 통하여 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치에 대하여 살펴본다.

[0124] 도 12 내지 도 14는 도 1과 동일한 회로 구성을 가지지만, 도 3 내지 도 5와 달리 제1 구동 전압선이 스캔선(121)과 동일한 층에 형성되지 않고, 화소 전극(191)과 동일한 층에 형성되는 차이가 있다. 도 12의 실시예에서의 제1 구동 전압선(192)은 제2 구동 전압선(172)과 제1 접촉 구멍에 의하여 접촉하지만, 제1 접촉 구멍의 위치는 평탄화막(180) 위에 위치한다. 또한, 제1 구동 전압선(192; 가로 구동 전압선이라고도 함)이 초기화 전압선(124)과 배치도 상에서 중첩한다.

[0125] 이하에서는 도 12 내지 도 14를 통하여 상세하게 살펴본다.

[0126] 도 12는 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 배치도이고, 도 13은 도 12의 실시예에 따른 유기 발광 표시 장치에서 인접하는 세개의 화소를 함께 도시한 배치도이고, 도 14는 도 12의 유기 발광 표시 장치를 XIV-XIV선을 따라 자른 단면도이다.

[0127] 도 12의 실시예에 따른 유기 발광 표시 장치의 화소는 도 2에 도시되어 있는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(Em) 및 초기화 전압(Vint)을 각각 인가 받으며, 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124) 모두와 교차하고 있으며 화소에 데이터 신호(Dm)를 인가하는

데이터선(171)을 포함한다.

[0128] 또한, 구동 전압(ELVDD)을 인가하는 구동 전압선(192/172)도 포함되어 있으며, 구동 전압선(192/172)은 스캔선(121)과 평행하며, 화소 전극(191)과 동일한 층에 위치하는 제1 구동 전압선(192)과 데이터선(171)과 평행한 제2 구동 전압선(172)로 이루어져 있다. 제1 구동 전압선(192)과 제2 구동 전압선(172)은 전기적으로 연결되어 있다. 제1 구동 전압선(192)은 가로 방향으로 인접한 두 개 이상의 제2 구동 전압선(172)을 전기적으로 연결하여 구동 전압(ELVDD)이 가로 방향으로도 전달되도록 한다.

[0129] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 스토리지 캐패시터(Cst), 그리고 유기 발광 다이오드가 형성되어 있다. 도 12의 실시예를 참고하면, 보상 박막 트랜지스터(T3-1, T3-2) 및 초기화 박막 트랜지스터(T4-1, T4-2)는 듀얼 게이트 구조의 박막 트랜지스터로 구성되어 있으며, 이하에서는 각각 두 개의 트랜지스터가 연결된 구조로 설명한다.

[0130] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)의 채널은 연결되어 있는 하나의 반도체(131)의 내에 형성되어 있으며, 반도체(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 도 3의 실시예에 따른 반도체(131)은 구동 박막 트랜지스터(T1)의 반도체(131a)를 중심으로 좌우에 수직 방향(데이터선(171)과 평행한 방향)으로 연장된 세로 부분을 포함하며, 각 세로 부분의 양 끝단은 꺾여 있다. 또한, 우측의 세로 부분의 상부에는 추가 연장되어 'ㄷ'자 모양으로 꺾인 부분을 가진다.

[0131] 구동 박막 트랜지스터(T1)의 반도체(131a)는 역 'ㄹ'자 모양을 가지며, 대부분이 구동 박막 트랜지스터(T1)의 반도체(131a)를 구성하며, 좌우에 위치하는 세로 부분에 인접한 부분에는 구동 박막 트랜지스터(T1)의 각각 소스 전극(176a) 및 드레인 전극(177a)이 위치하고 있다. 구동 박막 트랜지스터(T1)의 반도체(131a)는 실시예에서 역 'ㄹ'자 모양을 가지지만, 다양한 모양을 가질 수 있으며, 하나 이상의 굴곡부를 포함하는 구조를 가지면 충분하다. 또한, 구동 박막 트랜지스터(T1)의 반도체(131a)는 제1 방향으로 연장되어 있는 복수개의 제1 연장부(31)와 제1방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부(32)를 포함하고, 굴곡부(33)는 상기 제1 연장부(31)와 상기 제2 연장부(32)를 연결하는 구조를 가질 수 있다.

[0132] 구동 박막 트랜지스터(T1)의 소스 전극(176a)과 연결되어 있는 좌측의 세로 부분에는 위쪽에 위치하는 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 아래쪽에 위치하는 동작 제어 박막 트랜지스터(T5)의 반도체(131e)가 형성되어 있다. 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 사이에는 스위칭 박막 트랜지스터(T2)의 드레인 전극(177b)과 동작 제어 박막 트랜지스터(T5)의 드레인 전극(177e)이 위치하고 있어 구동 박막 트랜지스터(T1)의 소스 전극(176a)과 연결되어 있다.

[0133] 스위칭 박막 트랜지스터(T2)의 반도체(131b)의 위쪽에는 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)가 위치하며, 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 아래쪽에는 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e)가 위치하고 있다.

[0134] 한편, 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있는 우측의 세로 부분에는 위쪽에 위치하는 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 아래쪽에 위치하는 발광 제어 박막 트랜지스터(T6)의 반도체(131f)가 형성되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 사이에는 보상 박막 트랜지스터(T3-1, T3-2) 중 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)과 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f)이 위치하고 있어 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 보상 박막 트랜지스터(T3-1, T3-2)는 제1 보상 박막 트랜지스터(T3-1)과 제2 보상 박막 트랜지스터(T3-2)를 포함하며, 제1 보상 박막 트랜지스터(T3-1)는 스캔선(121)의 돌출부를 중심으로 위치하고 있으며, 제2 보상 박막 트랜지스터(T3-2)는 스캔선(121)과 반도체(131)의 우측 세로 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)은 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있으며, 게이트 전극(125c-2)은 스캔선(121) 중 반도체(131)의 우측 세로 부분이 중첩하는 곳에 위치하며, 반도체(131c-2)는 반도체(131)의 우측 세로 부분 중 스캔선(121)과 중첩하는 곳에 위치하며, 드레인(177c-2)은 반도체(131)의 우측 세로 부분 중 반도체(131c-2)의 위쪽에 위치한다. 한편, 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1)은 제2 보상 박막 트랜지스터(T3-2)의 드레인(177c-2)과 연결되어 있으며, 게이트 전극(125c-1)은 스캔선(121)의 돌출부에 위치하며, 반도체(131c-1)는 반도체(131)의 우측 세로 부분 중 스캔선(121)의 돌출부와

중첩하는 곳에 위치하며, 드레인(177c-1)은 반도체(131c-1)를 기준으로 소스 전극(176c-1)의 반대측에 위치한다. 제1 보상 박막 트랜지스터(T3-1)는 본 실시예에서 반도체(131)의 우측 세로 부분에서 'ㄷ'자로 추가 연장된 부분에 위치한다.

[0135] 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 아래쪽에는 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)가 위치하고, 제2 보상 박막 트랜지스터(T3-2)의 반도체(131c-2) 및 드레인 전극(177c-1)의 위쪽에는 추가 연장되어 있는 'ㄷ'자 모양의 추가 연장 부분에 초기화 박막 트랜지스터(T4-1, T4-2)의 반도체(131d-1, 131d-2)가 더 형성되어 있다. 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 사이에는 제1 초기화 박막 트랜지스터(T4-1)의 드레인 전극(177d-1)가 위치하며, 추가 연장되어 'ㄷ'자 모양의 부분의 끝단에는 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)이 위치하고 있다. 초기화 박막 트랜지스터(T4-1, T4-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 초기화 박막 트랜지스터(T4-1, T4-2)는 제1 초기화 박막 트랜지스터(T4-1)과 제2 초기화 박막 트랜지스터(T4-2)를 포함하며, 제1 초기화 박막 트랜지스터(T4-1)는 이전 스캔선(122)의 돌출부를 중심으로 위치하고 있으며, 제2 초기화 박막 트랜지스터(T4-2)는 이전 스캔선(122)과 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1)은 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있으며, 게이트 전극(125d-1)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 곳에 위치하며, 반도체(131d-1)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177d-1)은 반도체(131d-1)을 기준으로 소스 전극(176d-1)의 반대측에 위치한다. 한편, 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)은 제1 초기화 박막 트랜지스터(T4-1)의 드레인(177d-1)과 연결되어 있으며, 게이트 전극(125d-2)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분과 중첩하는 부분에 위치하며, 반도체(131d-2)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)과 중첩하는 곳에 위치하며, 드레인(177d-2)은 반도체(131d-2)를 기준으로 소스 전극(176d-2)의 반대측으로, 반도체(131)의 'ㄷ'자 모양의 부분의 끝단에 위치한다.

[0136] 실시예에 따라서는 반도체(131)의 구조는 다양할 수 있으며, 반도체(131)는 다결정 반도체로 형성되어 있을 수 있다. 반도체(131)에 형성되어 있는 소스 전극/드레인 전극은 해당 영역만 도핑하여 형성할 수 있다. 또한, 반도체(131)에서 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 사이 영역도 도핑되어 소스 전극과 드레인 전극이 전기적으로 연결되어 있을 수 있다.

[0137] 반도체(131)는 절연 기판(110)위에 형성되어 있으며, 절연 기판(110)과 반도체(131)의 사이에는 베퍼층(111)이 위치할 수 있다. 베퍼층(111)은 다결정 반도체를 형성하기 위하여 결정화 공정시 절연 기판(110)으로부터 불순물을 차단하여 다결정 반도체의 특성을 향상시키고, 절연 기판(110)이 받는 스트레스를 줄이는 역할을 할 수 있다.

[0138] 반도체(131)의 위에는 이를 덮는 게이트 절연막(141)이 형성되어 있다. 게이트 절연막(141)은 무기 절연막으로 형성될 수 있다.

[0139] 게이트 절연막(141)의 위에는 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)가 형성되어 있다.

[0140] 스캔선(121) 및 이전 스캔선(122)은 각각 돌출되어 있는 돌출부를 가지며, 스캔선(121)의 돌출부는 이전 스캔선(122)을 향하여 돌출되어 있고, 이전 스캔선(122)의 돌출부는 스캔선(121)을 향하여 돌출되어 있다.

[0141] 먼저, 스캔선(121)의 돌출부는 스캔선(121)의 윗 방향으로 돌출되어 있으며, 제1 보상 박막 트랜지스터(T3-1)의 반도체(131c-1)와 중첩하며, 제1 보상 박막 트랜지스터(T3-1)의 게이트 전극(125c-1)를 구성한다. 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1) 및 드레인 전극(177c-1)은 제1 보상 박막 트랜지스터(T3-1)의 게이트 전극(125c-1)과 중첩하지 않는다.

[0142] 이전 스캔선(122)의 돌출부는 이전 스캔선(122)의 아랫 방향으로 돌출되어 있으며, 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 중첩하며, 제1 초기화 박막 트랜지스터(T4-1)의 게이트 전극(125d-1)을 구성한다. 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1) 및 드레인 전극(177d-1)은 제1 초기화 박막 트랜지스터(T4-1)의 게이트 전극(125d-1)과 중첩하지 않는다.

[0143] 스캔선(121)의 하측에는 발광 제어선(123)이 위치하며, 발광 제어선(123)은 반도체(131)의 좌측 세로 부분 및 우측 세로 부분과 각각 중첩한다. 발광 제어선(123)은 반도체(131)의 좌측 세로 부분 중 동작 제어 박막 트랜지스터(T5)의 반도체(131e)과 중첩하며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e) 및 드레인 전극(177e)과

는 중첩하지 않는다. 또한, 발광 제어선(123)은 반도체(131)의 우측 세로 부분 중 발광 제어 박막 트랜지스터(T6)의 반도체(131f)와 중첩하며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 드레인 전극(177f)과는 중첩하지 않는다.

[0144] 이전 스캔선(122)의 상측에는 초기화 전압선(124)이 위치하며, 초기화 전압선(124)은 일부 확장된 영역을 가진다. 초기화 전압선(124)의 확장된 영역은 다른 배선과의 접촉을 용이하게 하기 위하여 확장되어 있다. 초기화 전압선(124)은 제1 구동 전압선(192)과 평면도 상 중첩한다.

[0145] 초기화 전압선(124)은 반도체(131)와 중첩하지 않는다.

[0146] 구동 박막 트랜지스터(T1)의 게이트 전극(125a)는 사각 형태로 형성되며, 반도체(131)의 역 'ㄹ'자 모양을 가지는 부분, 즉, 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 구동 박막 트랜지스터(T1)의 소스 전극(176a) 및 드레인 전극(177a)는 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 중첩하지 않는다.

[0147] 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)와 노출되어 있는 게이트 절연막(141)의 위에는 충간 절연막(160)이 덮여 있다. 충간 절연막(160)은 무기 절연막으로 형성될 수 있다.

[0148] 충간 절연막(160)에는 복수의 접촉 구멍(162, 163, 164, 165, 166, 167, 168)이 형성되어 있다.

[0149] 제2 접촉 구멍(162)은 초기화 전압선(124)의 확장 영역을 노출시키고, 제3 접촉 구멍(163)은 반도체(131)의 추가 연장되어 있는 'ㄷ'자 모양의 부분의 끝단(제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2))을 노출시킨다. 제4 접촉 구멍(164)은 반도체(131)의 좌측 세로 부분의 상측 끝단(스위칭 박막 트랜지스터(T2)의 소스 전극(176b))을 노출시키고, 제5 접촉 구멍(165)은 반도체(131)의 좌측 세로 부분의 하측 끝단(동작 제어 박막 트랜지스터(T5)의 소스 전극(176e))을 노출시키고, 제6 접촉 구멍(166)은 반도체(131)의 우측 세로 부분에서 추가 연장되어 있는 'ㄷ'자 모양의 부분의 일 부분인 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)을 노출시킨다. 제7 접촉 구멍(167)은 구동 박막 트랜지스터(T1)의 게이트 전극(125a)의 일부 영역을 노출시키고, 제8 접촉 구멍(168)은 반도체(131)의 우측 세로 부분의 하측 끝단(발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f))을 노출시킨다.

[0150] 충간 절연막(160)의 위에는 데이터선(171), 확장 영역(175)을 가지는 제2 구동 전압선(172), 제1 연결부(173), 제2 연결부(174) 및 제3 연결부(178)가 형성되어 있다.

[0151] 데이터선(171)은 제4 접촉 구멍(164)를 지나 세로 방향으로 연장되어 있으며, 제4 접촉구멍(164)을 통하여 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)과 연결되어 있다. 그 결과 데이터선(171)을 흐르는 데이터 전압이 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)로 전달된다.

[0152] 제2 구동 전압선(172)은 세로 방향으로 연장되어 있으며, 구동 전압(ELVDD)을 세로 방향으로 전달한다. 제2 구동 전압선(172)은 확장 영역을 가지며, 확장 영역은 하나의 화소마다 하나씩 형성되어 있다. 제2 구동 전압선(172)의 확장 영역은 스토리지 캐패시터(Cst)의 제2 전극(175)을 구성한다. 스토리지 캐패시터(Cst)의 제2 전극(175)에는 구동 전압(ELVDD)이 인가된다. 스토리지 캐패시터(Cst)의 제2 전극(175)은 박막 트랜지스터(T1)의 게이트 전극(125a) 및 역 'ㄹ'자 모양을 가지는 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 스토리지 캐패시터(Cst)는 박막 트랜지스터(T1)의 게이트 전극(125a), 스토리지 캐패시터(Cst)의 제2 전극(175) 및 그 사이의 충간 절연막(160)으로 이루어진다.

[0153] 이상과 같은 제2 구동 전압선(172)의 구조에 의하면, 제2 구동 전압선(172)과 스토리지 캐패시터(Cst)의 제2 전극(175)은 동일한 물질로 함께 형성되므로 별도의 충에 스토리지 캐패시터(Cst)의 전극을 형성할 필요가 없어, 제조시 사용되는 마스크의 수가 줄어든다. 마스크의 개당 가격을 고려하면, 제조 비용도 줄어들고, 제조 시간도 단축된다.

[0154] 제1 연결부(173)는 제2 접촉 구멍(162)과 제3 접촉 구멍(163)을 통하여 초기화 전압선(124)과 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)을 연결한다. 그 결과 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)에는 초기화 전압(Vint)이 인가되며, 제1 및 제2 초기화 박막 트랜지스터(T4-1, T4-2)를 듀얼 게이트 구조의 하나의 박막 트랜지스터로 볼 수 있으므로, 초기화 박막 트랜지스터(T4)의 소스 전극으로 초기화 전압(Vint)이 인가된다고 해석할 수 있다.

[0155] 제2 연결부(174)는 제6 접촉 구멍(166)과 제7 접촉 구멍(167)을 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 박막 트랜지스터(T1)의 게이트 전극(125a)을 연결한다. 그 결과 박막 트랜지스터(T1)의 게

이트 전극(125a)에는 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 전압이 전달된다. 구동 박막 트랜지스터(T1)의 게이트 전극(125a) 중 일부는 제2 구동 전압선(172)의 확장 영역과 중첩하지 않는 노출 영역을 가지며, 노출 영역은 제2 연결부(174) 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있다.

[0156] 제3 연결부(178)는 제8 접촉 구멍(168)의 위에 형성되어 있어 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)과 연결되어 있다. 제3 연결부(178)의 위에는 평탄화막(180)이 위치하고 있다. 평탄화막(180)에는 제3 연결부(178)를 노출시키는 제1 상부 접촉 구멍(181)과 제1 구동 전압선(192)의 일부를 노출시키는 제2 상부 접촉 구멍(182)이 존재하며, 제2 상부 접촉 구멍(182)에 의하여 제2 구동 전압선(172)을 노출시킨다.

[0157] 평탄화막(180)의 위에는 화소 전극(191) 및 제1 구동 전압선(192)이 형성되어 있다.

[0158] 먼저 화소 전극(191)은 평탄화막(180)의 제1 상부 접촉 구멍(181)을 통하여 제3 연결부(178)가 연결되어 있다. 그 결과 화소 전극(191)은 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)과 연결되어 있다.

[0159] 제1 구동 전압선(192)은 스캔선(121)과 같이 가로 방향으로 연장되어 있으며, 일부 확장된 영역을 가져 다른 배선과의 접촉을 용이하게 하고 있다. 제2 상부 접촉 구멍(182)에 의하여 제1 구동 전압선(192)은 제2 구동 전압선(172)과 전기적으로 연결되어 있으며, 제1 구동 전압선(192)은 구동 전압(ELVDD)을 가로 방향으로 전달한다. 제1 구동 전압선(192)은 화소의 면적을 줄이기 위하여 초기화 전압선(124)과 배치도상 중첩하고 있다.

[0160] 화소 전극(191)의 위에는 유기 발광층(370)이 위치하고, 그 위에는 공통 전극(270)이 위치한다. 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)은 유기 발광 다이오드(70)를 구성하며, 화소 전극(191)은 유기 발광 다이오드(70)의 애노드(anode)이다.

[0161] 구동 박막 트랜지스터(T1)는 125a, 131a, 176a, 177a로 구성되고, 스위칭 박막 트랜지스터(T2)는 125b, 131b, 176b, 177b로 구성되며, 보상 박막 트랜지스터(T3-1, T3-2)는 각각 125c-1, 131c-1, 176c-1, 177c-1와 125c-2, 131c-2, 176c-2, 177c-2로 구성되며, 초기화 박막 트랜지스터(T4-1, T4-2)는 각각 125d-1, 131d-1, 176d-1, 177d-1와 125d-2, 131d-2, 176d-2, 177d-2로 구성되며, 동작 제어 박막 트랜지스터(T5)는 125e, 131e, 176e, 177e로 구성되며, 발광 제어 박막 트랜지스터(T6)는 125f, 131f, 176f, 177f로 구성된다. 또한, 스토리지 캐퍼시터(Cst)는 125a 및 175로 구성된다.

[0162] 도 12 내지 도 14의 실시예도 도 3 내지 도 5의 실시예의 제조 방법에 준하여 제조 될 수 있다.

[0163] 이하에서는 도 15 및 도 16을 통하여 본 발명의 또 다른 실시예에 다른 유기 발광 표시 장치에 대하여 살펴본다.

[0164] 도 15는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이고, 도 16은 도 15의 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.

[0165] 도 15는 도 1에 준하는 화소의 등가 회로도이며, 도 1과 달리 바이패스 박막 트랜지스터(T7)를 더 포함하며, 바이패스 신호(BP)에 따라서 구동 전류(Id)의 일부를 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빼어 나가게 한다.

[0166] 도 15의 회로도를 상세하게 살펴보면 아래와 같다.

[0167] 도 15에 도시한 바와 같이, 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선(121, 122, 123, 124, 128, 171, 126/172), 복수의 신호선에 연결되어 있는 복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 스토리지 캐퍼시터(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.

[0168] 박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 트랜지스터(T7)를 포함한다.

[0169] 신호선은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(Em)를 전달하는 발광 제어선(123), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하는 구동 전압선(126/172), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(124) 및 바이패스 트랜지스터(T7)에 바이패스 신호(BP)를 전달하는 바이패스 제어선

(128)을 포함한다. 여기서, 구동 전압선(126/172)은 스캔선(121)과 평행한 제1 구동 전압선(126)과 데이터선(171)과 평행한 제2 구동 전압선(172)로 이루어져 있으며, 제1 구동 전압선(126)과 제2 구동 전압선(172)은 전기적으로 연결되어 있다.

[0170] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐페시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(126/172)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류를 공급한다.

[0171] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(126/172)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.

[0172] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)에 연결되어 있고, 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 캐페시터(Cst)의 일단(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 보상 박막 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

[0173] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 캐페시터(Cst)의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 초기화 박막 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0174] 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(126/172)과 연결되어 있고, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.

[0175] 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(Em)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 구동 전류가 흐르게 된다.

[0176] 바이패스 박막 트랜지스터(T7)는 바이패스 제어선(128)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 박막 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압으로서, 바이패스 박막 트랜지스터(T7)는 트랜지스터 오프 레벨의 전압을 게이트 전극(G7)에 전달받게 됨으로써, 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빠져나가게 한다.

[0177] 스토리지 캐페시터(Cst)의 타단(Cst2)은 구동 전압선(126/172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류를 전달받아 발광함으로써 화상을 표시한다.

- [0178] 이하에서 본 발명의 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 도 16의 타이밍도를 참고하여 상세히 설명한다.
- [0179] 우선, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 이 때, 발광 제어선(123)을 통하여 발광 제어 신호(Em)는 이미 로우 레벨(low level)이 인가되고 있다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(124)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.
- [0180] 이 후, 데이터 프로그래밍 기간 중 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다.
- [0181] 이 때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.
- [0182] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극에 인가된다.
- [0183] 스토리지 캐패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 캐패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다. 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(Em)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(Em)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.
- [0184] 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(I_{OLED})가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간동안 스토리지 캐패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트 전극-소스 전극 전압(Vgs)은 ' $(Dm+Vth)-ELVDD$ '으로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 소스 전극-게이트 전극 전압에서 문턱 전압을 차감한 값의 제곱 ' $(Dm-ELVDD)^2$ '에 비례한다. 따라서 구동 전류(I_{OLED})는 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.
- [0185] 한편, 바이패스 박막 트랜지스터(T7)는 바이패스 제어선(128)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 박막 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압으로서, 바이패스 박막 트랜지스터(T7)는 트랜지스터 오프 레벨의 전압을 게이트 전극(G7)에 전달받게 됨으로써, 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빠져나가게 한다.
- [0186] 블랙 영상을 표시하는 구동 박막 트랜지스터의 최소 전류가 구동 전류로 흐를 경우에도 유기 발광 다이오드(OLED)가 발광하게 된다면 제대로 블랙 영상이 표시되지 않는다. 따라서, 바이패스 박막 트랜지스터(T7)는 구동 박막 트랜지스터(T1)의 최소 전류의 일부를 바이패스 전류(Ibp)로서 유기 발광 다이오드 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다. 여기서 구동 박막 트랜지스터의 최소 전류란 구동 박막 트랜지스터의 게이트-소스 전압(Vgs)이 문턱 전압(Vth)보다 작아서 구동 박막 트랜지스터가 오프되는 조건에서의 전류를 의미한다. 이렇게 구동 박막 트랜지스터를 오프시키는 조건에서의 최소 구동 전류(예를 들어 10pA 이하의 전류)가 유기 발광 다이오드에 전달되어 블랙 휘도의 영상으로 표현된다.
- [0187] 블랙 영상을 표시하는 최소 구동 전류가 흐르는 경우 바이패스 전류(Ibp)의 우회 전달의 영향이 큰 반면, 일반 영상 또는 화이트 영상과 같은 영상을 표시하는 큰 구동 전류가 흐를 경우에는 바이패스 전류(Ibp)의 영향이 거의 없다고 할 수 있다. 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(Id)로부터 바이패스 박막 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(Ibp)의 전류량만큼 감소된 유기 발광 다이오드의 발광 전류(Ioled)는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다.
- [0188] 따라서, 바이패스 박막 트랜지스터를 이용하여 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다.
- [0189] 도 16에서는 바이패스 신호(BP)는 이전 스캔 신호(Sn-1)와 동일한 신호가 공급되므로, 바이패스 박막 트랜지스터(T7)에 바이패스 제어선(128) 대신 이전 스캔선(122)과 연결시킬 수 있다. 이 때에는 바이패스 제어선(128)

은 생략될 수도 있다.

[0190] 그러면 도 15에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 17 내지 도 19를 참고하여 상세하게 설명한다.

[0191] 도 17은 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 배치도이고, 도 18은 도 17의 실시예에 따른 유기 발광 표시 장치에서 인접하는 세개의 화소를 함께 도시한 배치도이고, 도 19는 도 17의 유기 발광 표시 장치를 XIX-XIX선을 따라 자른 단면도이다.

[0192] 도 16에 도시한 바와 같이, 본 발명의 실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(Em), 바이패스 신호(BP) 및 초기화 전압(Vint)을 각각 인가받으며, 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 바이패스 제어선(128) 및 초기화 전압선(124)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 바이패스 제어선(128) 및 초기화 전압선(124) 모두와 교차하고 있으며 화소에 데이터 신호(Dm)를 인가하는 데이터선(171)을 포함한다.

[0193] 또한, 구동 전압(ELVDD)을 인가하는 구동 전압선(126/172)도 포함되어 있으며, 구동 전압선(126/172)은 스캔선(121)과 평행한 제1 구동 전압선(126)과 데이터선(171)과 평행한 제2 구동 전압선(172)로 이루어져 있다. 제1 구동 전압선(126)과 제2 구동 전압선(172)은 전기적으로 연결되어 있다.

[0194] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 바이패스 박막 트랜지스터(T7), 스토리지 캐패시터(Cst), 그리고 유기 발광 다이오드(OLED)가 형성되어 있다. 도 17의 실시예를 참고하면, 보상 박막 트랜지스터(T3-1, T3-2) 및 초기화 박막 트랜지스터(T4-1, T4-2)는 듀얼 게이트 구조의 박막 트랜지스터로 구성되어 있으며, 이하에서는 각각 두 개의 트랜지스터가 연결된 구조로 설명한다.

[0195] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7)의 채널은 연결되어 있는 하나의 반도체(131)의 내에 형성되어 있으며, 반도체(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 도 17의 실시예에 따른 반도체(131)은 구동 박막 트랜지스터(T1)의 반도체(131a)를 중심으로 좌우에 수직 방향(데이터선(171)과 평행한 방향)으로 연장된 세로 부분을 포함하며, 각 세로 부분의 양 끝단은 꺾여 있다. 또한, 우측의 세로 부분의 상부에는 추가 연장되어 'ㄷ'자 모양으로 꺾인 부분을 가지며, 우측의 세로 부분의 하부에는 하부로 추가 연장된 부분을 가진다.

[0196] 구동 박막 트랜지스터(T1)의 반도체(131a)는 역 'ㄹ'자 모양을 가지며, 대부분이 구동 박막 트랜지스터(T1)의 반도체(131a)를 구성하며, 좌우에 위치하는 세로 부분에 인접한 부분에는 구동 박막 트랜지스터(T1)의 각각 소스 전극(176a) 및 드레인 전극(177a)이 위치하고 있다. 구동 박막 트랜지스터(T1)의 반도체(131a)는 실시예에서 역 'ㄹ'자 모양을 가지지만, 다양한 모양을 가질 수 있으며, 하나 이상의 굴곡부를 포함하는 구조를 가지면 충분하다. 또한, 구동 박막 트랜지스터(T1)의 반도체(131a)는 제1 방향으로 연장되어 있는 복수개의 제1 연장부(31)와 제1방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부(32)를 포함하고, 굴곡부(33)는 상기 제1 연장부(31)와 상기 제2 연장부(32)를 연결하는 구조를 가질 수 있다.

[0197] 구동 박막 트랜지스터(T1)의 소스 전극(176a)과 연결되어 있는 좌측의 세로 부분에는 위쪽에 위치하는 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 아래쪽에 위치하는 동작 제어 박막 트랜지스터(T5)의 반도체(131e)가 형성되어 있다. 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 사이에는 스위칭 박막 트랜지스터(T2)의 드레인 전극(177b)과 동작 제어 박막 트랜지스터(T5)의 드레인 전극(177e)이 위치하고 있어 구동 박막 트랜지스터(T1)의 소스 전극(176a)과 연결되어 있다.

[0198] 스위칭 박막 트랜지스터(T2)의 반도체(131b)의 위쪽에는 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)가 위치하며, 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 아래쪽에는 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e)가 위치하고 있다.

[0199] 한편, 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있는 우측의 세로 부분에는 위쪽에 위치하는 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 아래쪽에 위치하는 발광 제어 박막 트랜지스터(T6)의 반도체(131f)가 형성되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 사이에는 보상 박막 트랜지스터(T3-1, T3-2) 중 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)과 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f)이 위치하고 있어 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 구조를

보다 상세하게 살펴보면 다음과 같다. 보상 박막 트랜지스터(T3-1, T3-2)는 제1 보상 박막 트랜지스터(T3-1)과 제2 보상 박막 트랜지스터(T3-2)를 포함하며, 제1 보상 박막 트랜지스터(T3-1)는 스캔선(121)의 돌출부를 중심으로 위치하고 있으며, 제2 보상 박막 트랜지스터(T3-2)는 스캔선(121)과 반도체(131)의 우측 세로 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)은 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있으며, 게이트 전극(125c-2)은 스캔선(121) 중 반도체(131)의 우측 세로 부분이 중첩하는 곳에 위치하며, 반도체(131c-2)는 반도체(131)의 우측 세로 부분 중 스캔선(121)과 중첩하는 곳에 위치하며, 드레인(177c-2)은 반도체(131)의 우측 세로 부분 중 반도체(131c-2)의 위쪽에 위치한다. 한편, 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1)은 제2 보상 박막 트랜지스터(T3-2)의 드레인(177c-2)과 연결되어 있으며, 게이트 전극(125c-1)은 스캔선(121)의 돌출부에 위치하며, 반도체(131c-1)는 반도체(131)의 우측 세로 부분 중 스캔선(121)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177c-1)은 반도체(131c-1)를 기준으로 소스 전극(176c-1)의 반대측에 위치한다. 제1 보상 박막 트랜지스터(T3-1)는 본 실시예에서 반도체(131)의 우측 세로 부분에서 'ㄷ'자로 추가 연장된 부분에 위치한다.

[0200] 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 아래쪽에는 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)가 위치하고, 제2 보상 박막 트랜지스터(T3-2)의 반도체(131c-2) 및 드레인 전극(177c-1)의 위쪽에는 추가 연장되어 있는 'ㄷ'자 모양의 추가 연장 부분에 초기화 박막 트랜지스터(T4-1, T4-2)의 반도체(131d-1, 131d-2)가 더 형성되어 있다. 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 사이에는 제1 초기화 박막 트랜지스터(T4-1)의 드레인 전극(177d-1)가 위치하며, 추가 연장되어 'ㄷ'자 모양의 부분의 끝단에는 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)이 위치하고 있다. 초기화 박막 트랜지스터(T4-1, T4-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 초기화 박막 트랜지스터(T4-1, T4-2)는 제1 초기화 박막 트랜지스터(T4-1)과 제2 초기화 박막 트랜지스터(T4-2)를 포함하며, 제1 초기화 박막 트랜지스터(T4-1)는 이전 스캔선(122)의 돌출부를 중심으로 위치하고 있으며, 제2 초기화 박막 트랜지스터(T4-2)는 이전 스캔선(122)과 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1)은 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있으며, 게이트 전극(125d-1)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 곳에 위치하며, 반도체(131d-1)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177d-1)은 반도체(131d-1)를 기준으로 소스 전극(176d-1)의 반대측에 위치한다. 한편, 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)은 제1 초기화 박막 트랜지스터(T4-1)의 드레인(177d-1)과 연결되어 있으며, 게이트 전극(125d-2)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분과 중첩하는 부분에 위치하며, 반도체(131d-2)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)과 중첩하는 곳에 위치하며, 드레인(177d-2)은 반도체(131d-2)를 기준으로 소스 전극(176d-2)의 반대측으로, 반도체(131)의 'ㄷ'자 모양의 부분의 끝단에 위치한다.

[0201] 또한, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)의 아래쪽에는 하부로 추가 연장된 부분이 위치하고 있다. 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)에 인접한 쪽에는 바이패스 박막 트랜지스터(T7)의 소스 전극(176g)가 위치하고 있으며, 그 다음에는 바이패스 박막 트랜지스터(T7)의 반도체(131g) 및 바이패스 박막 트랜지스터(T7)의 드레인 전극(177g)가 순서대로 위치하고 있다.

[0202] 실시예에 따라서는 반도체(131)의 구조는 다양할 수 있으며, 반도체(131)는 다결정 반도체로 형성되어 있을 수 있다. 반도체(131)에 형성되어 있는 소스 전극/드레인 전극은 해당 영역만 도핑하여 형성할 수 있다. 또한, 반도체(131)에서 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 사이 영역도 도핑되어 소스 전극과 드레인 전극이 전기적으로 연결되어 있을 수 있다.

[0203] 반도체(131)는 절연 기판(110)위에 형성되어 있으며, 절연 기판(110)과 반도체(131)의 사이에는 베퍼층(111)이 위치할 수 있다. 베퍼층(111)은 다결정 반도체를 형성하기 위하여 결정화 공정시 절연 기판(110)으로부터 불순물을 차단하여 다결정 반도체의 특성을 향상시키고, 절연 기판(110)이 받는 스트레스를 줄이는 역할을 할 수 있다.

[0204] 반도체(131)의 위에는 이를 덮는 게이트 절연막(141)이 형성되어 있다. 게이트 절연막(141)은 무기 절연막으로 형성될 수 있다.

[0205] 게이트 절연막(141)의 위에는 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 제1 구동 전압선(126), 바이패스 제어선(128) 및 구동 박막 트랜지스터(T1)의 게이

트 전극(125a)가 형성되어 있다.

[0206] 스캔선(121) 및 이전 스캔선(122)은 각각 돌출되어 있는 돌출부를 가지며, 스캔선(121)의 돌출부는 이전 스캔선(122)을 향하여 돌출되어 있고, 이전 스캔선(122)의 돌출부는 스캔선(121)을 향하여 돌출되어 있다.

[0207] 먼저, 스캔선(121)의 돌출부는 스캔선(121)의 윗 방향으로 돌출되어 있으며, 제1 보상 박막 트랜지스터(T3-1)의 반도체(131c-1)와 중첩하며, 제1 보상 박막 트랜지스터(T3-1)의 게이트 전극(125c-1)를 구성한다. 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1) 및 드레인 전극(177c-1)는 제1 보상 박막 트랜지스터(T3-1)의 게이트 전극(125c-1)과 중첩하지 않는다.

[0208] 이전 스캔선(122)의 돌출부는 이전 스캔선(122)의 아랫 방향으로 돌출되어 있으며, 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 중첩하며, 제1 초기화 박막 트랜지스터(T4-1)의 게이트 전극(125d-1)를 구성한다. 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1) 및 드레인 전극(177d-1)는 제1 초기화 박막 트랜지스터(T4-1)의 게이트 전극(125d-1)과 중첩하지 않는다.

[0209] 스캔선(121)의 하측에는 발광 제어선(123)이 위치하며, 발광 제어선(123)은 반도체(131)의 좌측 세로 부분 및 우측 세로 부분과 각각 중첩한다. 발광 제어선(123)은 반도체(131)의 좌측 세로 부분 중 동작 제어 박막 트랜지스터(T5)의 반도체(131e)과 중첩하며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e) 및 드레인 전극(177e)과는 중첩하지 않는다. 또한, 발광 제어선(123)은 반도체(131)의 우측 세로 부분 중 발광 제어 박막 트랜지스터(T6)의 반도체(131f)와 중첩하며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 드레인 전극(177f)과는 중첩하지 않는다.

[0210] 이전 스캔선(122)의 상측에는 초기화 전압선(124)이 위치하며, 초기화 전압선(124)은 일부 확장된 영역을 가진다. 초기화 전압선(124)의 확장된 영역은 다른 배선과의 접촉을 용이하게 하기 위하여 확장되어 있다.

[0211] 초기화 전압선(124)의 상측에는 제1 구동 전압선(126)이 위치하고 있으며, 제1 구동 전압선(126)도 일부 확장된 영역을 가져 다른 배선과의 접촉을 용이하게 하고 있다.

[0212] 초기화 전압선(124) 및 제1 구동 전압선(126)은 반도체(131)와 중첩하지 않는다.

[0213] 바이패스 제어선(128)은 화소의 맨 아래에 가로 방향으로 연장되어 있으며, 반도체(131) 중 우측의 세로 부분의 하부에서 추가 연장된 부분과 중첩하며, 중첩하는 추가 연장된 부분에는 바이패스 박막 트랜지스터(T7)의 반도체(131g)가 위치한다.

[0214] 구동 박막 트랜지스터(T1)의 게이트 전극(125a)는 사각 형태로 형성되며, 반도체(131)의 역 'ㄹ'자 모양을 가지는 부분, 즉, 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 구동 박막 트랜지스터(T1)의 소스 전극(176a) 및 드레인 전극(177a)는 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 중첩하지 않는다.

[0215] 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 제1 구동 전압선(126), 바이패스 제어선(128) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 노출되어 있는 게이트 절연막(141)의 위에는 충간 절연막(160)이 덮여 있다. 충간 절연막(160)은 무기 절연막으로 형성될 수 있다.

[0216] 충간 절연막(160)에는 복수의 접촉 구멍(161, 162, 163, 164, 165, 166, 167, 168, 169)이 형성되어 있다.

[0217] 제1 접촉 구멍(161)은 제1 구동 전압선(126)의 확장 영역을 노출시키며, 제2 접촉 구멍(162)은 초기화 전압선(124)의 확장 영역을 노출시키고, 제3 접촉 구멍(163)은 반도체(131)의 추가 연장되어 있는 'ㄷ'자 모양의 부분의 끝단(제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2))을 노출시킨다. 제4 접촉 구멍(164)은 반도체(131)의 좌측 세로 부분의 상측 끝단(스위칭 박막 트랜지스터(T2)의 소스 전극(176b))을 노출시키고, 제5 접촉 구멍(165)은 반도체(131)의 좌측 세로 부분의 하측 끝단(동작 제어 박막 트랜지스터(T5)의 소스 전극(176e))을 노출시키고, 제6 접촉 구멍(166)은 반도체(131)의 우측 세로 부분에서 추가 연장되어 있는 'ㄷ'자 모양의 부분의 일 부분인 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)을 노출시킨다. 제7 접촉 구멍(167)은 구동 박막 트랜지스터(T1)의 게이트 전극(125a)의 일부 영역을 노출시키고, 제8 접촉 구멍(168)은 반도체(131)의 우측 세로 부분의 하측 끝단(발광 제어 박막 트랜지스터(T6)의 소스 전극(176f))을 노출시킨다. 또한, 제9 접촉 구멍(169)은 반도체(131) 중 우측의 세로 부분의 하부에서 추가 연장된 부분의 끝단(바이패스 박막 트랜지스터(T7)의 드레인 전극(177g))을 노출시킨다.

[0218] 충간 절연막(160)의 위에는 데이터선(171), 확장 영역(175)을 가지는 제2 구동 전압선(172), 제1 연결부(173), 제2 연결부(174) 및 제3 연결부(178)가 형성되어 있다.

- [0219] 데이터선(171)은 제4 접촉 구멍(164)를 지나 세로 방향으로 연장되어 있으며, 제4 접촉구멍(164)을 통하여 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)과 연결되어 있다. 그 결과 데이터선(171)을 흐르는 데이터 전압이 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)로 전달된다.
- [0220] 제2 구동 전압선(172)은 세로 방향으로 연장되어 있으며, 제1 접촉 구멍(161)을 통하여 제1 구동 전압선(126)과 연결되어 있다. 제1 구동 전압선(126)은 구동 전압(ELVDD)을 가로 방향으로 전달하고, 제2 구동 전압선(172)은 구동 전압(ELVDD)을 세로 방향으로 전달한다. 제2 구동 전압선(172)은 확장 영역을 가지며, 확장 영역은 하나의 화소마다 하나씩 형성되어 있다. 제2 구동 전압선(172)의 확장 영역은 스토리지 캐패시터(Cst)의 제2 전극(175)을 구성한다. 스토리지 캐패시터(Cst)의 제2 전극(175)에는 구동 전압(ELVDD)이 인가된다. 스토리지 캐패시터(Cst)의 제2 전극(175)은 박막 트랜지스터(T1)의 게이트 전극(125a) 및 역 '르'자 모양을 가지는 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 스토리지 캐패시터(Cst)는 박막 트랜지스터(T1)의 게이트 전극(125a), 스토리지 캐패시터(Cst)의 제2 전극(175) 및 그 사이의 충간 절연막(160)으로 이루어진다.
- [0221] 이상과 같은 제2 구동 전압선(172)의 구조에 의하면, 제2 구동 전압선(172)과 스토리지 캐패시터(Cst)의 제2 전극(175)은 동일한 물질로 함께 형성되므로 별도의 충에 스토리지 캐패시터(Cst)의 전극을 형성할 필요가 없어, 제조시 사용되는 마스크의 수가 줄어든다. 마스크의 개당 가격을 고려하면, 제조 비용도 줄어들고, 제조 시간도 단축된다.
- [0222] 제1 연결부(173)는 제2 접촉 구멍(162), 제3 접촉 구멍(163) 및 제9 접촉 구멍(169)을 통하여 초기화 전압선(124), 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2) 및 바이패스 박막 트랜지스터(T7)의 드레인 전극(177g)을 연결한다. 그 결과 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2) 및 바이패스 박막 트랜지스터(T7)의 드레인 전극(177g)에는 초기화 전압(Vint)이 인가된다. 여기서, 제1 및 제2 초기화 박막 트랜지스터(T4-1, T4-2)를 듀얼 게이트 구조의 하나의 박막 트랜지스터로 볼 수 있으므로, 초기화 박막 트랜지스터(T4)의 소스 전극으로 초기화 전압(Vint)이 인가된다고 해석할 수 있다.
- [0223] 제2 연결부(174)는 제6 접촉 구멍(166)과 제7 접촉 구멍(167)을 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 박막 트랜지스터(T1)의 게이트 전극(125a)을 연결한다. 그 결과 박막 트랜지스터(T1)의 게이트 전극(125a)에는 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 전압이 전달된다. 구동 박막 트랜지스터(T1)의 게이트 전극(125a) 중 일부는 제2 구동 전압선(172)의 확장 영역과 중첩하지 않는 노출 영역을 가지며, 노출 영역은 제2 연결부(174) 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있다.
- [0224] 제3 연결부(178)는 제8 접촉 구멍(168)의 위에 형성되어 있어 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f)과 연결되어 있다. 제3 연결부(178)의 위에는 평탄화막(180)이 위치하고 있다. 평탄화막(180)에는 제1 상부 접촉 구멍(181)이 있어 제3 연결부(178)를 노출시킨다. 평탄화막(180)의 위에는 화소 전극(191)이 위치하며, 평탄화막의 제1 상부 접촉 구멍(181)을 통하여 화소 전극(191)과 제3 연결부(178)가 연결되어 있다. 그 결과 화소 전극(191)은 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f)과 연결되어 있다. 화소 전극(191)의 위에는 유기 발광층(370)이 위치하고, 그 위에는 공통 전극(270)이 위치한다. 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)은 유기 발광 다이오드(70)를 구성하며, 화소 전극(191)은 유기 발광 다이오드(70)의 애노드(anode)이다.
- [0225] 구동 박막 트랜지스터(T1)는 125a, 131a, 176a, 177a로 구성되고, 스위칭 박막 트랜지스터(T2)는 125b, 131b, 176b, 177b로 구성되며, 보상 박막 트랜지스터(T3-1, T3-2)는 각각 125c-1, 131c-1, 176c-1, 177c-1와 125c-2, 131c-2, 176c-2, 177c-2로 구성되며, 초기화 박막 트랜지스터(T4-1, T4-2)는 각각 125d-1, 131d-1, 176d-1, 177d-1와 125d-2, 131d-2, 176d-2, 177d-2로 구성되며, 동작 제어 박막 트랜지스터(T5)는 125e, 131e, 176e, 177e로 구성되며, 발광 제어 박막 트랜지스터(T6)는 125f, 131f, 176f, 177f로 구성되며, 발광 제어 박막 트랜지스터(T6)는 125f, 131f, 176f, 177f로 구성되며, 바이패스 박막 트랜지스터(T7)는 125g, 131g, 176g, 177g로 구성된다. 또한, 스토리지 캐패시터(Cst)는 125a 및 175로 구성된다.
- [0226] 도 17 내지 도 19의 실시예도 도 3 내지 도 5의 실시예의 제조 방법에 준하여 제조 될 수 있다.
- [0227] 이하에서는 도 20 내지 도 22를 통하여 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치에 대하여 살펴본다.
- [0228] 도 20 내지 도 22는 도 15과 동일한 회로 구성을 가지지만, 도 17 내지 도 19와 달리 제1 구동 전압선이 스캔선(121)과 동일한 충에 형성되지 않고, 화소 전극(191)과 동일한 충에 형성되는 차이가 있다. 도 20의 실시예에

서의 제1 구동 전압선(192)은 제2 구동 전압선(172)과 제1 접촉 구멍에 의하여 접촉하지만, 제1 접촉 구멍의 위치는 평탄화막(180)에 위치한다. 또한, 제1 구동 전압선(192)이 초기화 전압선(124)과 배치도 상에서 중첩한다.

[0229] 이하에서는 도 20 내지 도 22를 통하여 상세하게 살펴본다.

[0230] 도 20은 본 발명의 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 배치도이고, 도 21은 도 20의 실시예에 따른 유기 발광 표시 장치에서 인접하는 세개의 화소를 함께 도시한 배치도이고, 도 22는 도 20의 유기 발광 표시 장치를 XXII-XXII선을 따라 자른 단면도이다.

[0231] 도 20의 실시예에 따른 유기 발광 표시 장치의 화소는 도 16에 도시되어 있는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(Em), 바이패스 신호(BP) 및 초기화 전압(Vint)을 각각 인가받으며, 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 바이패스 제어선(128) 및 초기화 전압선(124)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 바이패스 제어선(128) 및 초기화 전압선(124) 모두와 교차하고 있으며 화소에 데이터 신호(Dm)를 인가하는 데이터선(171)을 포함한다.

[0232] 또한, 구동 전압(ELVDD)을 인가하는 구동 전압선(192/172)도 포함되어 있으며, 구동 전압선(192/172)은 스캔선(121)과 평행하며, 화소 전극(191)과 동일한 층에 위치하는 제1 구동 전압선(192)과 데이터선(171)과 평행한 제2 구동 전압선(172)로 이루어져 있다. 제1 구동 전압선(192)과 제2 구동 전압선(172)은 전기적으로 연결되어 있다.

[0233] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 바이패스 박막 트랜지스터(T7), 스토리지 캐퍼시터(Cst), 그리고 유기 발광 다이오드(OLED)가 형성되어 있다. 도 20의 실시예를 참고하면, 보상 박막 트랜지스터(T3-1, T3-2) 및 초기화 박막 트랜지스터(T4-1, T4-2)는 듀얼 게이트 구조의 박막 트랜지스터로 구성되어 있으며, 이하에서는 각각 두 개의 트랜지스터가 연결된 구조로 설명한다.

[0234] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7)의 채널은 연결되어 있는 하나의 반도체(131)의 내에 형성되어 있으며, 반도체(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 도 17의 실시예에 따른 반도체(131)은 구동 박막 트랜지스터(T1)의 반도체(131a)를 중심으로 좌우에 수직 방향(데이터선(171)과 평행한 방향)으로 연장된 세로 부분을 포함하며, 각 세로 부분의 양 끝단은 꺾여 있다. 또한, 우측의 세로 부분의 상부에는 추가 연장되어 'ㄷ'자 모양으로 꺾인 부분을 가지며, 우측의 세로 부분의 하부에는 하부로 추가 연장된 부분을 가진다.

[0235] 구동 박막 트랜지스터(T1)의 반도체(131a)는 역 'ㄹ'자 모양을 가지며, 대부분이 구동 박막 트랜지스터(T1)의 반도체(131a)를 구성하며, 좌우에 위치하는 세로 부분에 인접한 부분에는 구동 박막 트랜지스터(T1)의 각각 소스 전극(176a) 및 드레인 전극(177a)이 위치하고 있다. 구동 박막 트랜지스터(T1)의 반도체(131a)는 실시예에서 역 'ㄹ'자 모양을 가지지만, 다양한 모양을 가질 수 있으며, 하나 이상의 굴곡부를 포함하는 구조를 가지면 충분하다. 또한, 구동 박막 트랜지스터(T1)의 반도체(131a)는 제1 방향으로 연장되어 있는 복수개의 제1 연장부(31)와 제1 방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부(32)를 포함하고, 굴곡부(33)는 상기 제1 연장부(31)와 상기 제2 연장부(32)를 연결하는 구조를 가질 수 있다.

[0236] 구동 박막 트랜지스터(T1)의 소스 전극(176a)와 연결되어 있는 좌측의 세로 부분에는 위쪽에 위치하는 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 아래쪽에 위치하는 동작 제어 박막 트랜지스터(T5)의 반도체(131e)가 형성되어 있다. 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 사이에는 스위칭 박막 트랜지스터(T2)의 드레인 전극(177b)과 동작 제어 박막 트랜지스터(T5)의 드레인 전극(177e)이 위치하고 있어 구동 박막 트랜지스터(T1)의 소스 전극(176a)과 연결되어 있다.

[0237] 스위칭 박막 트랜지스터(T2)의 반도체(131b)의 위쪽에는 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)가 위치하며, 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 아래쪽에는 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e)가 위치하고 있다.

[0238] 한편, 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있는 우측의 세로 부분에는 위쪽에 위치하는 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 아래쪽에 위치하는 발광 제어 박막 트랜지스터(T6)의 반도체(131f)가 형성되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 반도체(131c-1, 131c-2)와 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 사이에는 보상 박막 트랜지스터(T3-1, T3-2) 중 제2 보상 박막 트

랜지스터(T3-2)의 소스 전극(176c-2)과 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f)이 위치하고 있어 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있다. 보상 박막 트랜지스터(T3-1, T3-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 보상 박막 트랜지스터(T3-1, T3-2)는 제1 보상 박막 트랜지스터(T3-1)과 제2 보상 박막 트랜지스터(T3-2)를 포함하며, 제1 보상 박막 트랜지스터(T3-1)는 스캔선(121)의 돌출부를 중심으로 위치하고 있으며, 제2 보상 박막 트랜지스터(T3-2)는 스캔선(121)과 반도체(131)의 우측 세로 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제2 보상 박막 트랜지스터(T3-2)의 소스 전극(176c-2)은 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 구동 박막 트랜지스터(T1)의 드레인 전극(177a)과 연결되어 있으며, 게이트 전극(125c-2)은 스캔선(121) 중 반도체(131)의 우측 세로 부분이 중첩하는 곳에 위치하며, 반도체(131c-2)는 반도체(131)의 우측 세로 부분 중 스캔선(121)과 중첩하는 곳에 위치하며, 드레인(177c-2)은 반도체(131)의 우측 세로 부분 중 반도체(131c-2)의 위쪽에 위치한다. 한편, 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1)은 제2 보상 박막 트랜지스터(T3-2)의 드레인(177c-2)과 연결되어 있으며, 게이트 전극(125c-1)은 스캔선(121)의 돌출부에 위치하며, 반도체(131c-1)는 반도체(131)의 우측 세로 부분 중 스캔선(121)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177c-1)은 반도체(131c-1)를 기준으로 소스 전극(176c-1)의 반대측에 위치한다. 제1 보상 박막 트랜지스터(T3-1)는 본 실시예에서 반도체(131)의 우측 세로 부분에서 'ㄷ'자로 추가 연장된 부분에 위치한다.

[0239] 발광 제어 박막 트랜지스터(T6)의 반도체(131f)의 아래쪽에는 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)가 위치하고, 제2 보상 박막 트랜지스터(T3-2)의 반도체(131c-2) 및 드레인 전극(177c-1)의 위쪽에는 추가 연장되어 있는 'ㄷ'자 모양의 추가 연장 부분에 초기화 박막 트랜지스터(T4-1, T4-2)의 반도체(131d-1, 131d-2)가 더 형성되어 있다. 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 사이에는 제1 초기화 박막 트랜지스터(T4-1)의 드레인 전극(177d-1)가 위치하며, 추가 연장되어 'ㄷ'자 모양의 부분의 끝단에는 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)이 위치하고 있다. 초기화 박막 트랜지스터(T4-1, T4-2)의 구조를 보다 상세하게 살펴보면 다음과 같다. 초기화 박막 트랜지스터(T4-1, T4-2)는 제1 초기화 박막 트랜지스터(T4-1)과 제2 초기화 박막 트랜지스터(T4-2)를 포함하며, 제1 초기화 박막 트랜지스터(T4-1)는 이전 스캔선(122)의 돌출부를 중심으로 위치하고 있으며, 제2 초기화 박막 트랜지스터(T4-2)는 이전 스캔선(122)과 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 부분을 중심으로 위치하고 있다. 먼저, 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1)은 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있으며, 게이트 전극(125d-1)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분이 중첩하는 곳에 위치하며, 반도체(131d-1)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)의 돌출부와 중첩하는 곳에 위치하며, 드레인(177d-1)은 반도체(131d-1)를 기준으로 소스 전극(176d-1)의 반대측에 위치한다. 한편, 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)은 제1 초기화 박막 트랜지스터(T4-1)의 드레인(177d-1)과 연결되어 있으며, 게이트 전극(125d-2)은 이전 스캔선(122) 중 반도체(131)의 'ㄷ'자 모양의 부분과 중첩하는 부분에 위치하며, 반도체(131d-2)는 반도체(131)의 'ㄷ'자 모양의 부분 중 이전 스캔선(122)과 중첩하는 곳에 위치하며, 드레인(177d-2)은 반도체(131d-2)를 기준으로 소스 전극(176d-2)의 반대측으로, 반도체(131)의 'ㄷ'자 모양의 부분의 끝단에 위치한다.

[0240] 또한, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)의 아래쪽에는 하부로 추가 연장된 부분이 위치하고 있다. 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)에 인접한 쪽에는 바이패스 박막 트랜지스터(T7)의 소스 전극(176g)가 위치하고 있으며, 그 다음에는 바이패스 박막 트랜지스터(T7)의 반도체(131g) 및 바이패스 박막 트랜지스터(T7)의 드레인 전극(177g)가 순서대로 위치하고 있다.

[0241] 실시예에 따라서는 반도체(131)의 구조는 다양할 수 있으며, 반도체(131)는 다결정 반도체로 형성되어 있을 수 있다. 반도체(131)에 형성되어 있는 소스 전극/드레인 전극은 해당 영역만 도핑하여 형성할 수 있다. 또한, 반도체(131)에서 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 사이 영역도 도핑되어 소스 전극과 드레인 전극이 전기적으로 연결되어 있을 수 있다.

[0242] 반도체(131)는 절연 기판(110)위에 형성되어 있으며, 절연 기판(110)과 반도체(131)의 사이에는 베퍼층(111)이 위치할 수 있다. 베퍼층(111)은 다결정 반도체를 형성하기 위하여 결정화 공정시 절연 기판(110)으로부터 불순물을 차단하여 다결정 반도체의 특성을 향상시키고, 절연 기판(110)이 받는 스트레스를 줄이는 역할을 할 수 있다.

[0243] 반도체(131)의 위에는 이를 덮는 게이트 절연막(141)이 형성되어 있다. 게이트 절연막(141)은 무기 절연막으로 형성될 수 있다.

- [0244] 게이트 절연막(141)의 위에는 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 바이패스 제어선(128) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)가 형성되어 있다.
- [0245] 스캔선(121) 및 이전 스캔선(122)은 각각 돌출되어 있는 돌출부를 가지며, 스캔선(121)의 돌출부는 이전 스캔선(122)을 향하여 돌출되어 있고, 이전 스캔선(122)의 돌출부는 스캔선(121)을 향하여 돌출되어 있다.
- [0246] 먼저, 스캔선(121)의 돌출부는 스캔선(121)의 윗 방향으로 돌출되어 있으며, 제1 보상 박막 트랜지스터(T3-1)의 반도체(131c-1)와 중첩하며, 제1 보상 박막 트랜지스터(T3-1)의 게이트 전극(125c-1)를 구성한다. 제1 보상 박막 트랜지스터(T3-1)의 소스 전극(176c-1) 및 드레인 전극(177c-1)는 제1 보상 박막 트랜지스터(T3-1)의 게이트 전극(125c-1)과 중첩하지 않는다.
- [0247] 이전 스캔선(122)의 돌출부는 이전 스캔선(122)의 아래 방향으로 돌출되어 있으며, 제1 초기화 박막 트랜지스터(T4-1)의 반도체(131d-1)와 중첩하며, 제1 초기화 박막 트랜지스터(T4-1)의 게이트 전극(125d-1)를 구성한다. 제1 초기화 박막 트랜지스터(T4-1)의 소스 전극(176d-1) 및 드레인 전극(177d-1)은 제1 초기화 박막 트랜지스터(T4-1)의 게이트 전극(125d-1)과 중첩하지 않는다.
- [0248] 스캔선(121)의 하측에는 발광 제어선(123)이 위치하며, 발광 제어선(123)은 반도체(131)의 좌측 세로 부분 및 우측 세로 부분과 각각 중첩한다. 발광 제어선(123)은 반도체(131)의 좌측 세로 부분 중 동작 제어 박막 트랜지스터(T5)의 반도체(131e)과 중첩하며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e) 및 드레인 전극(177e)과는 중첩하지 않는다. 또한, 발광 제어선(123)은 반도체(131)의 우측 세로 부분 중 발광 제어 박막 트랜지스터(T6)의 반도체(131f)와 중첩하며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f) 및 드레인 전극(177f)과는 중첩하지 않는다.
- [0249] 이전 스캔선(122)의 상측에는 초기화 전압선(124)이 위치하며, 초기화 전압선(124)은 일부 확장된 영역을 가진다. 초기화 전압선(124)의 확장된 영역은 다른 배선과의 접촉을 용이하게 하기 위하여 확장되어 있다.
- [0250] 초기화 전압선(124)은 반도체(131)와 중첩하지 않는다.
- [0251] 바이패스 제어선(128)은 화소의 맨 아래에 가로 방향으로 연장되어 있으며, 반도체(131) 중 우측의 세로 부분의 하부에서 추가 연장된 부분과 중첩하며, 중첩하는 추가 연장된 부분에는 바이패스 박막 트랜지스터(T7)의 반도체(131g)가 위치한다.
- [0252] 구동 박막 트랜지스터(T1)의 게이트 전극(125a)는 사각 형태로 형성되며, 반도체(131)의 역 'ㄹ'자 모양을 가지는 부분, 즉, 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 구동 박막 트랜지스터(T1)의 소스 전극(176a) 및 드레인 전극(177a)은 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 중첩하지 않는다.
- [0253] 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124), 바이패스 제어선(128) 및 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 노출되어 있는 게이트 절연막(141)의 위에는 층간 절연막(160)이 덮여 있다. 층간 절연막(160)은 무기 절연막으로 형성될 수 있다.
- [0254] 층간 절연막(160)에는 복수의 접촉 구멍(162, 163, 164, 165, 166, 167, 168, 169)이 형성되어 있다.
- [0255] *256제2 접촉 구멍(162)은 초기화 전압선(124)의 확장 영역을 노출시키고, 제3 접촉 구멍(163)은 반도체(131)의 추가 연장되어 있는 'ㄷ'자 모양의 부분의 끝단(제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2))을 노출시킨다. 제4 접촉 구멍(164)은 반도체(131)의 좌측 세로 부분의 상측 끝단(스위칭 박막 트랜지스터(T2)의 소스 전극(176b))을 노출시키고, 제5 접촉 구멍(165)은 반도체(131)의 좌측 세로 부분의 하측 끝단(동작 제어 박막 트랜지스터(T5)의 소스 전극(176e))을 노출시키고, 제6 접촉 구멍(166)은 반도체(131)의 우측 세로 부분에서 추가 연장되어 있는 'ㄷ'자 모양의 부분의 일 부분인 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)을 노출시킨다. 제7 접촉 구멍(167)은 구동 박막 트랜지스터(T1)의 게이트 전극(125a)의 일부 영역을 노출시키고, 제8 접촉 구멍(168)은 반도체(131)의 우측 세로 부분의 하측 끝단(발광 제어 박막 트랜지스터(T6)의 소스 전극(176f))을 노출시킨다. 또한, 제9 접촉 구멍(169)은 반도체(131) 중 우측의 세로 부분의 하부에서 추가 연장된 부분의 끝단(바이패스 박막 트랜지스터(T7)의 드레인 전극(177g))을 노출시킨다.
- [0257] 층간 절연막(160)의 위에는 데이터선(171), 확장 영역(175)을 가지는 제2 구동 전압선(172), 제1 연결부(173), 제2 연결부(174) 및 제3 연결부(178)가 형성되어 있다.
- [0258] 데이터선(171)은 제4 접촉 구멍(164)을 지나 세로 방향으로 연장되어 있으며, 제4 접촉구멍(164)을 통하여 스위

칭 박막 트랜지스터(T2)의 소스 전극(176b)와 연결되어 있다. 그 결과 데이터선(171)을 흐르는 데이터 전압이 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)로 전달된다.

[0259] 제2 구동 전압선(172)은 세로 방향으로 연장되어 있으며, 구동 전압(ELVDD)을 세로 방향으로 전달한다. 제2 구동 전압선(172)은 확장 영역을 가지며, 확장 영역은 하나의 화소마다 하나씩 형성되어 있다. 제2 구동 전압선(172)의 확장 영역은 스토리지 캐페시터(Cst)의 제2 전극(175)을 구성한다. 스토리지 캐페시터(Cst)의 제2 전극(175)에는 구동 전압(ELVDD)이 인가된다. 스토리지 캐페시터(Cst)의 제2 전극(175)은 박막 트랜지스터(T1)의 게이트 전극(125a) 및 역 'ㄹ'자 모양을 가지는 구동 박막 트랜지스터(T1)의 반도체(131a)와 중첩한다. 스토리지 캐페시터(Cst)는 박막 트랜지스터(T1)의 게이트 전극(125a), 스토리지 캐페시터(Cst)의 제2 전극(175) 및 그 사이의 충간 절연막(160)으로 이루어진다.

[0260] 이상과 같은 제2 구동 전압선(172)의 구조에 의하면, 제2 구동 전압선(172)과 스토리지 캐페시터(Cst)의 제2 전극(175)은 동일한 물질로 함께 형성되므로 별도의 충에 스토리지 캐페시터(Cst)의 전극을 형성할 필요가 없어, 제조시 사용되는 마스크의 수가 줄어든다. 마스크의 개당 가격을 고려하면, 제조 비용도 줄어들고, 제조 시간도 단축된다.

[0261] 제1 연결부(173)는 제2 접촉 구멍(162), 제3 접촉 구멍(163) 및 제9 접촉 구멍(169)을 통하여 초기화 전압선(124), 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2) 및 바이패스 박막 트랜지스터(T7)의 드레인 전극(177g)을 연결한다. 그 결과 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2) 및 바이패스 박막 트랜지스터(T7)의 드레인 전극(177g)에는 초기화 전압(Vint)이 인가된다. 여기서, 제1 및 제2 초기화 박막 트랜지스터(T4-1, T4-2)를 둑열 게이트 구조의 하나의 박막 트랜지스터로 볼 수 있으므로, 초기화 박막 트랜지스터(T4)의 소스 전극으로 초기화 전압(Vint)이 인가된다고 해석할 수 있다.

[0262] 제2 연결부(174)는 제6 접촉 구멍(166)과 제7 접촉 구멍(167)을 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 박막 트랜지스터(T1)의 게이트 전극(125a)을 연결한다. 그 결과 박막 트랜지스터(T1)의 게이트 전극(125a)에는 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)의 전압이 전달된다. 구동 박막 트랜지스터(T1)의 게이트 전극(125a) 중 일부는 제2 구동 전압선(172)의 확장 영역과 중첩하지 않는 노출 영역을 가지며, 노출 영역은 제2 연결부(174) 통하여 제1 보상 박막 트랜지스터(T3-1)의 드레인 전극(177c-1)과 연결되어 있다.

[0263] 제3 연결부(178)는 제8 접촉 구멍(168)의 위에 형성되어 있어 발광 제어 박막 트랜지스터(T6)의 소스 전극(176f)과 연결되어 있다. 제3 연결부(178)의 위에는 평탄화막(180)이 위치하고 있다. 평탄화막(180)에는 제3 연결부(178)를 노출시키는 제1 상부 접촉 구멍(181)과 제1 구동 전압선(192)의 일부를 노출시키는 제2 상부 접촉 구멍(182)이 존재하며, 제2 상부 접촉 구멍(182)에 의하여 제2 구동 전압선(172)을 노출시킨다.

[0264] 평탄화막(180)의 위에는 화소 전극(191) 및 제1 구동 전압선(192)이 형성되어 있다.

[0265] 먼저 화소 전극(191)은 평탄화막(180)의 제1 상부 접촉 구멍(181)을 통하여 제3 연결부(178)가 연결되어 있다. 그 결과 화소 전극(191)은 발광 제어 박막 트랜지스터(T6)의 드레인 전극(177f)과 연결되어 있다.

[0266] 제1 구동 전압선(192)은 스캔선(121)과 같이 가로 방향으로 연장되어 있으며, 일부 확장된 영역을 가져 다른 배선과의 접촉을 용이하게 하고 있다. 제2 상부 접촉 구멍(182)에 의하여 제1 구동 전압선(192)은 제2 구동 전압선(172)와 전기적으로 연결되어 있으며, 제1 구동 전압선(192)은 구동 전압(ELVDD)을 가로 방향으로 전달한다. 제1 구동 전압선(192)은 화소의 면적을 줄이기 위하여 초기화 전압선(124)과 배치도상 중첩하고 있다.

[0267] 화소 전극(191)의 위에는 유기 발광층(370)이 위치하고, 그 위에는 공통 전극(270)이 위치한다. 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)은 유기 발광 다이오드(70)를 구성하며, 화소 전극(191)은 유기 발광 다이오드(70)의 애노드(anode)이다.

[0268] 구동 박막 트랜지스터(T1)는 125a, 131a, 176a, 177a로 구성되고, 스위칭 박막 트랜지스터(T2)는 125b, 131b, 176b, 177b로 구성되며, 보상 박막 트랜지스터(T3-1, T3-2)는 각각 125c-1, 131c-1, 176c-1, 177c-1와 125c-2, 131c-2, 176c-2, 177c-2로 구성되며, 초기화 박막 트랜지스터(T4-1, T4-2)는 각각 125d-1, 131d-1, 176d-1, 177d-1와 125d-2, 131d-2, 176d-2, 177d-2로 구성되며, 동작 제어 박막 트랜지스터(T5)는 125e, 131e, 176e, 177e로 구성되며, 발광 제어 박막 트랜지스터(T6)는 125f, 131f, 176f, 177f로 구성되며, 바이패스 박막 트랜지스터(T7)는 125g, 131g, 176g, 177g로 구성된다. 또한, 스토리지 캐페시터(Cst)는 125a 및 175로 구성된다.

[0269] 도 20 내지 도 22의 실시예도 도 3 내지 도 5의 실시예의 제조 방법에 준하여 제조 될 수 있다.

- [0270] 도 23 내지 도 28은 본 발명의 실시예에 따른 유기 발광 표시 장치에서 인접하는 두 화소의 배치도이다.
- [0271] 도 23은 도 3에 도시되어 있는 유기 발광 표시 장치의 화소의 변형예로 인접하고 있는 두 개의 화소를 도시하고 있다.
- [0272] 인접하는 두 화소와 연결되어 있는 두 개의 데이터선(171)은 서로 인접하게 위치하며, 두 화소는 인접하는 두 데이터선(171)의 사이에 위치하는 임의의 선(이하 대칭 기준선이라 함)을 기준으로 선 대칭구조를 가진다.
- [0273] 도 23에서 도시하고 있는 두 화소 중 좌측에 위치하는 화소(이하 제1 화소라 함)는 도 3의 구조와 동일한데, 제1 구동 전압선(126)이 제2 구동 전압선(172)을 기준으로 일 방향으로만 연장되어 있다는 점에서 차이가 있다. 제1 구동 전압선(126)의 연장 방향에 위치하는 화소(도 23의 우측에 위치하는 화소, 이하 제2 화소라 함)는 대칭 기준선을 기초로 제1 화소와 대칭을 이룬다.
- [0274] 도 23과 같은 화소에 의하면 제2 구동 전압선(172)과 제1 구동 전압선(126)에는 구동 전압(ELVDD)이 인가되는데, 인접하는 두 화소(제1 화소, 제2 화소)를 포함하는 두 화소열에 대해서 공통으로 인가된다. 도 3의 경우에는 제1 구동 전압선(126)이 인접하는 화소 전체에 대하여 연결되는 구조를 가져 하나의 행에 위치하는 모든 화소에서도 구동 전압(ELVDD)이 공통으로 인가되는 점에서 차이가 있다. 도 23과 같은 실시예에서는 표시 영역의 외측에 제2 구동 전압선(172)을 연결하는 배선이 추가적으로 위치하여 인접하는 제2 구동 전압선(172)에 공통의 구동 전압(ELVDD)을 인가하도록 할 수 있다.
- [0275] 도 24에서 도시하고 있는 실시예는 도 12에 도시되어 있는 유기 발광 표시 장치의 화소의 변형예로 인접하고 있는 두 개의 화소를 도시하고 있다.
- [0276] 도 24에서도 도 23에서와 같이 인접하는 두 화소와 연결되어 있는 두 개의 데이터선(171)은 서로 인접하게 위치하며, 두 화소는 인접하는 두 데이터선(171)의 사이에 위치하는 임의의 선(이하 대칭 기준선이라 함)을 기준으로 선 대칭구조를 가진다.
- [0277] 도 24에서 도시하고 있는 두 화소 중 좌측에 위치하는 화소(이하 제1 화소라 함)는 도 12의 구조와 동일한데, 제1 구동 전압선(192)이 제2 구동 전압선(172)을 기준으로 일 방향으로만 연장되어 있다는 점에서 차이가 있다. 제1 구동 전압선(192)의 연장 방향에 위치하는 화소(도 24의 우측에 위치하는 화소, 이하 제2 화소라 함)는 대칭 기준선을 기초로 제1 화소와 대칭을 이룬다.
- [0278] 도 24와 같은 화소에 의하면 제2 구동 전압선(172)과 제1 구동 전압선(192)에는 구동 전압(ELVDD)이 인가되는데, 인접하는 두 화소(제1 화소, 제2 화소)를 포함하는 두 화소열에 대해서 공통으로 인가된다. 도 12의 경우에는 제1 구동 전압선(192)이 인접하는 화소 전체에 대하여 연결되는 구조를 가져 하나의 행에 위치하는 모든 화소에서도 구동 전압(ELVDD)이 공통으로 인가되는 점에서 차이가 있다. 도 24와 같은 실시예에서는 표시 영역의 외측에 제2 구동 전압선(172)을 연결하는 배선이 추가적으로 위치하여 인접하는 제2 구동 전압선(172)에 공통의 구동 전압(ELVDD)을 인가하도록 할 수 있다.
- [0279] 도 24의 실시예에서는 도 23의 실시예와 달리 제1 구동 전압선(192)이 화소 전극(191)과 동일한 물질로 형성되어 있다.
- [0280] 도 25는 도 17에 도시되어 있는 유기 발광 표시 장치의 화소의 변형예로 인접하고 있는 두 개의 화소를 도시하고 있다.
- [0281] 인접하는 두 화소와 연결되어 있는 두 개의 데이터선(171)은 서로 인접하게 위치하며, 두 화소는 인접하는 두 데이터선(171)의 사이에 위치하는 임의의 선(이하 대칭 기준선이라 함)을 기준으로 선 대칭구조를 가진다.
- [0282] 도 25에서 도시하고 있는 두 화소 중 좌측에 위치하는 화소(이하 제1 화소라 함)는 도 17의 구조와 동일한데, 제1 구동 전압선(126)이 제2 구동 전압선(172)을 기준으로 일 방향으로만 연장되어 있다는 점에서 차이가 있다. 제1 구동 전압선(126)의 연장 방향에 위치하는 화소(도 25의 우측에 위치하는 화소, 이하 제2 화소라 함)는 대칭 기준선을 기초로 제1 화소와 대칭을 이룬다.
- [0283] 도 25와 같은 화소에 의하면 제2 구동 전압선(172)과 제1 구동 전압선(126)에는 구동 전압(ELVDD)이 인가되는데, 인접하는 두 화소(제1 화소, 제2 화소)를 포함하는 두 화소열에 대해서 공통으로 인가된다. 도 17의 경우에는 제1 구동 전압선(126)이 인접하는 화소 전체에 대하여 연결되는 구조를 가져 하나의 행에 위치하는 모든 화소에서도 구동 전압(ELVDD)이 공통으로 인가되는 점에서 차이가 있다. 도 25와 같은 실시예에서는 표시 영역의 외측에 제2 구동 전압선(172)을 연결하는 배선이 추가적으로 위치하여 인접하는 제2 구동 전압선(172)에

공통의 구동 전압(ELVDD)을 인가하도록 할 수 있다.

[0284] 도 26에서 도시하고 있는 실시예는 도 20에 도시되어 있는 유기 발광 표시 장치의 화소의 변형예로 인접하고 있는 두 개의 화소를 도시하고 있다.

[0285] 도 26에서도 도 25에서와 같이 인접하는 두 화소와 연결되어 있는 두 개의 데이터선(171)은 서로 인접하게 위치하며, 두 화소는 인접하는 두 데이터선(171)의 사이에 위치하는 임의의 선(이하 대칭 기준선이라 함)을 기준으로 선 대칭구조를 가진다.

[0286] 도 26에서 도시하고 있는 두 화소 중 좌측에 위치하는 화소(이하 제1 화소라 함)는 도 20의 구조와 동일한데, 제1 구동 전압선(192)이 제2 구동 전압선(172)을 기준으로 일 방향으로만 연장되어 있다는 점에서 차이가 있다. 제1 구동 전압선(192)의 연장 방향에 위치하는 화소(도 26의 우측에 위치하는 화소, 이하 제2 화소라 함)는 대칭 기준선을 기초로 제1 화소와 대칭을 이룬다.

[0287] 도 26과 같은 화소에 의하면 제2 구동 전압선(172)과 제1 구동 전압선(192)에는 구동 전압(ELVDD)이 인가되는데, 인접하는 두 화소(제1 화소, 제2 화소)를 포함하는 두 화소열에 대해서 공통으로 인가된다. 도 20의 경우에는 제1 구동 전압선(192)이 인접하는 화소 전체에 대하여 연결되는 구조를 가져 하나의 행에 위치하는 모든 화소에서도 구동 전압(ELVDD)이 공통으로 인가되는 점에서 차이가 있다. 도 26과 같은 실시예에서는 표시 영역의 외측에 제2 구동 전압선(172)을 연결하는 배선이 추가적으로 위치하여 인접하는 제2 구동 전압선(172)에 공통의 구동 전압(ELVDD)을 인가하도록 할 수 있다.

[0288] 도 26의 실시예에서는 도 25의 실시예와 달리 제1 구동 전압선(192)이 화소 전극(191)과 동일한 물질로 형성되어 있다.

[0289] 도 27 및 도 28은 각각 도 3에 도시되어 있는 유기 발광 표시 장치의 화소의 변형예로 인접하고 있는 두 개의 화소(PX)를 도시하고 있다. 특히 도 27 및 도 28은 도 23에 도시한 인접한 두 화소(PX)와 달리 이격되어 있는 두 데이터선(171) 사이에 위치하는 인접한 두 화소(PX)를 도시한다.

[0290] 도 27 및 도 28에서 도시하고 있는 두 화소 각각은 도 15에 도시한 유기 발광 표시 장치와 같은 구조를 가진다.

[0291] 인접하는 두 화소(PX)는 이들 두 화소(PX) 사이에 위치하는 임의의 선(대칭 기준선)을 기준으로 선 대칭구조를 가진다.

[0292] 본 실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(Em), 바이패스 신호(BP) 및 초기화 전압(Vint)을 각각 인가받으며, 도 27 및 도 28에 도시한 평면상 가로 방향인 제1 방향(Dir1)을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 바이패스 제어선(128)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 바이패스 제어선(128)과 교차하고 있으며 화소에 데이터 신호(Dm)를 인가하는 데이터선(171)을 포함한다. 본 실시예에 따른 유기 발광 표시 장치에서 앞선 실시예의 초기화 전압선(124)은 생략되고, 앞선 실시예의 초기화 전압선(124)과 다른 구조를 가지는 초기화 전압선(193)을 더 포함한다. 초기화 전압선(193)은 앞에서 설명한 여러 실시예의 화소 전극(191)과 동일한 층에 위치하며, 화소 전극(191)과 이격되어 있다. 초기화 전압선(193)은 대체로 제1 방향(Dir1)으로 뻗으며 주기적으로 꺾여 있을 수 있으나 구조가 이에 한정되는 것은 아니다.

[0293] 본 실시예에 따른 유기 발광 표시 장치는 또한 구동 전압(ELVDD)을 인가하는 구동 전압선(126/172/179h)도 포함하고 있다. 구동 전압선(126/172/179h)은 제1 구동 전압선(126), 제2 구동 전압선(172), 제3 구동 전압선(179h)을 포함한다.

[0294] 제2 구동 전압선(172)은 평면상 제1 방향(Dir1)과 교차하는 방향(세로 방향일 수 있음)인 제2 방향(Dir2)으로 뻗으며 복수의 화소에 걸쳐 연장되어 있으며, 대체로 데이터선(171)과 평행하다.

[0295] 제1 구동 전압선(126)은 스캔선(121)과 대체로 평행하고, 도 27 및 도 28에 도시한 바와 같이 인접한 두 개의 제2 구동 전압선(172)을 연결할 수 있다. 그러나 이와 달리 제1 구동 전압선(126)은 가로 방향으로 복수의 화소에 걸쳐 연장되어 있을 수도 있다.

[0296] 제3 구동 전압선(179h)은 제1 방향(Dir1)으로 연장되어 있으며 인접한 두 개의 제2 구동 전압선(172)을 전기적으로 연결할 수 있다. 제1 구동 전압선(126)과 제2 구동 전압선(172)은 전기적으로 연결되어 있고, 제3 구동 전압선(179h)과 제2 구동 전압선(172)은 전기적으로 연결되어 있다. 제3 구동 전압선(179h)은 층간 절연막(160)의 제5 접촉 구멍(165)을 통해 제2 구동 전압선(172)과 전기적으로 연결된다.

- [0297] 제3 구동 전압선(179h)은 제2 방향(Dir2)으로 확장 또는 돌출되어 있는 확장부(179v)를 더 포함할 수 있다. 확장부(179v)는 이웃한 두 화소(PX) 사이에 주로 위치하며 이웃한 두 개의 데이터선(171) 중 적어도 하나와 절연층을 사이에 두고 중첩하며 데이터선(171)을 따라 연장되어 있을 수 있다. 도 27 및 도 28은 제3 구동 전압선(179h)의 확장부(179v)가 인접한 두 개의 데이터선(171) 모두와 중첩하는 예를 도시한다. 확장부(179v)는 평면상 제2 방향(Dir2)으로 뻗어 발광 제어선(123)과 교차하고 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)이 위치하는 곳 직전까지 근접하여 형성되어 있을 수 있다.
- [0298] 확장부(179v)는 데이터선(171)과 중첩하는 부분 외에 위치하는 적어도 하나의 절개부(도시하지 않음)를 더 포함할 수 있다. 예를 들어 확장부(179v)는 인접한 두 데이터선(171) 사이에 위치하는 절개부를 포함할 수 있다.
- [0299] 도전성을 가지는 확장부(179v)가 이와 같이 데이터선(171)과 중첩하면 데이터선(171)을 차폐하여(shielding)하여 데이터선(171)이 전달하는 데이터 신호(Dm)의 신호 변화에 따라 주변의 화소 전극(191), 구동 박막 트랜지스터(T1) 등의 전기 소자의 전압이 영향을 받는 것을 방지할 수 있다.
- [0300] 단면 구조로 볼 때, 제2 구동 전압선(172)은 제1 구동 전압선(126)과 다른 층에 위치하고 제3 구동 전압선(179h)과도 다른 층에 위치한다. 제2 구동 전압선(172)과 제1 구동 전압선(126)은 앞에서 설명한 도 3 내지 도 5, 도 17 내지 도 19 또는 도 23에 도시한 실시예에서와 같은 층에 위치할 수 있다. 제1 구동 전압선(126)과 제3 구동 전압선(179h)은 서로 다른 층에 위치하는데, 제3 구동 전압선(179h)은 앞에서 설명한 실시예들의 반도체(131)와 동일한 층에 위치한다.
- [0301] 이웃한 제2 구동 전압선(172)을 연결하는 제1 구동 전압선(126)과 제3 구동 전압선(179h) 중 어느 하나는 생략될 수도 있다. 도 28은 제1 구동 전압선(126)이 생략되고 제3 구동 전압선(179h)이 제2 구동 전압선(172)을 제1 방향(Dir1)으로 연결하는 실시예를 도시한다.
- [0302] 도 15와 함께 도 27 및 도 28을 참조하면, 한 화소(PX)는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3-1, T3-2), 초기화 박막 트랜지스터(T4-1, T4-2), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 바이패스 박막 트랜지스터(T7), 스토리지 캐패시터(Cst), 그리고 유기발광 다이오드를 포함한다. 본 실시예에 따른 여러 박막 트랜지스터의 구조는 앞에서 설명한 여러 실시예(예를 들어 도 17에 도시한 실시예)와 동일하거나 유사하므로 여기서 동일한 설명은 생략하고 차이점을 중심으로 설명한다.
- [0303] 한 화소(PX)에 위치하는 반도체(131)는 구동 박막 트랜지스터(T1)의 반도체(131a)를 중심에 두고 서로 마주하는 한 쌍의 세로 부분을 포함한다.
- [0304] 구동 박막 트랜지스터(T1)의 반도체(131a)는 게이트 전극(125a)과 중첩한다. 반도체(131a)는 제1 연장부(31), 제2 연장부(32), 그리고 굴곡부(33)를 포함할 수 있으나 구조가 이에 한정되는 것은 아니다.
- [0305] 도 27 및 도 28에 도시한 좌측 화소에 위치하는 반도체(131)의 좌측 세로 부분의 대부분은 데이터선(171)과 중첩하지 않으며 제2 방향(Dir2)으로 뻗고, 나아가 반도체(131)의 좌측 세로 부분의 대부분이 제2 구동 전압선(172)과 중첩한다.
- [0306] 스캔선(121)과 중첩하는 스위칭 박막 트랜지스터(T2)의 반도체(131b)와 위쪽으로 연결된 스위칭 박막 트랜지스터(T2)의 소스 전극(176b)은 왼쪽으로 꺾여 층간 절연막의 제4 접촉 구멍(164)을 통해 데이터선(171)과 전기적으로 연결되어 있다.
- [0307] 발광 제어선(123)과 중첩하는 동작 제어 박막 트랜지스터(T5)의 반도체(131e)의 아래쪽에는 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e)이 위치하고, 소스 전극(176e)은 층간 절연막의 제5 접촉 구멍(165)을 통해 제2 구동 전압선(172)과 전기적으로 연결되어 있다.
- [0308] 동작 제어 박막 트랜지스터(T5)의 소스 전극(176e)은 제3 구동 전압선(179h)과 동일한 층에서 직접 연결되어 있다. 즉, 제3 구동 전압선(179h)은 층간 절연막의 제5 접촉 구멍(165)을 통해 제2 구동 전압선(172)과 전기적으로 연결된 것으로 볼 수 있다.
- [0309] 도 27에 도시한 좌측 화소(PX)에 위치하는 반도체(131)의 우측 세로 부분의 위쪽에는 반도체(131)의 연장 방향을 따라 스캔선(121)과 중첩하는 보상 박막 트랜지스터(T3-1, T3-2)의 반도체, 그리고 이전 스캔선(122)과 중첩하는 초기화 박막 트랜지스터(T4-1, T4-2)의 반도체가 차례대로 형성되어 있다.
- [0310] 도 27에 도시한 좌측 화소(PX)에 위치하는 반도체(131)의 우측 세로 부분의 아래쪽에는 반도체(131)의 연장 방

향을 따라 발광 제어선(123)과 중첩하는 발광 제어 박막 트랜지스터(T6)의 반도체, 그리고 바이패스 제어선(128)과 중첩하는 바이패스 박막 트랜지스터(T7)의 반도체가 차례대로 위치한다.

[0311] 인접한 두 화소(PX)의 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)은 서로 동일한 층에서 연결되어 있다. 인접한 두 화소(PX)의 사이의 경계와 중첩하는 제1 연결부(173)는 중간 절연막의 제3 접촉 구멍(163)을 통하여 제2 초기화 박막 트랜지스터(T4-2)의 소스 전극(176d-2)와 전기적으로 연결되어 있다. 제1 연결부(173)는 그 위에 적층되어 있는 평탄화막의 제3 상부 접촉 구멍(183)을 통해 초기화 전압선(193)과 연결되어 초기화 전압(Vint)을 소스 전극(176d-2)에 전달한다.

[0312] 바이패스 박막 트랜지스터(T7)의 드레인 전극(177g)은 중간 절연막의 제9 접촉 구멍(169)을 통해 제1 연결부(173)와 연결되어 초기화 전압(Vint)을 전달받을 수 있다.

[0313] 제2 구동 전압선(172)은 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 중첩하지 않으며 가로 방향으로 인접하지 않는 제1 부분(172e) 및 제1 부분(172e)에 연결되어 있으며 구동 박막 트랜지스터(T1)의 게이트 전극(125a)과 중첩하는 부분을 포함하는 확장 영역(175)을 포함한다. 제2 방향(Dir2)으로 배치된 복수의 화소(PX)에 걸쳐 연장된 제2 구동 전압선(172)은 제2 방향(Dir2)으로 교대로 배치된 제1 부분(172e) 및 확장 영역(175)을 포함할 수 있다.

[0314] 도 27 및 도 28에 도시한 좌측 화소(PX)를 보면, 제1 부분(172e)과 확장 영역(175)의 경계에서 제2 구동 전압선(172)의 오른쪽 변은 오른쪽으로 꺾여 있다. 이에 따라 확장 영역(175)의 오른쪽 변은 게이트 전극(125a)과 중첩한다. 제1 부분(172e)과 확장 영역(175)의 경계에서 제2 구동 전압선(172)의 왼쪽 변은 직선일 수도 있고 꺾여 있을 수도 있다. 특히 제2 구동 전압선(172)과 구동 박막 트랜지스터(T1)의 게이트 전극(125a)의 중첩 영역을 확보하기 위해 확장 영역(175)의 제1 방향(Dir1) 폭은 제1 부분(172e)의 제1 방향(Dir1) 폭보다 크다.

[0315] 도 27 및 도 28을 참조하면, 이웃한 두 화소(PX)에 위치하는 확장 영역(175)은 동일한 층에서 서로 연결되어 있다. 이에 따르면, 인접한 두 개의 제2 구동 전압선(172)은 제1 구동 전압선(126) 또는 제3 구동 전압선(179h)을 통해 연결되거나 인접한 두 화소(PX) 사이에서 서로 연결된 확장 영역(175)을 통해 제1 방향(Dir1)으로도 복수의 화소(PX)에 걸쳐 연결될 수 있다. 인접한 두 화소(PX) 사이에 제1 구동 전압선(126) 또는 제3 구동 전압선(179h)이 형성되어 있지 않은 부분에서는 서로 연결된 확장 영역(175)을 통해 인접한 두 개의 제2 구동 전압선(172)이 연결될 수 있다. 따라서 유기 발광 표시 장치가 제1 방향(Dir1) 및 제2 방향(Dir2) 모두에 따라 배치된 전체 화소(PX)에 균일한 구동 전압(ELVDD)이 전달될 수 있다.

[0316] 확장 영역(175)과 구동 박막 트랜지스터(T1)의 게이트 전극(125a)는 그 사이의 중간 절연막(160)을 사이에 두고 스토리지 캐패시터(Cst)를 이루며 확장 영역(175)을 포함하지 않는 경우에 비해 너비가 넓은 확장 영역(175)이 게이트 전극(125a)과 중첩하므로 충분한 용량의 스토리지 캐패시터(Cst)를 형성할 수 있다. 이에 의한 효과는 앞에서 설명한 바와 같다.

[0317] 이러한 본 실시예에 따르면, 데이터선(171)과 동일한 층에 위치하는 제2 구동 전압선(172)의 확장 영역(175)과 구동 박막 트랜지스터(T1)의 게이트 전극(125a) 사이에는 한 종류의 중간 절연막(160)만이 위치하며, 확장 영역(175)이 위치하는 층과 구동 박막 트랜지스터(T1)의 게이트 전극(125a)이 위치하는 층 사이에는 별도의 도전층이 위치하지 않는다.

[0318] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

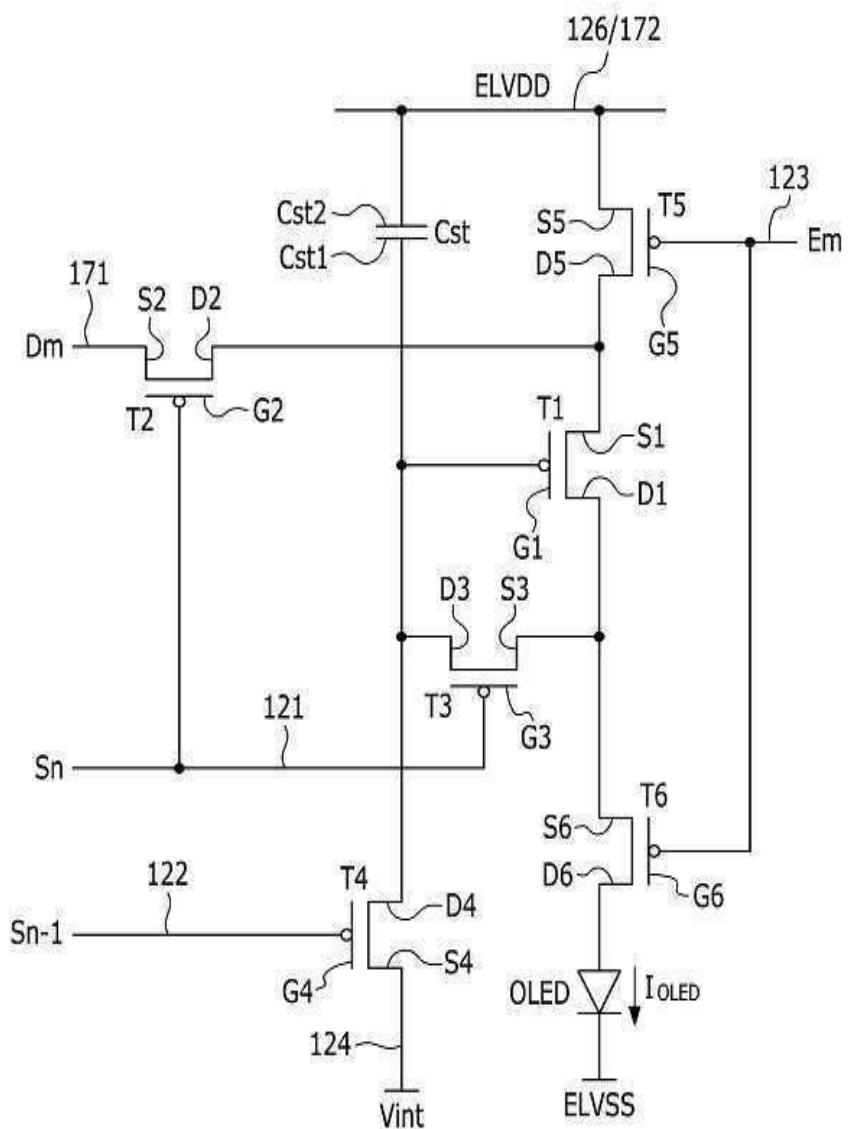
부호의 설명

110: 절연 기판	111: 베퍼층
121: 스캔선	122: 이전 스캔선
123: 발광 제어선	124: 초기화 전압선
125: 게이트 전극	126, 192: 제1 구동 전압선
128: 바이패스 제어선	131: 반도체
141: 게이트 절연막	160: 중간 절연막

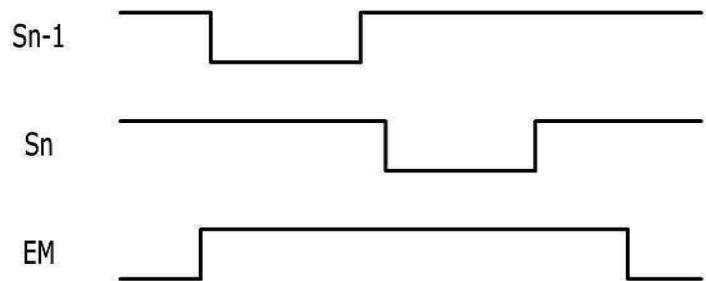
- | | |
|--------------------|-------------|
| 161-169: 접촉 구멍 | 171: 데이터선 |
| 172: 제2 구동 전압선 | 173: 제1 연결부 |
| 174: 제2 연결부 | 175: 제2 전극 |
| 176: 소스 전극 | 177: 드레인 전극 |
| 178: 제3 연결부 | 180: 평탄화막 |
| 181, 182: 상부 접촉 구멍 | 191: 화소 전극 |
| 270: 공통 전극 | 370: 유기 발광층 |
| 70: 유기 발광 다이오드 | 31: 제1 연장부 |
| 32: 제2 연장부 | 33: 굴곡부 |

도면

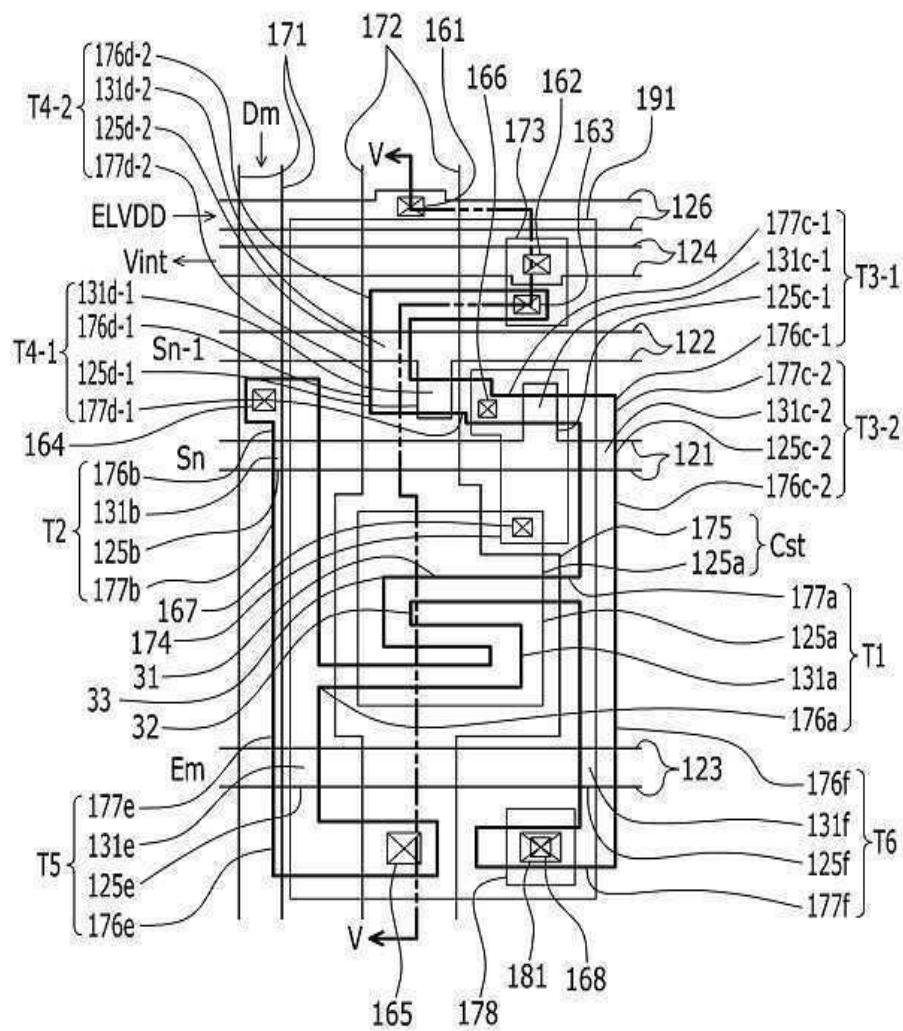
도면1



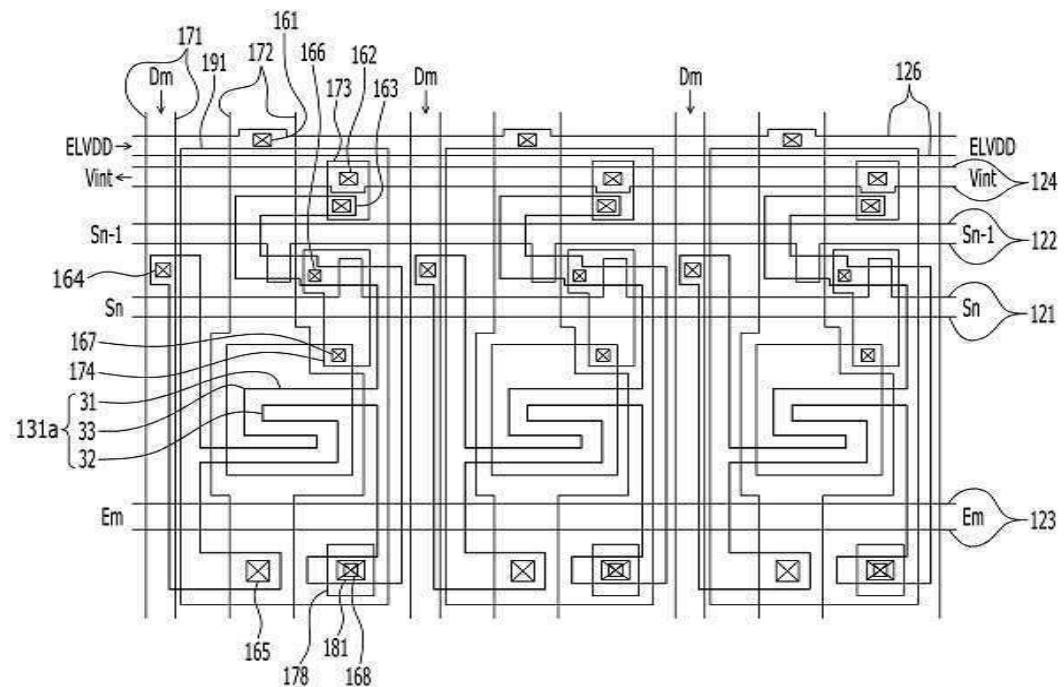
도면2



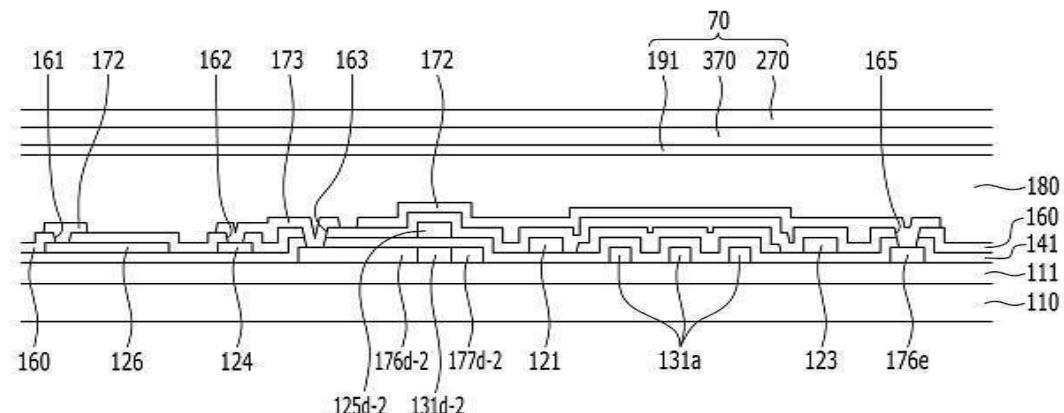
도면3



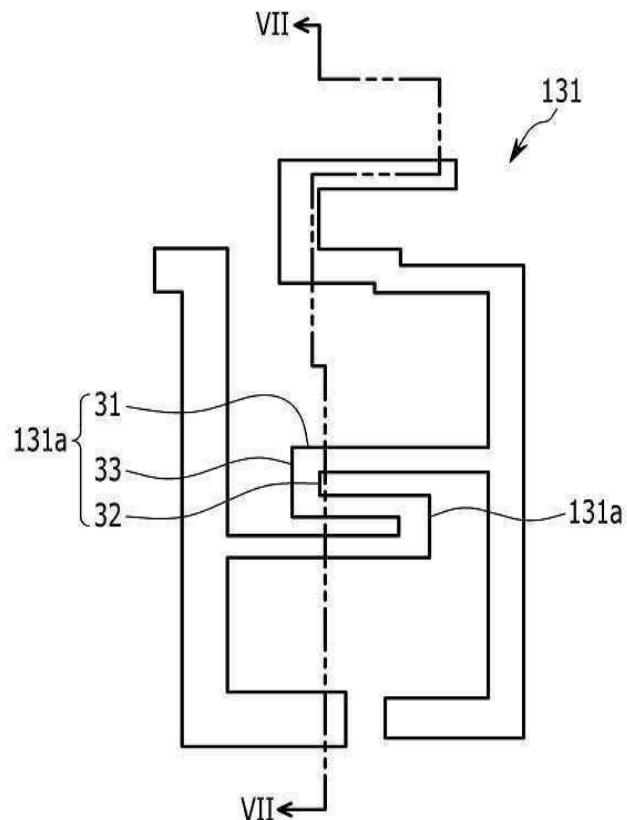
도면4



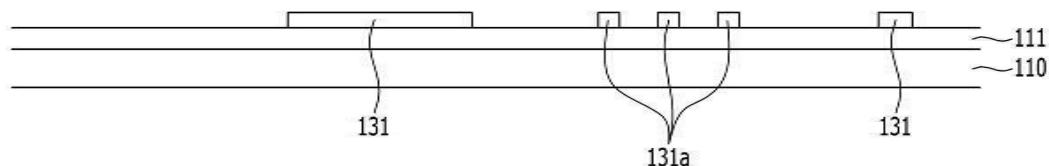
도면5



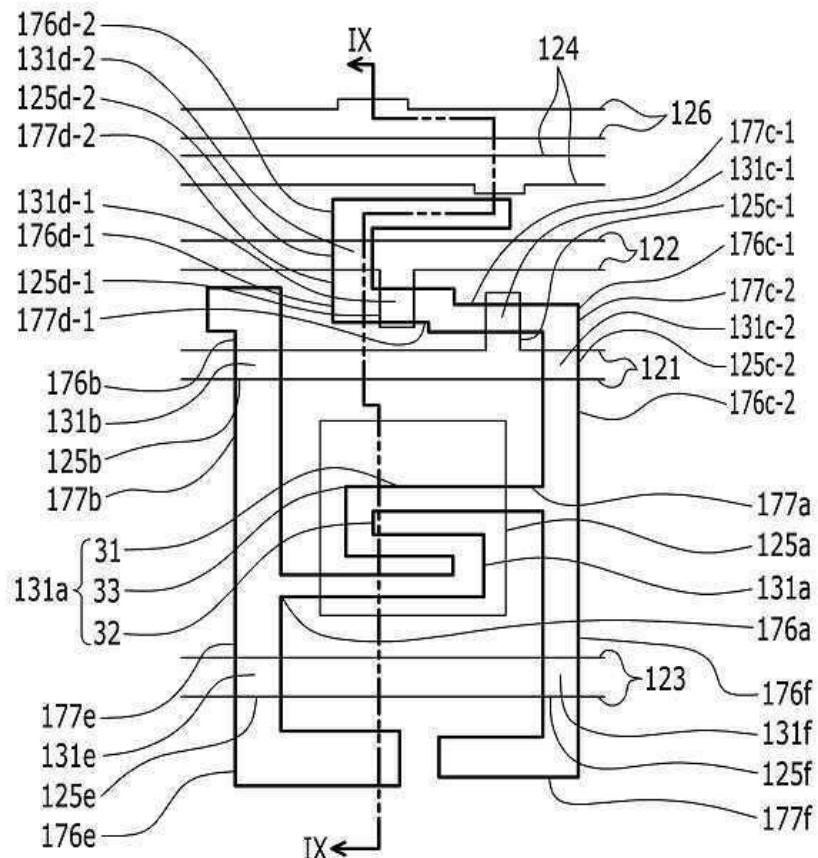
도면6



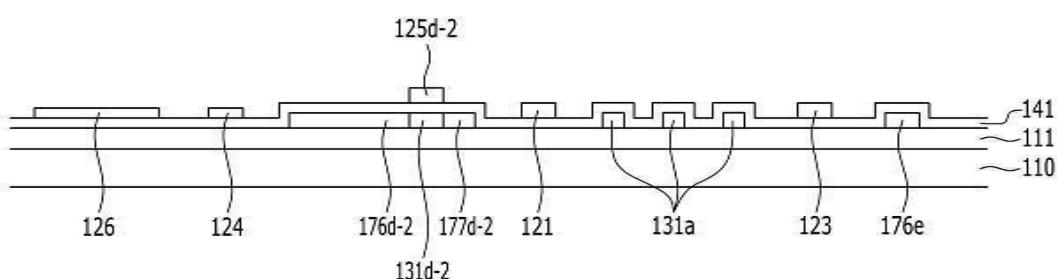
도면7



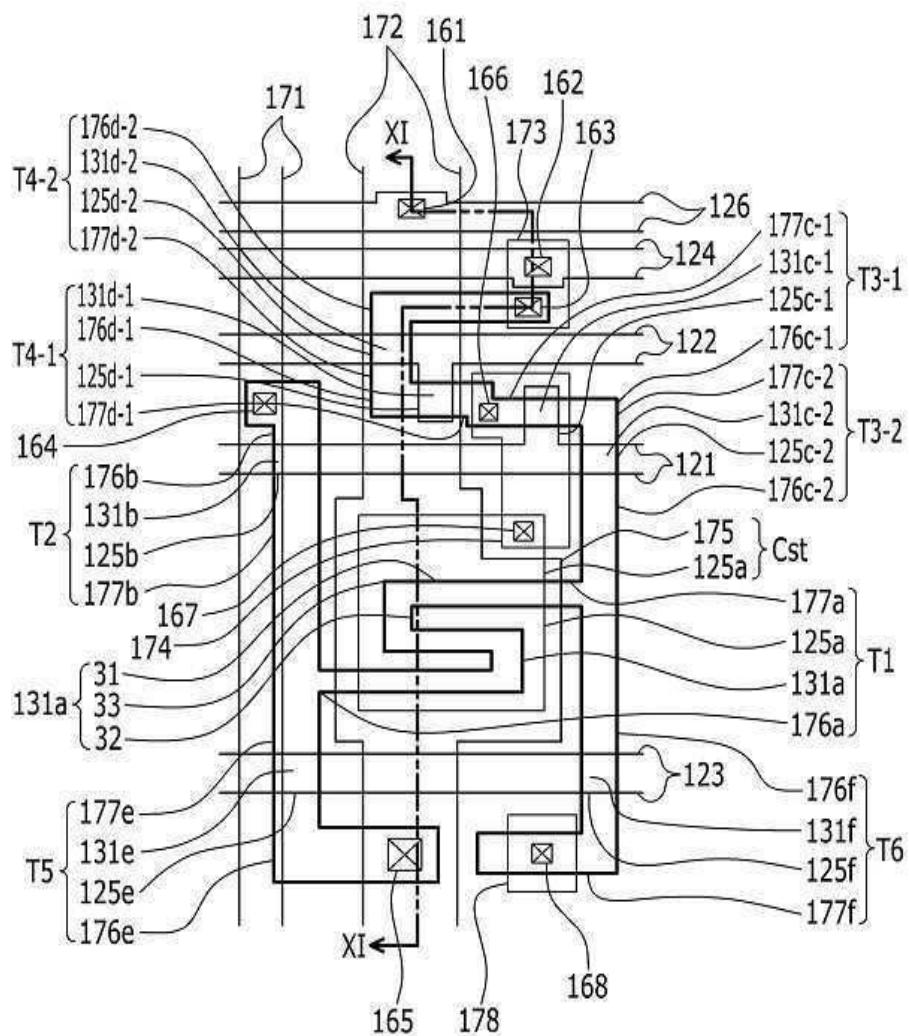
도면8



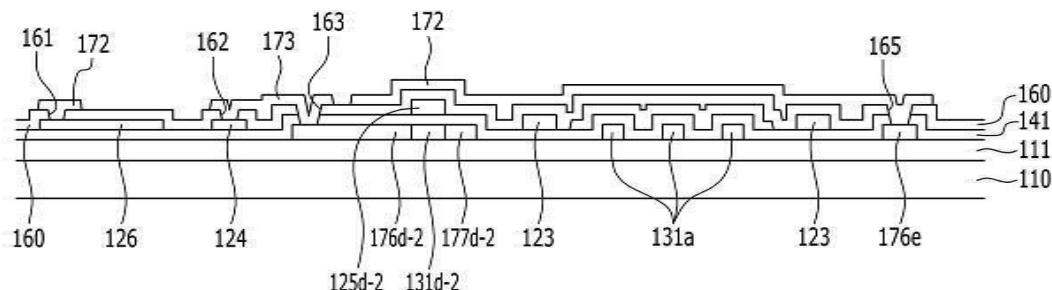
도면9



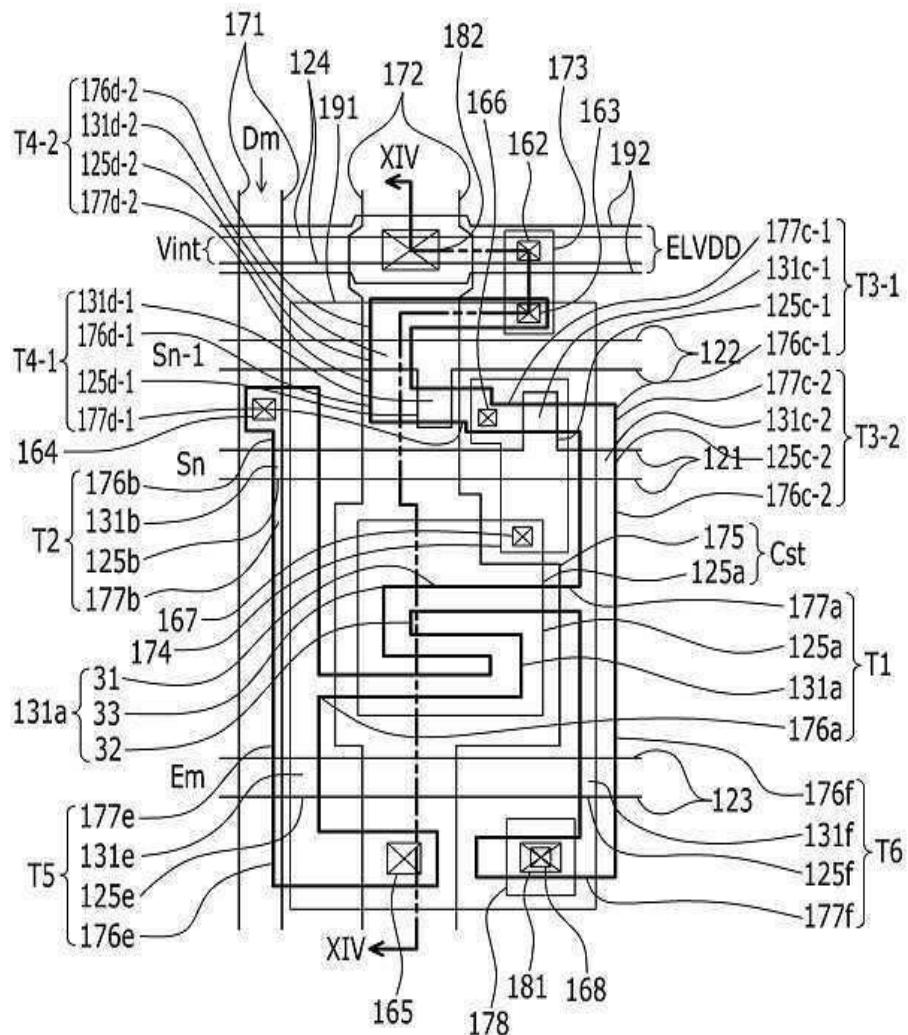
도면10



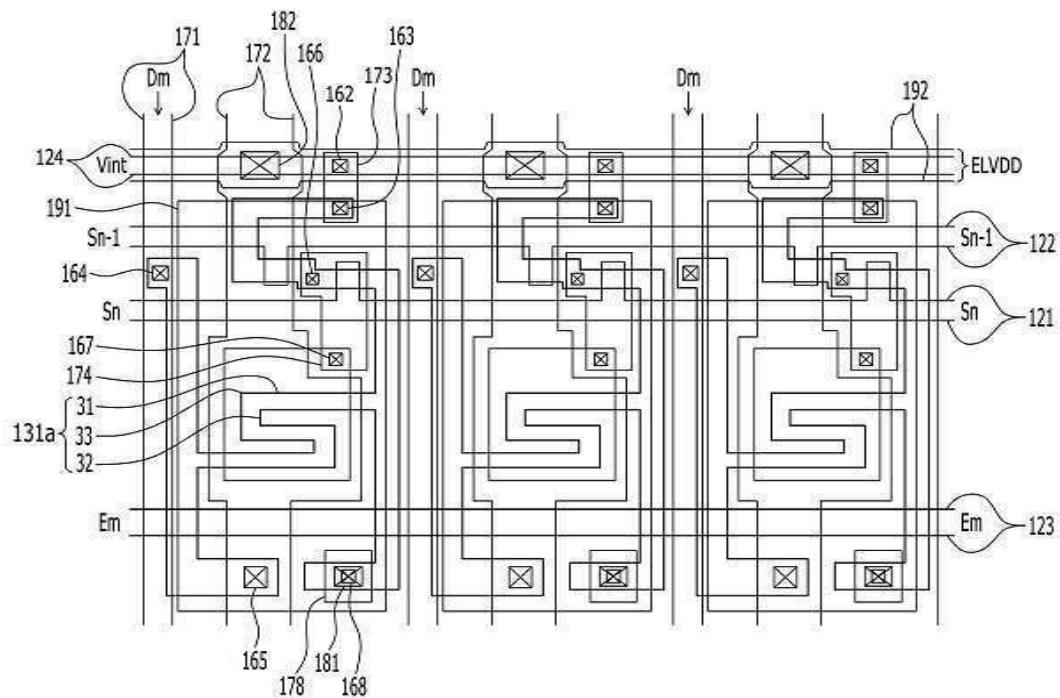
도면11



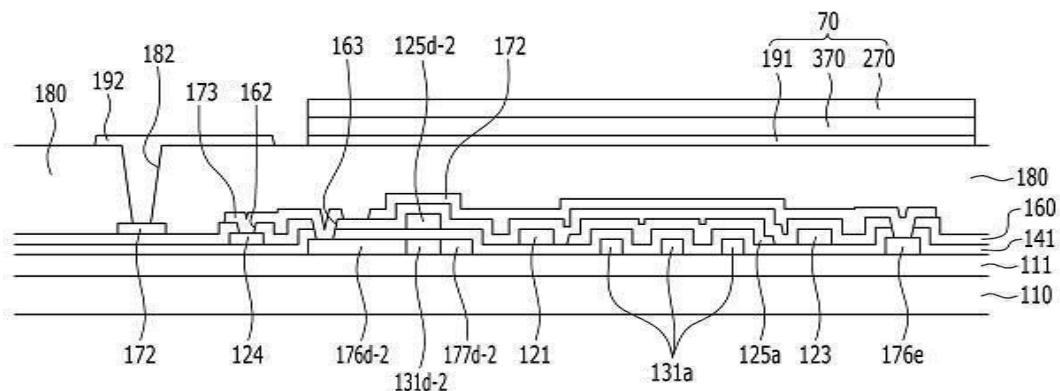
도면12



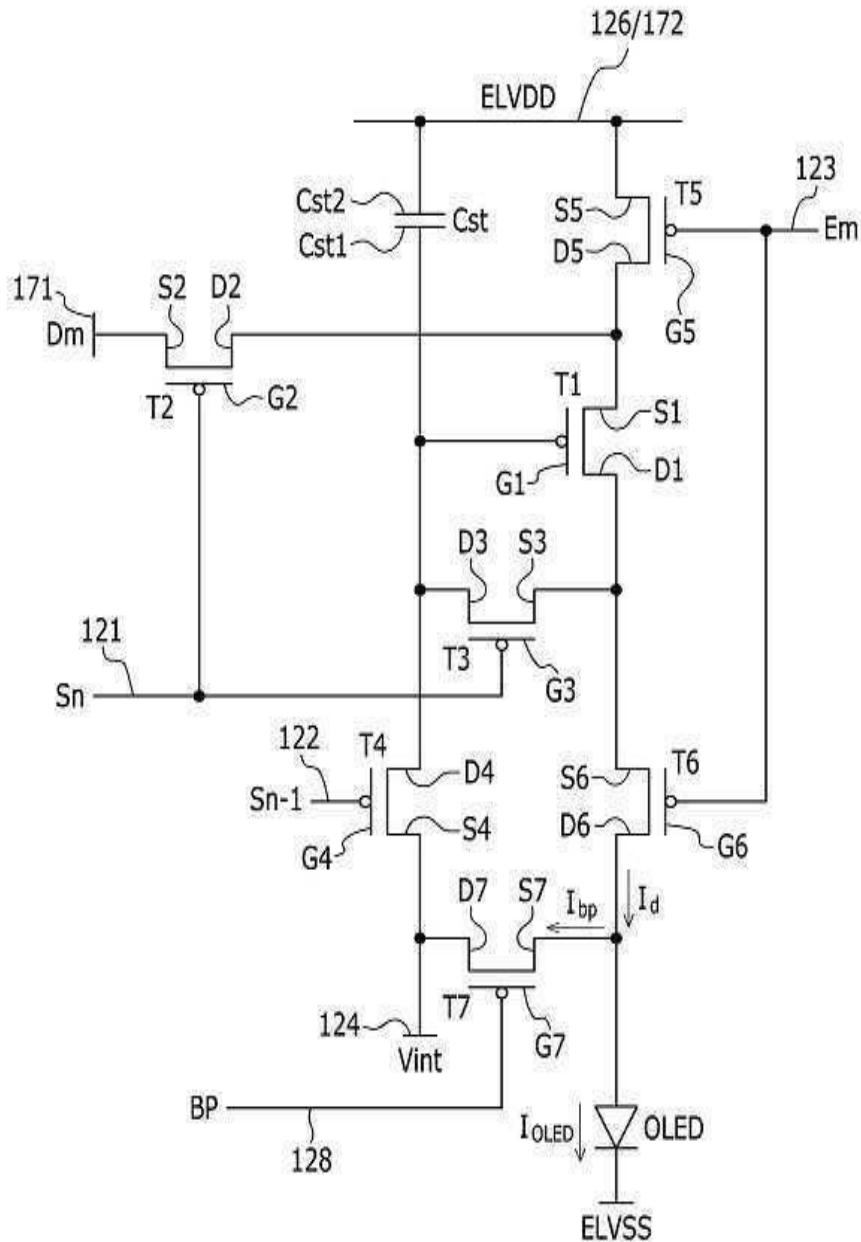
도면13



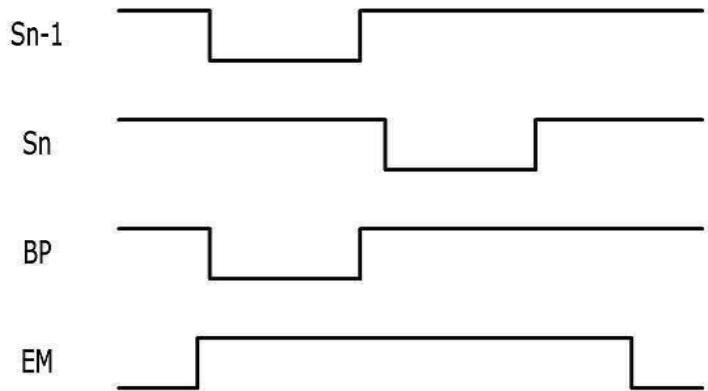
도면14



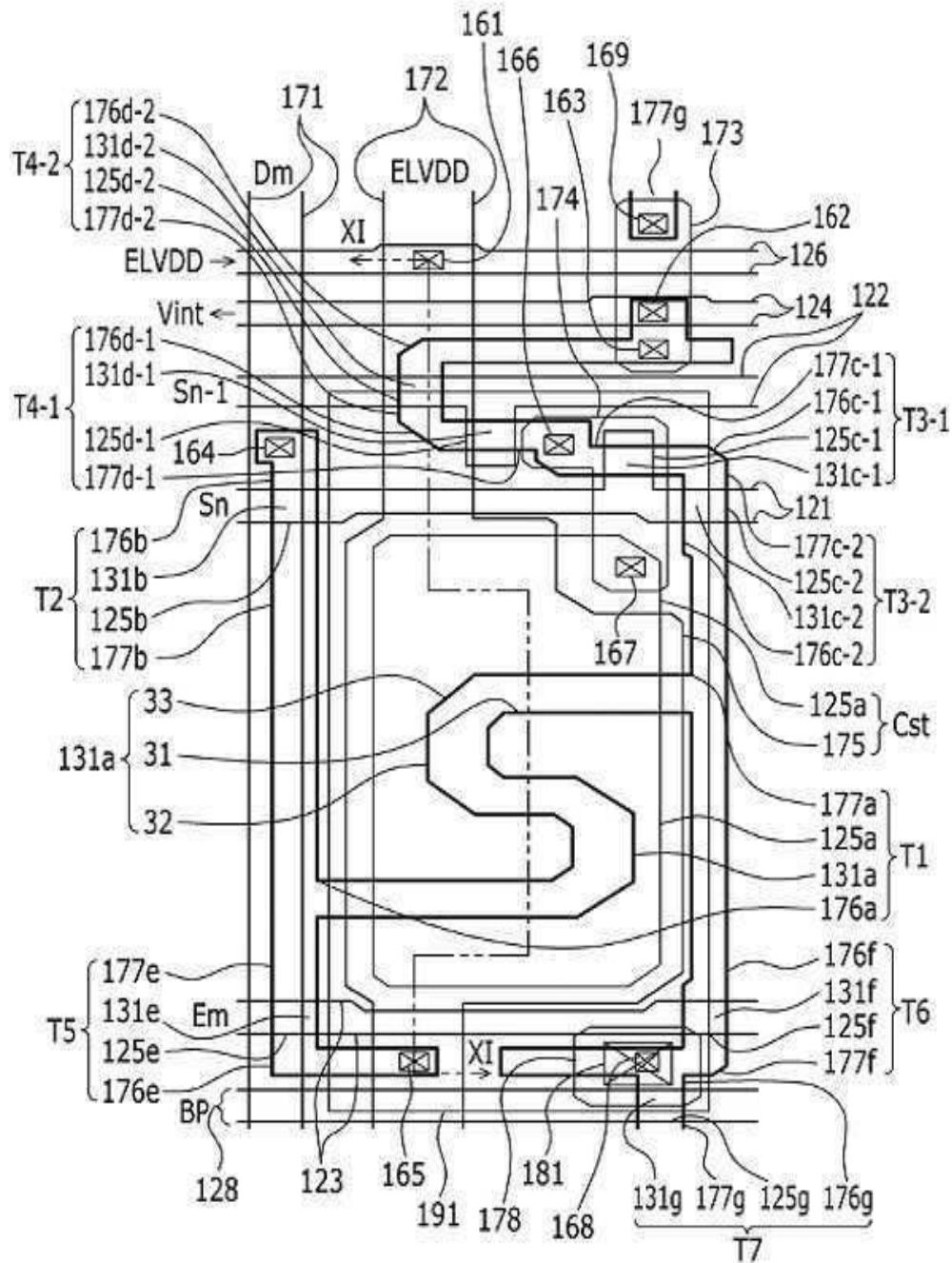
도면15



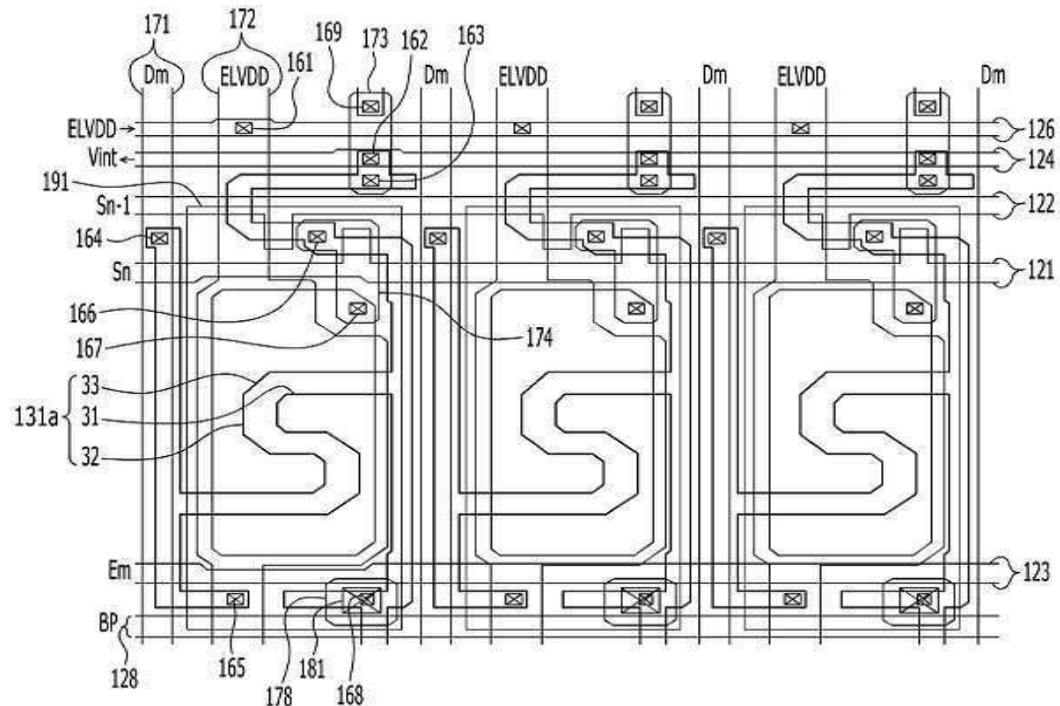
도면16



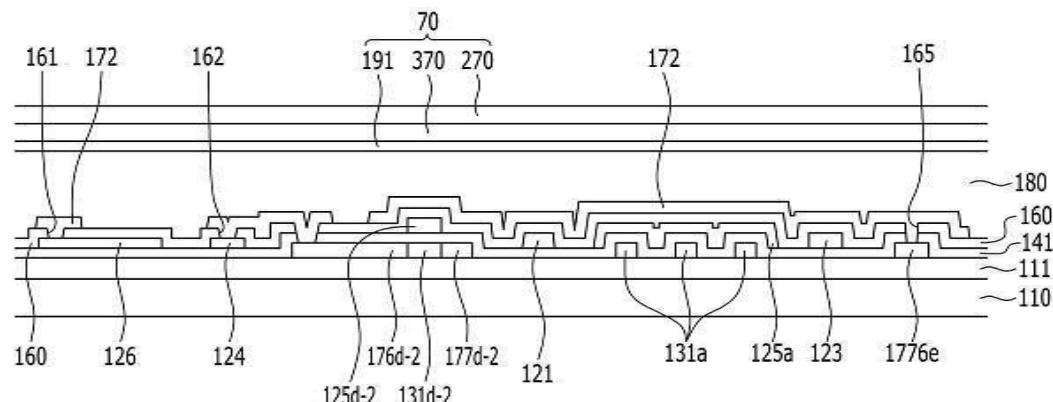
도면17



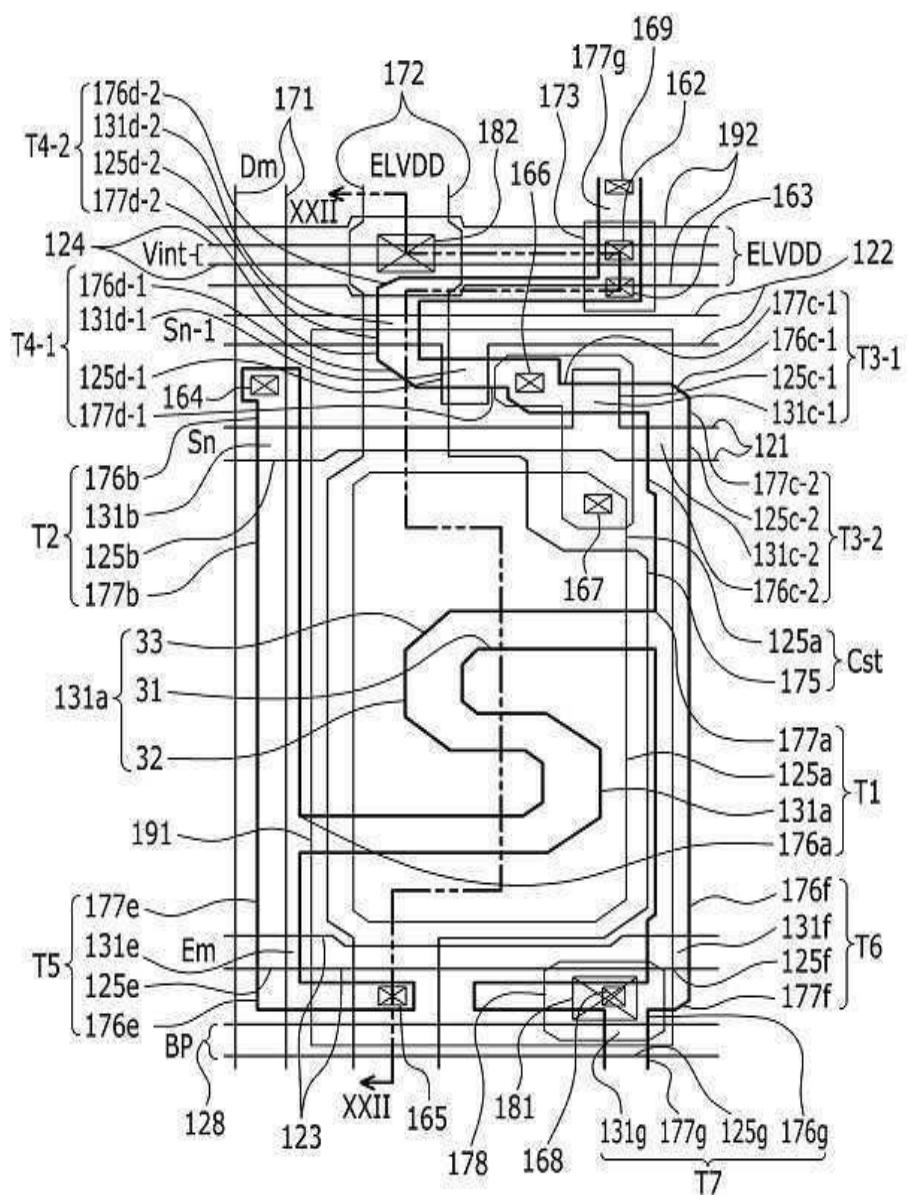
도면18



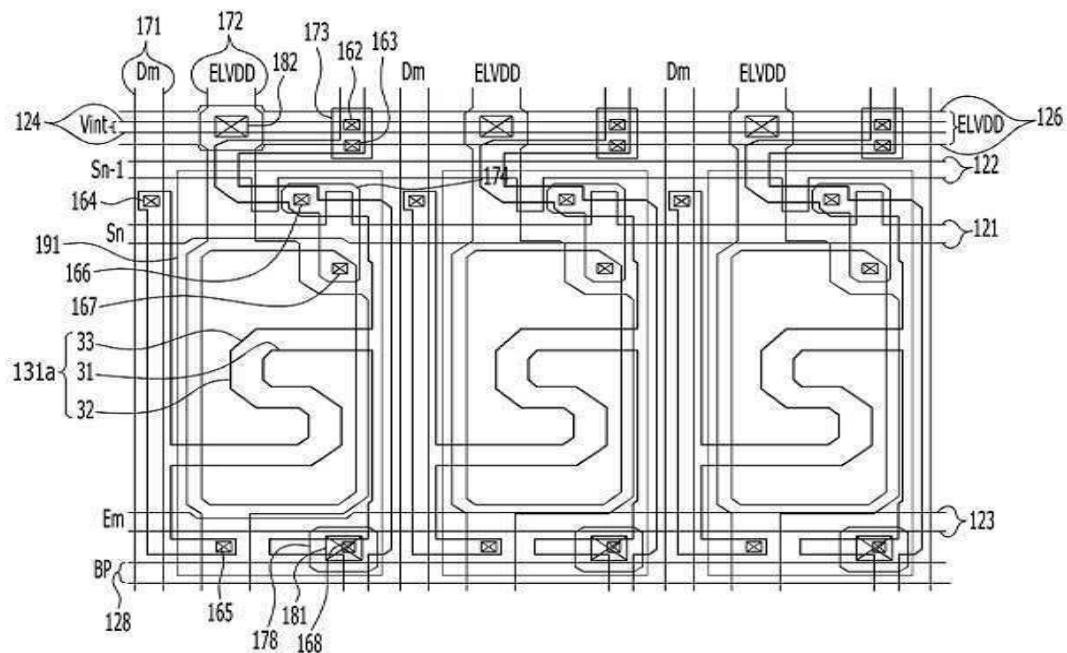
도면19



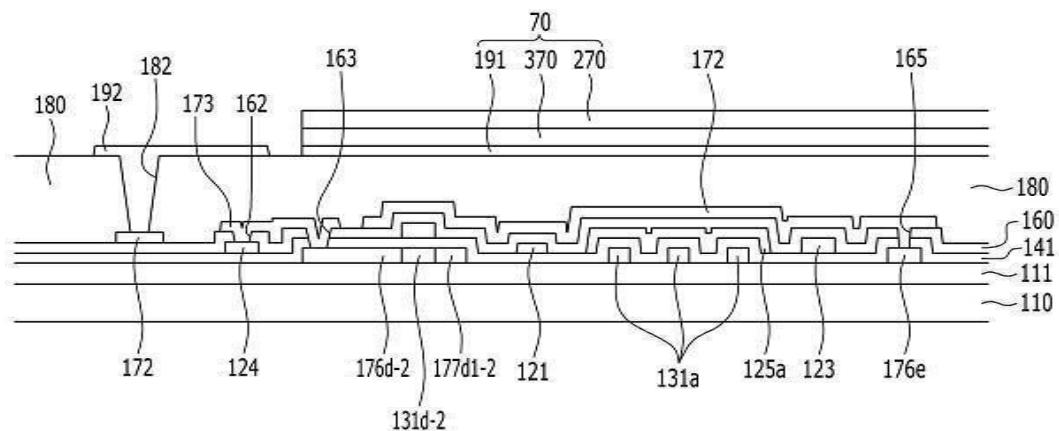
도면20



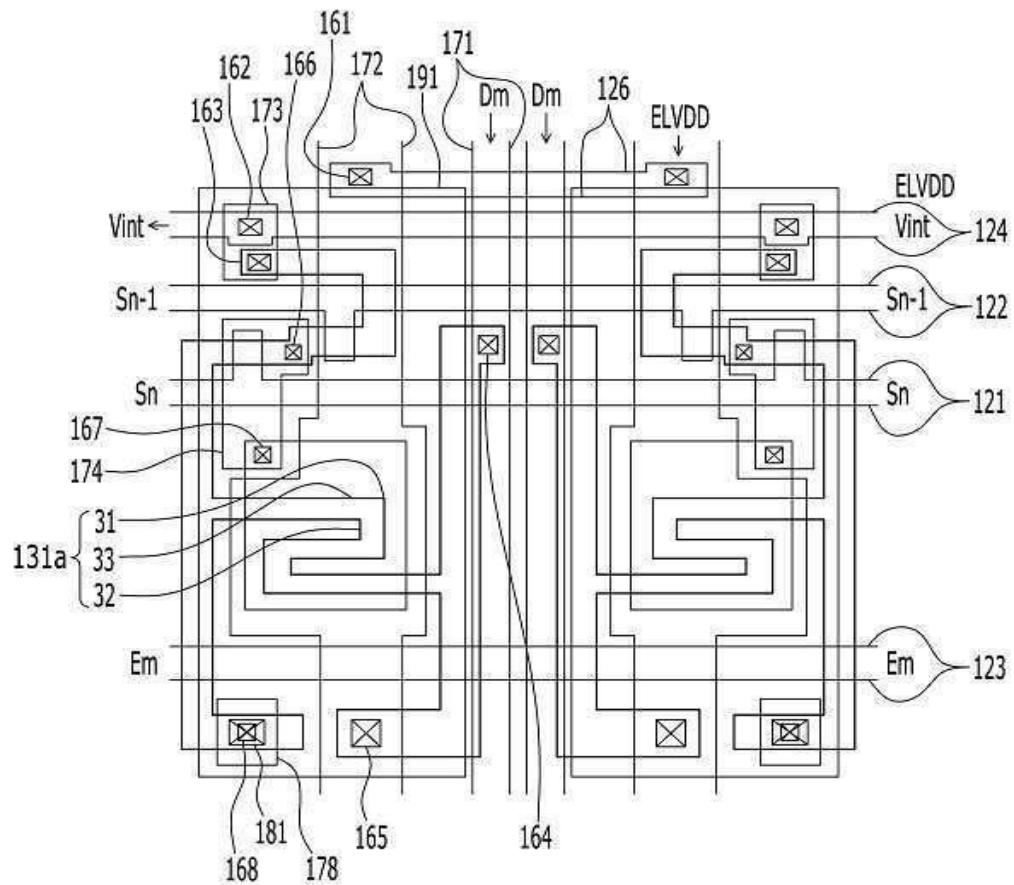
도면21



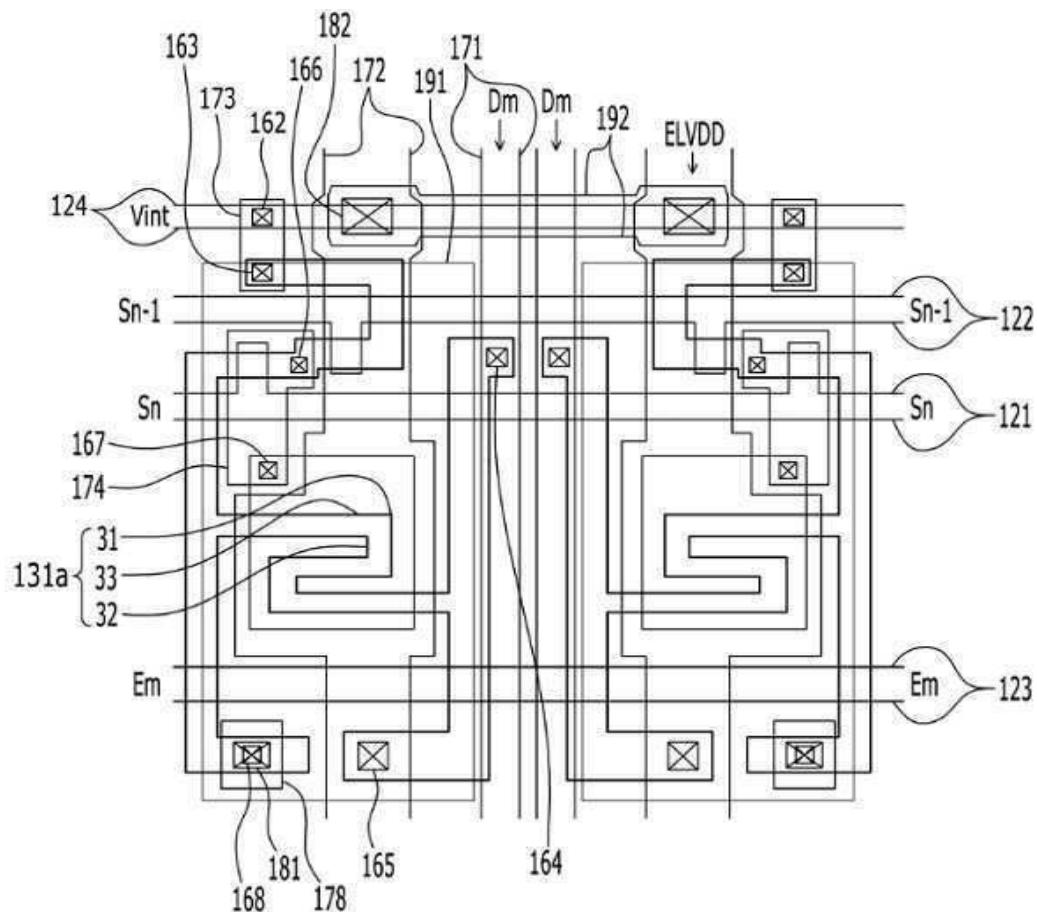
도면22



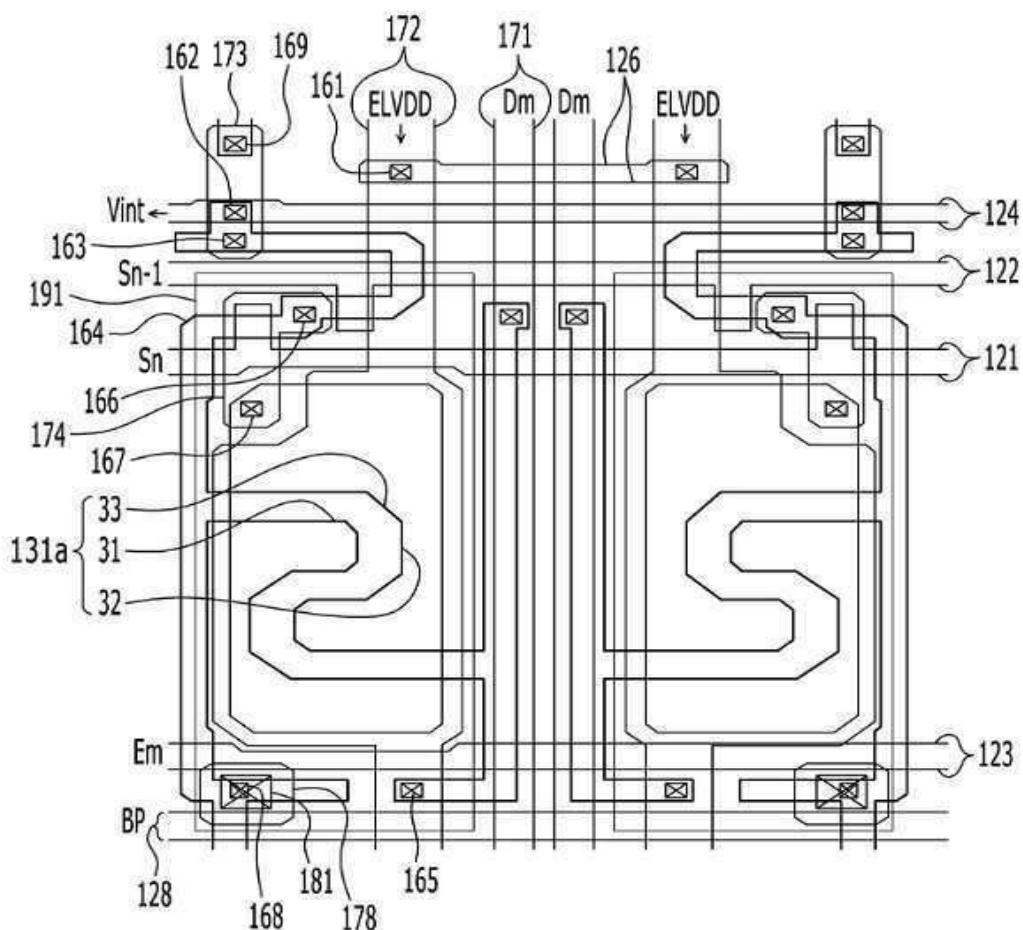
도면23



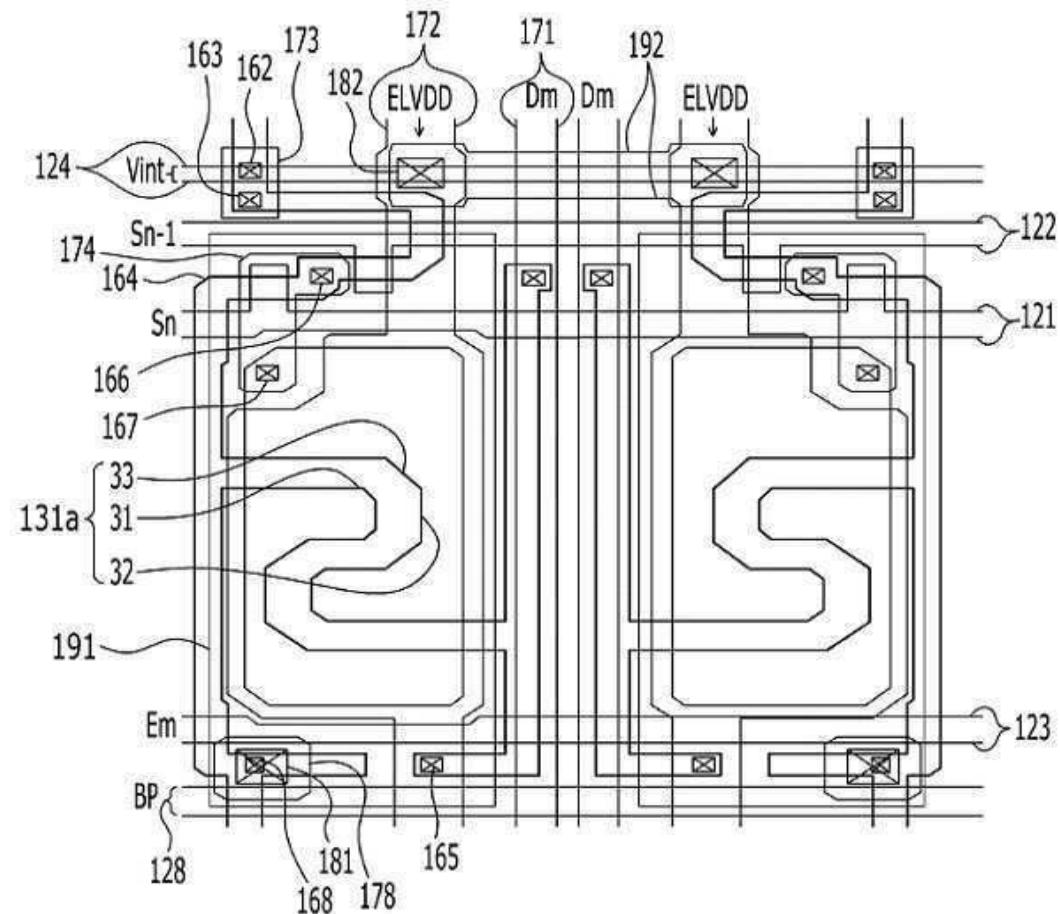
도면24



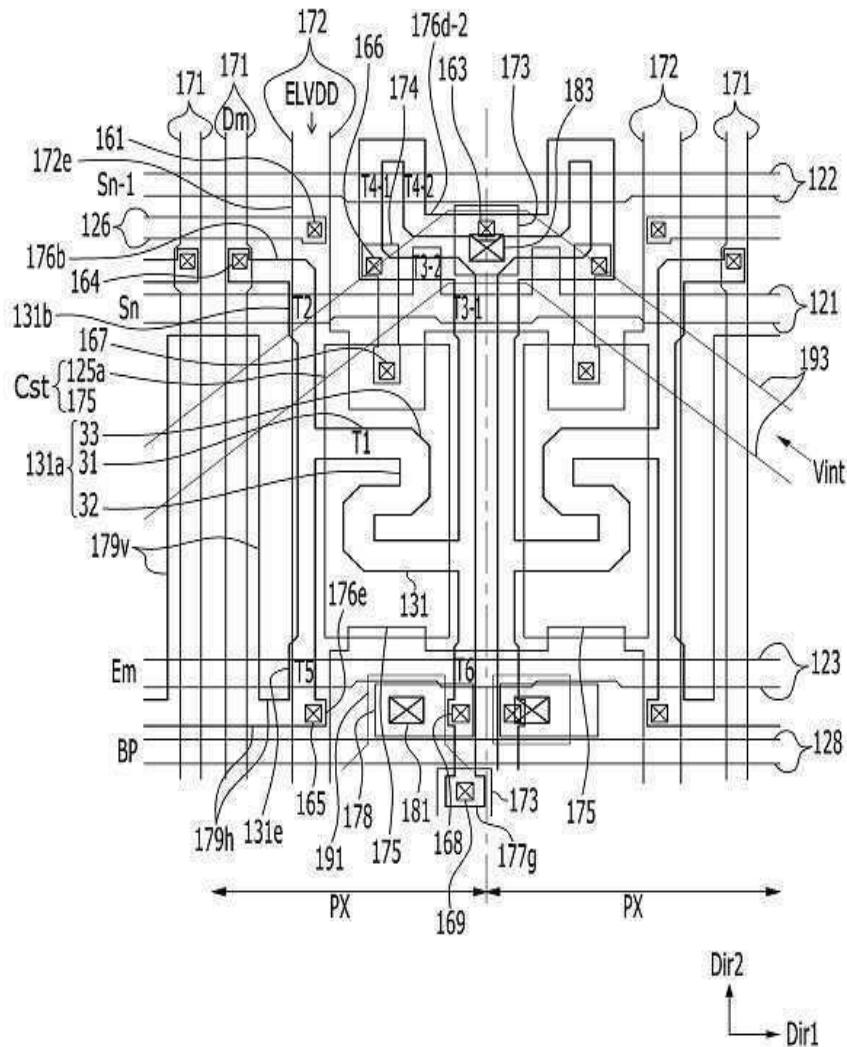
도면25



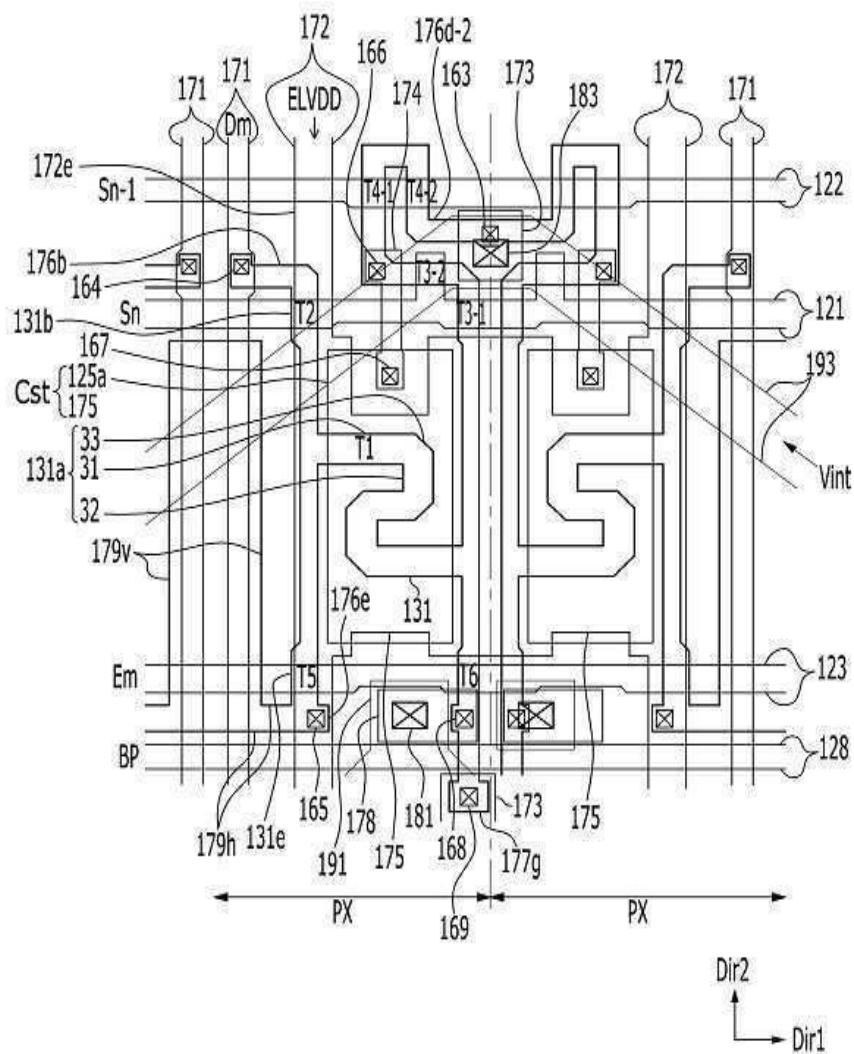
도면26



도면27



도면28



专利名称(译)	OLED显示器及其制造方法		
公开(公告)号	KR102007374B1	公开(公告)日	2019-08-06
申请号	KR1020190040837	申请日	2019-04-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	변창수 박옥경 김세호		
发明人	변창수 박옥경 김세호		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3276 H01L2227/32		
审查员(译)	Joseongsu		
其他公开文献	KR1020190040160A		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光显示装置包括：基板；和基板。位于衬底上的开关薄膜晶体管的半导体；驱动薄膜晶体管的半导体，其位于基板上并具有一个或多个弯曲；栅极绝缘膜，其覆盖开关薄膜晶体管的半导体和驱动薄膜晶体管的半导体；栅电极形成在栅绝缘膜上并且与开关薄膜晶体管的半导体重叠；栅电极形成在栅绝缘层上并与驱动薄膜晶体管的半导体重叠；层间绝缘层，其覆盖开关薄膜晶体管的栅极和驱动薄膜晶体管的栅极；数据线形成在层间绝缘层上并电连接至开关薄膜晶体管的半导体；以及形成在层间绝缘层上的第一驱动电压线，其中在沿第一方向和垂直于第一方向的第二方向上延伸的第一部分中，第一驱动电压线比第一部分宽。第二部分具有宽度，并且第二部分与驱动薄膜晶体管的栅电极重叠，并且其间具有层间绝缘层。

