



공개특허 10-2020-0083039

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0083039
(43) 공개일자 2020년07월08일

- (51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) *H01L 27/32* (2006.01)
H01L 51/00 (2006.01) *H01L 51/52* (2006.01)
- (52) CPC특허분류
H01L 51/56 (2013.01)
H01L 27/3244 (2013.01)
- (21) 출원번호 10-2018-0174251
(22) 출원일자 2018년12월31일
심사청구일자 없음

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 벌명자
여준호
경기도 파주시 월롱면 엘지로 245
- (74) 대리인
특허법인천문

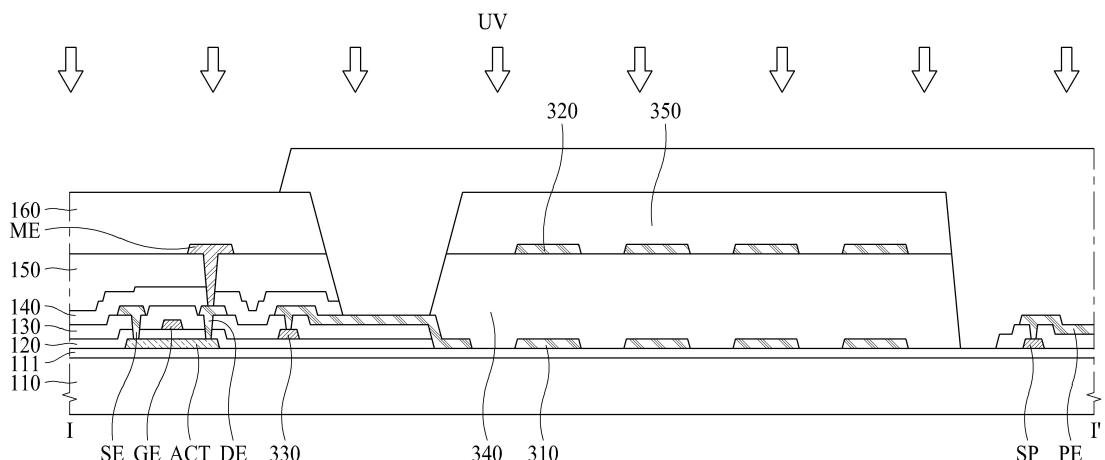
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 전계발광 표시장치의 제조방법 및 이에 의해 제조된 전계발광 표시장치

(57) 요 약

본 출원은 전계발광 표시장치의 제조방법 및 이에 의해 제조된 전계발광 표시 장치에 관한 것으로, 표시영역, 표시영역을 둘러싸는 비표시 영역 및 비표시 영역의 적어도 일부분에 마련되는 벤딩 영역이 정의되는 플렉서블 기판을 준비하는 단계, 플렉서블 기판의 표시 영역 상부에 화소 어레이층을 형성하는 단계, 및 플렉서블 기판의 벤딩 영역을 형성하는 단계를 포함하는 전계발광 표시장치의 제조방법 및 이에 의해 제조된 전계발광 표시장치이다.

대 표 도



팅 영역을 가로지르는 연결 배선부를 형성하는 단계를 포함하고, 화소 어레이층을 형성하는 단계는, 플렉서블 기판 상부에 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터 상부에 제1 평탄화막을 형성하는 단계, 및 상기 제1 평탄화막 상부에 발광소자를 형성하는 단계를 포함하고, 상기 연결 배선부를 형성하는 단계는, 플렉서블 기판 상부에 제1 연결 배선을 형성하는 단계, 및 상기 제1 연결 배선을 둘러싸는 제2 평탄화막을 형성하는 단계를 포함하고, 상기 제1 평탄화막을 형성하는 단계 및 상기 제2 평탄화막을 형성하는 단계 수행 후 선택적으로 표면처리를 수행하는 단계를 포함한다.

(52) CPC특허분류

H01L 51/0097 (2013.01)

H01L 51/52 (2013.01)

H01L 2251/5338 (2013.01)

명세서

청구범위

청구항 1

표시영역, 상기 표시영역을 둘러싸는 비표시 영역 및 상기 비표시 영역의 적어도 일부분에 마련되는 벤딩 영역이 정의되는 플렉서블 기판을 준비하는 단계;

상기 플렉서블 기판의 표시 영역 상부에 화소 어레이층을 형성하는 단계; 및

상기 플렉서블 기판의 벤딩 영역을 가로지르는 연결 배선부를 형성하는 단계를 포함하고,

상기 화소 어레이층을 형성하는 단계는,

상기 플렉서블 기판 상부에 박막 트랜ジ스터를 형성하는 단계;

상기 박막 트랜ジ스터 상부에 제1 평탄화막을 형성하는 단계; 및

상기 제1 평탄화막 상부에 발광소자를 형성하는 단계를 포함하고,

상기 연결 배선부를 형성하는 단계는,

상기 플렉서블 기판 상부에 제1 연결 배선을 형성하는 단계; 및

상기 제1 연결 배선을 둘러싸는 제2 평탄화막을 형성하는 단계를 포함하고,

상기 제1 평탄화막을 형성하는 단계 및 상기 제2 평탄화막을 형성하는 단계 수행 후 선택적으로 표면처리를 수행하는 단계를 포함하는, 전계발광 표시장치의 제조방법.

청구항 2

제1항에 있어서,

상기 제1 평탄화막을 형성하는 단계 및 상기 제2 평탄화막을 형성하는 단계 수행 후 상기 제1 평탄화막에 대응되는 영역에는 표면처리를 수행하고, 상기 제2 평탄화막에 대응되는 영역에는 표면처리를 수행하지 않는, 전계발광 표시장치의 제조방법.

청구항 3

제1항에 있어서,

상기 화소 어레이층을 형성하는 단계는,

상기 제1 평탄화막을 형성하는 단계의 수행 후 추가 제1 평탄화막을 형성하는 단계를 더 포함하는, 전계발광 표시장치의 제조방법.

청구항 4

제2항에 있어서,

상기 추가 제1 평탄화막을 형성하는 단계 수행 후 선택적으로 표면처리를 수행하는 단계를 포함하는, 전계발광 표시장치의 제조방법.

청구항 5

제3항에 있어서,

상기 추가 제1 평탄화막을 형성하는 단계의 수행 전에,

상기 박막 트랜ジ스터 및 발광 소자를 전기적으로 연결하는 중간 전극을 형성하는 단계를 더 포함하는, 유기발광 표시장치의 제조방법.

청구항 6

제1항에 있어서,

상기 연결 배선부를 형성하는 단계는

상기 제2 평탄화막 상부에 제2 연결 배선을 형성하는 단계; 및

상기 제2 연결 배선을 둘러싸는 추가 제2 평탄화막을 형성하는 단계를 더 포함하는, 전계발광 표시장치의 제조방법.

청구항 7

제1항 및 제4항 중 어느 한 항에 있어서,

상기 표면처리를 수행하는 단계는 블리칭 처리 방법인, 전계발광 표시장치의 제조방법.

청구항 8

제1항에 있어서,

상기 제1 평탄화막을 형성하는 단계 및 제2 평탄화막을 형성하는 단계의 수행 후 건조하는 단계를 더 포함하는, 전계발광 표시장치의 제조방법.

청구항 9

제3항 및 제6항 중 어느 한 항에 있어서,

상기 추가 제1 평탄화막을 형성하는 단계 및 추가 제2 평탄화막을 형성하는 단계의 수행 후 건조하는 단계를 더 포함하는, 전계발광 표시장치의 제조방법.

청구항 10

제1항, 제3항 및 제6항 중 어느 한 항에 있어서,

상기 제1 평탄화막, 추가 제1 평탄화막, 제2 평탄화막 및 추가 제2 평탄화막은 광 개시제를 포함하는 폴리머를 포함하는, 전계발광 표시장치의 제조방법.

청구항 11

제1항, 제3항 및 제6항 중 어느 한 항에 의해 제조된 전계발광 표시장치.

발명의 설명**기술 분야**

[0001] 본 출원은 전계발광 표시장치의 제조방법 및 이에 의해 제조된 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상표시장치는 정보통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 유기발광 소자의 발광량을 제어하여 영상을 표시하는 전계발광 표시장치 등이 각광받고 있다.

[0003] 전계발광 표시장치는 별도의 광원장치가 없기 때문에, 플렉서블(Flexible) 표시장치로 구현되기에 용이하다. 이 때, 플라스틱, 박막 금속(Metal Foil) 등의 플렉서블 재료가 전계발광 표시장치의 기판으로 사용된다.

[0004] 한편, 전계발광 표시장치가 플렉서블 표시장치로 구현되는 경우에, 그 유연한 성질을 이용하여 표시장치의 여러 부분을 휘거나 구부리려는 연구가 수행되고 있다. 이러한 연구는 주로 새로운 디자인과 사용자 인터페이스 / 사용자 경험(UI/UX: User Interface / User Experience)을 위해 수행되고 있으며, 전계발광 표시장치의 플렉서블 기판이 벤딩(Bending) 되는 영역에서, 플렉서블 장치의 벤딩 작동 중에 연결 배선의 크랙 저항성을 향상시킴으

로써, 단락되지 않도록 하는 연구 및 전계발광 표시장치의 구성 중 표면처리를 통하여 물성을 조절하여, 패널 신뢰성을 향상시키기 위한 연구도 병행되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 출원은 전계발광 표시장치의 패널의 수축 및 UV 신뢰성 성능이 향상되고, 벤딩 영역의 크랙 저항성이 향상될 수 있는, 전계발광 표시장치의 제조방법 및 이에 의해 준비되는 전계발광 표시장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0006] 본 출원에 따른 전계발광 표시장치의 제조방법은 표시영역, 표시영역을 둘러싸는 비표시 영역 및 비표시 영역의 적어도 일부분에 마련되는 벤딩 영역이 정의되는 플렉서블 기판을 준비하는 단계, 플렉서블 기판의 표시 영역 상부에 화소 어레이층을 형성하는 단계, 및 플렉서블 기판의 벤딩 영역을 가로지르는 연결 배선부를 형성하는 단계를 포함하고, 화소 어레이층을 형성하는 단계는, 기판 상부에 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터 상부에 제1 평탄화막을 형성하는 단계, 및 제1 평탄화막 상부에 전계발광소자를 형성하는 단계를 포함하고, 연결 배선부를 형성하는 단계는, 기판 상부에 제1 연결 배선을 형성하는 단계, 및 제1 연결 배선을 둘러싸는 제2 평탄화막을 형성하는 단계를 포함하고, 제1 평탄화막을 형성하는 단계 및 제2 평탄화막을 형성하는 단계 수행 후 선택적으로 표면처리를 수행하는 단계를 포함할 수 있다.

발명의 효과

[0007] 본 출원에 따른 전계발광 표시장치의 제조방법은 제1 평탄화층, 추가 제1 평탄화층, 제2 평탄화층 및 추가 제2 평탄화층을 선택적으로 표면 처리를 수행함으로써, 패널의 신뢰성 및 벤딩에 의한 크랙 저항성이 향상되는 효과가 있다.

[0008] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0009] 도 1은 본 출원에 따른 전계발광 표시장치의 평면도이다.

도 2는 도 1의 I-I' 절단선을 따라 도시한 단면도이다.

도 3은 본 출원에 따른 전계발광 표시장치의 패터닝된 연결 배선부를 설명하기 위한 평면도이다.

도 4a 내지 도 4g는 본 출원에 따른 평탄화층을 UV 처리하는 단계를 개략적으로 나타낸 것이다.

도 5는 본 출원에 따른 전계발광 표시장치의 크랙 저항성 및 패널 신뢰성을 테스트하기 위한 제조된 기판 - 평탄화층의 적층 구조이다.

도 6은 도 5의 기판 - 평탄화층의 적층 구조를 이용하여 벤딩 작동에 의한 크랙 저항성을 측정하는 것을 개략적으로 나타낸 것이다.

도 7a 및 도 7b는 도 6의 실험에 따른 크랙 발생 여부를 광학 현미경으로 촬영한 사진이다.

도 8은 도 5의 기판 - 평탄화층의 적층 구조를 이용하여 전계발광 표시장치의 패널 신뢰성을 측정한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원의 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원의 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0011] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원의 예를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0012] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.
- [0013] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0014] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치 할 수도 있다.
- [0015] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0016] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.
- [0017] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0018] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0019] 이하에서는 본 출원에 따른 전계발광 표시장치의 제조방법 및 이에 의해 제조된 전계발광 표시장치의 예를 첨부된 도면을 참조하여 상세히 설명한다.
- [0020] 도 1은 본 출원에 따른 전계발광 표시장치의 평면도이고, 도 2는 도 1의 I-I' 절단선을 따라 도시한 단면도이다.
- [0021] 도 1을 참조하면, 본 출원에 따른 전계발광 표시장치(100)는 표시 영역(active area; AA) 및 표시 영역(AA)을 둘러싸는 비표시 영역(inactive area; IA)을 포함할 수 있다. 그리고, 패드부(114)가 배치된 패드 영역(PA)을 포함할 수 있다. .
- [0022] 표시 영역(AA)에는 복수의 화소가 정의되는 화소 어레이층이 배치될 수 있고, 본 출원에 따른 전계발광 표시장치(100)는 표시 영역(AA)이 1개인 것으로 도시되었으나, 표시 영역(AA)은 복수일 수도 있다. 표시 영역(AA)은 전계발광 표시장치(100)에서 영상이 표시되는 영역으로서, 표시 영역(AA)에는 발광 소자(E) 및 발광 소자(E)를 구동하기 위한 다양한 구동 소자들이 배치될 수 있다.
- [0023] 비표시 영역(IA)은 표시 영역(AA) 주위에 배치될 수 있다. 구체적으로 비표시 영역(IA)은 표시 영역(AA)을 둘러싸는 형태로 제공될 수 있다. 비표시 영역(IA)은 사각형 형태의 표시 영역(AA)을 둘러싸는 것으로 도시되었으나, 표시 영역(AA)의 형태 및 배치와 표시 영역(AA)에 인접한 비표시 영역(IA)의 형태 및 배치는 이에 한정되지 않는다. 예를 들어, 사용자가 착용 가능한(wearable) 기기의 표시 장치일 경우 일반 손목시계와 같은 원(circular) 형태를 가질 수도 있으며, 차량 계기판 등에 응용 가능한 자유형(free-form) 표시 장치에도 본 실시예들의 개념들이 적용될 수도 있다.
- [0024] 비표시 영역(IA)은 스캔 라인 등과 같은 다양한 신호 라인과 연결 배선부(300), 케이트 구동부(112) 등과 같은 회로부가 형성되는 영역이다. 케이트 구동부(112)는 GIP 형태로 배치될 수 있다. 또한, 데이터 드라이버도 비표시 영역(IA)에 배치될 수 있다. 또한, 비표시 영역(IA)의 패드 영역(PA)에 패드부(114)가 배치될 수 있다. 패드부(114)는 외부 모듈, 예를 들어, FPCB(flexible printed circuit board), COF(chip on film) 등이 분팅되는 금속 패턴일 수 있다. 패드부(114)는 플렉서블 기판(110)의 일 측에 배치되는 것으로 도시되었으나, 패드부

(114)의 형태 및 배치는 이에 한정되지 않는다.

[0025] 벤딩 영역(bending area; BA)은 표시 영역(AA)과 인접하는 비표시 영역(IA)에 적어도 일부분 중첩하도록 마련될 수 있다. 예를 들어, 벤딩 영역(BA)은 표시 영역(AA)과 패드 영역(PA)의 사이에 배치될 수 있다. 벤딩 영역(BA)은 패드부(114) 및 패드부(114)에 본딩된 외부 모듈을 플렉서블 기판(110) 배면 측에 배치하기 위한 영역일 수 있다. 벤딩 영역(BA)이 플렉서블 기판(110)의 배면 방향으로 벤딩됨에 따라 플렉서블 기판(110)의 패드부(114)에 본딩된 외부 모듈이 플렉서블 기판(110) 배면 측으로 이동하게 되고, 플렉서블 기판(110) 상부에서 바라보았을 때 외부 모듈이 시인되지 않을 수 있다. 또한, 벤딩 영역(BA)이 벤딩됨에 따라 플렉서블 기판(110) 상부에서 시인되는 비표시 영역(IA)의 크기가 감소되어 네로우 베젤(narrow bezel)이 구현될 수 있다.

[0026] 연결 배선부(300)는 비표시 영역(IA)에 배치될 수 있고, 구체적으로는 벤딩 영역(BA)에 중첩될 수 있다. 연결 배선부(300)는 패드부(114)와 본딩되는 외부 모듈로부터의 신호(전압)를 표시 영역(AA) 또는 게이트 구동부(112)와 같은 회로부에 전달하기 위한 구성으로서, 예를 들어, 연결 배선부(300)를 통해 게이트 구동부(112)를 구동하기 위한 다양한 신호, 데이터 신호, 고전위 전압, 저전위 전압 등과 같은 다양한 신호가 전달될 수 있다. 일 예에 따르면, 연결 배선부(300)는 표시 영역(AA)에 배치된 박막 트랜지스터 및 발광소자를 포함하는 다양한 도전성 엘리먼트와 동일한 물질을 포함하고, 동일한 공정에 의해 형성될 수 있다. 또한, 연결 배선부(300)는 전계발광 표시장치(100)의 고성능 작동의 요구 조건을 만족하기 위해, 고집적의 연결 배선부(300)를 제공하기 위해 이중 구조의 연결 배선부(300)가 제공될 수 있다. 이중 구조의 연결 배선부(300)는 도 2를 참조하여 후술하기로 한다.

[0027] 게이트 구동부(112)는 플렉서블 기판(110)의 비표시영역(IA)에 배치되며, 화소 어레이층의 박막 트랜지스터에 구동 신호를 제공한다. 게이트 구동부(112)는 다양한 게이트 구동 회로들을 포함하며, 게이트 구동 회로들은 플렉서블 기판(110) 상에 직접 형성될 수 있다. 이 경우, 게이트 구동부(112)는 GIP(Gate-In-Panel)로 지칭될 수 있다.

[0028] 패드부(114)는 예를 들어, 도 1에 도시된 바와 같이, 플렉서블 기판(110)의 하단부에서 벤딩 영역(BA)과 접하는 비표시 영역(IA)에 배치될 수 있다. 예를 들어, 패드부(114)는 플렉서블 기판(110)의 패드 영역(PA)에 배치될 수 있다. 패드 영역(PA)은 벤딩 영역(BA)과 인접한 영역일 수 있다. 패드부(114)는 FPCB 등과 같은 회로필름과 접속되며, 회로필름과 배선(118)을 서로 연결시키는 접촉 단자일 수 있다.

[0029] 도 2를 참조하면, 본 출원에 따른 전계발광 표시장치(100)는 발광 소자(E)에서 발광된 광이 캐소드 전극(CE)를 통해 전계발광 표시장치(100) 상부로 방출되는 탑 에미션(top emission) 방식의 전계발광 표시 장치일 수 있다. 다만, 본 출원에 따른 전계발광 표시장치(100)는 탑 에미션 방식에 구애받지 않고, 바텀 에미션 방식 또는 양면 발광 방식 전계발광 표시장치일 수 있다.

[0030] 도 2에 도시된 바와 같이, 플렉서블 기판(110)의 표시 영역(AA)에는 박막트랜지스터(T) 및 발광소자(E)의 다양한 구성요소들을 지지할 수 있다. 플렉서블 기판(110)에는 복수의 화소가 정의된 퍽셀 어레이(pixel array)가 구현될 수 있다.

[0031] 본 출원에 따른 전계발광 표시장치의 제조방법은 표시영역, 표시영역을 둘러싸는 비표시 영역 및 비표시 영역의 적어도 일부분에 마련되는 벤딩 영역이 정의되는 플렉서블 기판을 준비하는 단계, 플렉서블 기판의 표시 영역 상부에 화소 어레이층을 형성하는 단계, 및 플렉서블 기판의 벤딩 영역을 가로지르는 연결 배선부를 형성하는 단계를 포함하고, 화소 어레이층을 형성하는 단계는, 기판 상부에 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터 상부에 제1 평탄화막을 형성하는 단계, 및 제1 평탄화막 상부에 발광소자를 형성하는 단계를 포함하고, 연결 배선부를 형성하는 단계는, 기판 상부에 제1 연결 배선을 형성하는 단계, 및 제1 연결 배선을 둘러싸는 제2 평탄화막을 형성하는 단계를 포함하고, 제1 평탄화막을 형성하는 단계 및 제2 평탄화막을 형성하는 단계 수행 후 선택적으로 표면처리를 수행하는 단계를 포함할 수 있다.

[0032] 본 출원에 따른 전계발광 표시장치의 제조방법은 먼저, 표시영역, 상기 표시영역을 둘러싸는 비표시 영역 및 상기 비표시 영역의 적어도 일부분에 마련되는 벤딩 영역이 정의되는 플렉서블 기판(110)을 준비하는 단계가 수행될 수 있다.

[0033] 플렉서블 기판(110)은 플렉서빌리티(flexibility)(또는 가요성)를 갖는 플라스틱 물질로 이루어질 수 있으며, 예를 들어, 폴리이미드(PI)로 이루어질 수도 있다. 플렉서블 기판(110)이 폴리이미드(PI)로 이루어지는 경우, 플렉서블 기판(110) 하부에 유리로 이루어지는 지지 기판이 배치된 상황에서 제조 공정이 진행되고, 제조 공정이 완료된 후 지지 기판이 릴리즈(release)될 수 있다. 또한, 지지 기판이 릴리즈된 후, 기판을 지지하기 위한

백 플레이트(back plate)가 플렉서블 기판(110) 하부에 배치될 수도 있다.

[0034] 베퍼층(111)은 플렉서블 기판(110) 상에 배치된다. 베퍼층(111)은 무기물인 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx)과 산화 실리콘(SiOx)의 다중층으로 이루어질 수 있다. 베퍼층(111)은 베퍼층(111) 상에 형성되는 층들과 플렉서블 기판(110) 간의 접착력을 향상시키고, 플렉서블 기판(110)으로부터 유출되는 알칼리 성분 등을 차단하는 역할 등을 수행한다. 다만, 베퍼층(111)은 필수적인 구성요소는 아니며, 플렉서블 기판(110)의 종류 및 물질, 박막 트랜지스터(T)의 구조 및 타입 등에 기초하여 생략될 수도 있다.

[0035] 다음으로, 플렉서블 기판(110)의 표시 영역 상부에 화소 어레이층을 형성하는 단계에서, 화소 어레이층을 형성하는 단계는 기판(110) 상부에 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터 상부에 제1 평탄화막을 형성하는 단계 및 제1 평탄화막 상부에 발광소자를 형성하는 단계를 포함할 수 있다.

[0036] 박막 트랜지스터(T)는 베퍼층(111) 상에 배치된다. 박막 트랜지스터(T)는 폴리 실리콘으로 이루어지는 액티브 층(ACT), 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다. 박막 트랜지스터(T)는 구동 박막 트랜지스터이고, 게이트 전극(GE)이 액티브 층(ACT) 상에 배치되는 탑 게이트 구조의 박막 트랜지스터이다. 설명의 편의를 위해, 전계발광 표시장치(100)에 포함될 수 있는 다양한 박막 트랜지스터 중 구동 박막 트랜지스터만을 도시하였으나, 스위칭 박막 트랜지스터 등과 같은 다른 박막 트랜지스터도 전계발광 표시장치(100)에 포함될 수 있다. 또한, 설명의 편의를 위해, 박막 트랜지스터(T)가 코플래너(coplanar) 구조인 것으로 설명하였으나, 스태거드(staggered) 구조 등과 같은 다른 구조로 박막 트랜지스터(T)가 구현될 수도 있다.

[0037] 박막 트랜지스터(T)의 액티브 층(ACT)은 베퍼층(111) 상에 배치된다. 액티브 층(ACT)은 박막 트랜지스터(T) 구동 시 채널이 형성되는 채널 영역, 채널 영역 양 측의 소스 영역 및 드레인 영역을 포함한다. 채널 영역, 소스 영역 및 드레인 영역은 이온 도핑(불순물 도핑)에 의해 정의된다.

[0038] 박막 트랜지스터(T)의 액티브 층(ACT)은 폴리 실리콘(polycrystalline silicon)으로 이루어질 수 있다. 이에, 베퍼층(111) 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 탈수소화 공정, 결정화 공정, 활성화 공정 및 수소화 공정을 수행하는 방식으로 폴리 실리콘이 형성되고, 폴리 실리콘을 패터닝하여 액티브 층(ACT)이 형성될 수 있다. 액티브 층(ACT)이 폴리 실리콘으로 이루어지는 경우, 박막 트랜지스터(T)는 저온 폴리 실리콘(Low Temperature Poly-Silicon;LTPS)을 이용한 LTPS 박막 트랜지스터(T)일 수 있다. 폴리 실리콘 물질은 이동도가 높아, 액티브 층(ACT)이 폴리 실리콘으로 이루어지는 경우 에너지 소비 전력이 낮고 신뢰성이 우수하다는 장점이 있다.

[0039] 게이트 절연층(120)이 액티브 층(ACT)과 베퍼층(111) 상에 배치된다. 게이트 절연층(120)은 무기물인 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 다중층으로 구성될 수 있다. 게이트 절연층(120)에는 소스 전극(SE) 및 드레인 전극(DE) 각각이 액티브 층(ACT)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 컨택하기 위한 컨택홀을 구비한다.

[0040] 게이트 전극(GE)은 게이트 절연층(120) 상에 배치된다. 게이트 절연층(120) 상에 몰리브덴(Mo) 등과 같은 금속 층을 형성하고, 금속층을 패터닝하여 게이트 전극(GE)이 형성된다. 게이트 전극(GE)은 액티브 층(ACT)의 채널영역과 중첩하도록 게이트 절연층(120) 상에 배치된다.

[0041] 게이트 전극(GE) 상에 층간 절연막(130)이 배치된다. 층간 절연막(130)은 무기물인 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 다중층으로 구성될 수 있다. 층간 절연막(130)에는 소스 전극(SE) 및 드레인 전극(DE) 각각이 액티브 층(ACT)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 컨택하기 위한 컨택홀이 형성된다.

[0042] 소스 전극(SE) 및 드레인 전극(DE)은 층간 절연막(130) 상에 배치된다. 소스 전극(SE) 및 드레인 전극(DE)은 도전성 금속 물질로 이루어질 수 있고, 예를 들어, 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조 등으로 이루어질 수 있다. 소스 전극(SE) 및 드레인 전극(DE) 각각은 컨택홀을 통해 액티브 층(ACT)의 소스 영역(SA) 및 드레인 영역(DA) 각각에 연결된다.

[0043] 보호층(140)은 박막 트랜지스터(T) 상에 배치될 수 있다. 보호층(140)은 박막 트랜지스터(T)를 보호하기 위한 절연층이다. 보호층(140)은 무기물인 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 다중층으로 구성될 수 있다. 보호층(140)은 발광 소자(E)의 애노드 전극(AE)이 박막 트랜지스터(T)와 연결되기 위한 컨택홀을 구비한다. 보호층(140)은 반드시 필요한 구성요소는 아니며, 전계발광 표시장치(100)의 설계에 따라 생략될 수도 있다.

- [0044] 제1 평탄화층(150)은 보호층(140) 상에 배치된다. 제1 평탄화층(150)은 박막 트랜지스터(T) 상부를 평탄화하기 위한 절연층으로서, 유기물로 이루어질 수 있다. 보호층(140)은 박막 트랜지스터(T)의 상부의 형상을 따라 형성되므로, 박막 트랜지스터(T) 및 스토리지 커패시터(120)에 의해 보호층(140)이 평탄화되지 못하고 단차가 존재할 수 있다. 이에, 제1 평탄화층(150)은 박막 트랜지스터(T) 및 스토리지 커패시터(120) 상부를 평탄화하여, 발광 소자(E)가 보다 신뢰성 있게 형성될 수 있다. 제1 평탄화층(150)에는 박막 트랜지스터(T)의 드레인 전극(DE)을 노출시키기 위한 컨택홀이 형성된다.
- [0045] 일 예에 따르면, 제1 평탄화층(150)은 도포 시에 평탄화 성질을 갖는 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다.
- [0046] 또한, 제1 평탄화층(150)은 광 개시제(photoinitiator)를 포함하는 기타 기능성 첨가물을 더 포함할 수 있다. 광 개시제는 UV를 포함하는 소정의 파장을 갖는 광원에 반응할 수 있고, 이에 따라 제1 평탄화층(150)의 물성을 변경시킬 수 있다. 일 예에 따르면, 변경되는 물성은 투과율, 연신율, 경도를 포함할 수 있다.
- [0047] 본 출원에 따른 추가 제1 평탄화막을 형성하는 단계의 수행 전에, 박막 트랜지스터 및 발광 소자를 전기 적으로 연결하는 중간 전극을 형성하는 단계를 더 포함할 수 있다.
- [0048] 중간 전극(ME)은 평탄화층(150) 및 보호층(140)의 컨택홀을 통해 박막 트랜지스터(T)의 드레인 전극(DE)과 연결될 수 있으며, 후술하는 추가 제1 평탄화층(160)에 형성되는 컨택홀을 통해 애노드 전극(AE)과 물리적 및 전기적으로 연결될 수 있다.
- [0049] 본 출원에 따른 화소 어레이층을 형성하는 단계는, 제1 평탄화막을 형성하는 단계의 수행 후 추가 제1 평탄화막을 형성하는 단계를 더 포함할 수 있다.
- [0050] 추가 제1 평탄화층(160)은 제1 하부 평탄화층(150)과 적어도 일부분 중첩하도록 배치될 수 있고, 중간 전극(ME)을 덮도록 마련될 수 있다. 또한, 제1 상부 평탄화층(160)은 후속의 발광 소자(E)의 애노드 전극(AE)과 중간 전극(ME)을 물리적 및 전기적으로 접촉시키기 위한 컨택홀을 더 포함할 수 있다.
- [0051] 다만, 전술한 중간 전극(ME) 및 제1 상부 평탄화층(160)은 반드시 필요한 것은 아니고, 후술되는 연결 배선부(300)가 제1 연결 배선부(310) 및 제2 연결 배선부(320)를 포함하는 이중 배선 구조를 갖고, 표시 영역(AA)에 형성된 박막 트랜지스터(T) 및 발광 소자(E)의 전기적인 구조가 중간 전극(ME) 및 제1 상부 평탄화층(160)의 도입에 따른 향상된 효과가 있는 경우 선택적으로 적용될 수 있다.
- [0052] 일 예에 따르면, 제1 상부 평탄화층(160)은 도포 시에 평탄화 성질을 갖는 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다.
- [0053] 또한, 제1 상부 평탄화층(160)은 광 개시제(photoinitiator)를 포함하는 기타 기능성 첨가물을 더 포함할 수 있다. 광 개시제는 UV를 포함하는 소정의 파장을 갖는 광원에 반응할 수 있고, 이에 따라 제1 상부 평탄화층(160)의 물성을 변경시킬 수 있다. 일 예에 따르면, 변경되는 물성은 투과율, 연신율, 경도를 포함할 수 있다.
- [0054] 제1 상부 평탄화층(160) 상에 발광 소자(E)가 배치된다. 발광 소자(E)는 제1 상부 평탄화층(160)에 형성되어 박막 트랜지스터(T)의 드레인 전극(DE)과 전기적으로 연결된 애노드 전극(AE), 애노드 전극(AE) 상에 배치된 발광층(E) 및 발광층(E) 상에 형성된 캐소드 전극(CE)를 포함한다. 전계발광 표시장치(100)가 탑 에미션 방식의 전계발광 표시장치인 경우, 애노드 전극(AE)은 발광층(E)에서 발광된 광을 캐소드 전극(CE) 측으로 반사시키기 위한 반사층 및 발광층(E)에 정공을 공급하기 위한 투명 도전층을 포함할 수 있다. 다만, 애노드 전극(AE)은 투명 도전층만을 포함하고 반사층은 애노드 전극(AE)과 별개의 구성요소인 것으로 정의될 수도 있다. 발광층(E)은 특정 색의 광을 발광하기 위한 발광층(E)으로서, 적색 발광층, 녹색 발광층, 청색 발광층 및 백색 발광층 중 하나를 포함할 수 있다. 만약, 발광층(E)이 백색 발광층을 포함하는 경우, 발광 소자(E) 상부에 백색 발광층으로부터의 백색 광을 다른 색의 광으로 변환하기 위한 컬러 필터가 배치될 수 있다. 또한, 발광층(E)은 발광층 이외에 정공 수송층, 정공 주입층, 전자 주입층, 전자 수송층을 더 포함할 수도 있다. 캐소드 전극(CE)은 투명 도전성 물질로 이루어질 수 있으며, 예를 들어, IZO 등과 같은 투명 도전성 산화물이나 이테르븀(Yb)을 포함하도록 이루어질 수도 있다.
- [0055] 뱅크(B)는 애노드 전극(AE) 및 제1 상부 평탄화층(160) 상에 중첩되도록 배치될 수 있다. 뱅크(B)는 표시 영역(AA)에서 인접하는 화소 영역을 구분하는 방식으로 화소 영역을 정의한다. 뱅크(B)는 유기물로 이루어질 수 있다. 예를 들어, 뱅크(B)는 폴리이미드(polyimide), 아크릴(acryl) 또는 벤조사이클로부텐(benzocyclobutene; BCB) 계 수지로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

- [0056] 본 출원에 따른 전계발광 표시장치(100)는 발광 소자(E) 상에는 수분에 취약한 발광 소자(E)를 수분에 노출되지 않도록 보호하기 위한 봉지부(170)를 더 포함할 수 있다. 봉지부(170)는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 본 출원에 따른 봉지부(170)는 제1 봉지부(171), 제2 봉지부(172) 및 제3 봉지부(173)을 포함할 수 있다.
- [0057] 제1 봉지부(171)는 전계발광소자(E)를 덮을 수 있고, 구체적으로 전계발광소자(E)의 캐소드 전극(CE)을 덮을 수 있고, 제1 봉지부(171)는 중착 공정에 의해 최외곽에 노출된 전계발광소자(E) 전체에 코팅될 수 있다. 일 예에 따르면, 제1 봉지부(171)는 실리콘 산질화막(SiON)이 하나 이상 적층된 다중막으로 형성될 수 있다.
- [0058] 제2 봉지부(172)는 제1 봉지부(171) 전면을 덮을 수 있다. 제2 봉지부(172)는 고분자 접착물질 중에서 선택될 수 있다. 예를 들면, 제2 봉지부(172)는 실리콘 수지, 에폭시 수지 및 아크릴 수지 중 적어도 하나의 물질로 이루어질 수 있다. 제2 봉지부(172)는 페이스실 접착층(face-seal adhesive; FSA)으로 지칭될 수 있다. 제2 봉지부(172)는 외부에서 유입될 수 있는 수분 등의 침투를 막아 전계발광소자(E)의 발광층의 열화를 방지할 수 있다.
- [0059] 제3 봉지부(173)는 제2 봉지부(172)의 상면 상에 형성될 수 있고, 제3 봉지부(173)는 봉지 기판일 수 있다. 제3 봉지부(173)는 금속 기판, 플라스틱 필름, 유리 기판, 또는 유기 봉지 필름을 포함할 수 있다.
- [0060] 도 2에 도시된 바와 같이, 플렉서블 기판(110)의 비표시 영역(IA)에는 연결 배선부(300), 및 신호패드(SP) 및 패드전극(PE)을 포함하는 패드부(114)의 다양한 구성요소들을 지지할 수 있다. 연결 배선부(300)는 제1 연결 배선부(310), 제2 연결 배선부(320), 연결부(330), 제2 하부 평탄화층(340) 및 제2 상부 평탄화층(350)을 포함할 수 있다.
- [0061] 패드부(114)는 신호패드(SP) 및 신호패드(SP)에 연결된 패드 전극(PE)를 포함할 수 있다. 패드부(114)는 전술한 바와 같이, 패드부(114)와 본딩되는 외부 모듈로부터의 신호(전압)를 표시 영역(AA) 또는 게이트 구동부(112)와 같은 회로부에 전달하기 위한 구성일 수 있다. 신호패드(SP)는 박막 트랜지스터(T)의 게이트 전극(GE)과 동일한 물질, 동일한 공정으로 수행될 수 있으나 이에 제한되는 것은 아니다. 또한, 패드 전극(PE)은 박막 트랜지스터(T)의 소스 전극(SE) 및 드레인 전극(DE)과 동일한 물질, 동일한 공정으로 수행될 수 있으나 이에 제한되는 것은 아니다.
- [0062] 연결 배선부를 형성하는 단계는, 플렉서블 기판(110) 상부에 제1 연결 배선을 형성하는 단계, 및 제1 연결 배선을 둘러싸는 제2 평탄화막을 형성하는 단계를 포함할 수 있다.
- [0063] 도 2를 참조하면, 연결 배선부(300)는 베퍼층(111) 상에 형성된 제1 연결 배선부(310), 제1 연결 배선부(310)를 감싸도록 배치되는 제2 하부 평탄화층(340), 제2 하부 평탄화층(340) 상부에 형성된 제2 연결 배선부(320) 및 제2 연결 배선부(320)의 상부에 형성되는 제2 상부 평탄화층(350)을 포함할 수 있다. 여기서, 제1 연결 배선부(310) 및 제2 연결 배선부(320)는 각각 상호 이격된 것으로 도시되었으나, 도 3에 후술되는 바와 같이 소정의 패터닝 구조를 가짐으로써 일직선으로 도시하는 경우 이격된 것으로 도시될 수 있다.
- [0064] 제1 연결 배선부(310)는 비표시 영역(IA)의 베퍼층(111) 상부에 형성될 수 있다. 일 예에 따르면, 제1 연결 배선부(310)은 박막 트랜지스터(T)의 소스 전극(SE) 및 드레인 전극(DE)과 동일한 도전성 물질로 형성될 수 있으나, 이에 제한되지 않고 다른 물질로 형성될 수 있다.
- [0065] 제2 하부 평탄화층(340)은 제1 연결 배선부(310)를 감싸도록 배치될 수 있다. 제2 평탄화층(340)은 표시 영역(AA)의 제1 하부 평탄화층(150)과 동일한 물질 및 동일한 공정에 의해 형성되고, 패터닝에 의해 구분될 수 있다. 제1 하부 평탄화층(150) 및 제2 하부 평탄화층(340)은 도포 시에 평탄화 성질을 갖는 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다.
- [0066] 또한, 제1 하부 평탄화층(150) 및 제2 하부 평탄화층(340)은 광 개시제(photon initiator)를 포함하는 기타 기능성 첨가물을 더 포함할 수 있다. 광 개시제는 UV를 포함하는 소정의 파장을 갖는 광원에 반응할 수 있고, 이에 따라 제1 하부 평탄화층(150) 또는 제2 하부 평탄화층(340)의 물성을 변경시킬 수 있다. 일 예에 따르면, 변경되는 물성은 투과율, 연신율, 경도를 포함할 수 있다.
- [0067] 연결부(330)는 제1 연결 배선부(310)의 전기 신호를 표시 영역의 박막 트랜지스터(T)에 공급하는 역할을 수행할 수 있다. 도 2를 참조하면, 연결부(330)는 제1 연결 배선부(310)와 연결되는 것으로 도시되었으나, 이에 제한되지 않고 다른 위치에서는 제2 연결 배선부(320)에 전기적으로 연결될 수 있다.
- [0068] 본 출원에 따른 연결 배선부를 형성하는 단계는 제2 평탄화막 상부에 제2 연결 배선을 형성하는 단계, 및 제2

연결 배선을 둘러싸는 추가 제2 평탄화막을 형성하는 단계를 더 포함할 수 있다.

[0069] 제2 연결 배선부(320)는 제2 하부 평탄화층(340) 상에 형성될 수 있다. 일 예에 따르면, 제2 연결 배선부(320)는 표시 영역(AA)의 중간 전극(ME) 또는 애노드 전극(AE)과 동일한 도전성 물질로 형성될 수 있으나, 이에 제한되지 않고 다른 물질로 형성될 수 있다.

[0070] 제2 상부 평탄화층(350)은 제2 연결 배선부(320)를 감싸도록 배치될 수 있다. 제2 상부 평탄화층(350)은 표시 영역(AA)의 제1 상부 평탄화층(160)과 동일한 물질 및 동일한 공정에 의해 형성되고, 패터닝에 의해 구분될 수 있다. 일 예에 따르면, 추제2 상부 평탄화층(350) 및 제1 상부 평탄화층(160)은 도포 시에 평탄화 성질을 갖는 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다.

[0071] 또한, 제1 상부 평탄화층(160) 및 제2 상부 평탄화층(350)은 개시제(photoinitiator)를 포함하는 기타 기능성 첨가물을 더 포함할 수 있다. 광 개시제는 UV를 포함하는 소정의 파장을 갖는 광원에 반응할 수 있고, 이에 따라 제2 상부 평탄화층(350) 또는 제1 상부 평탄화층(160)의 물성을 변경시킬 수 있다. 일 예에 따르면, 변경되는 물성은 투과율, 연신율, 경도를 포함할 수 있다.

[0072] 전계발광 표시장치(100)의 표시 영역(AA)의 패시베이션층(170)이 연장되어 비표시 영역(IA)에 배치된 연결 배선부(300)의 상부를 덮도록 형성될 수 있으나, 반드시 이에 제한되는 것은 아니다.

[0073] 도 3은 본 출원에 따른 전계발광 표시장치의 패터닝된 제1 연결 배선부(310)를 설명하기 위한 평면도이다. 전술한 바와 같이, 본 출원에 따른 연결 배선부(300)는 제1 연결 배선부(310) 및 제2 연결 배선부(320)를 포함하는 이중 배선구조일 수 있으나, 설명을 위해 제1 연결 배선부(310) 단일층만 벤딩 영역(BA)에 형성된 것으로 도시하였다.

[0074] 도 3에서 알 수 있듯이, 본 출원에 따른 제1 연결 배선부(310)는 바람직하게 일직선으로 형성되는 것이 아니고, 소정의 패턴 구조를 갖도록 형성됨으로써, 벤딩에 의한 스트레스가 분산되는 구조를 포함할 수 있다. 본 출원에 따른 제1 연결 배선부(310)가 동일한 패터닝 구조를 가지면서 반복되는 경우, 전계발광 표시장치(100)의 벤딩 영역(BA)에 적용되는 곡률에 대응하여 패터닝 퍼치, 패터닝 굽기 등을 조절할 수 있다. 또한, 본 출원에 따른 제1 연결 배선부(310)는 제2 하부 평탄화층(340)의 컨택홀을 통하여 노출될 수 있다. 제2 연결 배선부(320)는 제2 하부 평탄화층(340) 상에 배치될 수 있다. 그리고, 제2 연결 배선부(320)는 제2 하부 평탄화층(340)의 컨택홀을 통하여 노출된 제1 연결 배선부(310)와 연결될 수 있다. 또한, 제2 연결 배선부(320)는 제1 연결 배선부(310)와 동일한 패터닝 구조를 가질 수 있다. 그러나, 이에 한정되지는 않으며, 제2 연결 배선부(320)는 제1 연결 배선부(310)와 상이한 패터닝 구조를 가질 수 있다. 제1 연결 배선부(310)와 제2 연결 배선부(320)는 제2 하부 평탄화층(340)에 의해 수직으로 이격된 이중 연결 배선부(300) 구조를 가질 수 있다.

[0075] 도 4a 내지 도 4g는 본 출원에 따른 평탄화층을 블리칭 처리하는 단계를 개략적으로 나타낸 것이다.

[0076] 먼저, 도 4a에서 액티브 영역(AA) 상부 및 벤딩 영역(BA)의 연결 배선부(31) 상부에 제1 평탄화막(PLN1)을 형성한다. 다음으로, 도 4b에서 앞서 형성된 제1 평탄화막(PLN1)을 패터닝하여, 액티브 영역(AA)의 제1 하부 평탄화층(150) 및 제2 하부 평탄화층(340)을 형성한다.

[0077] 다음으로, 도 4c에서 연결 배선부(300)가 형성된 벤딩 영역(BA)을 포함하는 비표시 영역(IA)에 대응되도록 마스크 패턴(MP)을 형성하고, 소정의 파장을 갖는 UV 광원을 조사하여 제1 하부 평탄화층(150)에 대해서 블리칭 처리(bleaching treatment)를 수행한다. 여기서, 도 4c의 블리칭 처리(bleaching treatment)는 선택적으로 수행되거나, 생략될 수 있고, 후술하는 도 4f의 블리칭 처리(bleaching treatment)로 통합되어 수행될 수 있다. 다음으로, 도 4d에서 도 4c의 마스크 패턴(MP)을 제거한 후, 액티브 영역(AA)의 제1 하부 평탄화층(140) 및 중간 전극(ME), 벤딩 영역(BA)의 제2 하부 평탄화층(340)을 덮도록 제2 평탄화층(PLN 2)을 형성한다. 다음으로, 도 4e에서 앞서 형성된 제2 평탄화막(PLN 2)을 패터닝하여, 액티브 영역(AA)의 제1 상부 평탄화층(160) 및 제2 상부 평탄화층(350)을 형성한다.

[0078] 다음으로, 도 4f에서 벤딩 영역(BA)에 대응되도록 마스크 패턴(MP)을 형성하고, 액티브 영역(AA)에 소정의 파장을 갖는 UV 광원을 조사하여 제1 상부 평탄화층(150)에 대해서 블리칭 처리(bleaching treatment)를 수행한다.

[0079] 도 4g는 도 4a 내지 도 4f의 제조 방법에 의해 제조된 전계발광 표시장치(100)를 도시한 것이다. 도 4f의 전계발광 표시장치는 전술한 도 2의 전계발광 표시장치(100)와 동일하므로 이에 대한 중복 설명은 생략한다.

[0080] 도 4c 및 도 4f에서, 블리칭 처리(bleaching treatment)는 제1 하부 평탄화층(150), 제1 상부 평탄화층(160), 제2 하부 평탄화층(340) 및 제2 상부 평탄화층(350)에 소정의 파장을 갖는 UV 광원을 조사하여, 제1 하부 평탄

화층(150), 제1 상부 평탄화층(160), 제2 하부 평탄화층(340) 및 제2 상부 평탄화층(350)에 포함된 광개시제에 반응하여, 제1 하부 평탄화층(150), 제1 상부 평탄화층(160), 제2 하부 평탄화층(340) 및 제2 상부 평탄화층(350)을 표백(bleach)하여 평탄화층의 투과도를 포함하는 물성을 변경시키는 공정을 의미한다. 일 예에 따르면, 블리칭 처리에 의해 제1 하부 평탄화층(150), 제1 상부 평탄화층(160), 제2 하부 평탄화층(340) 및 제2 상부 평탄화층(350)의 투과율이 높아질 수 있다.

[0081] 블리칭 처리란, 광 개시제가 포함된 제1 하부 평탄화층(150) 및 제1 상부 평탄화층(160)에 UV 광원을 조사하여, 제1 하부 평탄화층(150) 및 제1 상부 평탄화층(160)에 포함된 개시제가 반응을 하게 된다. 따라서, 제1 하부 평탄화층(150) 및 제1 상부 평탄화층(160)은 블리칭 처리에 의해 투과도가 향상될 수 있다.

[0082] 도 4a 내지 도 4g에서 알 수 있듯이, 본 출원에 따른 블리칭 처리를 수행하는 단계는 전계발광 표시장치(100)의 표시 영역(AA)의 제1 하부 평탄화층(150) 및 제1 상부 평탄화층(160)을 형성하는 단계, 벤딩 영역(BA)의 제2 하부 평탄화층(340) 및 제2 상부 평탄화층(350)을 형성하는 단계 후에 수행될 수 있다. 또한, 본 출원의 제조방법에 따르면, 블리칭 처리를 수행하는 단계는 전계발광 표시장치(100)의 표시 영역(AA)의 제1 하부 평탄화층 및 제1 상부 평탄화층(160)에 대해서만 선택적으로 수행될 수 있다. 이러한 선택적인 블리칭 처리는 앞선 공정에서 전계발광 표시장치(100)의 표시 영역(AA)의 공정을 위해 사용된 동일한 마스크 패턴(MP)을 사용함으로써 수행될 수 있다.

[0083] 본 출원에 따른 제1 평탄화막을 형성하는 단계 및 제2 평탄화막을 형성하는 단계의 수행 후 건조하는 단계를 더 포함할 수 있고, 본 출원에 따른 추가 제1 평탄화막을 형성하는 단계 및 추가 제2 평탄화막을 형성하는 단계의 수행 후 건조하는 단계를 더 포함할 수 있다. 건조하는 단계는 200° 내지 300°의 온도 범위에서, 대기 분위기 또는 불활성 질소 분위기에서 수행될 수 있다.

[0084] 도 5는 본 출원에 따른 전계발광 표시장치의 크랙 저항성 및 패널 신뢰성을 테스트하기 위한 제조된 기판 - 평탄화층의 적층 구조이다.

[0085] 도 5에서 본 출원에 따른 전계발광 표시장치(100)의 크랙 저항성 및 패널 신뢰성을 테스트하기 위해서 폴리이미드로 제조된 플렉서블 기판(11)을 20 μm 의 두께로 준비하고, 플렉서블 기판(110) 상부에 포토아크릴 및 광 개시제를 포함하는 평탄화층(15)을 4 μm 의 두께로 도포한 후 소정의 온도 및 대기 분위기 조건에서 큐어링을 실시하여 샘플을 제작하였다. 이때, 큐어링(curing) 온도는 230°C 또는 250°C으로 설정하였고, 큐어링 분위기는 대기 조건(Air) 분위기 또는 질소(N_2)를 포함하는 불활성 분위기에서 수행함으로써 크랙 저항성(crack resistance) 실험을 위한 샘플을 준비하였다.

[0086] 도 6은 도 5의 기판 - 평탄화층의 적층 구조를 이용하여 전계발광 표시장치의 벤딩 작동에 의한 크랙 저항성을 측정하는 것을 개략적으로 나타낸 것이다.

[0087] 도 6에서 도시된 바와 같이, 도 5에 의해 준비된 플렉서블 기판(11) 및 평탄화층(150) 적층 샘플을 소정의 곡률 반경(R)을 갖도록, 평탄화층(15)을 기준으로 180도의 각도로 아웃 벤딩(out-bending)을 수행하였고, 추가로 블리칭 처리 유무에 따라 발생하는 크랙을 광학 현미경을 통해서 촬영하였다.

[0088] 이때, 소정의 곡률 반경(R)은 곡률 중심으로부터 평탄화층(150) 최외곽 까지의 거리를 기준으로 설정하였고, 곡률반경이 각각 0.15mm, 0.3 mm, 0.5 mm 및 1mm이 되도록 벤딩하여 벤딩 영역의 크랙 저항성을 실험을 수행하였다. 이후, 각 샘플의 표면을 관찰하여 표면에서 발생된 크랙 여부에 따라 크랙 저항성을 평가하였다.

[0089] 표 1은 도 6의 벤딩에 의한 크랙 저항성 실험 결과를 나타낸 것이고, 도 7a 및 도 7b는 도 6의 실험에 따른 크랙 발생 여부를 광학 현미경으로 관찰한 사진이다. 표 1의 조건과 같이 준비된 플렉서블 기판(110) 및 평탄화층(150) 적층 샘플은 광학 현미경을 통해서 표면을 관찰하여 크랙의 발생 여부를 확인하였고, 플렉서블 기판(110) 및 평탄화층(150) 적층 샘플에 크랙이 발생하는 경우 도 7b에 도시된 바와 같이 선형으로 전파되는 크랙이 관찰되었고, 크랙이 발생하지 않는 경우에는 도 7a에 도시된 바와 같이 광학 현미경을 통한 관찰에서 크랙을 찾을 수 없었다.

표 1

큐어링 분위기	Air(대기 분위기)		N_2 (불활성 분위기)	
큐어링 온도	230°C	250°C	230°C	250°C

블리칭 처리	0	X	0	X	0	X	0	X
R=1mm	크랙 미발생							
R=0.5mm	크랙 발생	크랙 미발생						
R=0.3mm	크랙 발생	크랙 미발생						
R=0.15mm	크랙 발생	크랙 미발생	크랙 발생	크랙 미발생				

[0091] 표 1에 나타난 바와 같이, 플렉서블 기판(110) 및 평탄화층(150) 적층 샘플에서 일반적으로 벤딩 곡률 반경이 작을수록 급격한 벤딩 곡률로 벤딩됨에 따라 크랙의 발생 빈도가 높은 것을 알 수 있다.

[0092] 표 1의 1mm의 곡률 반경 조건으로 벤딩 크랙 저항성 결과를 참조하면, 곡률 반경이 급격하지 않아 모든 조건에서 크랙이 발생하지 않았다. 다음으로, 0.5mm 및 0.3mm의 곡률 반경 조건으로 벤딩 크랙 저항성 결과를 참조하면, 큐어링 온도 조건 및 큐어링 대기 분위기에 상관없이 모두 블리칭 처리를 수행하지 않은 조건에서 크랙이 발생하지 않았고, 블리칭 처리를 수행한 조건에서 크랙이 발생한 것을 알 수 있다. 전술한 바와 같이, 광개시제를 포함하는 평탄화층에 블리칭 처리를 하는 경우 표백(bleach) 반응에 의해 투과도가 향상될 수 있고, 투과도의 향상과 더불어 전계발광 표시장치(100)의 벤딩 작동에 대한 크랙 저항성에 영향을 미치는 평탄화층의 경도, 연신율 등을 포함하는 물성에 영향을 미칠 수 있고, 이에 의해 블리칭 처리가 수행된 평탄화층의 경우 전계발광 표시장치(100)의 벤딩 작동에 대한 크랙 저항성이 저하되는 것을 알 수 있다.

[0093] 다음으로, 0.15mm의 곡률 반경 조건으로 벤딩 크랙 저항성 결과를 참조하면, 공기 분위기에서 큐어링을 수행한 경우 온도 조건 및 블리칭 처리에 의존하지 않고 모두 크랙이 발생하였으나, 질소 분위기에서 큐어링을 수행한 경우 앞선 1mm, 0.5mm 및 0.3mm의 곡률 반경 조건으로 수행된 벤딩 크랙 저항성과 마찬가지로 블리칭 처리를 하지 않은 조건에서 크랙이 발생하지 않은 것을 알 수 있다.

[0094] 이를 통해, 본 출원에 따른 전계발광 표시장치의 제조방법은 벤딩 영역(BA)에 대응되는 제2 평탄화층(340) 및 추가 제2 평탄화층(350)에 블리칭 처리를 수행하지 않음으로써, 전계발광 표시장치의 벤딩 작동에 대한 크랙 저항성을 향상시킬 수 있음을 알 수 있다.

[0095] 도 8은 도 5의 기판 - 평탄화층의 적층 구조를 이용하여 전계발광 표시장치의 패널 신뢰성을 측정한 그래프이다. 도 8에서 도 5의 기판 - 평탄화층의 적층 구조의 샘플을 준비한 후, 실험예 1(EX1) 내지 실험예 4(EX4)의 조건은 모두 250°C의 온도에서 50분간 큐어링을 실시하였고, 큐어링의 분위기 및 블리칭 처리 조건을 변경하여 수행되었다. 큐어링의 분위기는 대기 분위기 또는 산소 농도가 1% 미만인 질소 분위기에서 수행하였으며, 블리칭 처리는 수행하지 않거나, 400mJ의 조건으로 수행하였다. 다음으로, 패널 신뢰성 평가를 위해서 45°C 온도에서, 제논 램프(Xe)를 발광원으로 하여, 420nm의 파장을 1.2W/m²의 세기로 조사하면서, 시간에 따른 발광 영역 비율(emission area ratio)의 변화를 측정하여 전계발광 표시장치의 신뢰성을 측정하였다. 다시 말하면, 입사된 파장의 세기 대비 준비된 샘플의 시간 경과에 따른 투과도에 대응될 수 있는 발광 영역 비율(emission area ratio)를 측정하고, 발광 영역 비율의 변화율을 통해 패널 신뢰성을 간접적으로 평가하였다.

[0096] 도 8에서, 실험예 1(EX1) 질소 분위기에서 큐어링을 수행한 후 블리칭 처리를 수행한 것이고, 실험예 2(EX2)는 질소 분위기에서 큐어링을 수행한 후 블리칭 처리를 수행하지 않은 것이고, 실험예 3(EX3)는 대기 분위기에서 큐어링을 수행한 후 블리칭 처리를 수행한 것이고, 실험예 4(EX4)는 250°C의 온도, 질소 분위기에서 큐어링을 수행한 후 블리칭 처리를 수행하지 않은 것이다.

[0097] 도 8을 참조하면, 실험예 1 내지 실험예 2에 의해 관찰된 바와 같이, 질소 분위기에서 큐어링을 수행함으로써 패널 신뢰성이 향상되는 것을 알 수 있고, 실험예 1 및 실험예 3를 참조하면 블리칭 처리를 함으로써, 평탄화층의 투과도가 개선될 수 있고, 발광 영역 비율(emission area ratio)이 향상되는 것을 알 수 있다.

[0098] 본 출원에 따른 전계발광 표시장치의 제조방법 및 이에 의해 준비된 전계발광 표시장치는 다음과 같이 설명될 수 있다.

[0099] 본 출원에 따른 전계발광 표시장치의 제조방법은 표시영역, 표시영역을 둘러싸는 비표시 영역 및 비표시 영역의 적어도 일부분에 마련되는 벤딩 영역이 정의되는 플렉서블 기판을 준비하는 단계, 플렉서블 기판의 표시 영역

상부에 화소 어레이층을 형성하는 단계, 및 플렉서블 기판의 벤딩 영역을 가로지르는 연결 배선부를 형성하는 단계를 포함하고, 화소 어레이층을 형성하는 단계는, 기판 상부에 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터 상부에 제1 평탄화막을 형성하는 단계, 및 제1 평탄화막 상부에 발광소자를 형성하는 단계를 포함하고, 연결 배선부를 형성하는 단계는, 기판 상부에 제1 연결 배선을 형성하는 단계, 및 제1 연결 배선을 둘러싸는 제2 평탄화막을 형성하는 단계를 포함하고, 제1 평탄화막을 형성하는 단계 및 제2 평탄화막을 형성하는 단계 수행 후 선택적으로 표면처리를 수행하는 단계를 포함할 수 있다.

- [0100] 본 출원에 따른 화소 어레이층을 형성하는 단계는, 제1 평탄화막을 형성하는 단계의 수행 후 추가 제1 평탄화막을 형성하는 단계를 더 포함할 수 있다.
- [0101] 본 출원에 따른 추가 제2 평탄화막을 형성하는 단계 수행 후 선택적으로 표면처리를 수행하는 단계를 포함할 수 있다.
- [0102] 본 출원에 따른 추가 제1 평탄화막을 형성하는 단계의 수행 전에, 박막 트랜지스터 및 발광 소자를 전기 적으로 연결하는 중간 전극을 형성하는 단계를 더 포함할 수 있다.
- [0103] 본 출원에 따른 연결 배선부를 형성하는 단계는 제2 평탄화막 상부에 제2 연결 배선을 형성하는 단계, 및 제2 연결 배선을 둘러싸는 추가 제2 평탄화막을 형성하는 단계를 더 포함할 수 있다.
- [0104] 본 출원에 따른 추가 제2 평탄화막을 형성하는 단계 수행 후 선택적으로 표면처리를 수행하는 단계를 포함할 수 있다.
- [0105] 본 출원에 따른 표면 처리를 수행하는 단계는 블리칭 처리 방법일 수 있다.
- [0106] 본 출원에 따른 제1 평탄화막을 형성하는 단계 및 제2 평탄화막을 형성하는 단계의 수행 후 건조하는 단계를 더 포함할 수 있다.
- [0107] 본 출원에 따른 추가 제1 평탄화막을 형성하는 단계 및 추가 제2 평탄화막을 형성하는 단계의 수행 후 건조하는 단계를 더 포함할 수 있다.
- [0108] 본 출원에 따른 제1 평탄화막, 추가 제1 평탄화막, 제2 평탄화막 및 추가 제2 평탄화막은 광 개시제를 포함하는 폴리머를 포함할 수 있다.
- [0109] 본 출원에 따른 전계발광 표시장치는 전술한 전계발광 표시장치의 제조방법에 의해 제조된 전계발광 표시장치를 포함할 수 있다.
- [0110] 상술한 본 출원의 예에 설명된 특징, 구조, 효과 등은 본 출원의 적어도 하나의 예에 포함되며, 반드시 하나의 예에만 한정되는 것은 아니다. 나아가, 본 출원의 적어도 하나의 예에서 예시된 특징, 구조, 효과 등은 본 출원이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 출원의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0111] 이상에서 설명한 본 출원은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 출원의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 출원의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 출원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0112] 100: 전계발광 표시장치
- 110: 플렉서블 기판 111: 베퍼층
- 112: 게이트 구동부 114: 패드부
- 120: 게이트 절연층 130: 중간 절연층
- 140: 보호층 150: 제1 하부 평탄화층
- 160: 제1 상부 평탄화층 170: 봉지부
- 171: 제1 봉지부 172: 제2 봉지부

173: 제3 봉지부

T: 트랜지스터

GE: 게이트 전극 SE: 소스 전극

DE: 드레인 전극 E: 전계 발광 소자

AE: 애노드 전극 EL: 발광층

CE: 캐소드 전극 B: 뱅크

AA: 표시 영역 IA: 비표시 영역

BA: 벤딩 영역 SP: 신호 패드

PE: 패드 전극

300: 연결 배선부

310: 제1 연결 배선부

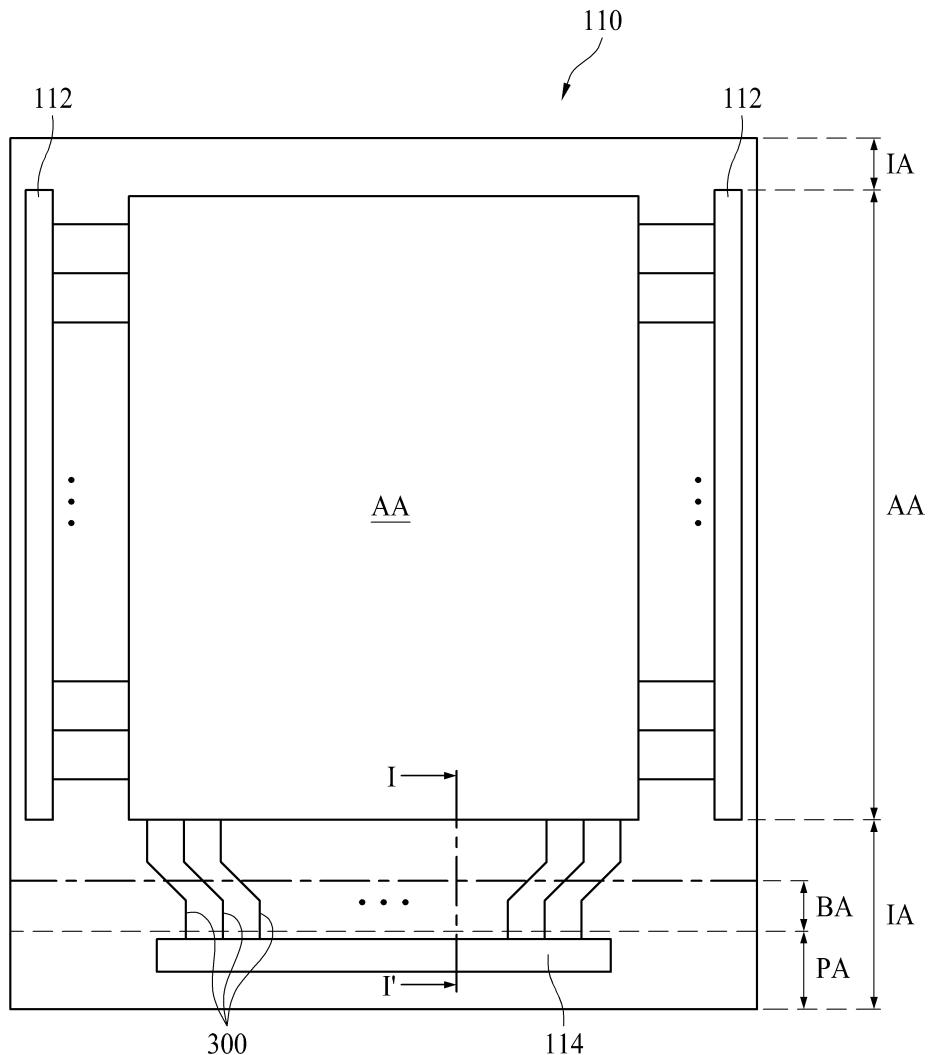
320: 제2 연결 배선부

330: 연결부 340: 제2 하부 평탄화층

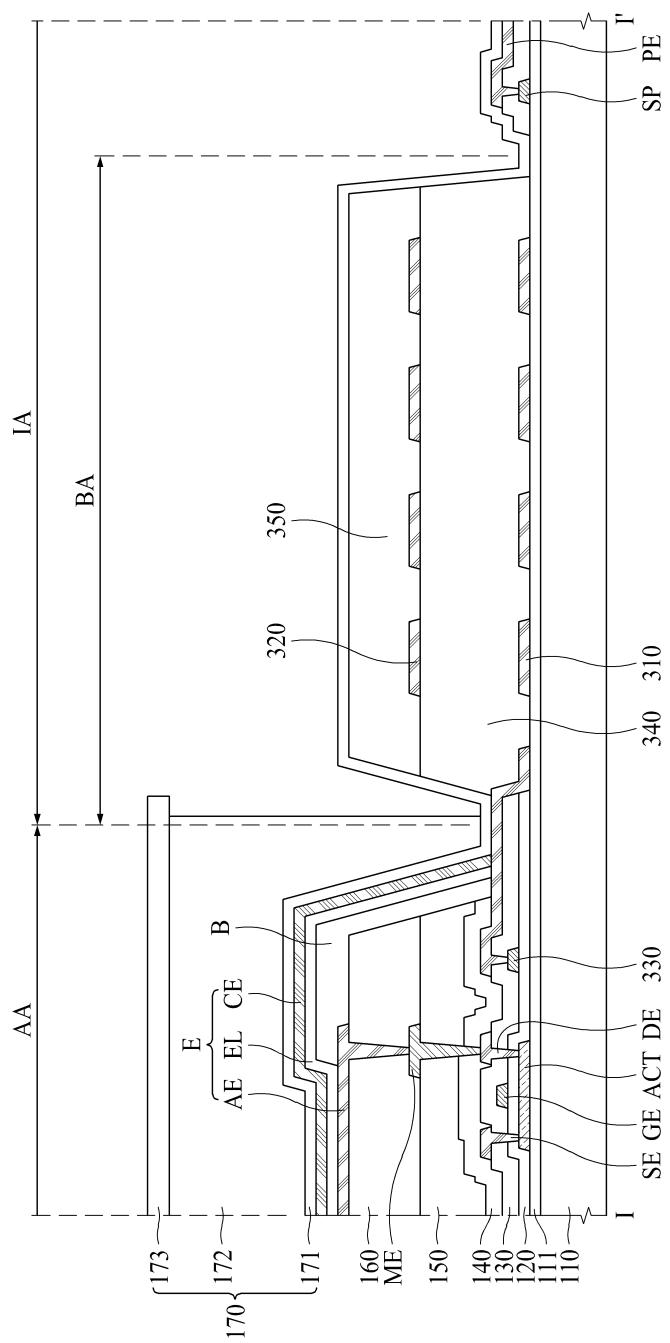
350: 제2 상부 평탄화층

도면

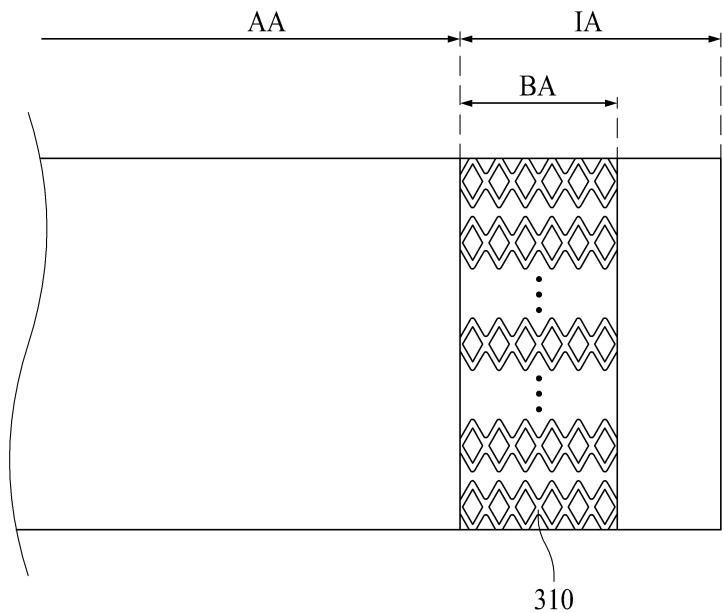
도면1

100

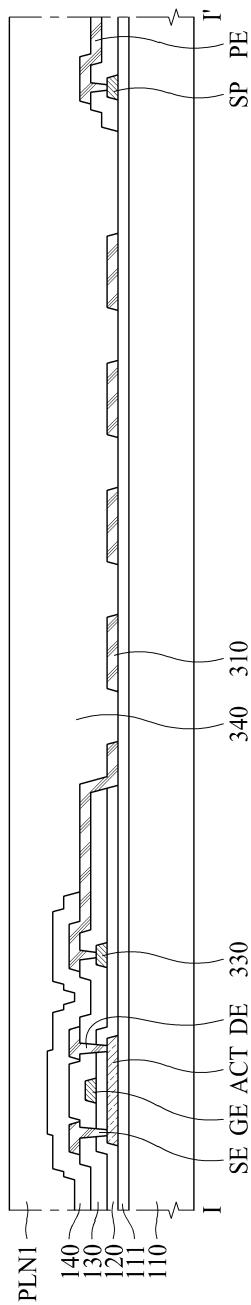
도면2



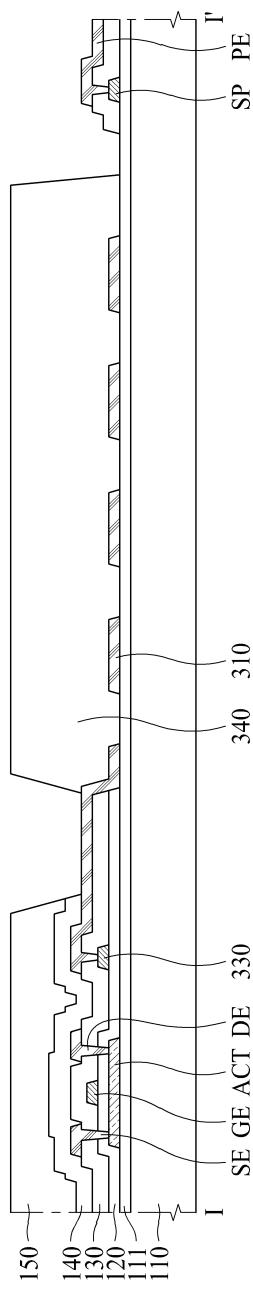
도면3



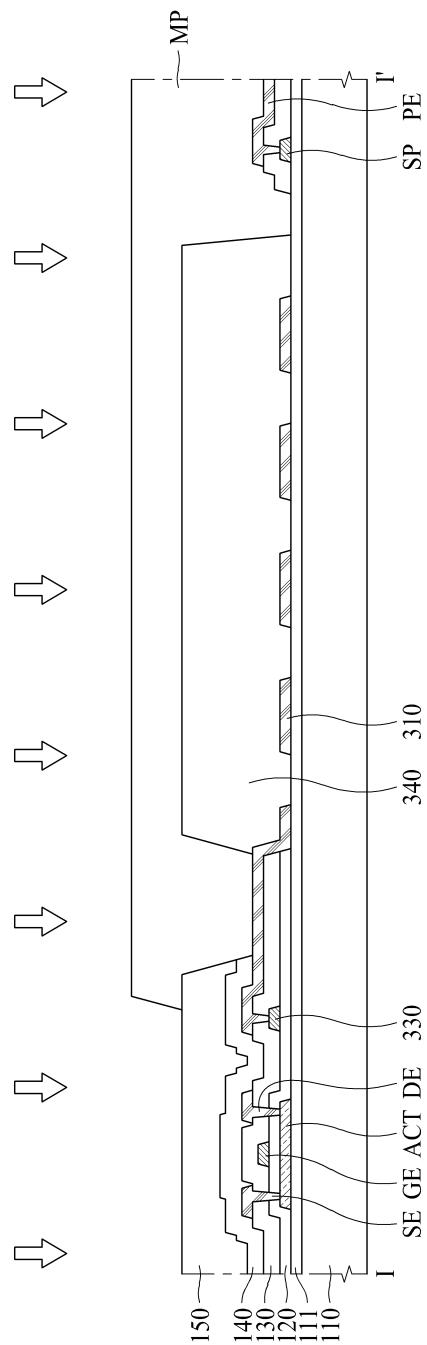
도면4a



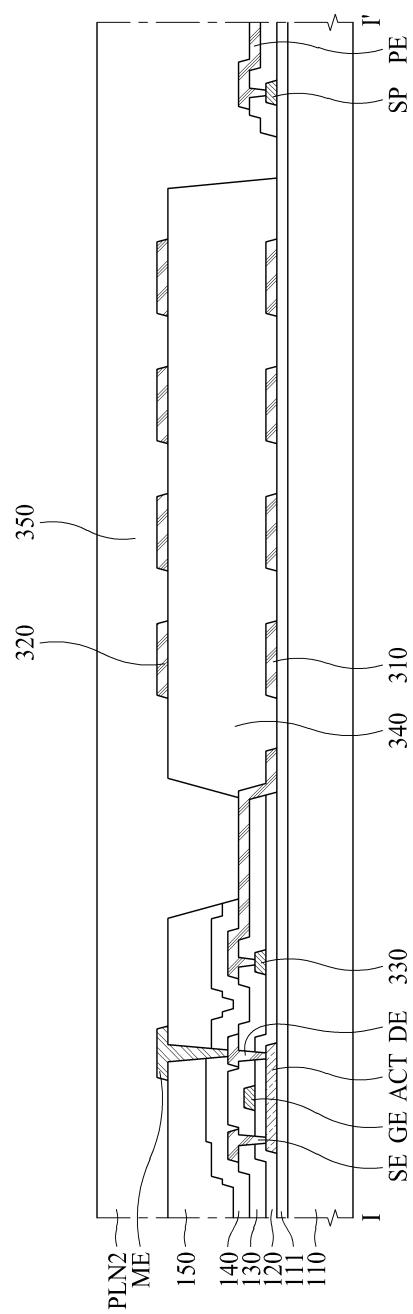
도면4b



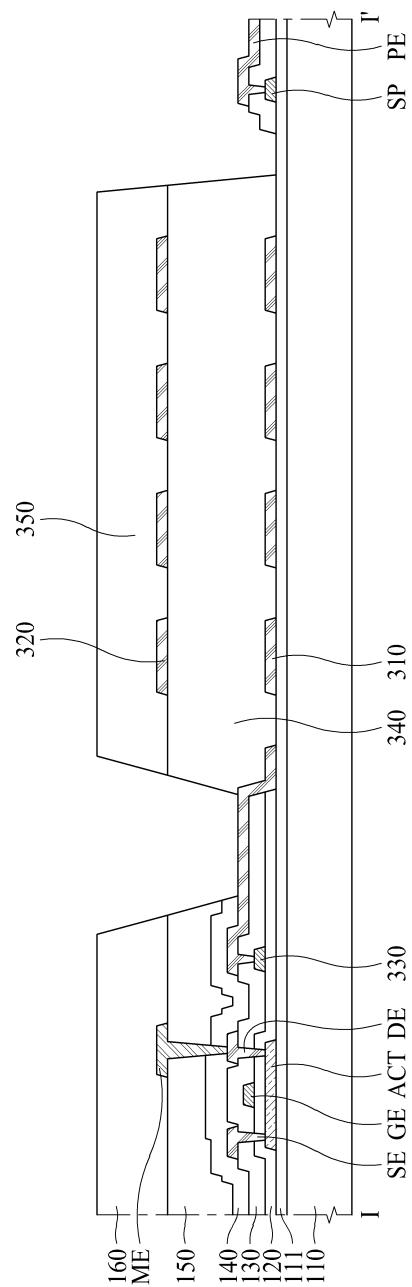
도면4c



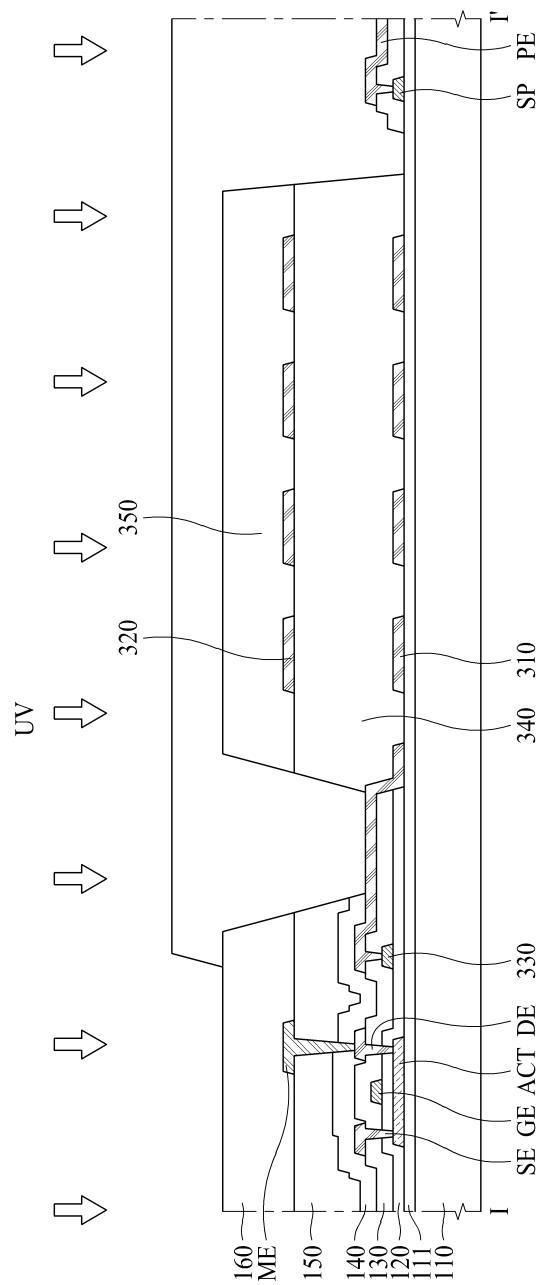
도면4d



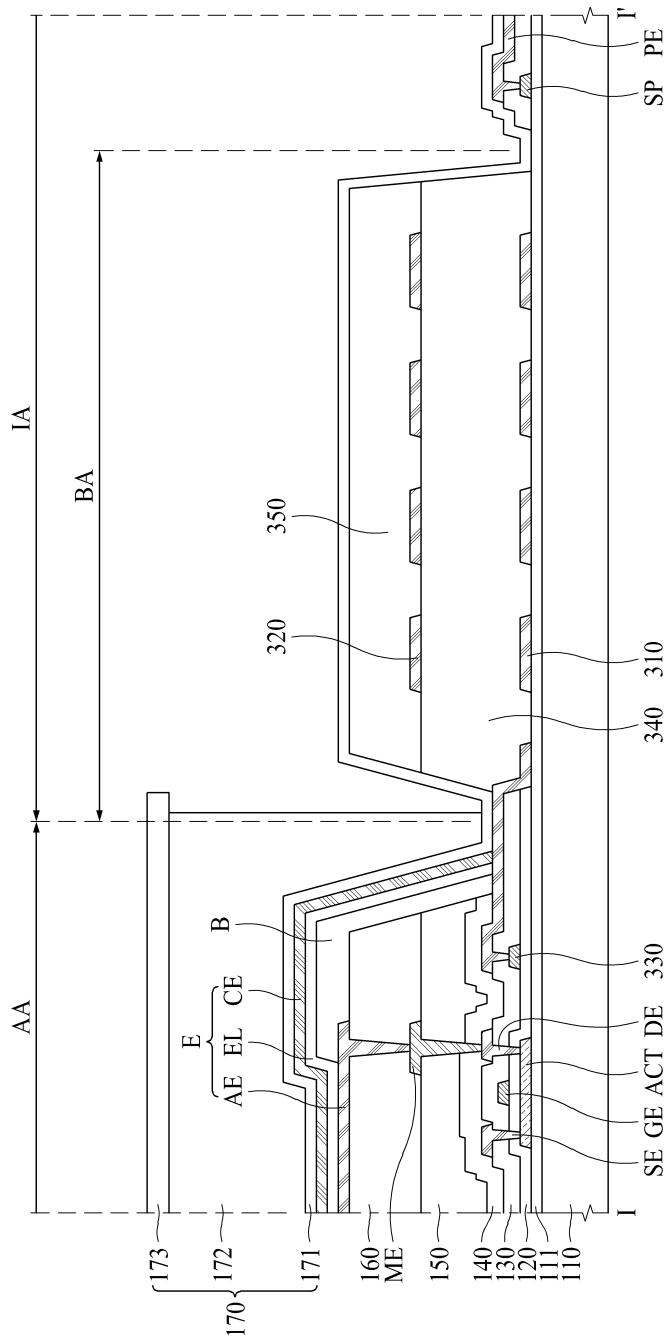
도면4e



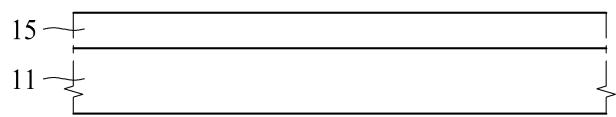
도면4f



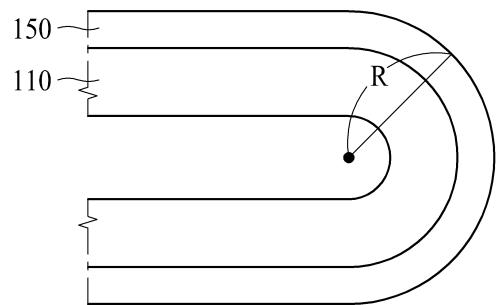
도면4g



도면5



도면6



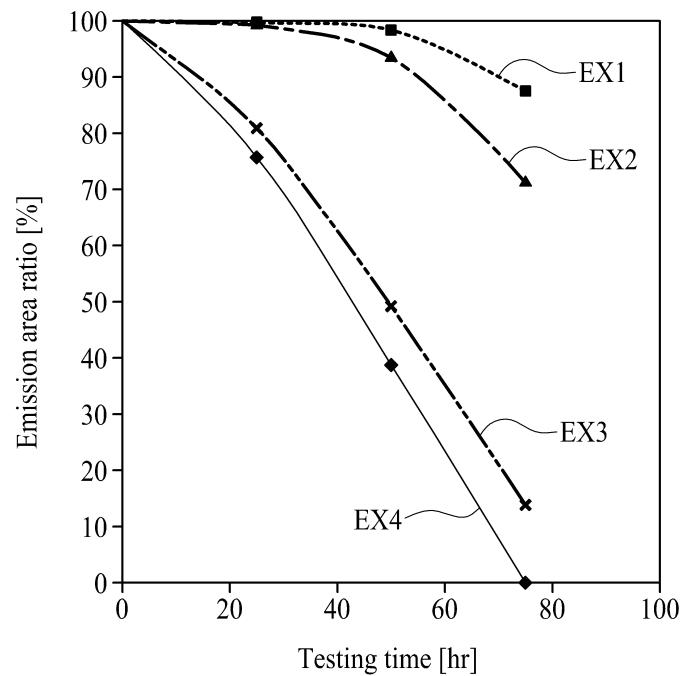
도면7a



도면7b



도면8



专利名称(译)	电致发光显示装置的制造方法及由此制造的电致发光显示装置		
公开(公告)号	KR1020200083039A	公开(公告)日	2020-07-08
申请号	KR1020180174251	申请日	2018-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	여준호		
发明人	여준호		
IPC分类号	H01L51/56 H01L27/32 H01L51/00 H01L51/52		
CPC分类号	H01L51/56 H01L27/3244 H01L51/0097 H01L51/52 H01L2251/5338		

摘要(译)

本发明涉及一种用于制造电致发光显示装置的方法和由此制造的电致发光显示装置,其中限定了柔性显示区域,围绕该显示区域的非显示区域以及设置在该非显示区域的至少一部分中的弯曲区域。制备基板,在柔性基板的显示区域上形成像素阵列层,形成与柔性基板的弯曲区域交叉的连接布线部分,形成像素阵列层包括:该方法包括:在基板上形成薄膜晶体管;在薄膜晶体管上形成第一平坦化层;在第一平坦化层上形成发光器件;连接布线单元的形成包括:在基板上形成第一连接布线,并形成围绕第一连接布线的第二平坦化膜,形成第一平坦化膜,并形成第二平坦化膜 并可选地执行表面处理。

