



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0074727  
(43) 공개일자 2020년06월25일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2300/043 (2013.01)

(21) 출원번호 10-2018-0163438  
(22) 출원일자 2018년12월17일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
김영호  
경기도 파주시 월롱면 엘지로 245  
정일기  
경기도 파주시 월롱면 엘지로 245

(74) 대리인  
네이트특허법인

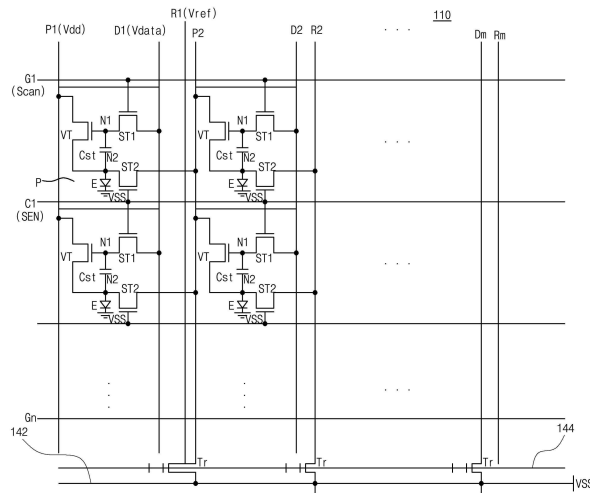
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 기준전압의 왜곡이 방지된 유기전계발광 표시장치

(57) 요약

본 발명은 기준전압의 레벨편차에 의한 님불량을 방지할 수 있는 유기전계발광 표시장치에 관한 것으로, 다수의 서브화소를 정의하는 다수의 게이트라인 및 데이터라인이 형성된 표시패널; 각각의 서브화소에 배치된 유기발광 소자; 각각의 서브화소에 배치된 구동 박막트랜지스터; 상기 표시패널에 배치되어 서브화소에 기준전압을 인가하는 다수의 기준전압라인; 및 상기 표시패널의 일측에 배치되어 상기 다수의 기준전압라인이 접속되어 상기 기준전압라인에 Vss전압을 인가하는 Vss전극을 포함한다.

대표도 - 도3



(52) CPC특허분류

G09G 2300/0452 (2013.01)

G09G 2310/021 (2013.01)

G09G 2320/0209 (2013.01)

G09G 2320/029 (2013.01)

G09G 2330/028 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

다수의 서브화소를 정의하는 다수의 게이트라인 및 데이터라인이 형성된 표시패널;

각각의 서브화소에 배치된 유기발광소자;

각각의 서브화소에 배치된 구동 박막트랜지스터;

상기 표시패널에 배치되어 서브화소에 기준전압을 인가하는 다수의 기준전압라인; 및

상기 표시패널의 일측에 배치되어 상기 다수의 기준전압라인이 접속되어 상기 기준전압라인에 Vss전압을 인가하는 Vss전극을 포함하는 유기전계발광 표시장치.

#### 청구항 2

제1항에 있어서, 상기 다수의 서브화소는 인접하는 2개의 서브화소가 하나의 데이터라인 및 2개의 게이트라인에 접속되는 DRD(Double Rate Driving)로 구동하는 유기전계발광 표시장치.

#### 청구항 3

제2항에 있어서, 상기 서브화소는 R, G, B 서브화소를 포함하는 유기전계발광 표시장치.

#### 청구항 4

제2항에 있어서, 상기 서브화소는 R, G, B, W 서브화소를 포함하는 유기전계발광 표시장치.

#### 청구항 5

제1항에 있어서, 상기 다수의 기준전압라인 각각에 배치된 기준전압제어 박막트랜지스터를 추가로 포함하는 유기전계발광 표시장치.

#### 청구항 6

제5항에 있어서, 기준전압 제어신호가 인가되는 기준전압 제어라인을 추가로 포함하며,

상기 기준전압제어 박막트랜지스터는 상기 기준전압 제어라인과 접속되는 게이트전극, 상기 기준전압라인에 접속되는 소스전극, 상기 Vss전극에 접속되는 드레인전극을 포함하는 유기전계발광 표시장치.

#### 청구항 7

제6항에 있어서, 상기 기준전압제어 박막트랜지스터는 상기 구동 박막트랜지스터가 구동할 때는 턴온되어 상기 기준전압 제어라인을 접지시키고, 상기 구동 박막트랜지스터가 구동하지 않을 때에는 턴오프되어 상기 기준전압 제어라인이 플로팅되는 유기전계발광 표시장치.

#### 청구항 8

제1항에 있어서, 상기 Vss전극에는 접지전압이 인가되는 유기전계발광 표시장치.

#### 청구항 9

제1항에 있어서, 상기 Vss전극에는 저전위 전압이 인가되는 유기전계발광 표시장치.

#### 청구항 10

제1항에 있어서, 상기 각각의 서브화소에 접속되어 상기 구동 박막트랜지스터의 특성을 센싱하기 위한 센싱신호를 인가하는 센싱라인을 추가로 포함하는 유기전계발광 표시장치.

**청구항 11**

제10항에 있어서, 상기 기준전압라인은 상기 구동 박막트랜지스터로부터 검출된 센싱전압을 출력하는 유기전계발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기전계발광 표시장치에 관한 것으로, 특히 기준전압의 왜곡이 방지된 유기전계발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 근래 제안되는 다양한 평판표시장치중 유기전계발광 표시장치는 스스로 발광하는 유기발광소자(Organic Light Emitting Diode)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 이러한 유기전계발광 표시장치는 매트릭스형상으로 배치되는 복수의 화소영역의 각각에 유기발광소자를 배치하고 비디오데이터의 계조에 따라 화소영역의 휘도를 조절한다. 복수의 화소영역 각각에는 구동 박막트랜지스터가 구비되어 유기발광소자에 흐르는 구동전류를 제어함으로써, 유기전계발광 표시장치의 휘도를 제어한다.

[0004] 그러나, 유기전계발광 표시장치에서는 공정상의 오차나 공차 등과 같은 다양한 요인들로 인해 화소영역들 사이에 배치되는 구동 박막트랜지스터의 전기적 특성(예를 들어, 문턱전압과 전하이동도 등)에 차이가 발생하여 화상의 품질이 저하되는 문제가 있었다.

[0005] 이러한 화상품질의 저하를 방지하기 위해, 종래 유기전계발광 표시장치에서는 구동 박막트랜지스터의 전기적 특성의 편차를 화소영역의 외부에서 보상한다. 즉, 각각 화소영역에 배치된 구동 박막트랜지스터의 전기적 특성의 차이를 센싱하고 그 센싱값에 따라 입력 디지털 비디오데이터를 보정한 후 화소영역에 공급함으로써 전기적 특성의 차이를 보상할 수 있게 된다.

[0006] 유기발광소자의 발광량은 인가되는 구동전류의 크기에 비례하며, 구동전류는 각 화소영역에 배치되는 구동 박막트랜지스터의 게이트전극에 인가되는 보상데이터전압과 구동 박막트랜지스터의 소스전극에 인가되는 기준전압간의 차에 의해 결정된다.

[0007] 상기 기준전압은 구동 박막트랜지스터의 게이트 및 소스 사이의 전압을 결정하는 데 있어 기준이 되는 전압이므로 항상 일정한 레벨로 유지되어야 한다. 하지만, 실제로 기준전압은 일정하게 유지되지 못하고 왜곡되며 그 결과 수평 크로스토크가 초래되며, 이러한 기준전압의 왜곡에 의해 화상의 품질을 향상시키는 데에는 한계가 있었다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명은 상기한 점을 감안하여 이루어진 것으로, 복수의 기준전압라인을 저전위전압 또는 접지전압이 인가되는 Vss전극에 접속하여 유기발광소자의 구동기간 및 센싱기간 동안 상기 기준전압라인을 접지시키거나 플로팅하여 복수의 기준전압라인의 레벨을 일정하게 유지할 수 있는 유기전계발광 표시장치를 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0009] 상기한 목적을 달성하기 위해, 본 발명에 따른 유기전계발광 표시장치는 다수의 서브화소를 정의하는 다수의 게이트라인 및 데이터라인이 형성된 표시패널; 각각의 서브화소에 배치된 유기발광소자; 각각의 서브화소에 배치된 구동 박막트랜지스터; 상기 표시패널에 배치되어 서브화소에 기준전압을 인가하는 다수의 기준전압라인; 및 상기 표시패널의 일측에 배치되어 상기 다수의 기준전압라인이 접속되어 상기 기준전압라인에 Vss전압을 인가하는 Vss전극을 포함한다.

[0010] 다수의 서브화소는 인접하는 2개의 서브화소가 하나의 데이터라인 및 2개의 게이트라인에 접속되는 DRD(Double Rate Driving)로 구동하며, 이때 서브화소는 R, G, B 서브화소를 포함할 수 있고 R, G, B, W 서브화소를 포함할 수 있다.

[0011] 다수의 기준전압라인 각각에는 기준전압제어 박막트랜지스터가 배치되어 기준전압 제어라인을 통해 기준전압 제어신호가 인가된다.

[0012] 기준전압제어 박막트랜지스터는 구동 박막트랜지스터가 구동할 때는 턴온되어 상기 기준전압 제어라인을 접지시키고 구동 박막트랜지스터가 구동하지 않을 때에는 턴오프되어 상기 기준전압 제어라인이 플로팅된다.

**발명의 효과**

[0013] 복수의 기준전압라인을 저전위전압 또는 접지전압이 인가되는 Vss전극에 접속하여 유기발광소자의 구동기간 및 센싱기간 동안 상기 기준전압라인을 접지시키거나 플로팅하여 복수의 기준전압라인의 레벨을 일정하게 유지할 수 있게 된다.

[0014] 따라서, 기준전압라인의 인가되는 기준전압의 왜곡을 방지할 수 있게 되므로, 화상품질이 저하되는 것을 방지할 수 있게 된다.

**도면의 간단한 설명**

- [0015] 도 1은 본 발명의 제1실시예에 따른 유기전계발광 표시장치의 개념도.
- 도 2는 본 발명의 제1실시예에 따른 유기전계발광 표시장치의 화소영역의 배열을 나타내는 도면.
- 도 3은 본 발명의 제1실시예에 따른 유기전계발광 표시장치의 화소영역의 회로구조를 나타내는 도면.
- 도 4는 본 발명의 제1실시예에 따른 유기전계발광 표시장치의 신호도.
- 도 5는 본 발명의 제2실시예에 따른 유기전계발광 표시장치의 화소영역의 배열을 나타내는 도면.
- 도 6은 본 발명의 제2실시예에 따른 유기전계발광 표시장치의 구동방법을 나타내는 도면.
- 도 7은 본 발명의 제3실시예에 따른 유기전계발광 표시장치의 화소영역의 배열을 나타내는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0016] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0017] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0018] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0019] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0020] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0021] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0022] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관

관계로 함께 실시할 수도 있다.

- [0023] 이하, 첨부한 도면을 참조하여 본 발명에 대해 상세히 설명한다.
- [0024] 도 1은 본 발명의 제1실시예에 따른 유기전계발광 표시장치(100)를 개념적으로 나타내는 도면이고 도 2는 도 1의 표시패널(110)에 형성된 화소영역(P)의 배열을 나타내는 도면이다.
- [0025] 도 1 및 도 2에 도시된 바와 같이, 본 발명에 따른 유기전계발광 표시장치는 표시패널(110), 타이밍컨트롤러(104), 게이트구동부(120), 데이터구동부(130), 기준전압 제어부(140)를 포함한다.
- [0026] 상기 표시패널(110)에는 다수의 데이터라인(D1,D2...Dm)과, 다수의 게이트라인(G1,G2...Gn)이 서로 교차되도록 배치되며, 교차영역마다 화소영역(P)이 매트릭스형상으로 배치되어 표시패널(110) 전체에 걸쳐 n×m개(여기서, n,m은 2 이상의 자연수)의 화소영역(P)이 형성된다. 또한, 상기 표시패널(100)에는 다수의 기준전압라인(R1,R2...Rm) 및 다수의 센싱라인(S1,S2...Sn)이 배치된다.
- [0027] 각각의 화소영역(P)은 데이터라인(D1,D2...Dm), 게이트라인(G1,G2...Gn), 기준전압라인(R1,R2...Rm), 센싱라인(S1,S2...Sn)에 접속된다. 상기 화소영역(P)은 데이터라인(D1,D2...Dm)을 통해 데이터전압을 입력받고, 기준전압라인(R1,R2...Rm)을 통해 기준전압을 입력받는다. 또한, 상기 화소영역(P)은 게이트라인(G1,G2...Gn)을 통해 게이트신호를 입력받고 센싱라인(S1,S2...Sn)을 통해 센싱신호를 입력받는다.
- [0028] 도면에 도시하지 않았지만, 상기 화소영역(P)에는 전원생성부로부터 고전위 구동전압(Vdd)과 저전위 구동전압(Vss)을 공급받는다. 또한, 상기 화소영역(P)에는 외부보상을 위해 유기발광소자, 구동 박막트랜지스터, 제1 및 제2 스위치 박막트랜지스터 및 스토리지 커패시터를 포함할 수 있다. 이때, 화소영역(P)의 박막트랜지스터는 P-타입으로 구성될 수 있고 N-타입으로 구성될 수도 있다.
- [0029] 한편, 기준전압 제어부(140)는 복수의 기준전압라인(R1,R2...Rm)에 접속되어, 기준전압 제어신호를 출력함으로써 상기 기준전압라인(R1,R2...Rm)을 접지시키거나 플로팅(floating)시킨다.
- [0030] 상기 표시장치(100)의 다수의 화소영역(P)이 하단에는 저전위 전압 또는 접지전압이 인가되는 VSS전극(142)이 배치되며, 다수의 화소영역(P)에 각각 배치되는 다수의 기준전압라인(R1,R2...Rm)이 상기 VSS전극(142)과 접속된다.
- [0031] 상기 데이터구동부(130)는 타이밍컨트롤러(104)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 화소데이터(DATA)에 대응되는 데이터전압(Vdata)을 생성하여 데이터라인(D1,D2...Dm)을 통해 각각의 화소영역(P)에 공급한다. 또한, 상기 데이터구동부(130)는 기준전압(Vref)을 기준전압라인(R1, R2...Rm)을 통해 각각의 화소영역(P)에 공급한다. 도면에는 도시하지 않았지만, 상기 데이터구동부(130)는 PCB(Printed Circuit Board)에 연결된 다수의 데이터 드라이버IC(Integrated Circuit)를 포함할 수 있다.
- [0032] 상기 게이트구동부(120)는 타이밍컨트롤러(104)로부터 입력되는 게이트제어신호(GDC)를 기초로 게이트신호를 생성하여 게이트라인(G1,G2...Gn)을 통해 화소영역(P)에 공급한다.
- [0033] 상기 타이밍 컨트롤러(104)는 수직동기신호(Vsync), 수평동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터구동부(130)의 동작타이밍을 제어하기 위한 데이터제어신호(DDC)와, 게이트구동부(120)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성한 후, 이를 각각 데이터구동부(130)와 게이트구동부(120)에 공급한다.
- [0034] 도 3은 본 발명의 제1실시예에 따른 유기전계발광 표시패널(110)의 화소영역(P)의 회로구조를 나타내는 도면이다.
- [0035] 도 3에 도시된 바와 같이, 본 발명의 제1실시예에 따른 유기전계발광 표시장치(100)의 표시패널(110)에는 매트릭스형상으로 배치된 복수의 화소영역(P)이 구비된다. 복수의 화소영역(P) 각각에는 유기발광소자(E), 구동 박막트랜지스터(DT), 스토리지커패시터(Cst), 제1스위치 박막트랜지스터(ST1), 제2스위치 박막트랜지스터(ST2)가 배치된다. 물론, 본 발명의 화소영역(P)의 구성이 이러한 구조에 한정되는 것이 아니라 박막트랜지스터가 4개, 5개 또는 6개가 배치되는 구조로도 구성될 수 있다.
- [0036] 상기 유기발광소자(E)는 제2노드(N2)에 접속된 애노드전극과, 저전위 구동전압(Vss)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 배치된 유기발광층을 포함한다.
- [0037] 상기 구동 박막트랜지스터(DT)는 게이트-소스간 전압(Vgs)에 따라 유기발광소자(E)에 인가되는 구동전류를 제어

한다. 상기 구동 박막트랜지스터(DT)는 제1노드(N1)에 접속된 게이트전극, 고전위 구동전압(Vdd)의 입력단에 접속된 드레인전극, 제2노드(N2)에 접속된 소스전극을 구비한다.

- [0038] 상기 스토리지 커패시터(Cst)는 제1노드(N1)와 제2노드(N2) 사이에 접속된다. 또한, 상기 제1스위치 박막트랜지스터(ST1)는 게이트신호(SCAN)에 응답하여 제1데이터라인(D1) 상의 데이터전압(Vdata)을 제1노드(N1)에 인가한다. 상기 제1스위치 박막트랜지스터(ST1)는 게이트라인(G1,G2,G3...)에 접속된 게이트전극, 데이터라인(D1,D2,D3...)에 접속된 드레인전극, 제1노드(N1)에 접속된 소스전극을 구비한다.
- [0039] 상기 제2스위치 박막트랜지스터(ST2)는 센싱신호(SEN)에 응답하여 제2노드(N2)와 기준전압라인(R1) 사이의 전류흐름을 스위칭함으로써 기준전압라인(R1) 상의 기준전압(Vref)을 제2노드(N2)에 인가한다. 상기 제2스위치 박막트랜지스터(ST2)는 센싱라인(C1,C2...)에 접속된 게이트전극, 기준전압라인(R1,R2,R3...)에 접속된 드레인전극, 제2노드(N2)에 접속된 소스전극을 구비한다.
- [0040] 도면에는 도시하지 않았지만, 데이터구동부에는 데이터라인(D1,D2...Dm) 및 기준전압라인(R1,R2...Rm)이 연결된다. 상기 데이터구동부는 타이밍컨트롤러로부터 입력되는 디지털 비디오데이터(DATA)를 아날로그 데이터전압(Vdata)으로 변환하여 데이터라인(D1,D2...Dm)에 인가하며, 타이밍컨트롤러로부터 입력되는 디지털 기준전압을 아날로그 기준전압(Vref)으로 변환한 후 기준전압라인(R1,R2...Rm)에 인가한다.
- [0041] 상기 표시패널(110)의 하단에는 저전위 전압(Vss) 또는 접지전압이 인가되는 Vss전극(142)이 형성되며, 복수의 기준전압라인(R1,R2...Rm)이 상기 Vss전극(142)에 접속된다. 이때, 각각의 기준전압라인(R1,R2...Rm)에는 기준전압제어 박막트랜지스터(Tr)가 배치되어, 기준전압라인(R1,R2...Rm)을 상기 Vss전극(142)으로부터 단선하여 기준전압라인(R1,R2...Rm)을 플로팅시키거나 기준전압라인(R1,R2...Rm)을 상기 Vss전극(142)과 접속하여 상기 기준전압라인(R1,R2...Rm)을 접지시킨다.
- [0042] 도면에는 도시하지 않았지만, 상기 Vss전극(142)에는 복수의 기준전압라인(R1,R2...Rm) 뿐만 아니라 발광소자(E)의 캐소드전극도 접속되어, 상기 복수의 기준전압라인(R1,R2...Rm)을 동일 전위상태로 만들며 동시에 캐소드전극에 저전위 전압을 인가할 수 있다.
- [0043] 유기전계발광 표시장치의 유기발광소자(E)는 애노드전극 및 캐소드전극과 그 사이의 유기발광층으로 구성된다. 애노드전극은 화소전극으로부터 각각의 화소영역에 배치되어 데이터전압(Vdata)이 인가되며, 캐소드전극은 공통전극으로서 표시패널(110) 전체에 걸쳐 형성되어 표시패널(110) 전체의 화소영역(P)에 형성되어 화소영역(P) 전체에 저전위 전압(Vss)을 인가한다.
- [0044] 따라서, 상기 캐소드전극은 표시패널(110)의 표시영역 전체에 형성된다. 또한, 상기 캐소드전극은 표시영역 외부의 패드영역(또는 외곽영역) 전체에도 형성되어 표시영역내의 캐소드전극에 저전위전압을 인가한다. 상기 Vss전극(142)은 패드영역 또는 외곽영역에 배치된 캐소드전극의 일부로 구성된다.
- [0045] 상기 표시패널(110)의 하단에는 기준전압 제어부(140)에 접속된 기준전압 제어라인(144)이 배치된다. 상기 기준전압제어 박막트랜지스터(Tr)는 기준전압 제어라인(144)에 접속된 게이트전극, 각각의 기준전압라인(R1,R2...Rm)에 접속된 소스전극, Vss전극(142)에 접속된 드레인전극을 구비한다.
- [0046] 상기 기준전압 제어라인(144)은 기준전압 제어부(140)에 접속되어 상기 기준전압 제어부(140)로부터 출력되는 제어신호(Vr)를 기준전압 제어라인(144)을 통해 상기 기준전압제어 박막트랜지스터(Tr)에 인가하여 기준전압라인(R1,R2...Rm)을 상기 Vss전극(142)과 단락시키거나 단선시킴으로써, 상기 기준전압라인(R1,R2...Rm)을 접지시키거나 플로팅(floating)시킨다.
- [0047] 이와 같이, 본 발명에서는 저전위의 Vss전극(142)을 구비하여 복수의 기준전압라인(R1,R2...Rm)을 상기 Vss전극(142)에 접속시킴으로써 기준전압라인(R1,R2...Rm)의 전위를 일정하게 유지할 수 있는데, 그 이유를 자세히 설명하면 다음과 같다.
- [0048] 일반적으로 유기전계발광 표시장치는 유기발광소자(E)를 각각 포함한 화소영역(P)이 매트릭스형태로 배열되고 비디오데이터의 계조에 따라 화소영역(P)의 휘도가 조절되며, 이러한 휘도의 조절은 구동 박막트랜지스터(DT)에 의해 유기발광소자(E)에 인가되는 구동전류를 제어함으로써 이루어진다. 그런데, 유기전계발광 표시장치에서는 공정공차나 오차 등의 이유로 인해 화소영역(P) 사이의 구동 박막트랜지스터(DT)의 문턱전압과 전자 이동도 등과 같은 특성의 편차가 발생하게 되며, 이러한 특성편차로 인해 화상의 품질이 저하된다.
- [0049] 이러한 화상 품질의 저하를 위해, 각각의 화소영역(P)에 배치된 구동 박막트랜지스터(DT)의 전기적 특성을 센싱하고 그 센싱값에 따라 데이터전압(Vdata)을 보상한 후, 화소영역에 공급한다. 보상된 데이터전압은 데이터라인

(D1,D2...Dm)을 통해 구동 박막트랜지스터(DT)에 인가된다.

- [0050] 한편, 기준전압(Vref)은 기준전압라인(R1,R2...Rm)을 통해 구동 박막트랜지스터(DT)의 소스전극에 인가된다. 상기 데이터라인(D1,D2...Dm)과 기준전압라인(R1,R2...Rm)은 개별적으로 데이터구동부에 연결되며, 특히 기준전압라인(R1,R2...Rm)은 구동 박막트랜지스터(DT)의 전기적 특성편차를 센싱할 때 화소영역(P)으로부터 획득한 센싱 전압을 데이터구동회로에 전달하는 센싱출력라인의 역할을 겸한다.
- [0051] 상기 기준전압(Vref)은 구동 박막트랜지스터(DT)의 게이트-소스간 전압(Vgs)을 결정하는 데 있어 기준이 되는 전압이므로 항상 일정한 레벨로 유지되어야 하지만, 상기 데이터라인(D1,D2...Dm)과의 커플링으로 인해 기준전압(Vref)에 왜곡이 발생한다. 즉, 표시패널(110)에는 다수의 데이터라인(D1,D2...Dm)과 다수의 기준전압라인(R1,R2...Rm)이 형성되며, 상기 데이터라인(D1,D2...Dm)과 기준전압라인(R1,R2...Rm)은 인접하여 배치된다. 따라서, 데이터라인(D1,D2...Dm)과 기준전압라인(R1,R2...Rm) 사이에는 커플링이 발생하므로, 특히 원하는 계조구현을 위해 데이터라인(D1,D2...Dm)에 공급되는 데이터전압(Vdata)이 변할 때 이러한 커플링이 심하게 발생하며, 따라서 기준전압라인(R1,R2...Rm)을 통해 인가되는 기준전압(Vref)도 커플링 영향에 의해 왜곡되어 화상품질이 저하된다.
- [0052] 다시 말해서, 구동 박막트랜지스터(DT)의 전기적 특성편차를 센싱하여 데이터전압(Vdata)을 보상하는 경우에도, 데이터라인(D1,D2...Dm)과 기준전압라인(R1,R2...Rm) 사이의 커플링에 의해 기준전압(Vref)이 왜곡되어 화상품질의 저하를 방지하는데에는 한계가 있었다.
- [0053] 본 발명에서는 다수의 기준전압라인(R1,R2...Rm)을 Vss전극(142)에 접속하고, 기준전압제어 박막트랜지스터(Tr)를 턴온 또는 턴오프시켜 상기 기준전압라인(R1,R2...Rm)을 접지시키거나 플로팅시킴으로써 기준전압(Vref)에 왜곡이 발생하는 것을 방지한다.
- [0054] 기준전압(Vref)에 왜곡이 발생하는 이유는, 계조구현을 위해 상기 데이터라인(D1,D2...Dm)에 공급되는 데이터전압(Vdata)의 크기가 변할 때 데이터라인(D1,D2...Dm)과 기준전압라인(R1,R2...Rm) 사이에 발생하는 커플링의 세기가 서로 다르게 되므로, 다수의 기준전압라인(R1,R2...Rm)에 인가되는 전위가 서로 다르게 되기 때문이다.
- [0055] 본 발명에서는 기준전압라인(R1,R2...Rm)을 Vss전극(142)과 접속하여, 데이터라인(D1,D2...Dm)으로부터 데이터전압(Vdata)이 공급되어 상기 구동 박막트랜지스터(DT)가 구동할 때, 즉 유기발광소자(E)가 발광할 때, 상기 기준전압라인(R1,R2...Rm)을 Vss전극(142)과 단락시켜 기준전압라인(R1,R2...Rm)을 접지시킴으로써, 다수의 기준전압라인(R1,R2...Rm)에 인가되는 기준전압(Vref)의 전위를 동일하게 하여 기준전압(Vref)의 편차에 의한 불량을 방지한다.
- [0056] 도 4에 도시된 바와 같이, 화상의 1프레임의 설정 기간 동안 데이터전압(Vdata)이 구동 박막트랜지스터(DT)에 인가되고 나머지 기간 동안 센싱신호(SEN)가 제2스위칭 박막트랜지스터(ST2)에 인가된다. 예를 들어, 1프레임이 약 8.333ms인 경우, 데이터전압(Vdata)은 약 8.0ms 동안 구동 박막트랜지스터에 인가되고 센싱신호(SEN)는 약 0.333ms 동안 제2스위칭 박막트랜지스터(ST2)에 인가될 수 있다. 그러나, 이러한 구동기간 및 센싱기간은 특정한 시간에 한정되는 것이 아니라 다양하게 설정될 수 있다.
- [0057] 제어신호(Vr)는 데이터전압(Vdata)에 동기화되어 기준전압제어 박막트랜지스터(Tr)에 인가된다. 즉, 1프레임 기간중 데이터전압(Vdata)이 구동 박막트랜지스터(DT)의 구동기간, 즉 발광소자(E)의 발광기간에는 제어신호(Vr)가 기준전압제어 박막트랜지스터(Tr)에 인가되며, 이 제어신호(Vr)에 의해 다수의 기준전압라인(R1,R2...Rm)에 접속된 모든 기준전압제어 박막트랜지스터(Tr)이 턴온된다.
- [0058] 따라서, 상기 기준전압라인(R1,R2...Rm)이 Vss전극(142)과 도통되어, 상기 기준전압라인(R1,R2...Rm)이 모두 접지되거나 저전위전압이 인가된다. 따라서, 모든 기준전압라인(R1,R2...Rm)이 동일한 전위를 유지하게 되므로, 데이터라인(D1,D2...Dm)에 공급되는 데이터전압(Vdata)이 변할 때에도 데이터라인(D1,D2...Dm)과 기준전압라인(R1,R2...Rm) 사이에 발생하는 커플링의 크기가 항상 동일하게 된다. 따라서, 데이터전압(Vdata)에 의해 구동 박막트랜지스터(DT)가 턴온되는 경우에도 기준전압(Vref)의 왜곡에 의한 유기전계발광 표시장치(100)의 품질저하가 발생하지 않는다.
- [0059] 센싱신호(SEN)가 제2스위칭 박막트랜지스터(ST2)에 인가되는 센싱기간에는 다수의 기준전압라인(R1,R2...Rm)에 접속된 모든 기준전압제어 박막 트랜지스터 (Tr)가 턴오프되어 모든 기준전압라인(R1,R2...Rm)이 Vss전극(142)으로부터 단선되므로, 다수의 기준전압라인(R1,R2...Rm)은 모두 플로팅된다. 따라서, 다수의 기준전압라인(R1,R2...Rm)의 각각이 대응하는 화소영역(P)으로부터 획득한 센싱전압을 데이터구동부로 전달할 수 있게 된다.

- [0060] 이와 같이, 본 발명에서는 기준전압라인(R1,R2...Rm)을 Vss전극(142)에 접속한 후, 유기발광소자(E)의 발광구간에는 기준전압라인(R1,R2...Rm)을 Vss전극(142)에 접속하여 접지시킴으로써 모든 기준전압라인(R1,R2...Rm)의 전위를 동일하게 하여 커플링에 의한 기준전압(Vref)의 왜곡을 방지하여 화상의 품질저하를 방지하며, 센싱구간에는 기준전압라인(R1,R2...Rm)을 Vss전극(142)으로부터 단선시켜 기준전압라인(R1,R2...Rm)을 플로팅시켜 센싱이 원활하게 되도록 한다.
- [0061] 한편, 기준전압(Vref)의 왜곡에 의한 화질저하를 방지하기 위한 가장 좋은 방법은 왜곡된 기준전압을 직접 보상하는 것이다. 그러나, 이 경우 기준전압을 보상하기 위한 별도의 외부 보상회로를 구비해야만 하므로, 회로구성이 복잡해지고 제조비용이 증가하게 된다.
- [0062] 반면에, 본 발명에서는 단순히 기준전압라인(R1,R2...Rm)을 Vss전극(142)과 단락 및 단선시키는 기준전압제어 박막트랜지스터(Tr)만을 구비하므로, 회로구성이 단순화되고 제조비용을 절감할 수 있게 된다.
- [0063] 도 5는 본 발명의 제2실시예에 따른 유기전계발광 표시장치(200)를 개략적으로 나타내는 도면이다. 도면에서는 설명의 편의를 위해 하나의 화소를 구성하는 R, G, B 서브화소와 이들에 신호를 인가하는 게이트라인(G1,G2...Gn) 및 데이터라인(D1,D2...Dm)과 기준전압라인(R1,R2...)만을 도시하였다. 이때, 각 R, G, B 서브화소의 구조는 도 3에 도시된 화소의 구조와 동일할 수 있다.
- [0064] 도 5에 도시된 바와 같이, 이 실시예의 유기전계발광 표시장치(200)는 R, G, B 서브화소(SP)로 구성된 DRD(Double Rate Driving) 구동방식의 유기전계발광 표시장치이다.
- [0065] 일반적으로 유기전계발광 표시장치에서 데이터전압(Vdata)과 기준전압(Vref)과 같은 각종 제어신호를 공급하는 데이터구동부는 IC소자로서 다른 구성에 비해 상대적으로 고가의 제품이다. 따라서, 유기전계발광 표시장치의 생산단가를 감축하기 위한 일환으로서, 데이터구동부의 개수를 감축하는 방법이 근래 활발하게 연구되고 있다. 이러한 데이터구동부의 개수를 감축하는 여러가지 방법중 하나의 방법으로서, 일반적인 구조에 비해 게이트라인의 개수는 2배로 늘리는 대신 데이터라인들의 개수는 1/2배로 감소하여 데이터구동부의 개수를 1/2로 감소시키면서도 기존과 동일 해상도를 구현하는 방법인 DRD(Double Rate Driving) 구동방식이 제안되고 있다.
- [0066] 도 5에 도시된 바와 같이, DRD 구동방식의 유기전계발광 표시장치(200)에서는 2개의 서브화소(SP)가 하나의 데이터라인(D1,D2...)을 공유하며, 하나의 데이터라인(D1,D2...)을 공유하는 인접하는 서브화소(SP)는 각각 다른 게이트라인(G1,G2...)에 접속된다. 따라서, 하나의 수평라인(HL)에 배치된 복수의 서브화소(SP)를 두개의 게이트라인과 1/2개의 데이터라인들을 이용하여 구동시킨다.
- [0067] 즉, 본 발명의 DRD 구동방식의 유기전계발광 표시장치(200)는 2수평 도트인버전구동을 구현하기 위한 구조의 표시장치로서, R, G, B 서브화소(SP)가 순차적으로 배열되며, 하나의 데이터라인(D1,D2...)에 두개의 서브화소(SP)가 연결된다.
- [0068] 홀수번째 게이트라인(G1,G3,G5...)에 접속된 R서브화소는 짝수번째 게이트라인(G2,G4,G6...)에 접속된 G서브화소와 인접하여 제1데이터라인(D1)에 공통접속되며, 홀수번째 게이트라인(G1,G3,G5...)에 접속된 B 서브화소는 짝수번째 게이트라인(G2,G4,G6...)에 접속된 R서브화소와 인접하여 제2데이터라인(D2)에 공통 접속된다. 또한, 홀수번째 게이트라인(G1,G3,G5...)에 접속된 G서브화소는 짝수번째 게이트라인(G2,G4,G6...)에 접속된 B서브화소와 인접하여 제3데이터라인(D3)에 공통 접속된다.
- [0069] 이 실시예의 유기전계발광 표시장치(200)에서는 표시장치 전체에 걸쳐서 상기와 같은 R, G, B 서브화소(SP)의 배열이 반복된다.
- [0070] 이러한 DRD 구동방식의 유기전계발광 표시장치(200)에서는 게이트라인(G1,G2...)과 데이터라인(D1,D2...)으로의 서브화소(S)의 접속방식이나 충전순서에 따라 서브화소(SP)에 데이터전압에 완전히 충전되는 강충전만이 아니라 서브화소(SP)에 데이터전압이 완전히 충전되지 않는 약충전이 발생하게 된다. 이러한 서브화소(SP)의 강충전과 약충전은 해당 서브화소에서 표시되는 영상의 휘도차이를 발생시킨다.
- [0071] 특히, 세로방향을 따라 배열되는 복수의 서브화소(SP)중에서 특정 컬러의 서브화소(SP)가 모두 약충전되거나 또는 약충전되는 서브화소(SP)가 상대적으로 많은 경우, 이 영역에서의 특정 컬러의 휘도가 다른 영역의 해당 컬러의 휘도에 비해 저하된다. 따라서, 이 영역에서 세로방향을 따라 휘도가 낮은 암선이 표시되어 뒀(dim)불량이 발생하게 된다.
- [0072] 이 실시예의 유기전계발광 표시장치(200)에서는 이러한 뒀불량을 방지하기 위해, 특정 방법으로 유기전계발광

표시장치(200)를 구동하는데, 이 구동방법을 도 5 및 도 6을 참조하여 설명한다.

- [0073] 도 5 및 도 6에 도시된 바와 같이, 2수평 도트 인버전 구동시, 먼저 제1게이트라인(G1)으로 하이의 게이트신호(SCAN)를 공급하여 제1수평라인(HL1)을 인에이블한다. 또한, 이와 동기하여 홀수번째 데이터라인(D<sub>2n-1</sub>, n은 자연수)에 양극성(+)의 데이터전압(Vdata)을 공급하고, 짝수번째 데이터라인(DL<sub>2n</sub>)에 음극성(-)의 데이터전압(Vdata)을 공급하여 홀수번째 서브화소(SP)들을 약충전한다.
- [0074] 그 후, 제1게이트라인(G1)으로 로우의 게이트신호(SCAN)를 공급하여 제1수평라인(HL1)을 디스에이블하고, 제3게이트라인(G3)으로 하이의 게이트신호(SCAN)를 공급하여 제2수평라인(HL2)을 인에이블한다. 이와 동기하여, 홀수번째 데이터라인(D<sub>2n-1</sub>)에 양극성(+)의 데이터전압(Vdata)신호를 공급하고, 짝수번째 데이터라인(D<sub>2n</sub>)에 음극성(-)의 데이터전압(Vdata)을 공급하여, 짝수번째 서브화소(SP)를 강충전한다.
- [0075] 이어서, 제3게이트라인(G3)으로 로우의 게이트신호(SCAN)를 공급하여 제2수평라인(HL2)을 디스에이블하고, 제5게이트라인(G5)으로 하이의 게이트신호(SCAN)를 공급하여 제3수평라인(HL3)을 인에이블하여 홀수번째 서브화소(SP)를 약충전하되, 이와 동기하여 홀수번째 데이터라인(D<sub>2n-1</sub>)에 음극성(-)의 데이터전압(Vdata)을 공급하고, 짝수번째 데이터라인(DL<sub>2n</sub>)에 양극성(+)의 데이터전압(Vdata)을 공급하여 홀수번째 서브화소들을 약충전한다.
- [0076] 이러한 방식으로 마지막 수평라인까지 충전이 완료되면, 다시 제1수평라인(HL1)의 제2게이트라인(G2)을 인에이블하여 짝수번째 서브화소(SP)를 약충전하며, 이러한 과정을 되풀이 한다.
- [0077] 도 6에 도시된 바와 같이, 상기와 같은 과정을 되풀이하면, 세로방향을 따라 R, G, B 서브화소(SP)의 약충전 또는 강충전만 되는 것이 아니라 약충전 및 강충전이 비율이 유사하게 되므로, 표시장치의 전체 서브화소(S)에서 충전편차가 발생하지 않게 되므로, 덤불량을 방지할 수 있게 된다.
- [0078] 한편, 본 실시예에서의 서브화소(SP)의 데이터전압(Vdata)의 충전은 다양한 방법으로 실행될 수 있다. 예를 들어, R, G, B서브화소(SP)를 다양한 방식으로 배열하고, 배열에 따라 게이트신호(SCAN)와 데이터전압(Vdata)를 인가하는 순서를 다르게 함으로써 표시장치의 전체 서브화소(S)에서 충전편차가 발생하지 않도록 할 수 있다.
- [0079] 상기와 같이 설정된 방법에 따른 유기전계발광 표시장치(200)를 2도트 인버전 방식의 구동에 의해, 세로방향으로 배열된 R, G, B 서브화소(SP)의 충전편차가 제거되는 경우에도 데이터라인(D1, D2...)과 기준전압라인(R1, R2...) 사이의 커플링으로 인해 기준전압(Vref)에 왜곡이 발생하며, 이 기준전압의 왜곡에 의해 유기발광소자(E)에 인가되는 구동전류가 왜곡될 수 있다.
- [0080] 따라서, 세로방향을 따라 배열되는 서브화소(SP)에 인가되는 데이터전압(Vdata)의 충전량에 편차가 발생하지 않는 경우에도, 기준전압(Vref)의 왜곡에 의해 실제 발광소자(E)에 인가되는 구동전류가 일정한 레벨을 유지할 수 없게 된다.
- [0081] 이 실시예에서는 R, G, B 서브화소를 포함하는 화소영역의 각각에 기준전압(Vref)을 인가하는 기준전압라인(R1, R2...)이 형성된다. 즉, 복수의 기준전압라인(R1, R2...)이 각각 데이터라인(D1, D2, D3...) 사이, 예를 들어 제1데이터라인(D1)에 접속된 G서브화소와 제2데이터라인(D2)에 접속된 B서브화소 사이, 제2데이터라인(D2)에 접속된 R서브화소와 제3데이터라인(D3)에 접속된 G서브화소 사이에 형성될 수 있다.
- [0082] 유기전계발광 표시장치(200)의 하단에는 저전위 전압(Vss) 또는 접지전압이 인가되는 Vss전극(242)이 형성되며, 복수의 기준전압라인(R1, R2...)이 상기 Vss전극(242)에 접속된다. 또한, 각각의 기준전압라인(R1, R2...)에는 기준전압제어 박막트랜지스터(Tr)가 배치되며, 기준전압 제어라인(244)을 통해 인가되는 제어신호에 따라 기준전압제어 박막트랜지스터(Tr)가 턴온되거나 턴오프된다. 이러한 기준전압제어 박막트랜지스터(Tr)가 턴온되거나 턴오프에 따라 기준전압라인(R1, R2...)이 Vss전극(242)과 단락되거나 단선되어 상기 기준전압라인(R1, R2...)을 플로팅시키거나 기준전압라인(R1, R2...)을 상기 Vss전극(242)과 접속시킨다.
- [0083] 특히, 유기발광소자(E)의 발광구간에서 기준전압라인(R1, R2...)을 Vss전극(242)에 접속하여 상기 기준전압라인(R1, R2...)을 접지시킴으로써, 모든 기준전압라인(R1, R2...)의 전위를 동일하게 하여 커플링에 의한 기준전압(Vref)의 왜곡을 방지하여 화상의 품질저하를 방지한다. 또한, 센싱구간에는 기준전압라인(R1, R2...)을 Vss전극(242)으로부터 단선시켜 기준전압라인(R1, R2...)을 플로팅시켜 센싱이 원활이 되도록 한다.
- [0084] 도 7은 본 발명의 제3실시예에 따른 유기전계발광 표시장치(300)를 개략적으로 나타내는 도면이다. 도면에서는 설명의 편의를 위해 하나의 화소를 구성하는 R, G, B 서브화소와 이들에 신호를 인가하는 게이트라인(G1, G2...Gn) 및 데이터라인(D1, D2...Dm)과 기준전압라인(R1, R2...)만을 도시하였다.

- [0085] 도 7에 도시된 바와 같이, 이 실시예의 유기전계발광 표시장치는 다수의 R서브화소, G서브화소, B서브화소, W(White) 서브화소를 포함한다. 수평라인상에 배치된 다수의 서브화소(SP)를 구동하기 위해 다수의 데이터라인(D1,D2...)과 게이트라인(G1,G2...)이 구비된다.
- [0086] 홀수번째 게이트라인(G1,G3,G5...)에 접속된 R서브화소는 짝수번째 게이트라인(G2,G4,G6...)에 접속된 G서브화소와 인접하여 제1데이터라인(D1)에 공통 접속되며, 짝수번째 게이트라인(G2,G4,G6...)에 접속된 B 서브화소는 홀수번째 게이트라인(G1,G3,G5...)에 접속된 W 서브화소와 인접하여 제2데이터라인(D2)에 공통 접속된다.
- [0087] 짝수번째 게이트라인(G2,G4,G6...)에 접속된 R 서브화소는 홀수번째 게이트라인(G1,G3,G5...)에 접속된 G 서브화소와 인접하여 제3데이터라인(D3)에 공통 접속되며, 홀수번째 게이트라인(G1,G3,G5...)에 접속된 B 서브화소는 짝수번째 게이트라인(G2,G4,G6...)에 접속된 W 서브화소와 이웃하여 제4데이터라인(D4)에 공통 접속된다.
- [0088] 짝수번째 게이트라인(G2,G4,G6...)에 접속된 R 서브화소는 홀수번째 게이트라인(G1,G3,G5...)에 접속된 G 서브화소와 인접하여 제5데이터라인(D5)에 공통 접속되며, 짝수번째 게이트라인(G2,G4,G6...)에 접속된 B 서브화소는 홀수번째 게이트라인(G1,G3,G5...)에 접속된 W 서브화소와 인접하여 제6데이터라인(D6)에 공통 접속된다.
- [0089] 또한, R, G, B,W 서브화소(SP)를 형성하는 복수의 화소영역(P)에는 각각 기준전압(Vref)을 공급하는 다수의 기준전압라인(R1,R2,R3...)이 배치된다. 상기 다수의 기준전압라인(R1,R2,R3...)은 각각 홀수번째 데이터라인(D1,D3,D5...) 및 짝수번째 데이터라인(D2,D4,D6...) 사이, 하나의 화소영역(P)을 형성하는 4개의 서브화소(S P)의 중간영역에 배치될 수 있다.
- [0090] 상기 표시장치(300)의 하단에는 저전위 전압이나 접지전압이 인가되는 Vss전극(342)이 배치되어, 상기 기준전압라인(R1,R2,R3...)이 상기 Vss전극(342)에 연결된다.
- [0091] 상기 다수의 기준전압라인(R1,R2,R3...) 각각에는 구동전압제어 박막트랜지스터(Tr)이 배치되어, 기준전압 제어 부로부터 기준전압 제어라인(344)을 통해 공급되는 제어신호(Vr)에 의해 상기 기준전압제어 박막트랜지스터(Tr)가 턴온되거나 턴오프된다. 이러한 기준전압제어 박막트랜지스터(Tr)의 턴온이나 턴오프에 의해 모든 기준전압라인(R1,R2,R3...)이 Vss전극(342)과 일괄적으로 단락되거나 단선된다.
- [0092] 이러한 구조의 유기전계발광 표시장치(300)는 4 도트 인버전 방식으로 구동하여, 제1데이터라인(D1)을 사이에 둔 다수의 제1좌측 서브화소와 제1우측 서브화소는 2개의 제1좌측 서브화소, 4개의 제1우측 서브화소, 4개의 제1좌측 서브화소...2개의 제1우측 서브화소의 순서로 충전되며, 제2데이터라인(D2)을 사이에 둔 다수의 제2좌측 서브화소와 제2우측 서브화소는 2개의 제2우측 서브화소, 4개의 제2좌측 서브화소, 4개의 제2우측 서브화소...2개의 제2좌측 서브화소의 순서로 충전된다.
- [0093] 또한, 제3데이터라인(D3)을 사이에 둔 다수의 제3좌측 서브화소와 제3우측 서브화소는 1개의 제3우측 서브화소, 3개의 제3좌측 서브화소, 3개의 제3우측 서브화소...1개의 제3좌측 서브화소의 순서로 충전되며, 제4데이터라인(D4)을 사이에 둔 다수의 제4좌측 서브화소와 제4우측 서브화소는 1개의 제4좌측 서브화소, 3개의 제4우측 서브화소, 3개의 제4좌측 서브화소...1개의 제4우측 서브화소의 순서로 충전된다.
- [0094] 이와 같이, 이 실시예에서는 세로방향(즉, 데이터라인의 연장방향)을 따라 복수개의 서브화소를 충전하고 가로 방향으로 인접하는 복수개의 서브화소를 충전함으로써, 세로방향을 따라 R, G, B,W 서브화소(SP)의 약충전 및 강충전의 비율이 거의 유사하게 되므로, 충전편차에 의한 뒬현상을 방지할 수 있게 된다.
- [0095] 한편, 본 발명의 R, G, B,W 서브화소가 도면에 도시된 바와 같이 배열되는 것에만 한정되는 것이 아니라 다양한 방식으로 배열될 수 있을 것이다. 예를 들어, 홀수번째 수평방향(HL1,HL3...)에서는 RGBW의 순서로 서브화소(SP)가 배열되고 짝수번째 수평방향(HL2,HL4...)에서는 BWRG의 순서로 서브화소(SP)가 배열될 수도 있다. 이 경우에도 서브화소를 충전하는 순서를 조절함으로써, 세로방향을 따라 R, G, B,W 서브화소(SP)의 약충전 및 강충전의 비율이 거의 유사하게 할 수 있게 된다.
- [0096] 이 실시예의 유기전계발광 표시장치(300)에서도 세로방향을 따라 4도트 인버전 방식으로 구동함으로써 세로방향으로의 R, G, B,W 서브화소(SP)의 충전편차가 제거되지만, 데이터라인(D1,D2...)과 기준전압라인(R1,R2...) 사이의 커플링으로 인해 기준전압(Vref)에 왜곡이 발생하며, 이 기준전압의 왜곡에 의해 발광소자(E)에 인가되는 구동전류가 왜곡된다. 특히, 데이터라인(D1,D2...)의 연장방향을 따라 4도트 인버전 방식으로 데이터전압(Vdata)을 인가함으로써 커플링에 의한 기준전압(Vref)의 왜곡이 더 심하게 발생한다.
- [0097] 따라서, 세로방향을 따라 배열되는 R, G, B,W 서브화소(SP)에 인가되는 데이터전압(Vdata)의 충전량에 편차가 발생하지 않는 경우에도, 기준전압(Vref)의 왜곡에 의해 실제 발광소자(E)에 인가되는 구동전류가 일정한 레벨

을 유지할 수 없게 된다.

[0098] 이 실시예에서도 유기전계발광 표시장치(300)의 하단에 저전위 전압(Vss) 또는 접지전압이 인가되는 Vss전극(342)이 형성되며, R, G, B,W 서브화소를 포함하는 화소영역 각각에 형성된 복수의 기준전압라인(R1,R2...)을 상기 Vss전극(342)에 접속한다. 또한, 각각의 기준전압라인(R1,R2...)에는 기준전압제어 박막트랜지스터(Tr)가 배치되어, 기준전압 제어라인(244)을 통해 인가되는 제어신호(Vr)에 따라 상기 기준전압라인(R1,R2...)이 Vss전극(242)으로부터 단락하거나 단선하며, 이러한 단선 및 단락에 의해 상기 기준전압라인(R1,R2...)이 플로팅되거나 접지된다.

[0099] 특히, 유기발광소자(E)의 발광구간에서 기준전압라인(R1,R2...)을 Vss전극(342)에 접속하여 접지시킴으로써 모든 기준전압라인(R1,R2...)의 전위를 동일하게 하여 커플링에 의한 기준전압(Vref)의 왜곡을 방지하여 화상의 품질저하를 방지하며, 센싱구간에는 기준전압라인(R1,R2...)을 Vss전극(242)으로부터 단선시켜 기준전압라인(R1,R2...)을 플로팅시켜 센싱이 원활하게 되도록 한다.

[0100] 상술한 바와 같이, 본 발명에서는 유기전계발광 표시장치에 기준전압라인과 접속되는 Vss전극을 배치하여, 제어신호에 따라 기준전압라인과 Vss전극을 단락시킴으로써 유기발광소자의 발광시 데이터라인과 기준전압라인 사이의 커플링에 의한 기준전압의 레벨편차의 발생을 방지할 수 있게 된다. 그 결과 기준전압의 레벨편차로 인한 화상품질의 저하를 방지할 수 있게 된다.

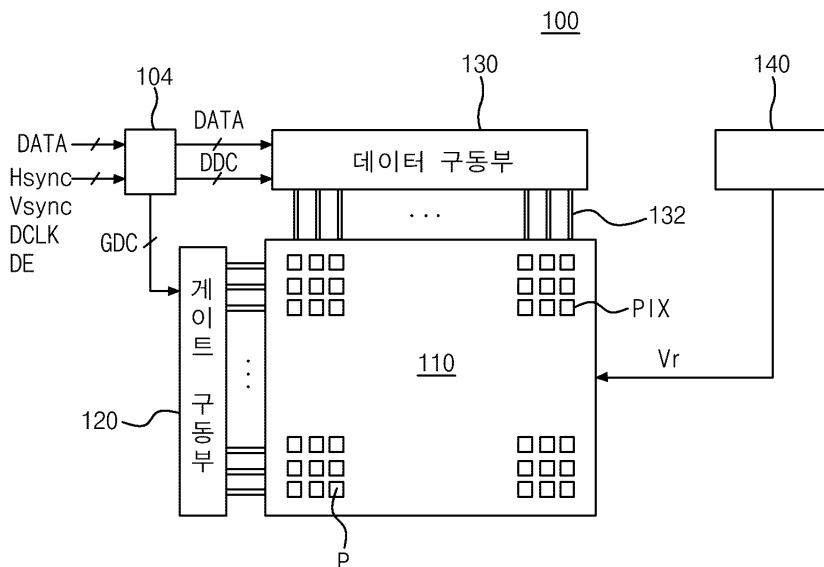
[0101] 한편, 상술한 상세한 설명에서는 특정 구조의 유기전계발광 표시장치가 예를 들어 설명되고 있지만, 본 발명이 이러한 특정 구조의 유기전계발광 표시장치에만 한정되는 것이 아니라 다양한 유기전계발광 표시장치에 적용될 수 있을 것이다. 따라서, 본 발명의 권리범위는 상술한 상세한 설명에 의해 결정되는 것이 아니라 첨부한 특허청구범위에 의해 결정되어야만 한다.

**부호의 설명**

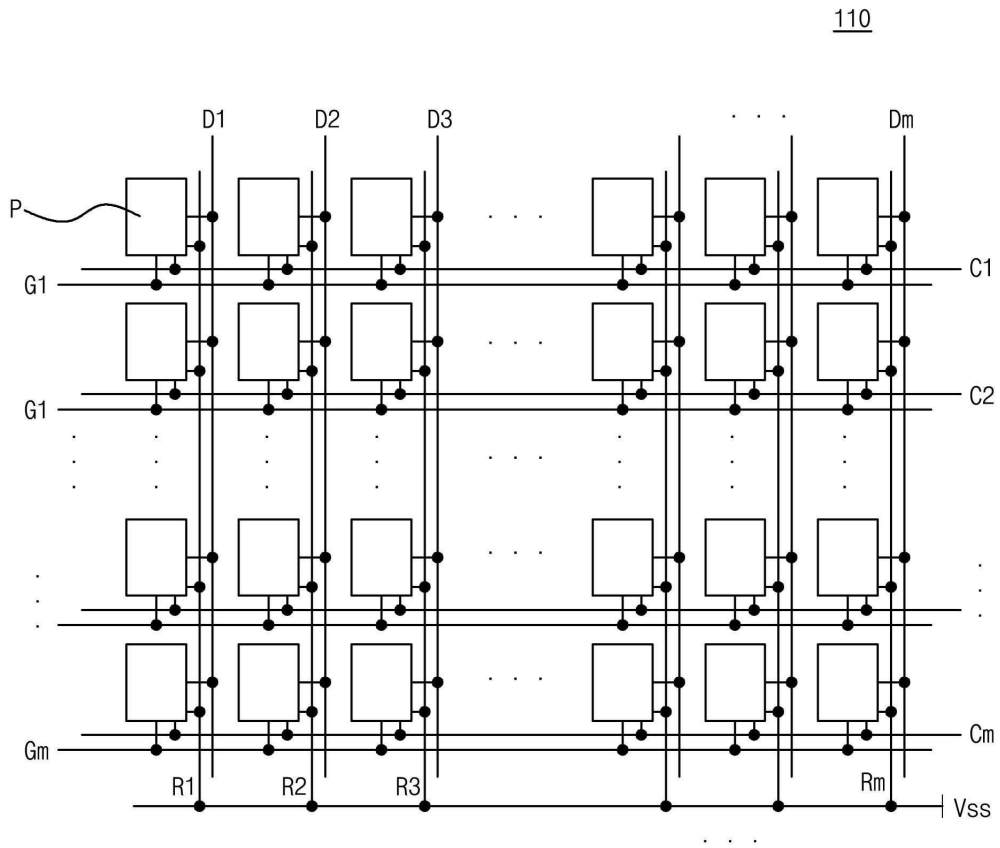
- [0102] 100 : 유기전계발광 표시장치 110 : 표시패널
- 120 : 게이트구동부 130 : 데이터구동부
- 140 : 기준전압 제어부 142 : 기준전압제어 박막트랜지스터
- 144 : 기준전압 제어라인

**도면**

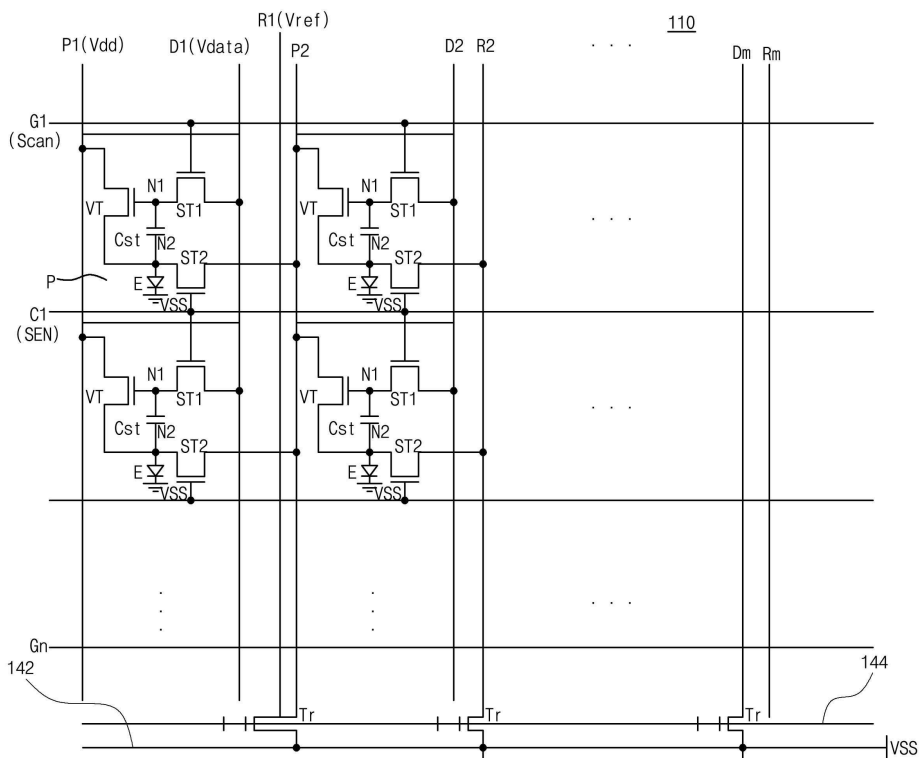
**도면1**



도면2

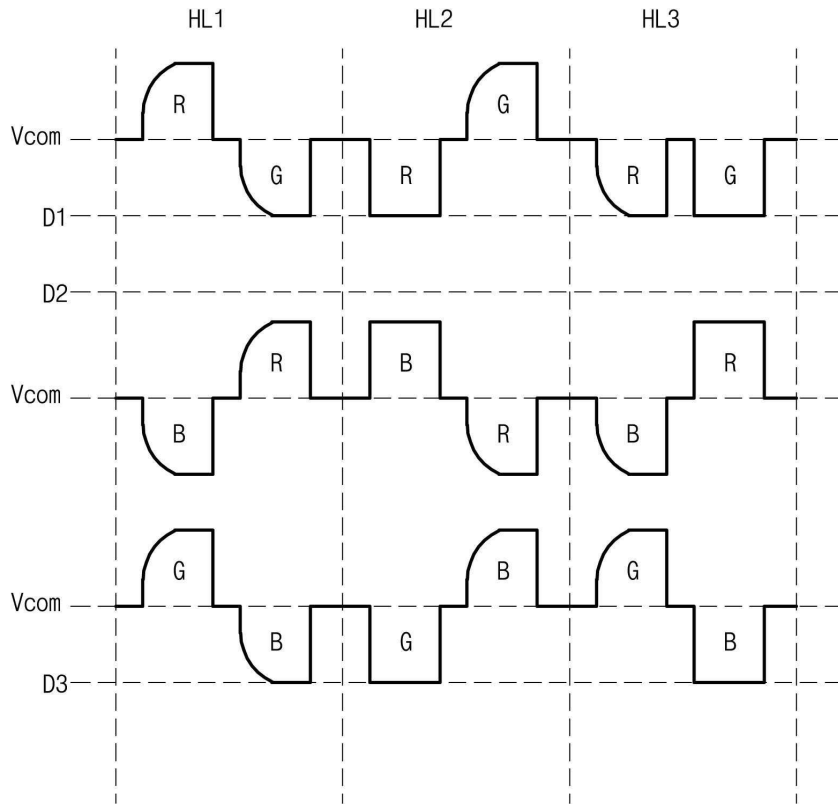


도면3





도면6



도면7

300

