



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0069094
(43) 공개일자 2020년06월16일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0852 (2013.01)

(21) 출원번호 10-2018-0156252
(22) 출원일자 2018년12월06일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
천광일
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인(유한)유일하이스트

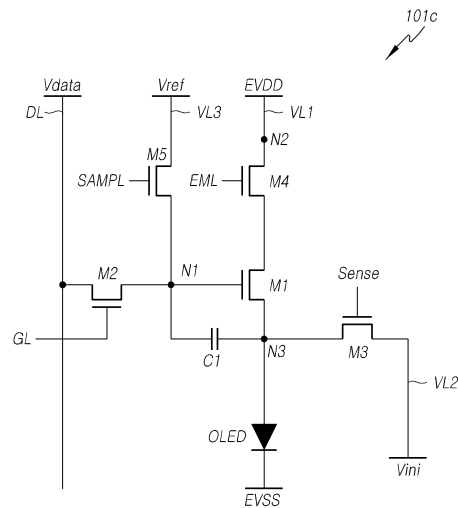
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 화소회로, 유기발광표시장치 및 그의 구동방법

(57) 요약

본 발명의 실시예들은, 유기발광다이오드, 데이터신호에 대응하여 화소전원을 전달받아 유기발광다이오드에 구동 전류를 공급하는 제1트랜지스터, 및 제1트랜지스터에 공급된 데이터신호를 유지하는 캐패시터를 포함하며, 캐패시터는 제1트랜지스터의 문턱전압에 대응하는 제1전압을 저장된 후 상기 제1트랜지스터의 이동도에 대응하여 제1 전압을 보상한 제2전압이 저장되고, 데이터신호에 대응하여 제2전압에 데이터신호에 대응하는 제3전압을 합산하여 저장하는 화소회로, 유기발광표시장치 및 그의 구동방법을 제공할 수 있다.

대표도 - 도6



(52) CPC특허분류
G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

복수의 화소가 배치되는 표시패널;

상기 화소에 데이터신호를 전달하는 데이터드라이버;

상기 화소에 게이트신호를 전달하는 게이트드라이버; 및

상기 데이터드라이버와 상기 게이트드라이버를 제어하는 타이밍컨트롤러를 포함하되,

상기 화소는

유기발광다이오드;

상기 데이터신호에 대응하여 화소전원을 전달받아 상기 유기발광다이오드에 구동전류를 공급하는 제1트랜지스터; 및

상기 제1트랜지스터에 공급된 상기 데이터신호를 유지하는 캐패시터를 포함하며,

상기 캐패시터는 상기 제1트랜지스터의 문턱전압에 대응하는 제1전압을 저장된 후 상기 제1트랜지스터의 이동도에 대응하여 상기 제1전압을 보상한 제2전압이 저장되고, 상기 데이터신호에 대응하여 상기 제2전압에 상기 데이터신호에 대응하는 제3전압을 합산하여 저장하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 화소는,

상기 제1트랜지스터에 상기 데이터신호를 공급하는 제2트랜지스터;

상기 제1트랜지스터에 화소전원을 공급하는 제3트랜지스터;

상기 캐패시터를 초기화하는 초기화전압을 전달하는 제4트랜지스터; 및

상기 제1트랜지스터에 제1기준전압을 공급하여 상기 캐패시터에 상기 제1전압이 저장되게 하고, 상기 제1트랜지스터에 제2기준전압을 공급하여 상기 캐패시터에 상기 제2전압이 저장되게 하는 제5트랜지스터를 더 포함하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 화소는,

상기 제1트랜지스터는 게이트전극이 제1노드에 연결되고 제1전극이 제2노드에 연결되며 제2전극이 제3노드에 연결되고, 상기 캐패시터는 상기 제1노드와 상기 제3노드에 연결되고, 상기 유기발광다이오드는 애노드 전극이 상기 제3노드에 연결되고 캐소드전극이 제2전원에 연결되되,

게이트전극이 게이트라인에 연결되고 제1전극이 데이터라인에 연결되며 제2전극이 상기 제1노드에 연결되는 제2트랜지스터;

게이트전극이 센싱제어신호라인에 연결되고 제1전극이 초기화전압라인에 연결되며 제2전극이 상기 제3노드에 연결되는 제3트랜지스터;

게이트전극이 발광제어신호라인에 연결되고 제1전극이 화소전원에 연결되며 제2전극이 상기 제2노드에 연결되는 제4트랜지스터; 및

게이트전극이 샘플링신호라인에 연결되고 제1전극이 기준전압라인에 연결되며 제2전극이 상기 제1노드에 연결되는 제5트랜지스터를 더 포함하는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 게이트드라이버는 게이트신호, 발광제어신호, 센싱제어신호 및 샘플링신호를 출력하며,

상기 게이트라인에 게이트신호가 전달되고, 상기 센싱제어라인에 상기 센싱제어신호가 전달되고 상기 발광제어신호라인에 상기 발광제어신호가 전달되고, 상기 샘플링신호라인에 상기 샘플링신호가 전달되는 유기발광표시장치.

청구항 5

제4항에 있어서,

제1기간에서 상기 샘플링신호와 상기 센싱제어신호가 하이상태로 공급되고, 제2기간에 상기 샘플링신호와 상기 발광제어신호가 하이상태로 공급되며, 제3기간에 상기 샘플링신호와 상기 발광제어신호가 하이상태로 공급되고, 제4기간에 상기 게이트신호가 하이상태로 공급되고, 제5기간에 상기 발광제어신호가 하이상태로 공급되는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 제2기간에 상기 기준전압라인으로 제1기준전압이 전달되고, 상기 제3기간에 상기 기준전압라인으로 상기 제1기준전압보다 전압레벨이 높은 제2기준전압이 전달되는 유기발광표시장치.

청구항 7

제4항에 있어서,

상기 센싱제어신호는 상기 복수의 화소 중 n 번째 화소행에 전달되는 게이트신호보다 상기 복수의 화소에 먼저 전달되는 게이트신호인 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 제1트랜지스터는 산화물반도체를 포함하는 유기발광표시장치.

청구항 9

게이트전극이 제1노드에 연결되고 제1전극이 제2노드에 연결되며 제2전극이 제3노드에 연결되는 제1트랜지스터;

게이트전극이 게이트라인에 연결되고 제1전극이 데이터라인에 연결되며 제2전극이 상기 제1노드에 연결되는 제2트랜지스터;

게이트전극이 센싱제어신호라인에 연결되고 제1전극이 초기화전압라인에 연결되며 제2전극이 상기 제3노드에 연결되는 제3트랜지스터;

게이트전극이 발광제어신호라인에 연결되고 제1전극이 화소전원에 연결되며 제2전극이 상기 제2노드에 연결되는 제4트랜지스터;

게이트전극이 샘플링신호라인에 연결되고 제1전극이 기준전압라인에 연결되며 제2전극이 상기 제1노드에 연결되는 제5트랜지스터;

상기 제1노드와 상기 제3노드 사이에 연결되는 캐패시터; 및

애노드 전극이 상기 제3노드에 연결되고 캐소드전극이 제2전원에 연결되는 유기발광다이오드를 포함하는 화소회로.

청구항 10

제9항에 있어서,

제1기간에서 상기 샘플링신호라인과 상기 센싱제어신호라인으로 각각 샘플링신호와 센싱제어신호가 하이상태로 공급되고, 제2기간에 상기 샘플링신호라인과 상기 발광제어신호라인으로 각각 상기 샘플링신호와 상기 발광제어신호가 하이상태로 공급되며, 제3기간에 상기 샘플링신호라인과 상기 발광제어신호라인으로 각각 상기 샘플링신호와 상기 발광제어신호가 하이상태로 공급되고, 제4기간에 상기 게이트라인으로 상기 게이트신호가 하이상태로 공급되고, 제5기간에 상기 게이트라인으로 상기 발광제어신호가 하이상태로 공급되는 화소회로.

청구항 11

제10항에 있어서,

상기 제2기간에 상기 기준전압라인으로 제1기준전압이 전달되고, 상기 제3기간에 상기 기준전압라인으로 상기 제1기준전압보다 전압레벨이 높은 제2기준전압이 전달되는 화소회로.

청구항 12

제10항에 있어서,

상기 센싱신호는 상기 복수의 화소 중 n 번째 화소행에 전달되는 게이트신호보다 먼저 전달되는 게이트신호인 화소회로.

청구항 13

제9항에 있어서,

상기 제1트랜지스터 내지 제5트랜지스터 중 적어도 하나의 트랜지스터는 산화물반도체를 포함하는 화소회로.

청구항 14

유기발광다이오드, 상기 유기발광다이오드에 구동전류를 공급하는 제1트랜지스터와, 상기 제1트랜지스터의 게이트전극과 소스전극 사이에 연결되는 캐패시터를 포함하는 유기발광표시장치의 구동방법에 있어서,

상기 캐패시터에 상기 제1트랜지스터의 문턱전압에 대응하는 제1전압을 저장하는 단계;

상기 제1트랜지스터의 이동도에 대응하여 상기 캐패시터에 상기 제1전압을 보상한 제2전압이 저장하는 단계;

상기 제1트랜지스터의 게이트전극에 데이터신호에 대응하는 데이터전압을 인가하는 단계; 및

상기 캐패시터에 저장된 전압과 상기 데이터전압에 대응하여 상기 유기발광다이오드에 구동전류를 공급하는 단계를 포함하는 유기발광표시장치의 구동방법.

청구항 15

제14항에 있어서,

상기 문턱전압에 대응하는 제1전압을 저장하기 전에 상기 캐패시터를 초기화하는 단계를 더 포함하는 유기발광 표시장치의 구동방법.

청구항 16

제14항에 있어서,

상기 제1전압을 저장하는 단계에서 상기 제1트랜지스터의 게이트전극에 제1기준전압을 전달하고, 상기 제2전압을 저장하는 단계에서 상기 제1트랜지스터의 게이트전극에 상기 제1기준전압보다 전압레벨이 높은 제2기준전압을 전달하는 유기발광표시장치의 구동방법.

청구항 17

제15항에 있어서,

상기 초기화단계는 n-3번째 화소행에 데이터신호가 기입될 때 n 번째 화소행이 초기화되는 유기발광표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 화소회로, 유기발광표시장치 및 그의 구동방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 액정표시장치(LCD: Liquid Crystal Display Device), 플라즈마표시장치(Plasma Display Device), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 여러 가지 타입의 표시장치가 활용되고 있다.

[0003] 상기와 같은 표시장치들 중 유기발광표시장치에서 사용되는 유기발광 다이오드는 스스로 빛을 내는 자발광소자이고 높은 휘도와 낮은 동작 전압 특성을 가지고 있다. 따라서, 유기발광표시장치는 명암대비(CONTRAST RATIO)가 크고, 초박형으로 구현이 용이하다. 또한, 응답시간이 매우 짧아 잔상이 없고 시야각의 제한이 없다. 또한, 저온에서도 안정적으로 구동할 수 있다.

[0004] 그러나, 유기발광표시장치는 하나의 표시패널 내에서 복수의 화소를 포함하며 각 화소에는 유기발광다이오드와 유기발광다이오드에 구동전류를 공급하는 구동트랜지스터가 배치되어 있다. 유기발광표시장치의 제조과정에서 다수의 구동트랜지스터의 특성 편차가 발생하게 된다. 즉, 문턱전압(Vth) 및 전자 이동도(mobility)의 편차가 발생할 수 있다. 특성편차로 인해 유기발광 다이오드들로 공급되는 구동전류가 일정하지 않아 원하는 휘도가 균일하지 않게 되는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들의 목적은 화질을 개선할 수 있는 화소회로, 유기발광표시장치 및 그의 구동방법을 제공하는 것이다.

[0006] 또한, 본 발명의 실시예들의 다른 목적은 소비전력을 저감할 수 있는 화소회로, 유기발광표시장치 및 그의 구동방법을 제공하는 것이다.

과제의 해결 수단

[0007] 일측면에서 본 발명의 실시예들은, 복수의 화소가 배치되는 표시패널, 화소에 데이터신호를 전달하는 데이터드라이버, 화소에 게이트신호를 전달하는 게이트드라이버, 및 데이터드라이버와 게이트드라이버를 제어하는 타이밍컨트롤러를 포함하되, 화소는 유기발광다이오드, 데이터신호에 대응하여 화소전원을 전달받아 유기발광다이오드에 구동전류를 공급하는 제1트랜지스터, 및 제1트랜지스터에 공급된 데이터신호를 유지하는 캐패시터를 포함하며, 캐패시터는 제1트랜지스터의 문턱전압에 대응하는 제1전압을 저장된 후 상기 제1트랜지스터의 이동도에 대응하여 제1전압을 보상한 제2전압이 저장되고, 데이터신호에 대응하여 제2전압에 데이터신호에 대응하는 제3전압을 합산하여 저장하는 유기발광표시장치를 제공하는 것이다.

[0008] 다른 일측면에서 본 발명의 실시예들은, 게이트전극이 제1노드에 연결되고 제1전극이 제2노드에 연결되며 제2전극이 제3노드에 연결되는 제1트랜지스터, 게이트전극이 게이트라인에 연결되고 제1전극이 데이터라인에 연결되며 제2전극이 제1노드에 연결되는 제2트랜지스터, 게이트전극이 센싱제어신호라인에 연결되고 제1전극이 초기화전압라인에 연결되며 제2전극이 제3노드에 연결되는 제3트랜지스터, 게이트전극이 발광제어신호라인에 연결되고 제1전극이 화소전원에 연결되며 제2전극이 제2노드에 연결되는 제4트랜지스터, 게이트전극이 샘플링신호라인에 연결되고 제1전극이 기준전압라인에 연결되며 제2전극이 제1노드에 연결되는 제5트랜지스터, 제1노드와 제3노드 사이에 연결되는 캐패시터, 및 애노드 전극이 제3노드에 연결되고 캐소드전극이 제2전원에 연결되는 유기발광다이오드를 포함하는 화소회로를 제공하는 것이다.

[0009] 또다른 일측면에서 본 발명의 실시예들은, 유기발광다이오드, 유기발광다이오드에 구동전류를 공급하는 제1트랜지스터와, 제1트랜지스터의 게이트전극과 소스전극 사이에 연결되는 캐패시터를 포함하는 유기발광표시장치의 구동방법에 있어서, 캐패시터에 제1트랜지스터의 문턱전압에 대응하는 제1전압을 저장하는 단계, 제1트랜지스터의 이동도에 대응하여 캐패시터에 제1전압을 보상한 제2전압이 저장하는 단계, 제1트랜지스터의 게이트전극에 데이터신호에 대응하는 데이터전압을 인가하는 단계, 및 캐패시터에 저장된 전압과 데이터전압에 대응하여 유기발광다이오드에 구동전류를 공급하는 단계를 포함하는 유기발광표시장치의 구동방법을 제공하는 것이다.

발명의 효과

[0010] 본 발명의 실시예들에 의하면, 화질을 개선할 수 있는 화소회로, 유기발광표시장치 및 그의 구동방법을 제공할 수 있다.

[0011] 본 발명의 실시예들에 의하면, 소비전력을 저감할 수 있는 화소회로, 유기발광표시장치 및 그의 구동방법을 제공할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 실시예들에 의한 유기발광표시장치를 나타내는 구조도이다.
- 도 2는 도 1에 도시된 화소의 제1실시예를 나타내는 회로도이다.
- 도 3a는 도 2에 도시된 화소에서 구동전류의 전류편차를 나타내는 그래프이다.
- 도 3b는 도 문턱전압이 보상된 구동트랜지스터들의 전류편차를 나타내는 그래프이다.
- 도 4는 도 1에 도시된 화소의 제2실시예를 나타내는 회로도이다.
- 도 5는 도 4에 도시된 화소의 동작을 나타내는 타이밍도이다.
- 도 6은 도 1에 도시된 화소의 제3실시예를 나타내는 회로도이다.
- 도 7은 도 6에 도시된 화소의 동작을 나타내는 타이밍도이다.
- 도 8은 본 발명의 실시예들에 의한 유기발광표시장치의 구동방법을 나타내는 순서도이다.
- 도 9는 본 발명에 따른 유기발광표시장치의 계조별 휘도 균일도 편차에 대한 실험결과를 나타내는 그래프이다.
- 도 10은 본 발명에 따른 유기발광표시장치에서 계조간 전압차이를 측정된 실험결과를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는

기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0014] 또한, 본 발명의 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.
- [0015] 또한, 본 발명의 실시예들에서의 구성 요소들을 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석되어야 할 것이다.
- [0016] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 또한, 본 발명의 실시예들에서의 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것일 뿐이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.
- [0018] 또한, 본 발명의 실시예들에서의 특징들(구성들)이 부분적으로 또는 전체적으로 서로 결합 또는 조합 또는 분리 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예는 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0019] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.
- [0021] 도 1은 본 발명의 실시예들에 의한 표시장치를 나타내는 구조도이다.
- [0022] 도 1을 참조하면, 표시장치(100)는 표시패널(110), 데이터드라이버(120), 게이트드라이버(130), 타이밍컨트롤러(140)를 포함할 수 있다.
- [0023] 표시패널(110)은 제1방향으로 배치된 복수의 데이터라인(DL1, ..., DLm)과 제2방향으로 배치된 복수의 게이트라인(GL1, ..., GLn)을 포함할 수 있다. 복수의 데이터라인(DL1, ..., DLm)과 복수의 게이트라인(GL1, ..., GLn)은 직교하는 것으로 도시되어 있지만, 이에 한정되는 것은 아니다. 또한, 표시패널(110)에 배치되는 배선은 복수의 데이터라인(DL1, ..., DLm)과 복수의 게이트라인(GL1, ..., GLn)에 한정되는 것은 아니다.
- [0024] 표시패널(110)은 복수의 게이트 라인(GL1, ..., GLn)과 복수의 데이터라인(DL1, ..., DLm)이 교차하는 영역에 대응하여 형성되는 복수의 화소(101)를 포함할 수 있다. 복수의 화소는 가로 방향의 복수의 화소행과 세로 방향의 복수의 화소열을 포함하는 매트릭스형태로 배치될 수 있다. 하나의 화소행에 배치되어 있는 화소들은 동일한 게이트라인에 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0025] 데이터드라이버(120)는 데이터신호를 복수의 데이터라인(DL1, ..., DLm)에 인가할 수 있다. 데이터신호는 계조에 대응할 수 있고, 대응하는 계조에 따라 데이터신호의 전압레벨이 결정될 수 있다. 데이터신호의 전압을 데이터 전압이라 칭할 수 있다. 여기서, 데이터드라이버(120)의 수는 한 개인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며 표시패널(110)의 크기, 해상도에 대응하여 두개 이상일 수 있다. 또한, 데이터드라이버(120)는 집적회로(Integrated circuit)로 구현될 수 있다.
- [0026] 게이트드라이버(130)는 게이트신호를 복수의 게이트라인(GL1, ..., GLn)에 인가할 수 있다. 게이트신호가 인가된 복수의 게이트라인(GL1, ..., GLn)에 대응하는 화소(101)는 데이터신호를 전달받을 수 있다. 여기서, 게이트드라이버(130)의 수는 한 개인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며, 적어도 두 개일 수 있다. 또한,

게이트드라이버(130)는 표시패널(110)의 양측에 배치되고 하나의 게이트드라이버(130)는 복수의 게이트라인(GL1, ..., GLn) 중 홀수번째 게이트라인에 연결되고 다른 하나의 게이트드라이버(130)는 복수의 게이트라인(GL1, ..., GLn) 중 짝수번째 게이트라인에 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0027] 또한, 게이트드라이버(130)는 게이트신호외에 발광제어신호, 센싱제어신호 및 샘플링신호를 출력할 수 있다. 하지만, 이에 한정되는 것은 아니다. 발광제어신호, 센싱제어신호 및 샘플링신호는 별도의 배선이 표시패널(110)에 배치되어 화소(101)에 전달될 수 있다. 게이트드라이버(130)는 집적회로로 구현될 수 있다.

[0028] 타이밍컨트롤러(140)는 데이터드라이버(120)와 게이트드라이버(130)를 제어할 수 있다. 또한, 타이밍컨트롤러(140)는 데이터신호에 대응하는 영상신호를 데이터드라이버(120)로 전달할 수 있다. 영상신호는 디지털신호일 수 있다. 타이밍컨트롤러(140)는 영상신호를 보정하여 데이터드라이버(120)에 전달할 수 있다. 또한, 타이밍컨트롤러(140)는 화소(101)에 기준전압을 전달하는 시점을 제어할 수 있다. 기준전압은 제1기준전압과, 제1기준전압보다 전압레벨이 높은 제2기준전압을 포함할 수 있다. 기준전압에 대응하여 문턱전압보상과 전자 이동도에 대한 보상을 수행할 수 있다.

[0030] 도 2는 도 1에 도시된 화소의 제1실시예를 나타내는 회로도이다.

[0031] 도 2를 참조하면, 도 2는 도 1에 도시된 화소의 일 실시예를 나타내는 회로도이다.

[0032] 도 2를 참조하면, 화소(101a)는 유기발광다이오드(OLED)와, 유기발광다이오드(OLED)를 구동하는 화소회로를 포함할 수 있다. 화소회로는 제1트랜지스터(M1), 제2트랜지스터(M2) 및 캐패시터(C1)를 포함할 수 있다.

[0033] 제1트랜지스터(M1)는 게이트전극이 제1노드(N1)에 연결되고 제1전극이 제1화소전원(EVDD)이 전달되는 화소전원라인(VL1)과 연결되는 제2노드(N2)에 연결되며 제2전극이 제3노드(N3)에 연결될 수 있다. 제1트랜지스터(M1)는 제1노드(N1)에 전달되는 전압에 대응하여 제3노드(N3)에 전류가 흐르도록 할 수 있다. 제1트랜지스터(M1)의 제1전극은 드레인전극이고, 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다. 제1트랜지스터(M1)을 구동트랜지스터라고 칭할 수 있다.

[0034] 제3노드(N3)로 흐르는 전류는 하기의 수학식 1에 대응할 수 있다.

수학식 1

[0035]
$$I_d = k(V_{GS} - V_{th})^2$$

[0036] 여기서, I_d 는 제3노드(N3)에 흐르는 전류의 양을 의미하고, k 는 트랜지스터의 전자이동도를 의미하며, V_{GS} 는 제1트랜지스터(M1)의 게이트전극과 소스전극의 전압차이를 의미하며, V_{th} 는 제1트랜지스터(M1)의 문턱전압을 의미한다.

[0037] 제2트랜지스터(M2)는 데이터라인(DL)에 제1전극이 연결되고 게이트라인(GL)에 게이트전극이 연결되며 제1노드(N1)에 제2전극이 연결될 수 있다. 따라서, 제2트랜지스터(M2)는 게이트라인(GL)을 통해 전달되는 게이트신호에 대응하여 제1노드(N1)에 데이터신호에 대응하는 데이터전압(V_{data})이 전달되게 할 수 있다. 제2트랜지스터(M2)의 제1전극은 드레인전극이고, 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0038] 캐패시터(C1)는 제1노드(N1)에 제1전극이 연결되고 제3노드(N3)에 제2전극이 연결될 수 있다. 캐패시터(C1)는 제1트랜지스터(M1)의 게이트전극의 전압과 소스전극의 전압을 일정하게 유지할 수 있다.

[0039] 유기발광다이오드(OLED)는 애노드전극이 제3노드(N3)에 연결되고 캐소드전극이 제2화소전원(EVSS)에 연결될 수 있다. 여기서, 제2화소전원(EVSS)은 제1화소전원(EVDD)보다 전압레벨이 낮을 수 있다. 또한, 제2화소전원(EVSS)은 접지될 수 있다. 하지만, 이에 한정되는 것은 아니다. 제2화소전원(EVSS)은 저전원라인을 통해 공급받을 수 있다. 제2화소전원(EVSS)은 적어도 2개의 유기발광다이오드(OLED)에 공통으로 공급될 수 있다. 유기발광다이오드(OLED)는 애노드 전극에서 캐소드전극으로 전류가 흐르게 되면 전류의 양에 대응하여 빛을 발광할 수 있다. 유기발광다이오드(OLED)는 적색, 녹색, 청색, 백색 중 어느 하나의 색을 발광할 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0040] 상기의 수학식 1에 나타나 있는 것과 같이, 제1트랜지스터(M1)의 제1전극에서 제2전극으로 흐르는 구동전류는

제1트랜지스터(M1)의 전자이동도와 문턱전압의 편차에 따라 전류의 양이 달라지게 되는 문제점이 있다. 따라서, 데이터신호에 대응하는 구동전류가 일정하게 흐르도록 하기 위해서는 제1트랜지스터(M1)의 문턱전압과 전자이동도를 보상하여야 한다.

[0042] 도 3a은 도 2에 도시된 화소에서 구동전류의 전류편차를 나타내는 그래프이고, 도 3b는 도 문턱전압이 보상된 구동트랜지스터들의 전류편차를 나타내는 그래프이다.

[0043] 도 3a 및 도 3b를 참조하면, 도 2에 도시된 제1트랜지스터(M1)는 게이트전극에 인가되는 전압에 대응하여 전류량의 변화가 크지 않은 포화영역(CA)과 전류량의 변화가 큰 선형영역(LA)으로 구분하여 동작할 수 있다. 그리고, 제1트랜지스터(M1)의 제1전극에서 제2전극으로 전류가 일정하게 흐르도록 하기 위해 제1트랜지스터(M1)는 포화영역(CA)에서 동작할 수 있다. 이때, 제1트랜지스터(M1)의 문턱전압이 보상되지 않은 경우 도 3a와 같이 구동전류의 차이가 포화영역(CA)과 선형영역(LA) 모두 크게 나타난다. 따라서, 제1트랜지스터(M1)의 문턱전압을 보상하지 않게 되면 표시패널(110)의 휘도 균일성이 떨어지는 문제가 발생하게 된다. 그리고, 제1트랜지스터(M1)의 문턱전압이 보상되면 도 3b에 도시되어 있는 것과 같이 선형영역(LA)에서 전류편차는 크지만 포화영역(CA)에서는 전류편차가 크지 않아 제1트랜지스터(M1)가 포화영역(CA)에서 동작하게 함으로써 휘도의 균일성을 향상시킬 수 있다. 하지만, 포화영역(CA)에 전류편차가 여전히 존재하여 휘도의 균일성에 대한 문제가 여전히 존재할 수 있다. 특히, 제1트랜지스터(M1)가 산화물 반도체를 포함하는 경우 전류편차는 더 커지는 문제가 있다. 산화물반도체는 인듐-갈륨-징크옥사이드(InGaZnO), 인듐-틴-옥사이드(ITO)를 포함할 수 있다. 하지만, 산화물반도체가 이에 한정되는 것은 아니다.

[0044] 산화물반도체를 이용하게 되면 대형의 표시패널을 제조하기 용이하다. 하지만, 앞서 언급한 바와 같이 산화물 반도체를 사용하는 경우 전류편차가 커 휘도가 불균일하게 되기 때문에 문턱전압뿐만 아니라 전자이동도를 보상하여야 할 필요가 있다. 따라서, 제1트랜지스터(M1)의 문턱전압과 전자이동도에 대한 보상을 할 수 있어야 한다.

[0046] 도 4는 도 1에 도시된 화소의 제2실시예를 나타내는 회로도이다.

[0047] 도 4를 참조하면, 화소(101b)는 제1트랜지스터(M1), 제2트랜지스터(M2), 제3트랜지스터(M3), 제4트랜지스터(M4), 제1캐패시터(C1), 제2캐패시터(C2) 및 유기발광다이오드(OLED)를 포함할 수 있다.

[0048] 제1트랜지스터(M1)는 게이트 전극이 제1노드(N1)에 연결되고 제1전극이 제2노드(N2)에 연결되며 제2전극이 제3노드(N3)에 연결될 수 있다. 제2트랜지스터(M2)는 게이트전극이 게이트라인(GL)에 연결되고 제1전극이 데이터라인(DL)에 연결되며 제2전극이 제1노드(N1)에 연결될 수 있다. 제3트랜지스터(M3)는 게이트전극이 센싱제어신호라인(Sense)에 연결되고 제1전극이 초기화전압(Vini)에 연결되며 제2전극이 제3노드(N3)에 연결될 수 있다. 제4트랜지스터(M4)는 게이트전극이 발광제어신호라인(EML)에 연결되고 제1전극이 제1화소전원(EVDD)에 연결되며 제2전극이 제2노드(N2)에 연결될 수 있다. 제1캐패시터(C1)는 제1전극이 제1노드(N1)에 연결되고 제2전극이 제3노드(N3)에 연결될 수 있다. 또한, 제2캐패시터(C2)는 제1전극이 제2노드(N2)에 연결되고 제2전극이 제3노드(N3)에 연결될 수 있다.

[0049] 여기서, 각각의 트랜지스터의 제1전극은 드레인전극이고 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다. 게이트라인(GL)에는 게이트신호가 전달되고, 센싱제어신호라인(Sense)에는 센싱제어신호가 전달되며 발광제어신호라인(EML)에는 발광제어신호가 전달될 수 있다. 또한, 데이터라인(DL)에는 데이터신호에 대응하는 데이터전압(Vdata)과 기준전압이 선택적으로 전달될 수 있다. 또한, 제1트랜지스터(M1) 내지 제4트랜지스터(M4) 중 적어도 하나는 산화물 반도체를 포함하는 트랜지스터일 수 있다.

[0051] 도 5는 도 4에 도시된 화소의 동작을 나타내는 타이밍도이다.

[0052] 도 5를 참조하면, 화소(101)는 제1기간(T1a)에 센싱제어신호(Ssen)가 하이상태로 전달될 수 있다. 센싱제어신호(Ssen)는 제1기간(T1a)에서 하이상태를 유지할 수 있다. 그리고, 제1기간(T1a)에서 게이트신호(GATE)가 하이상태로 전달될 수 있다. 게이트신호(GATE)는 제1기간(T1a)의 일부에서 하이상태를 유지할 수 있다. 제1기간(T1a) 중 게이트신호(GATE)가 하이 상태로 전달되는 기간에서는 데이터신호에 대응하는 데이터전압(Vdata)은 전달되지 않지만, 게이트신호(GATE)로 로우 상태로 전달되는 제1기간(T1a)의 끝에서 데이터전압(Vdata)이 전달될

수 있다. 또한, 제1기간(T1a)에서 데이터전압(Vdata)가 전달되지 않는 동안 데이터라인(DL)으로 기준전압(Vref)이 전달될 수 있다. 그리고, 제1기간(T1a)에서 발광제어신호(EM)는 로우상태로 전달될 수 있다. 기준전압(Vref)은 유기발광다이오드(OLED)의 문턱전압보다 낮은 전압일 수 있다.

[0053] 보다 구체적으로 설명하면, 제1기간(T1a)에서 게이트신호(GATE)에 대응하여 제2트랜지스터(M2)는 온상태가 되고 센싱제어신호(Ssen)에 대응하여 제3트랜지스터(M3)는 온상태가 될 수 있다. 반면, 발광제어신호(EM)에 의해 제4트랜지스터(M4)는 오프상태를 유지할 수 있다. 제4트랜지스터(M4)가 오프상태이면 제1화소전원(EVDD)이 제1트랜지스터(M1)에 전달되지 않기 때문에 구동전류가 발생하지 않게 된다. 또한, 제2트랜지스터(M2)는 게이트신호(GATE)에 의해 온상태가 될 수 있다. 데이터라인(DL)에 데이터전압(Vdata)이 전달되지 않고 기준전압(Vref)이 전달될 수 있다. 따라서, 제1노드(N1)에 기준전압(Vref)이 전달되어 제1노드(N1)의 전압(VN1)의 전압레벨(VN1)은 기준전압(Vref)의 전압레벨을 갖게 될 수 있다. 그리고, 제3트랜지스터(M3)가 센싱제어신호(Ssen)에 의해 온상태가 되어 초기화전압(Vini)이 제3노드(N3)에 전달되게 된다. 이로 인해, 제1캐패시터(C1)는 기준전압(Vref)과 초기화전압(Vini)에 대응하여 초기화될 수 있다. 따라서, 제3노드(N3)의 전압레벨(VN3)은 초기화전압(Vini)의 전압레벨을 갖게 될 수 있다. 그리고, 제2트랜지스터(M2)는 기준전압(Vref)을 제1노드(N1)에 전달된 후 게이트신호(GATE)에 대응하여 오프상태가 될 수 있다.

[0054] 제2기간(T2a)에서는 센싱제어신호(Ssen)가 로우상태로 전달될 수 있고 게이트신호(GATE)가 하이상태로 전달될 수 있다. 또한, 발광제어신호(EM)가 제2기간(T2a)에서 하이상태를 유지할 수 있다. 제2기간(T2a)에서 게이트신호(GATE)가 다시 하이상태가 되어 제2트랜지스터(M2)는 온상태가 될 수 있다. 또한, 제2기간(T2a)에서 센싱제어신호(Ssen)에 의해 제3트랜지스터(M3)는 오프상태가 될 수 있다. 또한, 제2기간(T2a)에서 발광제어신호(EM)에 의해 제4트랜지스터(M4)가 온상태가 될 수 있다. 제4트랜지스터(M4)가 온상태가 되면 제1화소전원(EVDD)가 제2노드(N2)에 전달되어 전류가 제1트랜지스터(M1)의 제1전극에서 제2전극 방향을 흐르게 되어 제3노드(N3)의 전압레벨(VN3)은 증가하게 된다. 제3노드(N3)의 전압레벨(VN3)은 제1노드(N1)의 전압레벨(VN1)과 제1트랜지스터(M1)의 문턱전압의 차이가 나는 전압까지 증가하게 된다. 따라서, 캐패시터(C1)에는 제1노드(N1)의 전압레벨(VN1)과 제3노드(N3)의 전압레벨(VN3)에 대응하여 제1트랜지스터(M1)의 문턱전압이 저장되게 된다.

[0055] 제3기간(T3a)에는 게이트신호(GATE)가 하이상태를 유지한다. 그리고, 데이터라인(DL)을 통해 데이터신호에 대응하는 데이터전압(Vdata)이 전달될 수 있다. 따라서, 제1노드(N1)에 데이터전압(Vdata)이 전달될 수 있다. 데이터전압(Vdata)의 전압레벨은 기준전압(Vref)의 전압레벨보다 높을 수 있다. 제1노드(N1)에 데이터전압(Vdata)이 전달되면 제1노드(N1)의 전압레벨(VN1)이 데이터전압(Vdata)까지 상승하게 된다. 제3기간(T3a)에서 제1노드(N1)와 제3노드(N3) 사이에는 배치되어 있는 제1캐패시터(C1)에 저장된 전압은 유지되기 때문에 제1노드(N1)의 전압레벨(VN1) 상승에 대응하여 제3노드(N3)의 전압레벨(VN3) 역시 상승하게 되어 제3노드(N3)의 전압레벨은 데이터전압과 문턱전압을 합산한 전압이 될 수 있다. 또한, 제3노드(N3)의 전압레벨(VN3)이 상승하는 기울기는 전자이동도에 대응하는 전류의 흐름에 따라 결정될 수 있다. 따라서, 제3기간(T3a)에서는 데이터전압(Vdata)에 대응되는 전압이 캐패시터(C1)에 기입되면서 전자이동도에 대응하는 전류에 대응하여 전자이동도에 대한 보상을 수행할 수 있다. 이로 인해 제1노드(N1)의 전압레벨(VN1)은 데이터전압(Vdata)에 전자이동도 보상에 대응하는 전압이 합산된 전압이 될 수 있다. 그리고, 제3노드(N3)의 전압레벨(VN3)은 제1캐패시터(C1)에 의해 데이터전압(Vdata)과 전자이동도 보상에 대응하는 전압과 제1트랜지스터(M1)의 문턱전압을 합산한 전압이 인가될 수 있다.

[0056] 그리고, 제4기간(T4a)에서 게이트신호(GATE), 센싱제어신호(Ssen)는 로우상태일 수 있다. 하지만, 발광제어신호(EM)는 하이상태로 전달될 수 있다. 게이트신호(GATE), 센싱제어신호(Ssen)에 의해 제2트랜지스터(M2), 제3트랜지스터(M3)는 오프상태가 되고 발광제어신호(EM)에 의해 제4트랜지스터(M4)는 온상태가 될 수 있다. 따라서, 제1화소전원(EVDD)이 제1트랜지스터(M1)의 제1전극으로 전달될 수 있다. 이때, 제1트랜지스터(M1)의 게이트전극에 대응하는 제1노드(N1)의 전압레벨(VN1)과 제1트랜지스터(M1)의 제2전극에 대응하는 제3노드(N3)의 전압레벨(VN3)의 차이에 대응하여 제3노드(N3)로 흐르는 전류가 결정되고 제1노드(N1)의 전압레벨(VN1)과 제1트랜지스터(M1)의 제2전극에 대응하는 제3노드(N3)의 전압레벨(VN3)의 차이는 제1트랜지스터(M1)의 문턱전압과 전자이동도에 대응하여 흐를 수 있어 유기발광다이오드(OLED)에는 문턱전압과 전자이동도에 대응하는 전류가 흘러 휘도 균일성이 향상될 수 있다. 이때, 제3노드(N3)로 전류가 흐르기 시작하여 제3노드(N3)의 전압레벨(VN3)이 유기발광다이오드(OLED)의 문턱전압보다 낮은 시점까지 유기발광다이오드(OLED)에 전류가 흐르지 못하여 제3노드(N3)의 전압레벨(VN3)이 높아질 수 있다. 제1노드(N1)의 전압레벨(VN1)은 제3노드(N3)의 전압레벨(VN3)에 대응하여 높아질 수 있다.

- [0058] 도 6은 도 1에 도시된 화소의 제3실시예를 나타내는 회로도이다.
- [0059] 도 6을 참조하면, 화소(101c)는 제1트랜지스터(M1), 제2트랜지스터(M2), 제3트랜지스터(M3), 제4트랜지스터(M4), 제5트랜지스터(M5), 캐패시터(C1) 및 유기발광다이오드(OLED)를 포함할 수 있다.
- [0060] 제1트랜지스터(M1)는 게이트전극이 제1노드(N1)에 연결되고 제1전극이 제2노드(N2)에 연결되며 제2전극이 제3노드(N3)에 연결될 수 있다. 제2트랜지스터(M2)는 게이트전극이 게이트라인(GL)에 연결되고 제1전극이 데이터라인(DL)에 연결되며 제2전극이 제1노드(N1)에 연결될 수 있다. 제3트랜지스터(M3)는 게이트전극이 센싱제어신호라인(Sense)에 연결되고 제1전극이 초기화전압라인(VL2)에 연결되며 제2전극이 제3노드(N3)에 연결될 수 있다. 제4트랜지스터(M4)는 게이트전극이 발광제어신호라인(EML)에 연결되고 제1전극이 화소전원(EVSS)에 연결되며 제2전극이 제2노드(N2)에 연결될 수 있다. 제5트랜지스터(M5)는 게이트전극이 샘플링신호라인(SAMPL)에 연결되고 제1전극이 기준전압라인(VL3)에 연결되며 제2전극이 제1노드(N1)에 연결될 수 있다. 캐패시터(C1)는 제1노드(N1)와 제3노드(N3) 사이에 연결될 수 있다. 또한, 유기발광다이오드(OLED)는 애노드 전극이 제3노드(N3)에 연결되고 캐소드전극이 제2화소전원(EVSS)에 연결될 수 있다. 또한, 제1트랜지스터(M1) 내지 제5트랜지스터(M5) 중 적어도 하나는 산화물 반도체를 포함하는 트랜지스터일 수 있다.
- [0061]
- [0062] 도 7은 도 6에 도시된 화소의 동작을 나타내는 타이밍도이다.
- [0063] 도 7을 참조하면, 제1기간(T1b)에 샘플링신호(SAMP)와 센싱제어신호(Ssen)가 하이상태이고, 제2기간(T2b)에 샘플링신호(SAMP)와 발광제어신호(EM)가 하이상태이고, 제3기간(T3b)에 샘플링신호(SAMP)와 발광제어신호(EM)가 하이상태이고, 제4기간(T4b)에 게이트신호(GATE)가 하이상태이고, 제5기간(T5b)에 발광제어신호(EM)가 하이상태로 공급될 수 있다.
- [0064] 보다 구체적으로 설명하면, 제1기간(T1b)에서 화소(101c)에 샘플링신호(SAMP)와 센싱제어신호(Ssen)가 하이상태로 전달될 수 있다. 그리고, 게이트신호(GATE)와 발광제어신호(EM)는 로우상태로 전달될 수 있다. 샘플링신호(SAMP)와 센싱제어신호(Ssen)에 대응하여 제3트랜지스터(M3)와 제5트랜지스터(M5)는 온상태가 되고 게이트신호(GATE)와 발광제어신호(EM)에 대응하여 제2트랜지스터(M2)와 제4트랜지스터(M4)는 오프상태가 될 수 있다. 따라서, 제3트랜지스터(M3)를 통해 초기화전압라인(VL2)로부터 공급되는 초기화전압(Vini)이 제3노드(N3)에 전달되고 제5트랜지스터(M5)를 기준전압라인(VL3)로부터 공급되는 제1기준전압(Vref1)이 제1노드(N1)에 전달될 수 있다. 캐패시터(C1)는 초기화전압(Vini)와 제1기준전압(Vref1)에 대응하여 초기화될 수 있다. 제1기준전압(Vref1)은 유기발광다이오드(OLED)의 문턱전압보다 낮은 전압일 수 있다.
- [0065] 제2기간(T2b)에서 샘플링신호(SAMP)는 하이상태를 유지할 수 있다. 또한, 발광제어신호(EM)는 하이상태가 될 수 있다. 하지만, 게이트신호(GATE)와 센싱제어신호(Ssen)는 로우상태로 전달될 수 있다. 따라서, 제2트랜지스터(M2)와 제3트랜지스터(M3)는 오프상태가 되고 제4트랜지스터(M4)와 제5트랜지스터(M5)는 온상태가 될 수 있다. 이때, 기준전압라인(VL3)에는 제1기준전압(Vref1)이 유지될 수 있다. 제4트랜지스터(M4)가 온상태가 되면 제1화소전원(EVDD)은 제2노드(N2)에 전달되고, 제5트랜지스터(M4)가 온상태가 되면 제1노드(N1)에는 제1기준전압(Vref1)이 전달될 수 있다. 제1화소전원(EVDD)이 제2노드(N2)에 전달되면, 제1트랜지스터(M1)의 제1전극에서 제2전극 방향으로 전류가 흐르게되어 제3노드(N3)의 전압레벨(VN3)은 증가하게된다. 이때, 제3노드(N3)의 전압레벨(VN3)은 제1노드(N1)의 전압레벨(VN1)과 제1트랜지스터(M1)의 문턱전압의 차이가 나는 전압까지 증가할 수 있다. 따라서, 캐패시터(C1)에는 제1노드(N1)의 전압레벨(VN1)과 제3노드(N3)의 전압레벨(VN3)에 대응하여 제1트랜지스터(M1)의 문턱전압이 저장될 수 있다.
- [0066] 제3기간(T3b)에서는 샘플링신호(SAMP)와 발광제어신호(EM)는 하이상태를 유지할 수 있다. 그리고, 게이트신호(GATE)와 센싱제어신호(Ssen)는 로우상태를 유지할 수 있다. 따라서, 제2트랜지스터(M2)와 제3트랜지스터(M3)는 오프상태가 유지되고 제4트랜지스터(M4)와 제5트랜지스터(M5)는 온상태를 유지할 수 있다. 이때, 기준전압라인(VL3)에는 제2기준전압(Vref2)이 전달될 수 있다. 제2기준전압(Vref2)의 전압레벨은 제1기준전압(Vref1)보다 높을 수 있다. 또한, 제2기준전압(Vref2)의 전압레벨은 유기발광다이오드(OLED)의 문턱전압보다 낮을 수 있다. 제2기준전압(Vref2)의 전압레벨이 제1기준전압(Vref1)보다 더 높기 때문에 제3노드(N3)에는 전류가 더 흐르게되어 제3노드(N3)의 전압레벨(VN3)이 높아지게 된다. 제3노드(N3)는 전류의 흐름은 전자 이동도에 대응하기 때문에 전자 이동도에 대응하여 제3노드(N3)의 전압레벨(VN3)이 보상될 수 있다. 따라서, 캐패시터(C1)에 전자 이동도에 대응하는 전압이 저장되게 된다.

- [0067] 제4기간(T4b)에서는 게이트신호(GATE)가 하이상태로 공급된다. 하지만, 발광제어신호(EM), 샘플링신호(SAMP), 센스제어신호(Ssen)은 로우상태로 공급된다. 따라서, 제2트랜지스터(M2)는 온상태가 되지만, 제1트랜지스터(M1), 제3트랜지스터 내지 제5트랜지스터(M3 내지 M5)는 오프상태가 된다. 제2트랜지스터(M2)는 온상태가 되면 데이터라인(DL)에 인가되는 데이터전압(Vdata)이 제1노드(N1)으로 전달된다. 데이터전압(Vdata)은 제1기준전압(Vref1)과 제2기준전압(Vref2) 보다 전압레벨이 더 높을 수 있다. 데이터전압(Vdata)이 제1노드(N1)에 전달되게 되면 제1노드(N1)의 전압레벨(VN1)은 데이터전압(Vdata)의 전압레벨이 된다. 이때, 제1노드(N1)과 제3노드(N3)는 캐패시터(C1)에 의해 전압차이를 유지하기 때문에 제1노드(N1)의 전압레벨(VN1)이 제2기준전압(Vref2)에서 데이터전압(Vdata)로 상승하게 되면, 제3노드(N3)의 전압레벨(VN3) 역시 상승하게 된다. 따라서, 제3노드(N3)의 전압레벨(VN3)은 데이터전압(Vdata)과 문턱전압과 이동도에 대한 전압에 대응하게 된다.
- [0068] 이때, 캐패시터(C1)에 문턱전압과 이동도에 대응하는 전압이 저장된 후 데이터전압(Vdata)이 제1노드(N1)에 전달되기 때문에 제1노드(N1)의 전압레벨(VN1)은 데이터전압을 유지하게 된다. 따라서, 제1노드(N1)에 인가되는 전압레벨(VN1)은 도 4에 도시된 화소(101b) 보다 낮기 때문에 도 5에 도시된 화소(101b)를 포함하는 표시패널을 구비하는 유기발광표시장치 보다 소비전력을 저감할 수 있다.
- [0069] 제5기간(T5b)에서는 발광제어신호(EM)은 하이상태로 공급될 수 있다. 하지만, 샘플링신호(SAMP), 게이트신호(GATE), 센스제어신호(Ssen)은 로우 상태로 공급될 수 있다. 따라서, 제4트랜지스터(M4)는 온상태가 되지만, 제2트랜지스터(M3), 제3트랜지스터(M3) 및 제5트랜지스터(M5)는 오프상태가 될 수 있다. 제4트랜지스터(M4)에 의해 제1화소전원(EVDD)가 제1트랜지스터(M1)의 제2전극에 공급되어 제1트랜지스터(M1)는 캐패시터(C1)에 저장된 전압에 대응하여 구동전류를 유기발광다이오드(OLED)로 공급할 수 있다. 이때, 제3노드(N3)의 전압레벨(VN3)이 유기발광다이오드(OLED)의 문턱전압보다 높아지는 시점까지 상승하게 되고 이로 인해 제1노드(N1)의 전압레벨도 캐패시터(C1)에 의해 상승하게 된다. 유기발광다이오드(OLED)는 제1노드(N1)의 전압레벨(VN1)과 제3노드(N3)의 전압레벨(VN3)차이에 대응하는 구동전류를 공급받아 발광하기 때문에 유기발광다이오드(OLED)는 문턱전압과 전자 이동도가 보상된 전압에 대응하여 발광할 수 있다. 이로 인해, 휘도의 균일성이 증가하게 된다.
- [0070] 여기서, 센스제어신호(Ssen)는 게이트신호(GATE)와 별개의 신호인 것으로 설명하고 있지만, 이에 한정되는 것은 아니다. 도 1에 도시된 표시패널(110)의 복수의 화소행들은 순차적으로 게이트신호(GATE)를 전달받는데, 게이트신호(GATE)를 전달받은 화소행보다 이전에 게이트신호(GATE)를 전달받은 화소행들의 게이트신호(GATE)일 수 있다. 예를 들어 설명하면, 게이트신호(GATE) 신호를 전달받은 화소행이 n번째 화소행에 대응하면 센스제어신호(Ssen)는 n-3번째 화소행에 전달된 게이트신호(GATE)일 수 있다. 즉, n-3번째 화소행에 전달되는 게이트신호(GATE)는 n번째 화소행의 센스제어신호(Ssen)일 수 있다. 이로 인해 도 1에 도시되어 있는 게이트드라이버(130)의 구조를 단순화시킬 수 있다.
- [0072] 도 8은 본 발명의 실시예들에 의한 유기발광표시장치의 구동방법을 나타내는 순서도이다.
- [0073] 도 8을 참조하여 설명하면, 유기발광표시장치는 유기발광다이오드, 상기 유기발광다이오드에 구동전류를 공급하는 제1트랜지스터와, 제1트랜지스터의 게이트전극과 소스전극 사이에 연결되는 캐패시터를 포함할 수 있다. 이러한 유기발광표시장치의 구동방법은 포함하는 유기발광표시장치의 구동방법에 있어서, 제1트랜지스터의 문턱전압을 보상할 수 있다.(S900) 제1트랜지스터의 문턱전압의 보상은 캐패시터에 제1트랜지스터의 문턱전압에 대응하는 제1전압을 저장하도록 하는 것일 수 있다. 문턱전압은 제1기준전압을 제1트랜지스터의 게이트전극에 인가하고 제1기준전압에 대응하여 흐르는 전류에 의해 캐패시터에 저장될 수 있다.
- [0074] 그리고, 제1트랜지스터의 이동도를 보상할 수 있다.(S910) 이동도는 제1트랜지스터에 흐르는 구동전류의 흐름을 보상할 수 있다. 제1트랜지스터의 문턱전압과 이동도를 보상하게 되면 휘도가 균일해질 수 있다. 특히, 제1트랜지스터가 산화물반도체를 포함하는 경우 문턱전압과 이동도의 보상으로 인해 구동전류가 일정하게 흐르도록 할 수 있다. 이동도는 제1기준전압보다 전압레벨이 높은 제2기준전압을 제1트랜지스터의 게이트전극에 인가함으로써 흐르는 전류에 의해 캐패시터에 저장되는 전압레벨이 높아짐으로써 보상될 수 있다. 제1기준전압과 제2기준전압은 유기발광다이오드의 문턱전압보다 낮은 전압일 수 있다.
- [0075] 그리고, 유기발광표시장치의 표시패널의 각 화소에 데이터신호를 저장할 수 있다.(S920) 데이터신호에 대응하여 데이터라인에 인가된 데이터전압이 제1트랜지스터의 게이트전극에 인가됨으로서 각 화소에 데이터신호가 저장될 수 있다. 데이터전압은 제2기준전압보다 전압레벨이 높을 수 있다. 데이터전압이 문턱전압과 이동도가 보상한 뒤에 인가되기 때문에 각 계조간 전압 차이가 클 필요가 없어 0-255계조를 표시하는 데이터전압의 전압

레벨이 낮아질 수 있다. 이로 인해 유기발광표시장치의 소비전력을 낮출 수 있다. 데이터전압이 인가되더라도 유기발광다이오드에 구동전류가 흐르는 것을 방지하기 위해 화소전원과 제1트랜지스터의 연결을 차단할 수 있다. 캐패시터에는 문턱전압과 이동도에 대응하는 전압이 저장되어 있어 문턱전압과 이동도에 대하여 보상될 수 있다.

[0076] 그리고, 유기발광다이오드가 발광되게 할 수 있다.(S930) 화소전원과 제1트랜지스터가 연결되도록 하여 문턱전압과 이동도가 보상된 데이터전압에 대응하여 유기발광다이오드에 구동전류가 공급되도록 할 수 있다.

[0078] 도 9는 본 발명에 따른 유기발광표시장치의 계조별 휘도 균일도 편차에 대한 실험결과를 나타내는 그래프이다. 또한, 도 10은 본 발명에 따른 유기발광표시장치에서 계조간 전압차이를 측정된 실험결과를 나타내는 그래프이다.

[0079] 도 9 및 도 10을 참조하면, 실험에는 크기가 55인치이고 해상도는 UHD(Ultra High Definition)인 표시패널을 사용하였다. 또한, 0-255계조를 표현할 수 있는 표시패널을 사용하였다.

[0080] 도 9에서 (a)는 도 4에 도시된 화소(101b)를 채용한 표시패널에서 계조별 휘도균일성의 편차를 나타내고 (b)는 도 6에 도시된 화소(101c)를 채용한 표시패널에서 계조별 휘도균일성의 편차를 나타낸다. 도 9에 도시되어 있는 것과 같이 이동도에 따른 전류 보상을 한 후 데이터를 화소에 기입하는 것이 모든 계조에서 이동도에 따른 전류 보상과 데이터기입을 동시에 하는 것보다 더 휘도편차가 적음을 알 수 있다. 따라서, 화소의 구동에서 이동도에 따른 전류 보상을 데이터를 기입하는 것과 별도로 진행하는 것이 소비전력을 개선할 뿐만 아니라 화질이 더 개선되는 것을 알 수 있다.

[0081] 또한, 도 10에서 (a)는 도 4에 도시된 화소(101b)가 채용된 표시패널에서 0-255 계조를 표시하기 위한 계조전압을 나타내고 (b)는 도 6에 도시된 화소(101c)가 채용된 표시패널에서 0-255 계조를 표시하기 위한 계조전압을 나타낸다. (a)에 도시되어 있는 것과 같이 도 4에 도시된 화소(101b)가 채용된 표시패널은 7.73V의 전압레벨을 갖는 계조전압을 이용하여 계조에 대응하는 데이터전압을 출력하고 (b)에 도시되어 있는 것과 같이 도 6에 도시된 화소(101c)가 채용된 표시패널은 5.89V의 전압레벨을 갖는 계조전압을 이용하여 계조에 대응하는 계조전압을 출력할 수 있다. 즉, 계조전압이 24% 감소될 수 있어 유기발광표시장치의 소비전력을 저감할 수 있음을 알 수 있다.

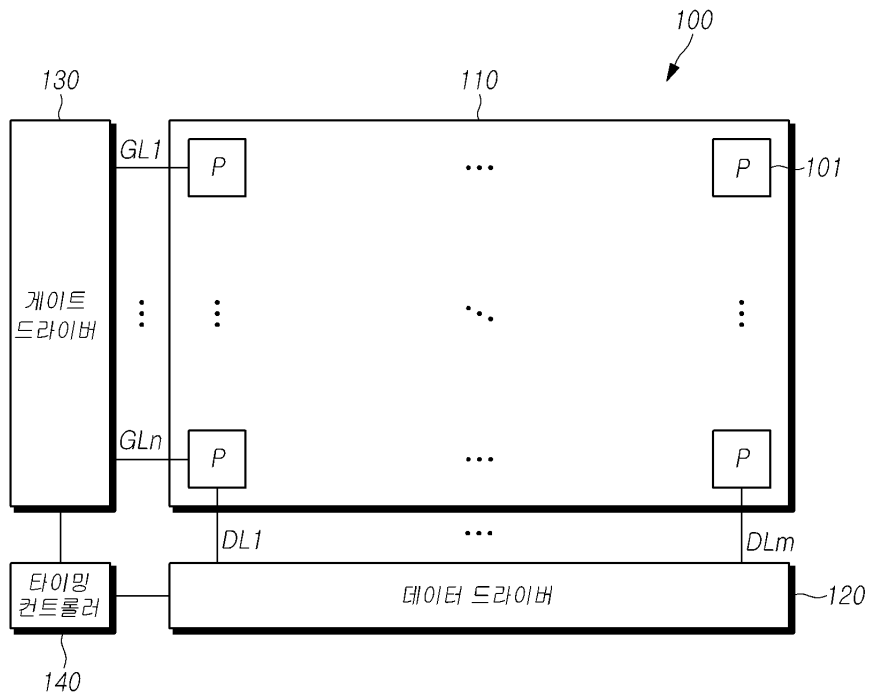
[0083] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

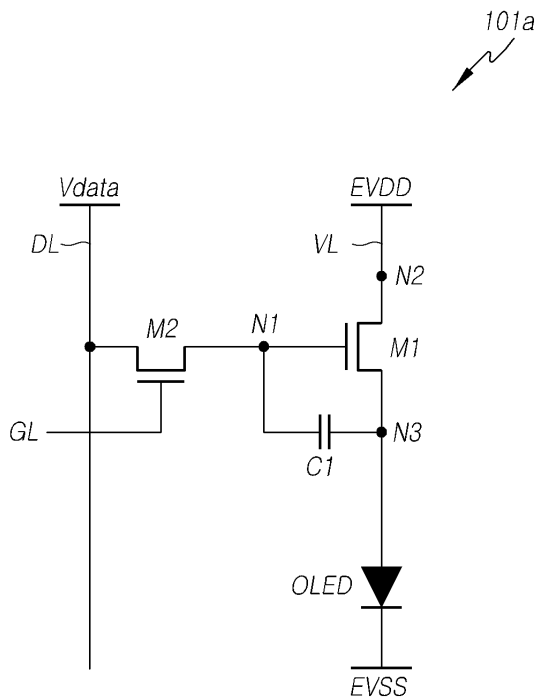
- [0084] 100: 유기발광표시장치
- 101: 화소
- 110: 표시패널
- 120: 데이터드라이버
- 130: 게이트드라이버
- 140: 타이밍컨트롤러

도면

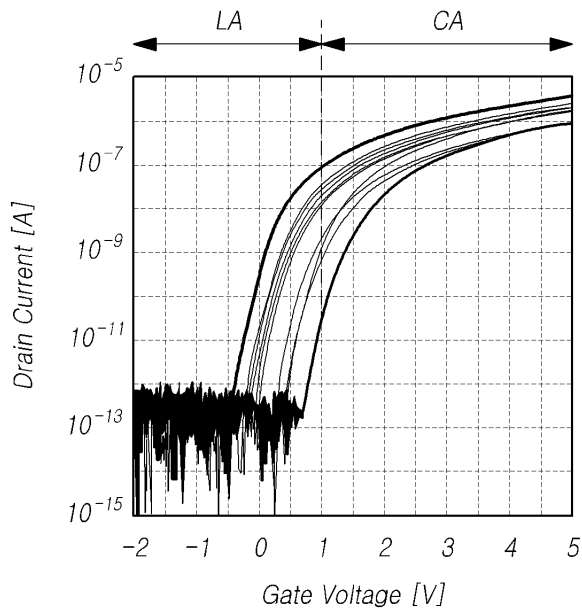
도면1



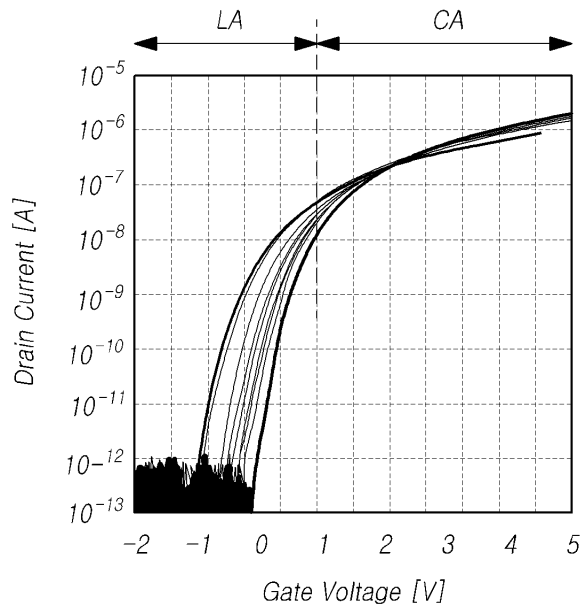
도면2



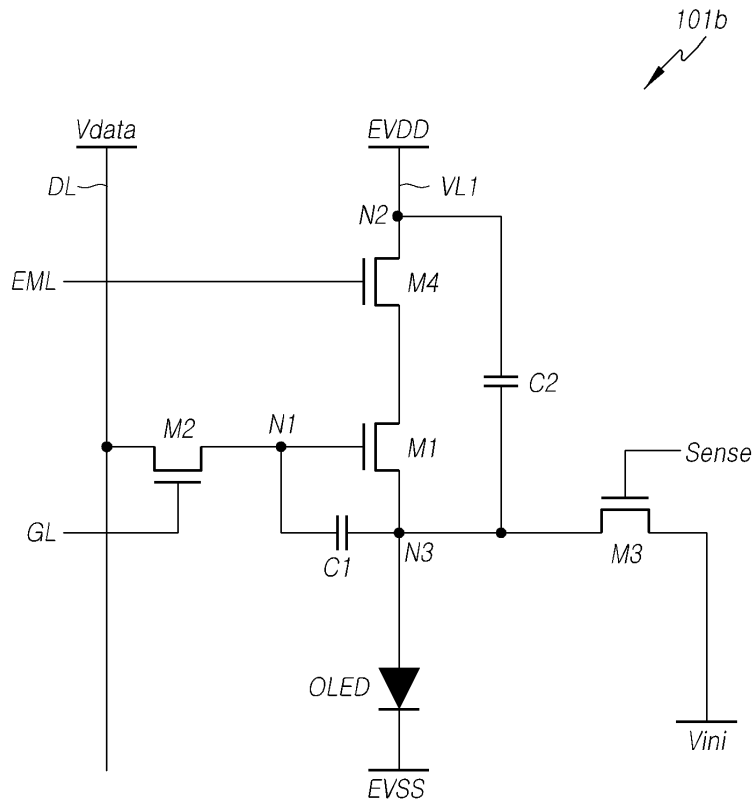
도면3a



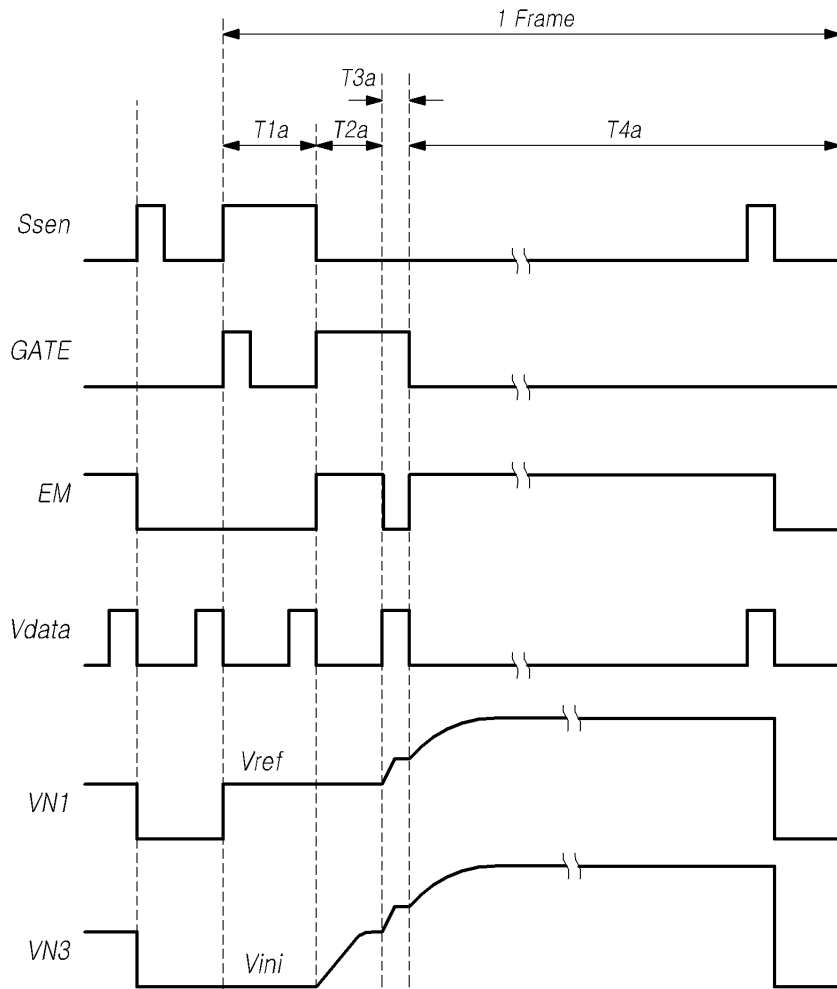
도면3b



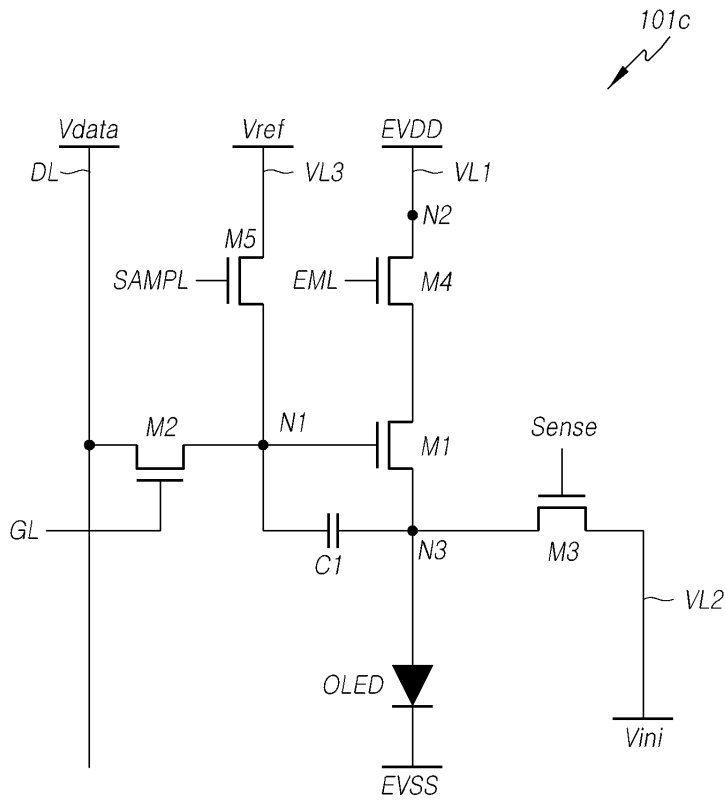
도면4



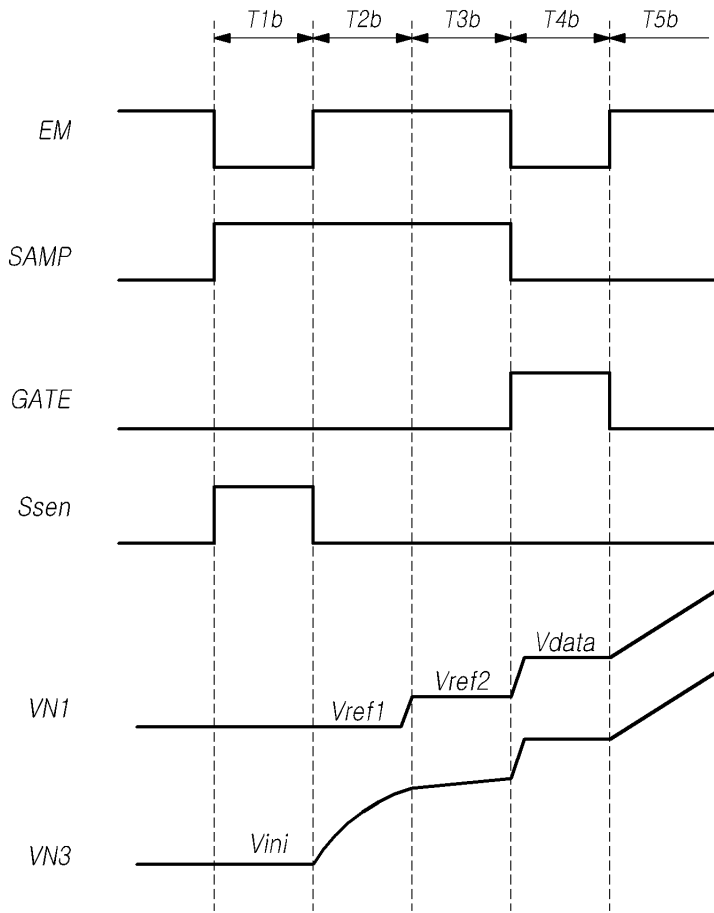
도면5



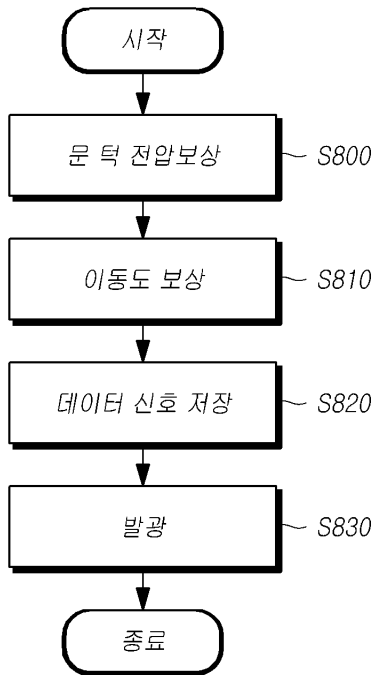
도면6



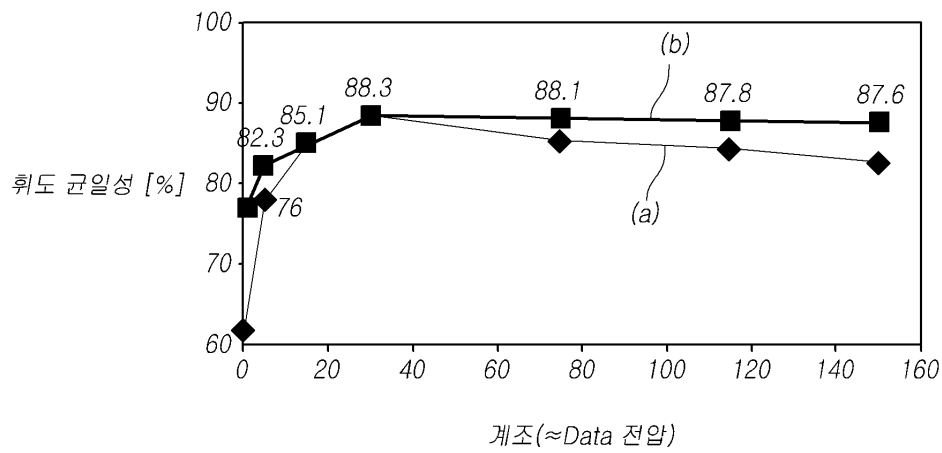
도면7



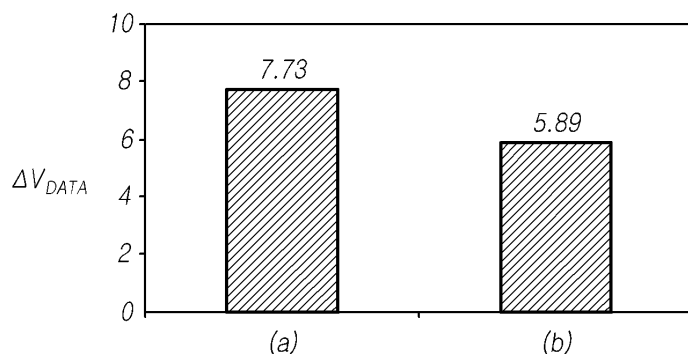
도면8



도면9



도면10



专利名称(译)	像素电路，有机发光显示装置及其驱动方法		
公开(公告)号	KR1020200069094A	公开(公告)日	2020-06-16
申请号	KR1020180156252	申请日	2018-12-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	천광일		
发明人	천광일		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2330/021 G09G2300/0819 G09G2300/0861 G09G2310/08 G09G2320/045 G09G3/3225 G09G3/3291 G09G2320/02		
外部链接	Espacenet		

摘要(译)

本公开涉及一种像素电路和有机发光显示装置,其包括:有机发光二极管;第一晶体管,其响应于数据信号而接收像素电源,并且向有机发光二极管提供驱动电流;以及电容器,保持提供给第一晶体管的数据信号,以及驱动像素电路和有机发光显示装置的方法。在电容器中,在存储了与第一晶体管的阈值电压相对应的第一电压之后,存储了通过相对于第一晶体管的迁移率补偿第一电压而得到的第二电压,以及通过将第一晶体管的阈值电压相加的第三电压相加而获得的值。响应于数据信号,将数据信号存储到第二电压。

