



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0067345
(43) 공개일자 2020년06월12일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3265 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2018-0154119
(22) 출원일자 2018년12월04일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
엄혜선
경기도 파주시 월롱면 엘지로 245
윤두현
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

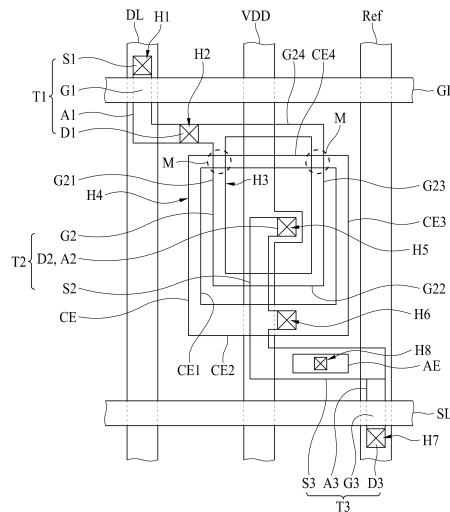
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전계 발광 표시 장치 및 표시 장치

(57) 요약

본 발명은 기관; 상기 기관 상에 구비되며, 게이트 전극, 소스 전극, 드레인 전극, 및 액티브를 포함하여 이루어진 구동 박막 트랜지스터; 상기 게이트 전극과 마주하도록 구비된 커패시터 전극; 상기 소스 전극과 전기적으로 연결된 제1 전극; 상기 제1 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고, 상기 게이트 전극과 상기 커패시터 전극은 각각 상기 기관 면에 대해서 수직 방향으로 연장되어 있는 전계 발광 표시 장치를 제공한다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 51/50 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 구비되며, 게이트 전극, 소스 전극, 드레인 전극, 및 액티브를 포함하여 이루어진 구동 박막 트랜지스터;

상기 게이트 전극과 마주하도록 구비된 커패시터 전극;

상기 소스 전극과 전기적으로 연결된 제1 전극;

상기 제1 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고,

상기 게이트 전극과 상기 커패시터 전극은 각각 상기 기관 면에 대해서 수직 방향으로 연장되어 있는 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 게이트 전극과 상기 커패시터 전극 사이에는 상기 기관 면에 대해서 수직 방향으로 연장된 제1 절연층이 구비되어 있고, 상기 게이트 전극과 상기 커패시터 전극은 상기 제1 절연층을 사이에 두고 서로 마주하고 있는 전계 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 액티브는 상기 기관 면에 대해서 수직 방향으로 연장되어 있고,

상기 게이트 전극과 상기 액티브 사이에는 상기 기관 면에 대해서 수직 방향으로 연장된 제2 절연층이 구비되어 있고, 상기 게이트 전극과 상기 액티브는 상기 제2 절연층을 사이에 두고 서로 마주하고 있는 전계 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 드레인 전극은 상기 기관 면에서 수직 방향으로 연장되어 있고, 상기 드레인 전극의 상단은 상기 액티브의 하단과 접하는 전계 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 게이트 전극은 상기 기관 면에서 수평 방향으로 연장된 부분 및 수직 방향으로 연장된 부분을 포함하여 이루어지고, 상기 수평 방향으로 연장된 부분은 상기 커패시터 전극의 위쪽에 구비되어 있고,

상기 게이트 전극과 상기 커패시터 전극은 평면도 상에서 서로 교차하고, 상기 수평 방향으로 연장된 게이트 전극의 부분은 상기 서로 교차하는 영역에 구비되어 있는 전계 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 게이트 전극은 평면도 상에서 제1 방향으로 연장된 제1 부분, 상기 제1 부분과 연결되며 제2 방향으로 연

장된 제2 부분, 상기 제2 부분과 연결되며 제3 방향으로 연장된 제3 부분, 및 상기 제3 부분 및 상기 제1 부분과 연결되며 제4 방향으로 연장된 제4 부분을 포함하여 이루어지고,

상기 커패시터 전극은 평면도 상에서 상기 제1 방향으로 연장된 제1 부분, 상기 제1 부분과 연결되며 상기 제2 방향으로 연장된 제2 부분, 상기 제2 부분과 연결되며 상기 제3 방향으로 연장된 제3 부분, 및 상기 제3 부분 및 상기 제1 부분과 연결되며 상기 제4 방향으로 연장된 제4 부분을 포함하여 이루어지고,

상기 게이트 전극의 제1 부분은 상기 커패시터 전극의 제1 부분과 마주하고, 상기 게이트 전극의 제2 부분은 상기 커패시터 전극의 제2 부분과 마주하고, 상기 게이트 전극의 제3 부분은 상기 커패시터 전극의 제3 부분과 마주하고, 상기 게이트 전극의 제4 부분은 상기 커패시터 전극의 제4 부분과 마주하는 전계 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 기판 상에 구비되며, 게이트 전극, 소스 전극, 드레인 전극, 및 액티브를 포함하여 이루어진 스위칭 박막 트랜지스터;

상기 기판 상에 구비되며, 게이트 전극, 소스 전극, 드레인 전극, 및 액티브를 포함하여 이루어진 센싱 박막 트랜지스터;

상기 스위칭 박막 트랜지스터의 소스 전극과 연결되는 데이터 라인;

상기 스위칭 박막 트랜지스터의 게이트 전극과 연결되는 게이트 라인;

상기 구동 박막 트랜지스터의 드레인 전극과 연결되는 고전원 라인;

상기 센싱 박막 트랜지스터의 드레인 전극과 연결되는 기준 라인; 및

상기 센싱 박막 트랜지스터의 게이트 전극과 연결되는 센싱 라인을 추가로 포함하여 이루어진 전계 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 게이트 라인과 상기 센싱 라인은 서로 동일한 층에 구비되어 있고,

상기 데이터 라인, 상기 고전원 라인, 및 상기 기준 라인은 서로 동일한 층에 구비되어 있고,

상기 게이트 라인은 상기 데이터 라인 보다 위쪽에 구비되어 있는 전계 발광 표시 장치.

청구항 9

제7항에 있어서,

상기 게이트 라인과 상기 센싱 라인은 서로 동일한 층에 구비되어 있고,

상기 데이터 라인과 상기 기준 라인은 서로 동일한 층에 구비되어 있고,

상기 데이터 라인과 상기 기준 라인은 상기 고전원 라인보다 위쪽에 구비되고, 상기 게이트 라인과 상기 센싱 라인보다 아래쪽에 구비되는 전계 발광 표시 장치.

청구항 10

제7항에 있어서,

상기 구동 박막 트랜지스터의 게이트 전극의 일단 상면은 상기 스위칭 박막 트랜지스터의 드레인 전극의 하면과 접하는 전계 발광 표시 장치.

청구항 11

제7항에 있어서,

상기 구동 박막 트랜지스터의 게이트 전극의 일단 측면은 상기 스위칭 박막 트랜지스터의 드레인 전극의 일측

측면과 접하는 전계 발광 표시 장치.

청구항 12

제1항에 있어서,

상기 제1 전극의 가장자리를 가리도록 구비된 बैं크를 추가로 포함하고,

상기 बैं크는 그 내부에 트렌치가 구비되어 있고, 상기 발광층의 일부는 상기 트렌치 내에서 단절되어 있는 전계 발광 표시 장치.

청구항 13

제1항에 있어서,

상기 기판과 이격되는 렌즈 어레이, 및 상기 기판과 상기 렌즈 어레이를 수납하는 수납 케이스를 추가로 포함하여 이루어진 전계 발광 표시 장치.

청구항 14

기판; 및

상기 기판 상에 구비된 게이트 전극, 소스 전극, 드레인 전극, 및 액티브를 포함하여 이루어진 박막 트랜지스터를 포함하여 이루어지고,

상기 게이트 전극, 상기 소스 전극, 상기 드레인 전극, 및 상기 액티브는 상기 기판 면에 대해서 수직 방향으로 연장되어 있고,

상기 드레인 전극의 상면은 상기 액티브의 하면과 접하고 상기 소스 전극의 하면은 상기 액티브의 상면과 접하는 표시 장치.

청구항 15

제14항에 있어서,

상기 게이트 전극과 상기 액티브 사이에는 상기 기판 면에 대해서 수직 방향으로 연장된 제1 절연층이 구비되어 있고, 상기 게이트 전극과 상기 액티브는 상기 제1 절연층을 사이에 두고 서로 마주하고 있는 표시 장치.

청구항 16

제14항에 있어서,

상기 기판 면에 대해서 수직 방향으로 연장된 커패시터 전극, 및 상기 게이트 전극과 상기 커패시터 전극 사이에서 상기 기판 면에 대해서 수직 방향으로 연장된 제2 절연층을 추가로 포함하고,

상기 게이트 전극과 상기 커패시터 전극은 상기 제2 절연층을 사이에 두고 서로 마주하고 있는 표시 장치.

청구항 17

기판;

상기 기판 상에 구비되며, 제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극, 및 제1 액티브를 포함하여 이루어진 스위칭 박막 트랜지스터;

상기 기판 상에 구비되며, 제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극, 및 제2 액티브를 포함하여 이루어진 구동 박막 트랜지스터;

상기 제2 게이트 전극과 마주하도록 구비된 커패시터 전극;

상기 제2 소스 전극과 전기적으로 연결된 제1 전극;

상기 제1 전극 상에 구비된 발광층; 및

상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고,

상기 제1 액티브는 상기 기판 면에 대해서 수평 방향으로 연장되어 있고, 상기 제2 액티브는 상기 기판 면에 대해서 수직 방향으로 연장되어 있는 전계 발광 표시 장치.

청구항 18

제17항에 있어서,

상기 기판 상에 구비되며, 제3 게이트 전극, 제3 소스 전극, 제3 드레인 전극, 및 제3 액티브를 포함하여 이루어진 셀싱 박막 트랜지스터를 추가로 포함하고,

상기 제3 액티브는 상기 기판 면에 대해서 수평 방향으로 연장되어 있는 전계 발광 표시 장치.

청구항 19

제18항에 있어서,

상기 제1 액티브와 상기 제3 액티브는 서로 동일한 층에 구비되어 있고,

상기 제2 액티브는 상기 제1 액티브 및 상기 제3 액티브와 상이한 층에 구비되어 있는 전계 발광 표시 장치.

청구항 20

제17항에 있어서,

상기 제1 소스 전극, 상기 제2 게이트 전극, 상기 커패시터 전극, 상기 제2 드레인 전극, 및 상기 제3 드레인 전극은 각각 상기 기판 면에 대해서 수직 방향으로 연장되어 있는 전계 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 특히, 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시 장치는 애노드 전극과 캐소드 전극 사이에 발광층이 형성된 구조로 이루어져, 상기 두 개의 전극 사이의 전계에 의해 상기 발광층이 발광함으로써 화상을 표시하는 장치이다.

[0003] 상기 발광층은 전자와 정공의 결합에 의해 엑시톤(exciton)이 생성되고 생성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광을 하는 유기물로 이루어질 수도 있고, 퀀텀 도트(Quantum dot)와 같은 무기물로 이루어질 수도 있다.

[0004] 전계 발광 표시 장치는 개별 서브 화소 별로 발광층을 구비하고 있다. 또한, 상기 개별 서브 화소는 발광층에서의 발광을 구동하기 위한 구동 박막 트랜지스터 및 상기 구동 박막 트랜지스터에 공급되는 전압을 한 프레임 동안 유지시키는 커패시터를 포함하고 있다.

[0005] 이때 개별 서브 화소별로 상기 전압 유지 특성을 향상시키기 위해서는 커패시터 용량을 증가시켜야 한다. 그러나, 커패시터 용량을 증가시키기 위해서는 서브 화소의 면적을 증가시켜야 하기 때문에 초고해상도 디스플레이 구현에 제약이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 커패시터 용량을 증가시키면서도 초고해상도를 구현할 수 있는 전계 발광 표시 장치 및 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위해서, 본 발명은 기판; 상기 기판 상에 구비되며, 게이트 전극, 소스 전극, 드레인 전극, 및 액티브를 포함하여 이루어진 구동 박막 트랜지스터; 상기 게이트 전극과 마주하도록 구비된 커패시터 전

극; 상기 소스 전극과 전기적으로 연결된 제1 전극; 상기 제1 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고, 상기 게이트 전극과 상기 커패시터 전극은 각각 상기 기판 면에 대해서 수직 방향으로 연장되어 있는 전계 발광 표시 장치를 제공한다.

[0008] 본 발명은 또한, 기판; 및 상기 기판 상에 구비된 게이트 전극, 소스 전극, 드레인 전극, 및 액티브를 포함하여 이루어진 박막 트랜지스터를 포함하여 이루어지고, 상기 게이트 전극, 상기 소스 전극, 상기 드레인 전극, 및 상기 액티브는 상기 기판 면에 대해서 수직 방향으로 연장되어 있고, 상기 드레인 전극의 상면은 상기 액티브의 하면과 접하고 상기 소스 전극의 하면은 상기 액티브의 상면과 접하는 표시 장치를 제공한다.

[0009] 본 발명은 또한, 기판; 상기 기판 상에 구비되며, 제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극, 및 제1 액티브를 포함하여 이루어진 스위칭 박막 트랜지스터; 상기 기판 상에 구비되며, 제2 게이트 전극, 제2 소스 전극, 제2 드레인 전극, 및 제2 액티브를 포함하여 이루어진 구동 박막 트랜지스터; 상기 제2 게이트 전극과 마주하도록 구비된 커패시터 전극; 상기 제2 소스 전극과 전기적으로 연결된 제1 전극; 상기 제1 전극 상에 구비된 발광층; 및 상기 발광층 상에 구비된 제2 전극을 포함하여 이루어지고, 상기 제1 액티브는 상기 기판 면에 대해서 수평 방향으로 연장되어 있고, 상기 제2 액티브는 상기 기판 면에 대해서 수직 방향으로 연장되어 있는 전계 발광 표시 장치를 제공한다.

발명의 효과

[0010] 본 발명의 일 실시예에 따르면, 커패시터를 구성하는 제2 게이트 전극과 커패시터 전극 각각을 기판 면에 대해서 수직 방향으로 연장하도록 구성함으로써 평면도 상의 좁은 영역에서 커패시터의 용량을 증가시킬 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략적인 평면도이다.
- 도 3은 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략적인 단면도이다.
- 도 4a 내지 도 4k는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 제조 공정 단면도이다.
- 도 5는 본 발명의 다른 실시예에 따른 전계 발광 표시장치의 개략적인 단면도이다.
- 도 6은 본 발명의 또 다른 실시예에 따른 전계 발광 표시장치의 개략적인 단면도이다.
- 도 7은 본 발명의 또 다른 실시예에 따른 전계 발광 표시장치의 개략적인 단면도이다.
- 도 8은 본 발명의 다른 실시예에 따른 전계 발광 표시장치의 개략적인 평면도이다.
- 도 9는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
- 도 10은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도이다.
- 도 11a 내지 도 11c는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치에 관한 것으로서, 이는 헤드 장착형 표시(HMD) 장치에 관한 것이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0013] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로

표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0014] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0015] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0016] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0017] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0018] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0019] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 회로도이다. 도 1에는 편의상 하나의 서브 화소만을 도시하였다.
- [0021] 도 1에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 데이터 라인(DL), 고전원 라인(VDD), 기준 라인(Ref), 게이트 라인(GL), 및 센싱 라인(SL)을 포함하여 이루어진다.
- [0022] 상기 데이터 라인(DL), 고전원 라인(VDD), 및 기준 라인(Ref)은 서로 이격되면서 제1 방향, 예로서 세로 방향으로 배열되어 있고, 상기 게이트 라인(GL) 및 센싱 라인(SL)은 서로 이격되면서 제2 방향, 예로서 가로 방향으로 배열되어 있다. 다만, 상기 데이터 라인(DL), 고전원 라인(VDD), 기준 라인(Ref), 게이트 라인(GL), 및 센싱 라인(SL)의 배열 구조는 당업계에 공지된 다양한 형태로 변경될 수 있다.
- [0023] 상기 라인들(DL, VDD, Ref, GL, SL)을 포함하여 이루어진 전계 발광 표시 장치의 개별 서브 화소에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 커패시터(C), 및 발광 소자(OLED)가 구비되어 있다.
- [0024] 상기 스위칭 박막 트랜지스터(T1)는 상기 게이트 라인(GL)에 공급되는 게이트 신호에 따라 스위칭되어 상기 데이터 라인(DL)으로부터 공급되는 데이터 전압을 상기 구동 박막 트랜지스터(T2)에 공급한다.
- [0025] 상기 구동 박막 트랜지스터(T2)는 상기 스위칭 박막 트랜지스터(T1)로부터 공급되는 데이터 전압에 따라 스위칭되어 상기 고전원 라인(VDD)에서 공급되는 전원으로부터 데이터 전류를 생성하여 상기 발광소자(OLED)에 공급한다.
- [0026] 상기 센싱 박막 트랜지스터(T3)는 화질 저하의 원인이 되는 상기 구동 박막 트랜지스터(T2)의 문턱 전압 편차를 센싱하기 위한 것으로서, 이와 같은 센싱 박막 트랜지스터(T3)는 상기 센싱 라인(SL)에서 공급되는 센싱 제어 신호에 응답하여 상기 구동 박막 트랜지스터(T2)의 전류를 상기 기준 라인(Ref)으로 공급한다. 도면에는 상기 센싱 라인(SL)에서 센싱 제어 신호가 공급되는 모습을 도시하였지만, 반드시 그에 한정되는 것은 아니고 상기 게이트 라인(GL)에서 센싱 제어 신호가 공급되도록 구성될 수도 있고 이 경우에 상기 센싱 라인(SL)은 생략될 수 있다.
- [0027] 상기 커패시터(C)는 상기 구동 박막 트랜지스터(T2)에 공급되는 데이터 전압을 한 프레임 동안 유지시키는 것으로서, 상기 구동 박막 트랜지스터(T2)의 게이트 단자 및 소스 단자에 각각 연결될 수 있다. 상기 구동 박막 트랜지스터(T2)의 게이트 단자는 상기 스위칭 박막 트랜지스터(T1)의 드레인 단자에 연결되고, 상기 구동 박막 트랜지스터(T2)의 소스 단자는 발광 소자(OLED)의 애노드 단자에 연결된다. 다만, 상기 커패시터(C)가 상기 구동 박막 트랜지스터(T2)의 게이트 단자 및 드레인 단자에 각각 연결될 수도 있다.
- [0028] 상기 발광 소자(OLED)는 상기 구동 박막 트랜지스터(T2)에서 공급되는 데이터 전류에 따라 소정의 광을 발광한다. 상기 발광 소자(OLED)는 상기 구동 박막 트랜지스터(T2)의 소스 전극에 연결된 애노드(Anode) 전극, 및 상기 애노드 전극 위에 차례로 형성된 유기 발광층과 캐소드(Cathode) 전극을 포함하여 이루어진다. 상기 발광 소

자(OLED)의 캐소드 전극은 저전원 라인(VSS)과 연결된다.

- [0029] 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략적인 평면도이다.
- [0030] 도 2에서 알 수 있듯이, 제1 방향, 예로서 세로 방향으로 데이터 라인(DL), 고전원 라인(VDD), 및 기준 라인(Ref)이 배열되어 있고, 제2 방향, 예로서 가로 방향으로 게이트 라인(GL), 및 센싱 라인(SL)이 배열되어 있다. 또한, 개별 서브 화소에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 및 센싱 박막 트랜지스터(T3)가 구비되어 있다.
- [0031] 상기 스위칭 박막 트랜지스터(T1)는 제1 게이트 전극(G1), 제1 소스 전극(S1), 제1 드레인 전극(D1), 및 제1 액티브(A1)를 포함하여 이루어진다.
- [0032] 상기 제1 게이트 전극(G1)은 상기 게이트 라인(GL)의 일 부분으로 이루어지며, 특히, 상기 제1 액티브(A1)와 중첩되는 상기 게이트 라인(GL)의 일 부분으로 이루어질 수 있다.
- [0033] 상기 제1 소스 전극(S1)은 상기 제1 액티브(A1)의 일단과 연결되며 제1 홀(H1)을 통해서 상기 데이터 라인(DL)과 연결될 수 있다. 특히, 제1 소스 전극(S1)은 단면도 상으로 상기 제1 홀(H1) 내에서 세로 방향, 특히 수직 방향으로 연장될 수 있다.
- [0034] 상기 제1 드레인 전극(D1)은 상기 제1 액티브(A1)의 타단과 연결되며 제2 홀(H2)을 통해서 상기 구동 박막 트랜지스터(T2)의 제2 게이트 전극(G2)과 연결될 수 있다. 특히, 상기 제1 드레인 전극(D1)은 단면도 상으로 상기 제2 홀(H2) 내에서 세로 방향, 특히 수직 방향으로 연장될 수 있다.
- [0035] 상기 제1 액티브(A1)는 상기 제1 게이트 전극(G1)과 중첩되며 상기 제1 소스 전극(S1) 및 상기 제1 드레인 전극(D1)과 각각 연결되어 있다. 상기 제1 액티브(A1)는 상기 제1 홀(H1) 영역에서 상기 제1 소스 전극(S1)과 연결되고 상기 제2 홀(H2) 영역에서 상기 제1 드레인 전극(D1)과 연결될 수 있다.
- [0036] 상기 구동 박막 트랜지스터(T2)는 제2 게이트 전극(G2), 제2 소스 전극(S2), 제2 드레인 전극(D2), 및 제2 액티브(A2)를 포함하여 이루어진다.
- [0037] 상기 제2 게이트 전극(G2)은 상기 스위칭 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결된다. 상기 제2 게이트 전극(G2)은 평면도 상에서 제1 방향으로 연장된 제1 부분(G21), 상기 제1 부분(G21)과 연결되며 제2 방향으로 연장된 제2 부분(G22), 상기 제2 부분(G22)과 연결되며 제3 방향으로 연장된 제3 부분(G23) 및 상기 제3 부분(G23) 및 상기 제1 부분(G21)과 각각 연결되며 제4 방향으로 연장된 제4 부분(G24)을 포함하여 이루어질 수 있다. 이때, 상기 제1 방향과 상기 제3 방향으로 세로 방향으로 서로 동일하고, 상기 제2 방향과 상기 제4 방향으로 가로 방향으로 서로 동일할 수 있으며, 그에 따라, 상기 제2 게이트 전극(G2)은 사각형, 보다 구체적으로, 직사각형 또는 정사각형의 페루프 구조로 이루어질 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 제2 게이트 전극(G2)은 다양한 구조의 다각형, 원형, 또는 타원형의 페루프 구조로 이루어질 수 있다.
- [0038] 상기 제2 게이트 전극(G2)은 커패시터의 하나의 전극으로 기능하는 것으로서, 상기 제2 게이트 전극(G2)의 적어도 일부는 제3 홀(H3)을 따라 단면도 상에서 세로 방향, 특히 수직 방향으로 연장될 수 있다.
- [0039] 다만, 상기 제2 게이트 전극(G2)의 제1 부분(G21) 및 제3 부분(G23)은 각각 M으로 표기된 영역에서 커패시터의 다른 전극으로 기능하는 커패시터 전극(CE)과 교차하게 되므로 상기 커패시터 전극(CE)과의 쇼트를 방지하기 위해서 상기 M으로 표기된 영역, 즉, 상기 커패시터 전극(CE)과 교차하는 영역을 제외한 영역에서 상기 제3 홀(H3)을 따라 단면도 상에서 세로 방향으로 연장될 수 있다. 한편, 상기 커패시터 전극(CE)과 교차하는 상기 M으로 표기된 영역에서는 상기 제2 게이트 전극(G2)의 제1 부분(G21) 및 제3 부분(G23)이 상기 커패시터 전극(CE)의 위쪽에만 형성되도록 구성될 수 있으며, 이에 대한 구체적인 구성은 후술하는 단면도를 참조하면 용이하게 이해할 수 있을 것이다.
- [0040] 또한, 상기 제2 게이트 전극(G2)의 제2 부분(G22) 및 제4 부분(G24)은 상기 커패시터 전극(CE)과 교차하지 않고 그 대신에 고전원 라인(VDD)과 교차하는데, 후술하는 단면도를 참조하면 알 수 있듯이, 상기 제2 게이트 전극(G2)은 상기 고전원 라인(VDD)의 위쪽에 형성되기 때문에 상기 고전원 라인(VDD)과 쇼트가 발생할 가능성이 없다. 따라서, 상기 제2 게이트 전극(G2)의 제2 부분(G22) 및 제4 부분(G24) 전체는 상기 제3 홀(H3)을 따라 단면도 상에서 세로 방향으로 연장될 수 있다. 결국, 상기 제3 홀(H3)은 상기 M으로 표기된 영역에서 단절된 다각형, 원형 또는 타원형 구조로 이루어질 수 있다.
- [0041] 상기 커패시터 전극(CE)은 평면도 상에서 제1 방향으로 연장된 제1 부분(CE1), 상기 제1 부분(CE1)과 연결되며

제2 방향으로 연장된 제2 부분(CE2), 상기 제2 부분(CE2)과 연결되며 제3 방향으로 연장된 제3 부분(CE3) 및 상기 제3 부분(CE3) 및 상기 제1 부분(CE1)과 각각 연결되며 제4 방향으로 연장된 제4 부분(CE4)을 포함하여 이루어질 수 있다. 이때, 상기 제1 방향과 상기 제3 방향으로 세로 방향으로 서로 동일하고, 상기 제2 방향과 상기 제4 방향으로 가로 방향으로 서로 동일할 수 있으며, 그에 따라, 상기 커패시터 전극(CE)은 사각형, 특히, 직사각형 또는 정사각형의 페루프 구조로 이루어질 수 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 커패시터 전극(CE)은 다양한 구조의 다각형, 원형, 또는 타원형의 페루프 구조로 이루어질 수 있다.

[0042] 상기 커패시터 전극(CE)은 상기 제2 게이트 전극(G2)에 대응하는 구조로 이루어질 수 있다. 따라서, 상기 커패시터 전극(CE)의 제1 부분(CE1)은 상기 제2 게이트 전극(G2)의 제1 부분(G21)과 평행을 이루면서 마주하고, 상기 커패시터 전극(CE)의 제2 부분(CE2)은 상기 제2 게이트 전극(G2)의 제2 부분(G22)과 평행을 이루면서 마주하고, 상기 커패시터 전극(CE)의 제3 부분(CE3)은 상기 제2 게이트 전극(G2)의 제3 부분(G23)과 평행을 이루면서 마주하고, 상기 커패시터 전극(CE)의 제4 부분(CE4)은 상기 제2 게이트 전극(G2)의 제4 부분(G24)과 평행을 이루면서 마주할 수 있다.

[0043] 상기 커패시터 전극(CE)은 제 4홀(H4)을 따라 단면도 상에서 세로 방향, 특히 수직 방향으로 연장될 수 있다. 구체적으로, 상기 커패시터 전극(CE)의 제1 부분(CE1), 제2 부분(CE2), 제3 부분(CE3), 및 제4 부분(CE4) 전체는 상기 제 4홀(H4)을 따라 단면도 상에서 세로 방향으로 연장될 수 있다. 따라서, 상기 제4 홀(H4)은 다각형, 원형 또는 타원형의 페루프 구조로 이루어질 수 있다. 후술하는 단면도를 통해 알 수 있듯이, 상기 커패시터 전극(CE)은 고전원 라인(VDD)의 위쪽에 형성되기 때문에 상기 커패시터 전극(CE)의 전체가 단면도 상에서 세로 방향으로 연장된다 하여도 상기 고전원 라인(VDD)과 쇼트되지 않는다.

[0044] 또한, 상기 커패시터 전극(CE)은 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결되어 상기 구동 박막 트랜지스터(T2)의 제2 게이트 전극(G2)과 함께 커패시터를 구성할 수 있다. 이를 위해, 상기 커패시터 전극(CE)은 제6 홀(H6)을 통해서 상기 제2 소스 전극(S2)과 연결될 수 있다. 이때, 상기 커패시터 전극(CE)의 제2 부분(CE2)이 상기 제2 소스 전극(S2)과 연결될 수 있지만, 반드시 그에 한정되는 것은 아니고, 상기 제2 소스 전극(S2) 또는 상기 커패시터 전극(CE)의 형성 위치를 적절히 변경함으로써, 상기 커패시터 전극(CE)의 제1 부분(CE1), 제3 부분(CE3) 또는 제4 부분(CE4)이 상기 제2 소스 전극(S2)과 연결되도록 구성할 수도 있다.

[0045] 한편, 도시하지는 않았지만, 상기 데이터 라인(DL)과 상기 고전원 라인(VDD) 사이의 간격을 줄여서 상기 데이터 라인(DL)이 상기 커패시터 전극(CE)의 제1 부분(CE1)과 중첩되도록 형성할 수도 있다. 즉, 도 2에서 상기 데이터 라인(DL)을 상기 커패시터 전극(CE)의 제1 부분(CE1)과 중첩되도록 우측으로 이동시킬 수도 있으며, 이 경우 서브 화소의 폭을 줄여서 고해상도의 전계 발광 표시 장치를 구현할 수 있다.

[0046] 이상과 같이, 본 발명의 일 실시예에 따르면, 커패시터를 구성하는 상기 제2 게이트 전극(G2)과 상기 커패시터 전극(CE) 각각을 단면도 상에서 세로 방향으로 연장하도록 구성함으로써 평면도 상의 좁은 영역에서 커패시터의 용량을 증가시킬 수 있다. 특히, 본 발명의 일 실시예에 따르면, 상기 제2 게이트 전극(G2)이 제1 부분(G21), 제2 부분(G22), 제3 부분(G23) 및 제4 부분(G24)으로 구성되고, 상기 커패시터 전극(CE)이 상기 제2 게이트 전극(G2)의 제1 부분(G21)과 마주하는 제1 부분(CE1), 상기 제2 게이트 전극(G2)의 제2 부분(G22)과 마주하는 제2 부분(CE2), 상기 제2 게이트 전극(G2)의 제3 부분(G23)과 마주하는 제3 부분(CE3) 및 상기 제2 게이트 전극(G2)의 제4 부분(G24)과 마주하는 제4 부분(CE4)으로 구성됨으로써, 커패시터의 용량을 더욱더 증가시킬 수 있다.

[0047] 상기 제2 드레인 전극(D2)은 제5 홀(H5)을 통해서 상기 고전원 라인(VDD)과 연결될 수 있다. 특히, 제2 드레인 전극(D2)은 단면도 상으로 상기 제5 홀(H5) 내에서 세로 방향, 특히 수직 방향으로 연장될 수 있다.

[0048] 상기 제2 액티브(A2)는 상기 제2 드레인 전극(D2) 및 상기 제2 소스 전극(S2)과 각각 연결된다. 이때, 상기 제2 액티브(A2)는 단면도 상으로 상기 제5 홀(H5) 내에서 세로 방향, 특히 수직 방향으로 연장될 수 있다. 구체적으로, 상기 제2 액티브(A2)의 하단은 상기 제2 드레인 전극(D2)과 연결되고 상기 제2 액티브(A2)의 상단은 상기 제2 소스 전극(S2)과 연결될 수 있다. 평면도 상에서 상기 제2 액티브(A2) 전체는 상기 제2 드레인 전극(D2) 전체와 중첩될 수 있다.

[0049] 상기 제2 소스 전극(S2)은 상기 제2 액티브(A2)의 상단과 연결되면서 상기 센싱 트랜지스터(T3)의 제3 소스 전극(S3) 방향으로 연장되어 상기 제3 소스 전극(S3)과 연결된다. 또한, 상기 제2 소스 전극(S2)은 상기 제 6홀(H6)을 통해서 상기 커패시터 전극(CE)과 연결된다. 또한, 상기 제2 소스 전극(S2)은 제 8홀(H8)을 통해서 보조 전극(AE)과 연결된다. 상기 보조 전극(AE)은 후술하는 단면도를 통해 알 수 있듯이 상기 제2 소스 전극(S2)과 애노드 전극으로 기능하는 제1 전극을 연결한다.

- [0050] 상기 센싱 박막 트랜지스터(T3)는 제3 게이트 전극(G3), 제3 소스 전극(S3), 제3 드레인 전극(D3), 및 제3 액티브(A3)를 포함하여 이루어진다.
- [0051] 상기 제3 게이트 전극(G3)은 상기 센싱 라인(SL)의 일 부분으로 이루어지며, 특히, 상기 제3 액티브(A3)와 중첩되는 상기 센싱 라인(SL)의 일 부분으로 이루어질 수 있다.
- [0052] 상기 제3 소스 전극(S3)은 상기 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결된다. 상기 제3 소스 전극(S3)은 상기 제2 소스 전극(S2)과 일체로 형성될 수 있다. 또한, 상기 제3 소스 전극(S3)은 상기 제3 액티브(A3)의 일단과 연결된다.
- [0053] 상기 제3 드레인 전극(D3)은 제7 홀(H7)을 통해서 상기 기준 라인(Ref)과 연결될 수 있다. 특히, 상기 제3 드레인 전극(D3)은 단면도 상으로 상기 제7 홀(H7) 내에서 세로 방향, 특히 수직 방향으로 연장될 수 있다.
- [0054] 상기 제3 액티브(A3)는 상기 제3 게이트 전극(G3)과 중첩되며 상기 제3 소스 전극(S3) 및 상기 제3 드레인 전극(D3)과 각각 연결되어 있다. 상기 제3 액티브(A3)는 상기 제7 홀(H7) 영역에서 상기 제3 드레인 전극(D3)과 연결될 수 있다.
- [0055] 도 3은 본 발명의 일 실시예에 따른 전계 발광 표시장치의 개략적인 단면도이다.
- [0056] 도 3에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시장치는 기관(100), 데이터 라인(DL), 고전원 라인(VDD), 기준 라인(Ref), 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 커패시터 전극(CE), 보조 전극(AE), 제1 내지 제6 절연층(210, 220, 230, 240, 250, 260), 및 제1 전극(300)을 포함하여 이루어진다.
- [0057] 상기 기관(100)은 유리 또는 플라스틱으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 실리콘 웨이퍼와 같은 반도체 물질로 이루어질 수도 있다. 상기 기관(100)은 투명한 재료로 이루어질 수도 있고 불투명한 재료로 이루어질 수도 있다. 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 발광된 광이 상부쪽으로 방출되는 소위 상부 발광(Top emisison) 방식으로 이루어질 수 있고, 따라서, 상기 기관(100)의 재료로는 투명한 재료뿐만 아니라 불투명한 재료가 이용될 수 있다.
- [0058] 상기 데이터 라인(DL), 상기 고전원 라인(VDD), 및 상기 기준 라인(Ref) 각각은 상기 기관(100) 상에서 소정 간격으로 이격되어 있다.
- [0059] 상기 스위칭 박막 트랜지스터(T1)는 제1 게이트 전극(G1), 제1 소스 전극(S1), 제1 드레인 전극(D1), 및 제1 액티브(A1)를 포함하여 이루어진다.
- [0060] 상기 제1 게이트 전극(G1)은 제5 절연층(250) 상에 형성되어 있다. 전술한 바와 같이 상기 제1 게이트 전극(G1)은 게이트 라인(GL)의 일 부분으로 이루어질 수 있으며, 따라서, 게이트 라인(GL)도 상기 제5 절연층(250) 상에 형성된다.
- [0061] 상기 제1 소스 전극(S1)은 제1 절연층(210), 제2 절연층(220), 제3 절연층(230), 및 제4 절연층(240)을 관통하여 형성된 제1 홀(H1) 내에 형성되며, 특히 상기 기관(100) 면에 대해서 수직 방향으로 연장되어 있다. 본 명세서 전체에서 수직 방향은 상기 기관(100) 면에 수직한 방향을 의미하고, 본 명세서 전체에서 수평 방향은 상기 기관(100) 면에 평행한 방향을 의미한다.
- [0062] 상기 제1 소스 전극(S1)의 하단은 상기 데이터 라인(DL)과 연결되고, 상기 제1 소스 전극(S1)의 상단은 상기 제1 액티브(A1)와 연결되어 있다.
- [0063] 상기 제1 드레인 전극(D1)은 상기 제4 절연층(240)에 형성된 제2 홀(H2) 내에서 수직 방향으로 연장되어 있다. 상기 제1 드레인 전극(D1)의 하단은 상기 구동 박막 트랜지스터(T2)의 제2 게이트 전극(G2)과 연결되고, 상기 제1 드레인 전극(D1)의 상단은 상기 제1 액티브(A1)와 연결되어 있다.
- [0064] 상기 제1 액티브(A1)는 상기 제1 게이트 전극(G1)과 중첩되며 상기 제1 소스 전극(S1) 및 상기 제1 드레인 전극(D1)과 각각 연결되어 있다. 상기 제1 액티브(A1)는 상기 제4 절연층(240) 상에서 수평 방향으로 연장되어 있다.
- [0065] 상기 구동 박막 트랜지스터(T2)는 제2 게이트 전극(G2), 제2 소스 전극(S2), 제2 드레인 전극(D2), 및 제2 액티브(A2)를 포함하여 이루어진다.
- [0066] 상기 제2 게이트 전극(G2)은 상기 제2 홀(H2) 영역에서 상기 스위칭 박막 트랜지스터(T1)의 제1 드레인 전극

(D1)과 연결되는 제1 부분(G21)을 포함한다. 상기 제1 부분(G21)의 일 부분은 상기 기관(100) 면에 대해서 수평 방향으로 연장되어 있고 상기 제1 부분(G22)의 나머지 부분은 상기 기관(100) 면에 대해서 수직 방향으로 연장되어 있다.

- [0067] 상기 수평 방향으로 연장된 제1 부분(G21)의 일 부분은 상기 제3 절연층(230)을 사이에 두고 상기 커패시터 전극(CE1, CE2) 보다 위쪽에 위치하게 되며, 이와 같이 수평 방향으로 연장된 제1 부분(G21)의 일 부분이 전술한 도 2의 M으로 표시된 영역에 위치한다. 상기 수직 방향으로 연장된 제1 부분(G21)의 나머지 부분은 상기 제3 절연층(230)과 상기 제4 절연층(240) 사이에 구비되는 제3 홀(H3) 내에 형성된다.
- [0068] 상기 제2 게이트 전극(G2)은 상기 수직 방향으로 연장된 제1 부분(G21)의 나머지 부분과 유사하게 상기 제3 절연층(230)과 상기 제4 절연층(240) 사이에 구비되는 제3 홀(H3) 내에서 수직 방향으로 연장되는 제2 부분(G22)을 포함하여 이루어진다. 편의상 상기 제2 부분(G22)을 상기 제1 부분(G21)과 이격되도록 도시하였지만 전술한 도 2에서와 같이 상기 제2 부분(G22)은 상기 제1 부분(G21)과 연결되어 있다. 도시하지는 않았지만, 상기 제2 게이트 전극(G2)은 상기 제1 부분(G21)과 유사하게 수평 방향과 수직 방향으로 연장되는 제3 부분(G23) 및 상기 제2 부분(G22)과 유사하게 수직 방향으로 연장되는 제4 부분(G24)을 추가로 포함할 수 있다.
- [0069] 상기 제2 드레인 전극(D2)은 제1 절연층(210), 제3 절연층(230), 및 제4 절연층(240)에 형성된 제5 홀(H5) 내에서 수직 방향으로 연장되어 있다. 상기 제2 드레인 전극(D2)의 하단은 상기 고전원 라인(VDD)과 연결되고, 상기 제2 드레인 전극(D2)의 상단은 상기 제2 액티브(A2)와 연결되어 있다.
- [0070] 상기 제2 액티브(A2)는 상기 제2 게이트 전극(G2)과 마주하고 있으며 상기 제2 소스 전극(S2) 및 상기 제2 드레인 전극(D2)과 각각 연결되어 있다. 상기 제2 액티브(A2)는 상기 제5 홀(H5) 내에서 수직 방향으로 연장되어 있으며, 상기 제2 액티브(A2)의 하단은 상기 제2 드레인 전극(D2)과 연결되고, 상기 제2 액티브(A2)의 상단은 상기 제2 소스 전극(S2)과 연결된다. 특히, 상기 제2 액티브(A2)와 상기 제2 드레인 전극(D2)은 상기 제5 홀(H5) 내에 형성되어 있으므로, 상기 제2 액티브(A2)와 상기 제2 드레인 전극(D2)은 동일한 폭을 가지면서 서로 중첩되어 있다.
- [0071] 상기 제2 소스 전극(S2)은 상기 제5 홀(H5) 내에 형성되어 상기 제2 액티브(A2)와 연결된다. 또한, 상기 제2 소스 전극(S2)은 상기 제4 절연층(240) 상에서 수평 방향으로 연장되어 센싱 박막 트랜지스터(T3)의 제3 소스 전극(S3)과 연결되어 있다. 또한, 상기 제2 소스 전극(S2)은 상기 제3 절연층(230)과 제4 절연층(240)에 형성된 제6 홀(H6) 내에서 수직 방향으로 연장되어 커패시터 전극(CE)의 제2 부분(CE2)과 연결된다. 또한, 상기 제2 소스 전극(S2)은 상기 제5 절연층(250)에 형성된 제8 홀(H8)을 통해서 상기 보조 전극(AE)과 연결된다.
- [0072] 상기 센싱 박막 트랜지스터(T3)는 제3 게이트 전극(G3), 제3 소스 전극(S3), 제3 드레인 전극(D3), 및 제3 액티브(A3)를 포함하여 이루어진다.
- [0073] 상기 제3 게이트 전극(G5)은 상기 제5 절연층(250) 상에 형성되어 있다. 전술한 바와 같이 상기 제3 게이트 전극(G3)은 센싱 라인(SL)의 일 부분으로 이루어질 수 있으며, 따라서, 센싱 라인(SL)도 상기 제5 절연층(250) 상에 형성된다.
- [0074] 상기 제3 소스 전극(S3)은 상기 제4 절연층(240) 상에서 상기 제2 소스 전극(S2) 및 상기 제3 액티브(A3)와 연결되어 있다. 상기 제3 소스 전극(S3)의 좌측 일단은 상기 제2 소스 전극(S2)과 연결되고, 상기 제3 소스 전극(S3)의 우측 타단은 상기 제3 액티브(A3)와 연결되어 있다.
- [0075] 상기 제3 드레인 전극(D3)은 상기 제1 절연층(210), 제2 절연층(220), 제3 절연층(230), 및 제4 절연층(240)을 관통하여 형성된 제7 홀(H7) 내에서 수직 방향으로 연장되어 있다. 상기 제3 드레인 전극(D3)의 하단은 상기 기준 라인(Ref)과 연결되고, 상기 제3 드레인 전극(D3)의 상단은 상기 제3 액티브(A3)와 연결되어 있다.
- [0076] 상기 제3 액티브(A1)는 상기 제3 게이트 전극(G3)과 중첩되며 상기 제3 소스 전극(S3) 및 상기 제3 드레인 전극(D3)과 각각 연결되어 있다. 상기 제3 액티브(A3)는 상기 제4 절연층(240) 상에서 수평 방향으로 연장되어 있다.
- [0077] 상기 커패시터 전극(CE)은 제2 절연층(220)과 제3 절연층(230) 사이에 구비된 제4 홀(H4) 내에서 수직 방향으로 연장된 제1 부분(CE1) 및 제2 부분(CE2)을 포함한다. 상기 커패시터 전극(CE)의 제1 부분(CE1)은 상기 제2 게이트 전극(G2)의 제1 부분(G21)과 마주하여 커패시터를 구성하고, 상기 커패시터 전극(CE)의 제2 부분(CE2)은 상기 제2 게이트 전극(G2)의 제2 부분(G22)과 마주하여 커패시터를 구성한다. 편의상 상기 제2 부분(CE2)을 상기 제1 부분(CE1)과 이격되도록 도시하였지만 전술한 도 2에서와 같이 상기 제2 부분(CE2)은 상기 제1 부분(CE1)과

연결되어 있다. 상기 커패시터 전극(CE)의 제2 부분(CE2)은 상기 제4 홀(H4)과 중첩되는 상기 제6 홀(H6) 내의 제2 소스 전극(S2)과 연결된다.

- [0078] 도시하지는 않았지만, 상기 커패시터 전극(CE)은 상기 제4 홀(H4) 내에서 수직 방향으로 연장된 제3 부분(CE3) 및 제4 부분(CE4)을 추가로 포함할 수 있다. 상기 커패시터 전극(CE)의 제3 부분(CE3)은 상기 제2 게이트 전극(G2)의 제3 부분(G23)과 마주하여 커패시터를 구성하고, 상기 커패시터 전극(CE)의 제4 부분(CE4)은 상기 제2 게이트 전극(G2)의 제4 부분(G24)과 마주하여 커패시터를 구성한다.
- [0079] 상기 보조 전극(AE)은 상기 제8 홀(H8)을 통해서 상기 제2 소스 전극(S2)과 연결되며, 상기 제6 절연층(260)을 관통하여 형성된 제9 홀(H9)을 통해서 애노드 전극으로 기능할 수 있는 제1 전극(300)과 연결된다.
- [0080] 상기 제1 절연층(210)은 상기 기판(100) 상에 형성되고, 상기 제2 절연층(220)은 상기 제1 절연층(210) 상에 형성된다. 상기 제2 절연층(220)은 상기 고전원 라인(VDD)과 중첩되는 영역에 오픈 영역이 구비되어 있고, 상기 오픈 영역에 상기 커패시터 전극(CE), 제2 게이트 전극(G2), 제2 드레인 전극(D2), 및 제2 액티브(A2)가 형성되어 있다.
- [0081] 상기 제3 절연층(230)은 상기 제2 절연층(220) 상에 형성되어 있다. 상기 제3 절연층(230)은 상기 제2 절연층(220)의 오픈 영역에도 형성되며, 그에 따라 상기 오픈 영역 내에서 상기 제1 절연층(210)의 상면과 접할 수 있다. 또한, 상기 제3 절연층(230)은 상기 제2 절연층(220)의 오픈 영역에서 상기 커패시터 전극(CE)과 상기 제2 게이트 전극(G2) 사이에 수직 방향으로 형성된다.
- [0082] 상기 제4 절연층(240)은 상기 제3 절연층(230) 상에 형성되어 있다. 상기 제4 절연층(240)은 상기 제2 절연층(220)의 오픈 영역에도 형성되며, 상기 오픈 영역에서 상기 제2 게이트 전극(G2)과 상기 제2 액티브(A2) 사이에 수직 방향으로 형성된다.
- [0083] 상기 제5 절연층(250)은 상기 제4 절연층(240) 상에 형성되어 있고, 상기 제6 절연층(260)은 상기 제5 절연층(250) 상에 형성되어 있다.
- [0084] 상기 제2 절연층(220)의 오픈 영역에서 상기 커패시터 전극(CE), 상기 제2 게이트 전극(G2) 및 상기 제2 액티브(A2)가 소정의 길이를 가지면서 수직 방향으로 연장될 수 있도록 하기 위해서, 상기 제2 절연층(220)은 상대적으로 두꺼운 두께의 유기 절연물로 이루어질 수 있다. 또한, 상기 제6 절연층(260)은 기판(100) 위의 표면을 평탄화하기 위해서 상대적으로 두꺼운 두께의 유기 절연물로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니다. 그 외의 제1 절연층(210), 제3 절연층(230), 제4 절연층(240), 및 제5 절연층(250)은 상대적으로 얇은 두께의 무기 절연물로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니다.
- [0085] 상기 제1 전극(300)은 상기 제6 절연층(260) 상에 형성되며, 상기 제9 홀(H9)을 통해서 상기 보조 전극(AE)과 연결된다. 따라서, 상기 제1 전극(300)은 상기 보조 전극(AE)을 통해서 상기 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결된다.
- [0086] 도 4a 내지 도 4k는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략적인 제조 공정 단면도로서, 이는 도 3의 전계 발광 표시 장치의 제조 공정에 관한 것이다.
- [0087] 우선, 도 4a에서 알 수 있듯이, 기판(100) 상에 데이터 라인(DL), 고전원 라인(VDD), 및 기준 라인(Ref)을 패턴 형성하고, 그 위에 제1 절연층(210)을 형성한다.
- [0088] 다음, 도 4b에서 알 수 있듯이, 상기 제1 절연층(210) 상에 제2 절연층(220)을 형성하고, 상기 고전원 라인(VDD)과 중첩되는 상기 제2 절연층(220)의 일 부분을 제거하여 오픈 영역(OA)을 형성한다.
- [0089] 다음, 도 4c에서 알 수 있듯이, 상기 오픈 영역(OA) 내에서 상기 제2 절연층(220)의 측면에 커패시터 전극(CE)의 제1 부분(CE1) 및 제2 부분(CE2)을 형성한다.
- [0090] 다음, 도 4d에서 알 수 있듯이, 상기 제2 절연층(220) 및 상기 커패시터 전극(CE)의 제1 부분(CE1)과 제2 부분(CE2) 상에 제3 절연층(230)을 형성한다.
- [0091] 상기 제3 절연층(230)은 상기 오픈 영역(OA) 내에 형성되지만 상기 오픈 영역(OA)을 완전히 충전(fill)하지 않도록 형성한다. 따라서, 상기 제3 절연층(230)은 상기 제2 절연층(220)의 상면에서 상기 커패시터 전극(CE)의 제1 부분(CE1)과 제2 부분(CE2)의 측면을 따라 상기 제1 절연층(210)의 상면까지 연장된다.
- [0092] 상기 제3 절연층(230)이 형성됨으로써, 상기 제2 절연층(220)과 상기 제3 절연층(230) 사이의 제4 홀(H4) 내에

상기 커패시터 전극(CE)의 제1 부분(CE1)과 제2 부분(CE2)이 수직 방향으로 연장된 모습을 갖게 된다.

- [0093] 다음, 도 4e에서 알 수 있듯이, 상기 제3 절연층(230) 상에 제2 게이트 전극(G2)의 제1 부분(G21) 및 제2 부분(G22)을 형성한다. 상기 제2 게이트 전극(G2)의 제1 부분(G21)은 수평 방향으로 연장되다가 상기 오픈 영역(OA) 내로 수직 방향으로 연장되도록 형성한다. 상기 제2 게이트 전극(G2)의 제2 부분(G22)은 상기 오픈 영역(OA) 내에서 수직 방향으로 연장되도록 형성한다.
- [0094] 다음, 도 4f에서 알 수 있듯이, 상기 제3 절연층(230) 및 상기 2 게이트 전극(G2)의 제1 부분(G21)과 제2 부분(G22) 상에 제4 절연층(240)을 형성한다. 상기 제4 절연층(240)은 상기 오픈 영역(OA)을 채우도록 형성한다.
- [0095] 상기 제4 절연층(240)이 형성됨으로써, 상기 제3 절연층(230)과 상기 제4 절연층(240) 사이의 제3 홀(H3) 내에 상기 제2 게이트 전극(G2)의 제1 부분(G21)과 제2 부분(G22)이 수직 방향으로 연장된 모습을 갖게 된다.
- [0096] 그 후, 상기 제1 절연층(210), 상기 제2 절연층(220), 상기 제3 절연층(230), 및 상기 제4 절연층(240)의 소정 영역을 제거하여 제1 홀(H1) 및 제7 홀(H7)을 형성한다. 그리하면, 상기 제1 홀(H1)에 의해서 상기 데이터 라인(DL)이 노출되고, 상기 제7 홀(H7)에 의해서 상기 기준 라인(Ref)이 노출된다.
- [0097] 또한, 상기 제4 절연층(240)의 소정 영역을 제거하여 제2 홀(H2)을 형성한다. 그리하면, 상기 제2 홀(H2)에 의해서 상기 제2 게이트 전극(G2)이 노출된다.
- [0098] 또한, 상기 오픈 영역(OA) 내의 상기 제1 절연층(210), 상기 제3 절연층(230), 및 상기 제4 절연층(240)의 소정 영역을 제거하여 제5 홀(H5)을 형성한다. 그리하면, 상기 제5 홀(H5)에 의해서 상기 고전원 라인(VDD)이 노출된다.
- [0099] 또한, 상기 제3 절연층(230) 및 상기 제4 절연층(240)의 소정 영역을 제거하여 제6 홀(H6)을 형성한다. 그리하면, 상기 제6 홀(H6)에 의해서 상기 커패시터 전극(CE)의 제2 부분(CE2)이 노출된다.
- [0100] 다음, 도 4g에서 알 수 있듯이, 상기 제1 홀(H1) 내에 제1 소스 전극(S1)을 형성하고 상기 제2 홀(H2) 내에 제1 드레인 전극(D1)을 형성하고, 상기 제1 소스 전극(S1)과 상기 제1 드레인 전극(D1) 각각과 연결되는 제1 액티브(A1)를 상기 제4 절연층(240) 상에 형성한다. 또한, 상기 제5 홀(H5) 내에 제2 드레인 전극(D2) 및 제2 액티브(A2)를 형성하고, 상기 제5 홀(H5) 및 상기 제6 홀(H6) 내에서 상기 제4 절연층(240)의 상면까지 연장되는 제2 소스 전극(S2)을 형성하고, 상기 제2 소스 전극(S2)과 연결되는 제3 소스 전극(S3)을 상기 제4 절연층(240)의 상면에 형성하고, 상기 제3 소스 전극(S3)과 연결되는 제3 액티브(A3)를 상기 제4 절연층(240)의 상면에 형성하고, 상기 제3 액티브(A3)와 연결되는 제3 드레인 전극(D3)을 상기 제7 홀(H7) 내에 형성한다.
- [0101] 상기 제1 소스 전극(S1), 상기 제1 드레인 전극(D1), 상기 제1 액티브(A1), 상기 제2 드레인 전극(D2), 상기 제2 액티브(A2), 상기 제2 소스 전극(S2), 상기 제3 소스 전극(S3), 상기 제3 액티브(A3), 및 상기 제3 드레인 전극(D3)은 IGZO와 같은 액상의 산화물 반도체 또는 공지의 액상의 반도체를 이용하여 상기 제1 홀(H1), 상기 제2 홀(H2), 상기 제5 홀(H5), 상기 제6 홀(H6), 및 상기 제7 홀(H7) 각각의 내부 및 상기 제4 절연층(240)의 상면에 산화물 반도체층을 형성한 후 패터닝하는 공정을 통해 얻을 수 있다.
- [0102] 따라서, 상기 제1 소스 전극(S1), 상기 제1 드레인 전극(D1), 상기 제1 액티브(A1), 상기 제2 드레인 전극(D2), 상기 제2 액티브(A2), 상기 제2 소스 전극(S2), 상기 제3 소스 전극(S3), 상기 제3 액티브(A3), 및 상기 제3 드레인 전극(D3)은 모두 동일한 반도체 물질로 이루어질 수 있다. 도 4g에서 상기 제1 소스 전극(S1), 상기 제1 드레인 전극(D1), 및 상기 제1 액티브(A1)는 그 위치에 따라 구분한 것일 뿐 실제로는 동일한 반도체 물질이 일체(one body)로 이루어질 수 있다. 유사하게, 도 4g에서 상기 제2 드레인 전극(D2), 상기 제2 액티브(A2), 상기 제2 소스 전극(S2), 상기 제3 소스 전극(S3), 상기 제3 액티브(A3), 및 상기 제3 드레인 전극(D3)은 그 위치에 따라 구분한 것일 뿐 실제로는 동일한 반도체 물질이 일체(one body)로 이루어질 수 있다.
- [0103] 다음, 도 4h에서 알 수 있듯이, 상기 제1 소스 전극(S1), 상기 제1 드레인 전극(D1), 상기 제1 액티브(A1), 상기 제2 드레인 전극(D2), 상기 제2 액티브(A2), 상기 제2 소스 전극(S2), 상기 제3 소스 전극(S3), 상기 제3 액티브(A3), 및 상기 제3 드레인 전극(D3) 상에 제5 절연층(250)을 형성하고, 상기 제5 절연층(250)의 소정 영역에 제8 홀(H8)을 형성한다. 그리하면, 상기 제8 홀(H8)에 의해서 상기 제2 소스 전극(S2)이 노출된다.
- [0104] 다음, 도 4i에서 알 수 있듯이, 상기 제5 절연층(250) 상에 제1 게이트 전극(G1) 및 제3 게이트 전극(G3)을 형성하고 상기 제8 홀(H8)을 통해 상기 제2 소스 전극(S2)과 연결되는 보조 전극(AE)을 형성한다.
- [0105] 상기 제1 게이트 전극(G1)은 상기 제1 액티브(A1)와 중첩되도록 형성하고, 상기 제3 게이트 전극(G3)은 상기 제

3 액티브(A3)와 중첩되도록 형성한다.

- [0106] 다음, 도 4j에서 알 수 있듯이, 상기 제1 게이트 전극(G1), 상기 제3 게이트 전극(G3), 및 상기 보조 전극(AE) 상에 제6 절연층(260)을 형성하고, 상기 제6 절연층(260)의 소정 영역을 제거하여 제9 홀(H9)을 형성한다. 그리하면, 상기 제9 홀(H9)에 의해서 상기 보조 전극(AE)이 노출된다.
- [0107] 다음, 도 4k에서 알 수 있듯이, 상기 제9 홀(H9)을 통해서 상기 보조 전극(AE)과 연결되는 제1 전극(300)을 형성한다. 상기 제1 전극(300)은 전계 발광 표시 장치의 애노드로 기능할 수 있다.
- [0108] 도 5는 본 발명의 다른 실시예에 따른 전계 발광 표시장치의 개략적인 단면도로서, 이는 제2 게이트 전극(G2)과 제1 드레인 전극(D1) 사이의 연결 구조가 변경된 것을 제외하고 전술한 도 3에 따른 전계 발광 표시 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0109] 전술한 도 3에 따르면, 제1 드레인 전극(D1)의 하단의 하면이 상기 제2 게이트 전극(G2)의 제1 부분(G21)의 상면과 접하고 있다.
- [0110] 그에 반하여, 도 5에 따르면, 제1 드레인 전극(D1)의 일측 측면이 제2 게이트 전극(G2)의 제1 부분(G21)의 끝단 측면과 접하고 있다. 그에 따라, 상기 제1 드레인 전극(D1)은 제3 절연층(230)과 제4 절연층(240)에 형성된 제2 홀(H2) 내에서 수직방향으로 연장되어 있다.
- [0111] 도 6은 본 발명의 또 다른 실시예에 따른 전계 발광 표시장치의 개략적인 단면도로서, 이는 데이터 라인(DL)과 기준 라인(Ref)의 형성 위치가 변경된 것을 제외하고 전술한 도 5에 따른 전계 발광 표시 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0112] 전술한 도 5에 따르면, 데이터 라인(DL)과 기준 라인(Ref)이 기판(100) 상에 형성되어 있으며, 그에 따라, 데이터 라인(DL), 기준 라인(Ref), 및 고전원 라인(VDD)이 모두 동일한 층에 형성되어 있다.
- [0113] 그에 반하여, 도 6에 따르면, 데이터 라인(DL)과 기준 라인(Ref)이 제3 절연층(230)의 상면에 형성되어 있고, 그에 따라 데이터 라인(DL)과 기준 라인(Ref)은 서로 동일한 층에 형성되지만, 고전원 라인(VDD)과는 상이한 층에 형성된다.
- [0114] 도 6에 따르면, 데이터 라인(DL)이 제3 절연층(230)의 상면에 형성되어 있기 때문에, 상기 데이터 라인(DL)과 연결되면서 수직 방향으로 연장된 제1 소스 전극(S1)의 수직 방향의 길이가 전술한 도 5의 경우에 비하여 짧아지게 되어 상기 제1 소스 전극(S1)의 저항이 줄어드는 이점이 있다. 또한, 기준 라인(Ref)이 제3 절연층(230)의 상면에 형성되어 있기 때문에, 상기 기준 라인(Ref)과 연결되면서 수직 방향으로 연장된 제3 드레인 전극(D3)의 수직 방향의 길이가 전술한 도 5의 경우에 비하여 짧아지게 되어 상기 제3 드레인 전극(D3)의 저항이 줄어드는 이점이 있다.
- [0115] 도 7은 본 발명의 또 다른 실시예에 따른 전계 발광 표시장치의 개략적인 단면도로서, 이는 데이터 라인(DL)과 기준 라인(Ref)의 형성 위치가 변경된 것을 제외하고 전술한 도 3에 따른 전계 발광 표시 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0116] 전술한 도 3에 따르면, 데이터 라인(DL)과 기준 라인(Ref)이 기판(100) 상에 형성되어 있으며, 그에 따라, 데이터 라인(DL), 기준 라인(Ref), 및 고전원 라인(VDD)이 모두 동일한 층에 형성되어 있다.
- [0117] 그에 반하여, 도 7에 따르면, 데이터 라인(DL)과 기준 라인(Ref)이 제3 절연층(230)의 상면에 형성되어 있고, 그에 따라 데이터 라인(DL)과 기준 라인(Ref)은 서로 동일한 층에 형성되지만, 고전원 라인(VDD)과는 상이한 층에 형성된다.
- [0118] 도 7에 따르면, 데이터 라인(DL)이 제3 절연층(230)의 상면에 형성되어 있기 때문에, 상기 데이터 라인(DL)과 연결되면서 수직 방향으로 연장된 제1 소스 전극(S1)의 수직 방향의 길이가 전술한 도 3의 경우에 비하여 짧아지게 되어 상기 제1 소스 전극(S1)의 저항이 줄어드는 이점이 있다. 또한, 기준 라인(Ref)이 제3 절연층(230)의 상면에 형성되어 있기 때문에, 상기 기준 라인(Ref)과 연결되면서 수직 방향으로 연장된 제3 드레인 전극(D3)의 수직 방향의 길이가 전술한 도 3의 경우에 비하여 짧아지게 되어 상기 제3 드레인 전극(D3)의 저항이 줄어드는 이점이 있다.

- [0119] 도 8은 본 발명의 다른 실시예에 따른 전계 발광 표시장치의 개략적인 평면도로서, 이는 제2 게이트 전극(G2)과 커패시터 전극(CE)의 구성이 변경된 것을 제외하고 전술한 도 2에 따른 전계 발광 표시 장치와 동일하다. 따라서, 동일한 구성에 대해서 동일한 도면 부호를 부여하였고, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0120] 전술한 도 2에 따르면, 제2 게이트 전극(G2)이 제1 부분(G21), 제2 부분(G22), 제3 부분(G23), 및 제4 부분(G24)을 포함하여 이루어지고, 커패시터 전극(CE)이 제1 부분(CE1), 제2 부분(CE2), 제3 부분(CE3), 및 제4 부분(CE4)을 포함하여 이루어진다. 도 2의 경우에는, 제2 게이트 전극(G2)의 제1 부분(G21)과 커패시터 전극(CE)의 제1 부분(CE1) 사이에서 커패시터가 구성되고, 제2 게이트 전극(G2)의 제2 부분(G22)과 커패시터 전극(CE)의 제2 부분(CE2) 사이에서 커패시터가 구성되고, 제2 게이트 전극(G2)의 제3 부분(G23)과 커패시터 전극(CE)의 제3 부분(CE3) 사이에서 커패시터가 구성되고, 제2 게이트 전극(G2)의 제4 부분(G24)과 커패시터 전극(CE)의 제4 부분(CE4) 사이에서 커패시터가 구성되어, 커패시터의 용량이 증가될 수 있다.
- [0121] 그에 반하여, 도 8에 따르면, 제2 게이트 전극(G2)이 제1 부분(G21) 및 제2 부분(G22)으로 이루어지고, 커패시터 전극(CE)이 제1 부분(CE1) 및 제2 부분(CE2)으로 이루어진다. 도 8의 경우는 도 2의 경우보다 커패시터의 용량은 줄어들지만, 제2 게이트 전극(G2)의 제3 부분(G23)과 제4 부분(G24) 및 커패시터 전극(CE)의 제3 부분(CE3)과 제4 부분(CE4)이 제거됨에 따라 서브 화소의 크기를 줄일 수 있어 고해상도의 전계 발광 표시 장치를 얻을 수 있다.
- [0122] 한편, 도시하지는 않았지만, 제2 게이트 전극(G2)이 전술한 도 2의 제1 부분(G21), 제2 부분(G22) 및 제3 부분(G23)으로 이루어지고, 커패시터 전극(CE)이 제1 부분(CE1), 제2 부분(CE2) 및 제3 부분(CE3)으로 이루어질 수도 있다. 또한, 제2 게이트 전극(G2)이 제1 부분(G21)으로 이루어지고, 커패시터 전극(CE)이 제1 부분(CE1)으로 이루어질 수도 있으며, 이 경우에는 커패시터 전극(CE)의 제1 부분(CE1)이 제2 소스 전극(S2)과 연결되도록 구성된다.
- [0123] 도 9는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 제2 게이트 전극(G2)의 제2 부분(G22)이 생략된 점을 제외하고 전술한 도 3에 따른 전계 발광 표시 장치와 동일하다. 따라서, 이하에서는 상이한 구성에 대해서만 설명하기로 한다.
- [0124] 도 9에 따르면, 제2 게이트 전극(G2)이 제1 부분(G21)으로 이루어지고 제2 내지 제 4 부분(G22, G23, G24)을 구비하고 있지 않다. 따라서, 제2 게이트 전극(G2)의 제1 부분(G21)과 커패시터 전극(CE)의 제1 부분(CE1) 사이에서만 커패시터를 구성한다.
- [0125] 도 9에 따르면, 제2 게이트 전극(G2)이 제1 부분(G21)으로 이루어지기 때문에 제2 게이트 전극(G2)의 형성 영역이 줄어들어 서브 화소의 크기를 줄일 수 있고 그에 따라 고해상도의 전계 발광 표시 장치를 얻을 수 있다.
- [0126] 도 9에서 커패시터 전극(CE)의 제2 부분(CE2)도 생략이 가능하며, 이 경우에는 커패시터 전극(CE)의 제1 부분(CE1)이 제2 소스 전극(S2)과 전기적으로 연결되도록 구성된다.
- [0127] 한편, 도시하지는 않았지만, 도 9의 경우에 있어서, 도 5에서와 같이 상기 제1 부분(G21)이 제1 드레인 전극(D1)의 측면과 접하도록 구성될 수도 있고, 도 6에서와 같이 상기 제1 부분(G21)이 제1 드레인 전극(D1)의 측면과 접하도록 구성되고 데이터 라인(DL)과 기준 라인(Ref)이 제3 절연층의 상면에 형성될 수도 있고, 도 7에서와 같이 데이터 라인(DL)과 기준 라인(Ref)이 제3 절연층의 상면에 형성될 수도 있다.
- [0128] 도 10은 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 단면도로서, 이는 복수의 서브 화소를 포함하는 전계 발광 표시 장치를 도시한 것이다.
- [0129] 도 10에서 알 수 있듯이, 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치는 기관(100), 회로 소자층(200), 제1 전극(300), बैं크(400), 발광층(500), 제2 전극(600), 봉지층(700), 및 컬러 필터층(810, 820, 830)을 포함하여 이루어진다.
- [0130] 상기 기관(100)은 전술한 바와 동일하므로 반복 설명은 생략하기로 한다.
- [0131] 상기 회로 소자층(200)은 상기 기관(100) 상에 형성되어 있다.
- [0132] 상기 회로 소자층(200)에는 전술한 다양한 실시예에 따른 데이터 라인(DL), 고전원 라인(VDD), 기준 라인(Ref), 게이트 라인(GL), 센싱 라인(SL), 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 커패시터 전극(CE), 보조 전극(AE), 및 제1 내지 제6 절연층(210, 220, 230, 240, 250, 260)이 구성되

어 있으며, 그에 대한 반복 설명은 생략하기로 한다.

- [0133] 상기 제1 전극(300)은 상기 회로 소자층(200) 상에서 서브 화소(P1, P2, P3) 별로 패턴 형성되어 있다. 상기 제1 전극(300)은 전술한 다양한 실시예에서 설명한 바와 같이 보조 전극(AE)을 통해서 제2 소스 전극(S2)에 연결될 수 있다.
- [0134] 상기 बैं크(400)는 상기 회로 소자층(200) 상에 형성되며 상기 제1 전극(300)의 가장자리를 가리면서 서브 화소(P1, P2, P3) 사이의 경계에 형성되어 있다. 상기 बैं크(400)에 의해 가려지지 않고 노출된 상기 제1 전극(300)의 노출 영역이 발광 영역이 된다.
- [0135] 상기 발광층(500)은 상기 제1 전극(300) 상에 형성되어 있다. 상기 발광층(500)은 상기 बैं크(400) 상에도 형성될 수 있다. 즉, 상기 발광층(500)은 복수의 서브 화소(P1, P2, P3) 및 그들 사이의 경계 영역에도 형성된다.
- [0136] 상기 발광층(500)은 백색(W) 광을 발광하도록 구비될 수 있다. 이를 위해서, 상기 발광층(500)은 서로 상이한 색상의 광을 발광하는 복수의 스택(stack)을 포함하여 이루어질 수 있다.
- [0137] 예를 들어, 상기 발광층(500)은 청색의 광을 발광하는 제1 스택(510), 황녹색의 광을 발광하는 제2 스택(530), 및 상기 제1 스택(510)과 제2 스택(530) 사이에 구비된 전하생성층(charge generation layer; CGL)(520)을 포함하여 이루어질 수 있다. 상기 제1 스택(510)과 상기 제2 스택(530) 각각은 차례로 적층된 정공수송층, 유기발광층 및 전자수송층을 포함하여 이루어질 수 있다. 도시하지는 않았지만, 상기 발광층(500)은 청색의 광을 발광하는 제1 스택, 녹색의 광을 발광하는 제2 스택, 적색의 광을 발광하는 제3 스택, 상기 제1 스택과 상기 제2 스택 사이에 구비된 제1 전하생성층 및 상기 제2 스택과 상기 제3 스택 사이에 구비된 제2 전하생성층을 포함하여 이루어질 수도 있다. 이와 같은 발광층(500)의 구성은 당업계에 공지된 다양한 형태로 변경될 수 있다.
- [0138] 본 발명의 일 실시예에 따르면, 상기 बैं크(400) 및 상기 회로 소자층(200) 내에 트렌치(T)가 형성될 수 있으며, 그에 따라 상기 발광층(500)이 상기 트렌치(T)내에 형성될 수 있다. 따라서, 인접하는 서브 화소(P1, P2, P3) 사이에 전류 패스가 길게 형성되어 서브 화소(P1, P2, P3) 사이에 누설전류가 발생하는 것을 줄일 수 있다. 상기 트렌치(T)는 상기 बैं크(400) 및 상기 회로 소자층(200)의 제6 절연층(260)에 형성될 수 있지만, 반드시 그에 한정되는 것은 아니다. 경우에 따라서, 상기 트렌치(T)는 상기 बैं크(400)에만 형성될 수도 있다.
- [0139] 고해상도를 구현하기 위해서 서브 화소(P1, P2, P3) 사이의 간격이 조밀하게 구성된 경우에 있어서, 어느 하나의 서브 화소(P1, P2, P3) 내의 발광층(500)에서 발광이 이루어진 경우 그 발광층(500) 내의 전하가 인접하는 다른 서브 화소(P1, P2, P3) 내의 발광층(500)으로 이동하여 누설전류가 발생할 가능성이 있다.
- [0140] 따라서, 본 발명의 또 다른 실시예에서는 개별 서브 화소(P1, P2, P3) 사이의 경계에 트렌치(T)를 형성하고 상기 발광층(500)을 상기 트렌치(T)내에 형성함으로써, 인접하는 서브 화소(P1, P2, P3) 사이에 누설전류 발생을 줄일 수 있도록 한 것이다.
- [0141] 상기 제1 스택(510)은 상기 트렌치(T) 내부의 측면에 형성되며 상기 트렌치(T) 내부의 하면에도 형성될 수 있다. 이때, 상기 트렌치(T) 내부의 측면에 형성된 제1 스택(510)의 일 부분과 상기 트렌치(T) 내부의 하면에 형성된 제1 스택(510)의 일 부분은 서로 연결되지 않고 단절되어 있다. 따라서, 상기 트렌치(T) 내부의 일 측면, 예로서 좌측 측면에 형성된 제1 스택(510)의 일 부분과 상기 트렌치(T) 내부의 다른 측면, 예로서 우측 측면에 형성된 제1 스택(510)의 일 부분은 서로 연결되지 않고 단절되어 있다. 이에 따라, 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2, P3) 사이에서는 상기 제1 스택(510)을 통해 전하가 이동할 수는 없다.
- [0142] 또한, 상기 전하 생성층(520)은 상기 트렌치(T) 내부의 측면에서 상기 제1 스택(510) 상에 형성될 수 있다. 이때, 상기 트렌치(T) 내부의 일 측면, 예로서 좌측 측면에 형성된 전하 생성층(520)의 일 부분과 상기 트렌치(T) 내부의 다른 측면, 예로서 우측 측면에 형성된 전하 생성층(520)의 일 부분은 서로 연결되지 않고 단절되어 있다. 이에 따라, 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2, P3) 사이에서는 상기 전하 생성층(520)을 통해 전하가 이동할 수는 없다.
- [0143] 또한, 상기 제2 스택(530)은 상기 전하 생성층(520) 상에서 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2, P3) 사이에서 단절되지 않고 서로 연결될 수 있다. 따라서, 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2, P3) 사이에서는 상기 제2 스택(530)을 통해 전하가 이동할 수는 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 트렌치(T)의 형상 및 발광층(500)의 증착 공정을 적절히 조절함으로써, 상기 제2 스택(530)도 상기 트렌치(T)를 사이에 두고 인접하게 배치된 서브 화소(P1, P2, P3) 사

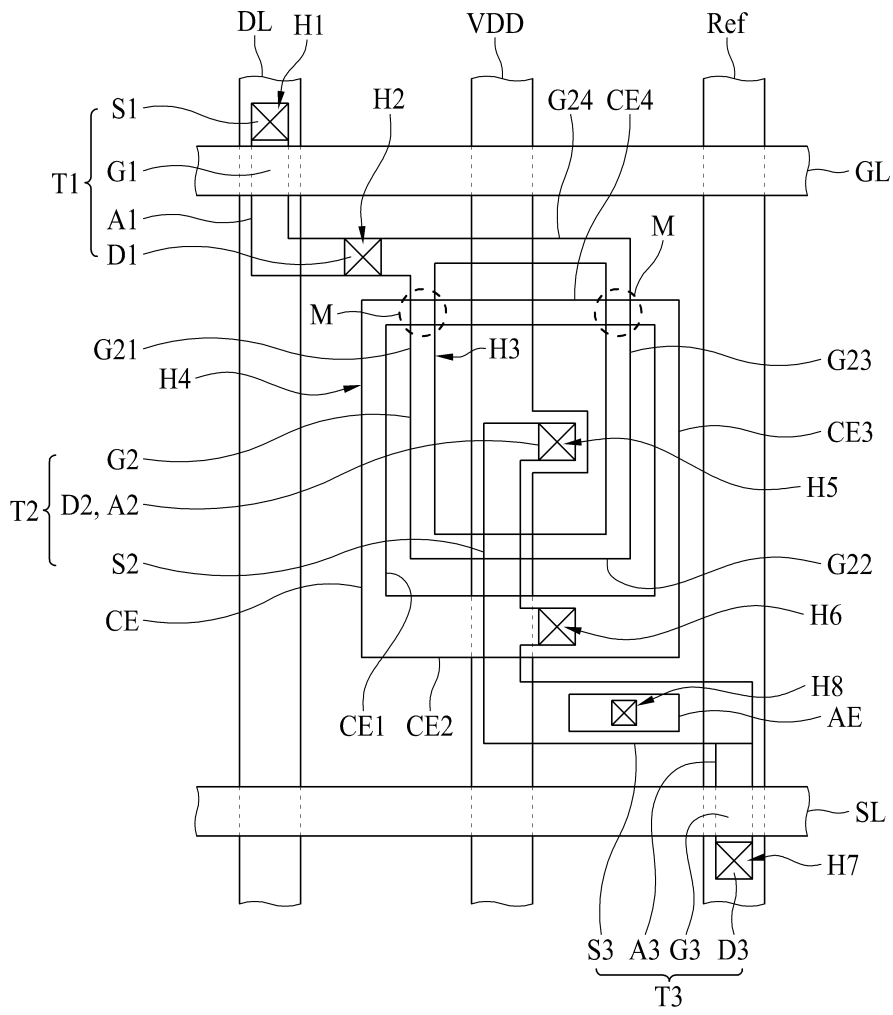
이에서 단절되도록 구성할 수도 있다. 특히, 상기 전하 생성층(520)과 인접하는 상기 제2 스택(530)의 하부 일부분만이 서브 화소(P1, P2, P3) 사이 영역에서 단절될 수 있다.

- [0144] 상기 전하 생성층(520)은 상기 제1 스택(510) 및 상기 제2 스택(530)에 비하여 도전성이 크다. 특히, 상기 전하 생성층(520)을 구성하는 N형 전하 생성층은 금속 물질을 포함하여 이루어질 수 있기 때문에, 상기 제1 스택(510) 및 상기 제2 스택(530)에 비하여 도전성이 크다. 따라서, 서로 인접하게 배치된 서브 화소(P1, P2, P3) 사이에서의 전하의 이동은 주로 전하 생성층(520)을 통해 이루어지고, 상기 제2 스택(530)을 통해서 이루어지는 전하의 이동량은 미미하다.
- [0145] 이와 같이 본 발명의 또 다른 실시예에서는, 상기 발광층(500)이 상기 트렌치(T) 내에 형성될 때 상기 트렌치(T) 내에서 상기 발광층(500)의 일부가 단절되도록 구성함으로써, 특히, 상기 제1 스택(510)과 상기 전하생성층(520)이 단절되도록 구성함으로써 인접 하는 서브 화소(P1, P2, P3) 사이에 누설전류가 발생하는 것을 방지할 수 있다.
- [0146] 상기 제2 전극(600)은 상기 발광층(500) 상에 형성되어 있다. 상기 제2 전극(600)은 캐소드(cathode)로 기능할 수 있다. 상기 제2 전극(600)은 상기 발광층(500)과 마찬가지로 각각의 서브 화소(P1, P2, P3) 및 그들 사이의 경계 영역에도 형성된다. 즉, 상기 제2 전극(600)은 상기 बैं크(400)의 위쪽 상에도 형성될 수 있다.
- [0147] 상기 봉지층(700)은 상기 제2 전극(600) 상에 형성되어 있다. 상기 봉지층(700)은 상기 제2 전극(600) 상에 형성되어 상기 발광층(500)으로 외부의 수분이 침투하는 것을 방지하는 역할을 한다. 이와 같은 봉지층(700)은 무기절연물로 이루어질 수도 있고 무기절연물과 유기절연물이 교대로 적층된 구조로 이루어질 수도 있지만, 반드시 그에 한정되는 것은 아니다.
- [0148] 상기 컬러 필터층(810, 820, 830)은 상기 봉지층(700) 상에 형성되어 있다. 상기 컬러 필터층(810, 820, 830)은 개별 서브 화소(P1, P2, P3) 내의 발광 영역과 마주하도록 형성된다. 상기 컬러 필터층(810, 820, 830)은 적색의 제1 컬러 필터(810), 녹색의 제2 컬러 필터(820), 및 청색의 제3 컬러 필터(830)를 포함하여 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 한편, 도시하지는 않았지만, 상기 컬러 필터층(810, 820, 830) 사이의 경계에 블랙 매트릭스가 추가로 형성되어 발광 영역 이외의 영역으로 광이 누설되는 것을 방지할 수 있다.
- [0149] 도 10의 경우는 백색(W) 광을 발광하도록 구성된 발광층(500)이 서브 화소(P1, P2, P3) 및 그들 사이의 경계 영역 전체에 형성되고 그에 따라 인접하는 서브 화소(P1, P2, P3) 사이의 누설전류를 방지하기 위해서 बैं크(400) 및 회로 소자층(200)에 트렌치(T)를 형성한 것으로서, 본 발명이 반드시 도 9에 따른 구조로 한정되는 것은 아니다. 예를 들어, 본 발명은 서브 화소(P1, P2, P3) 별로 상이한 색상의 광을 발광하도록 패터닝된 발광층(500)을 포함할 수도 있으며, 이 경우에는 인접하는 서브 화소(P1, P2, P3) 사이에 누설전류가 발생하지 않기 때문에 बैं크(400) 및 회로 소자층(200)에 트렌치(T)를 형성하지 않아도 된다.
- [0150] 도 11a내지 도 11c는 본 발명의 또 다른 실시예에 따른 전계 발광 표시 장치에 관한 것으로서, 이는 헤드 장착형 표시(HMD) 장치에 관한 것이다. 도 11a는 개략적인 사시도이고, 도 11b는 VR(Virtual Reality) 구조의 개략적인 평면도이고, 도 11c는 AR(Augmented Reality) 구조의 개략적인 단면도이다.
- [0151] 도 11a에서 알 수 있듯이, 본 발명에 따른 헤드 장착형 표시 장치는 수납 케이스(10), 및 헤드 장착 밴드(30)를 포함하여 이루어진다.
- [0152] 상기 수납 케이스(10)는 그 내부에 표시 장치, 렌즈 어레이, 및 접안 렌즈 등의 구성을 수납하고 있다.
- [0153] 상기 헤드 장착 밴드(30)는 상기 수납 케이스(10)에 고정된다. 상기 헤드 장착밴드(30)는 사용자의 머리 상면과 양 측면들을 둘러쌀 수 있도록 형성된 것을 예시하였으나, 이에 한정되지 않는다. 상기 헤드 장착 밴드(30)는 사용자의 머리에 헤드 장착형 디스플레이를 고정하기 위한 것으로, 안경테 형태 또는 헬멧 형태의 구조물로 대체될 수 있다.
- [0154] 도 11b에서 알 수 있듯이, 본 발명에 따른 VR(Virtual Reality) 구조의 헤드 장착형 표시 장치는 좌안용 표시 장치(12)와 우안용 표시 장치(11), 렌즈 어레이(13), 및 좌안 접안 렌즈(20a)와 우안 접안 렌즈(20b)를 포함하여 이루어진다.
- [0155] 상기 좌안용 표시 장치(12)와 우안용 표시 장치(11), 상기 렌즈 어레이(13), 및 상기 좌안 접안 렌즈(20a)와 우안 접안 렌즈(20b)는 전술한 수납 케이스(10)에 수납된다.
- [0156] 상기 좌안용 표시 장치(12)와 우안용 표시 장치(11)는 동일한 영상을 표시할 수 있으며, 이 경우 사용자는 2D

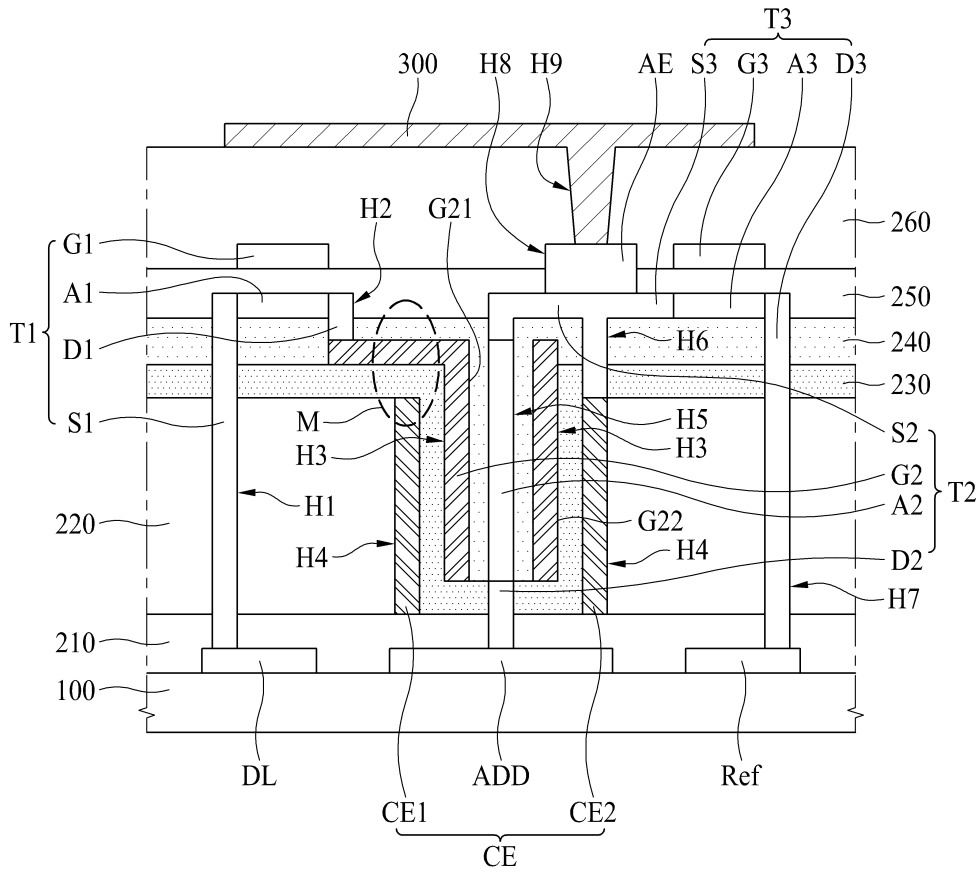
영상을 시청할 수 있다. 또는, 상기 좌안용 표시 장치(12)는 좌안 영상을 표시하고 상기 우안용 표시장치(11)는 우안 영상을 표시할 수 있으며, 이 경우 사용자는 입체 영상을 시청할 수 있다. 상기 좌안용 표시 장치(12)와 상기 우안용 표시 장치(11) 각각은 전술한 다양한 실시예에 따른 전계 발광 표시 장치로 이루어질 수 있다. 이 때, 전술한 다양한 실시예에 따른 전계 발광 표시 장치에서 화상이 표시되는 면, 예로서 컬러 필터층(810, 820, 830)이 상기 렌즈 어레이(13)와 마주하게 된다.

- [0157] 상기 렌즈 어레이(13)는 상기 좌안 접안 렌즈(20a)와 상기 좌안용 표시 장치(12) 각각과 이격되면서 상기 좌안 접안 렌즈(20a)와 상기 좌안용 표시 장치(12) 사이에 구비될 수 있다. 즉, 상기 렌즈 어레이(13)는 상기 좌안 접안 렌즈(20a)의 전방 및 상기 좌안용 표시 장치(12)의 후방에 위치할 수 있다. 또한, 상기 렌즈 어레이(13)는 상기 우안 접안 렌즈(20b)와 상기 우안용 표시 장치(11) 각각과 이격되면서 상기 우안 접안 렌즈(20b)와 상기 우안용 표시 장치(11) 사이에 구비될 수 있다. 즉, 상기 렌즈 어레이(13)는 상기 우안 접안 렌즈(20b)의 전방 및 상기 우안용 표시 장치(11)의 후방에 위치할 수 있다.
- [0158] 상기 렌즈 어레이(13)는 마이크로 렌즈 어레이(Micro Lens Array)일 수 있다. 상기 렌즈 어레이(13)는 핀홀 어레이(Pin Hole Array)로 대체될 수 있다. 상기 렌즈 어레이(13)로 인해 좌안용 표시장치(12) 또는 우안용 표시 장치(11)에 표시되는 영상은 사용자에게 확대되어 보일 수 있다.
- [0159] 상기 좌안 접안 렌즈(20a)에는 사용자의 좌안(LE)이 위치하고, 상기 우안 접안 렌즈(20b)에는 사용자의 우안(RE)이 위치할 수 있다.
- [0160] 도 11c에서 알 수 있듯이, 본 발명에 따른 AR(Augmented Reality) 구조의 헤드 장착형 표시 장치는 좌안용 표시 장치(12), 렌즈 어레이(13), 좌안 접안 렌즈(20a), 투과 반사부(14), 및 투과창(15)을 포함하여 이루어진다. 도 10c에는 편의상 좌안쪽 구성만을 도시하였으며, 우안쪽 구성도 좌안쪽 구성과 동일하다.
- [0161] 상기 좌안용 표시 장치(12), 렌즈 어레이(13), 좌안 접안 렌즈(20a), 투과 반사부(14), 및 투과창(15)은 전술한 수납 케이스(10)에 수납된다.
- [0162] 상기 좌안용 표시 장치(12)는 상기 투과창(15)을 가리지 않으면서 상기 투과 반사부(14)의 일측, 예로서 상측에 배치될 수 있다. 이에 따라서, 상기 좌안용 표시 장치(12)가 상기 투과창(15)을 통해 보이는 외부 배경을 가리지 않으면서 상기 투과 반사부(14)에 영상을 제공할 수 있다.
- [0163] 상기 좌안용 표시 장치(12)는 전술한 다양한 실시예에 따른 전계 발광 표시 장치로 이루어질 수 있다. 이 때, 전술한 다양한 실시예에 따른 전계 발광 표시 장치에서 화상이 표시되는 면, 예로서 컬러 필터층(810, 820, 830)이 상기 투과 반사부(14)와 마주하게 된다.
- [0164] 상기 렌즈 어레이(13)는 상기 좌안 접안 렌즈(20a)와 상기 투과반사부(14) 사이에 구비될 수 있다.
- [0165] 상기 좌안 접안 렌즈(20a)에는 사용자의 좌안이 위치한다.
- [0166] 상기 투과 반사부(14)는 상기 렌즈 어레이(13)와 상기 투과창(15) 사이에 배치된다. 상기 투과 반사부(14)는 광의 일부를 투과시키고, 광의 다른 일부를 반사시키는 반사면(14a)을 포함할 수 있다. 상기 반사면(14a)은 상기 좌안용 표시 장치(12)에 표시된 영상이 상기 렌즈 어레이(13)로 진행하도록 형성된다. 따라서, 사용자는 상기 투과창(15)을 통해서 외부의 배경과 상기 좌안용 표시 장치(12)에 의해 표시되는 영상을 모두 볼 수 있다. 즉, 사용자는 현실의 배경과 가상의 영상을 겹쳐 하나의 영상으로 볼 수 있으므로, 증강현실(Augmented Reality, AR)이 구현될 수 있다.
- [0167] 상기 투과창(15)은 상기 투과 반사부(14)의 전방에 배치되어 있다.
- [0168] 이상은 본 발명의 다양한 실시예에 따른 전계 발광 표시 장치에 관하여 설명하였지만, 본 발명은 전술한 박막 트랜지스터의 구성을 포함한 다양한 표시 장치를 포함할 수 있다.
- [0169] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

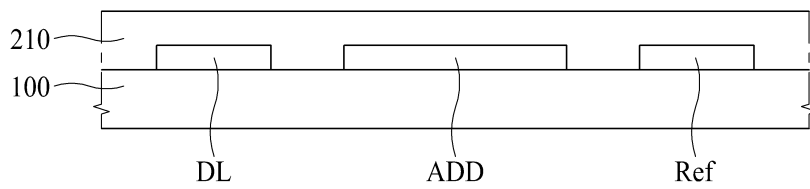
도면2



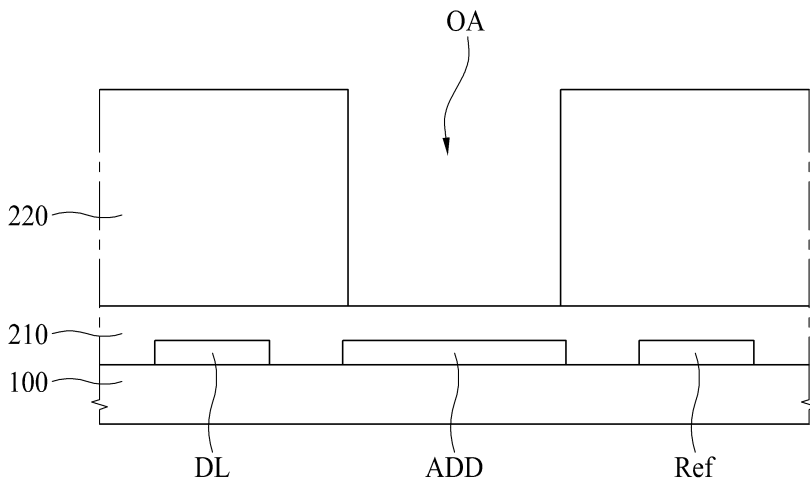
도면3



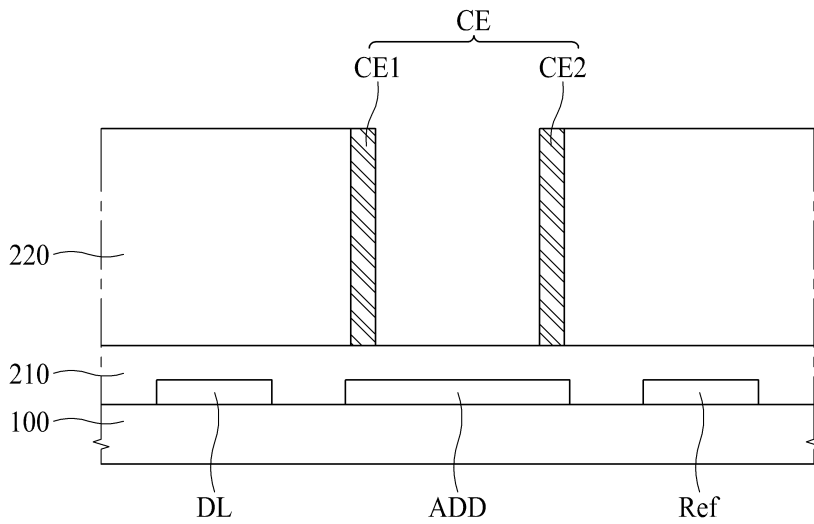
도면4a



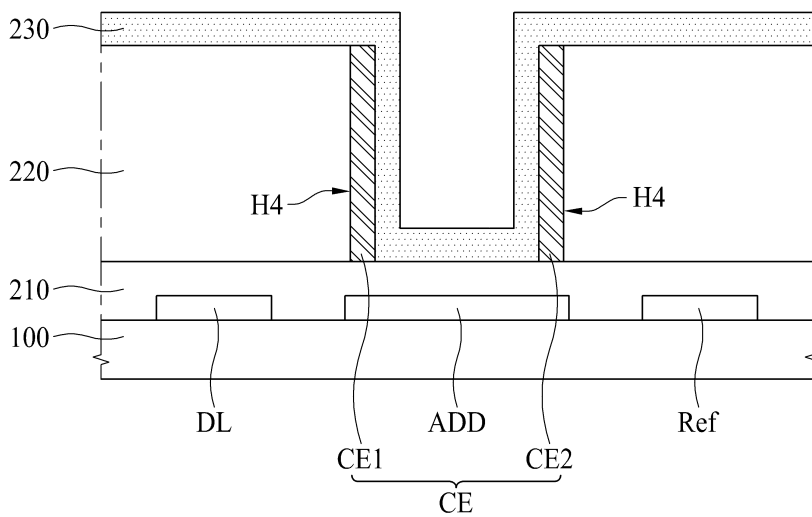
도면4b



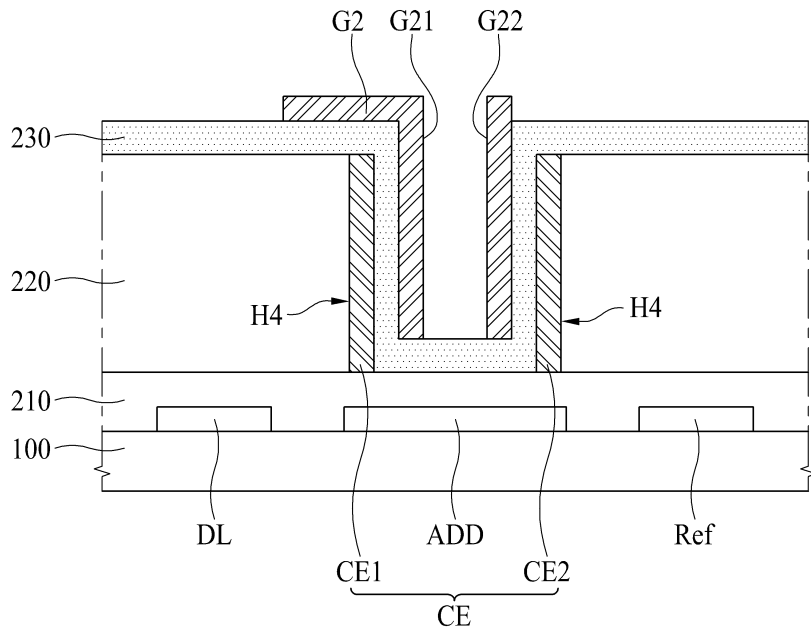
도면4c



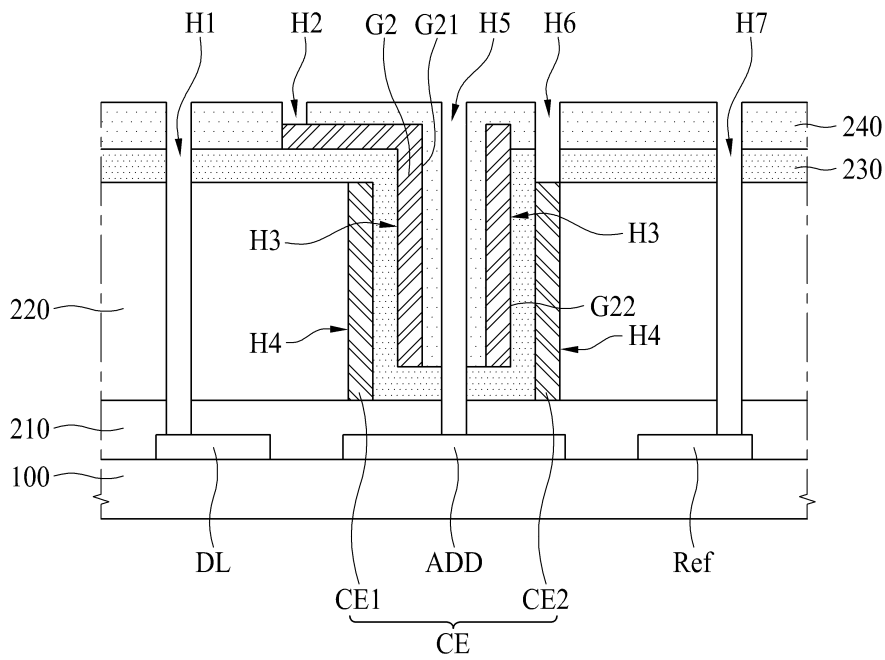
도면4d



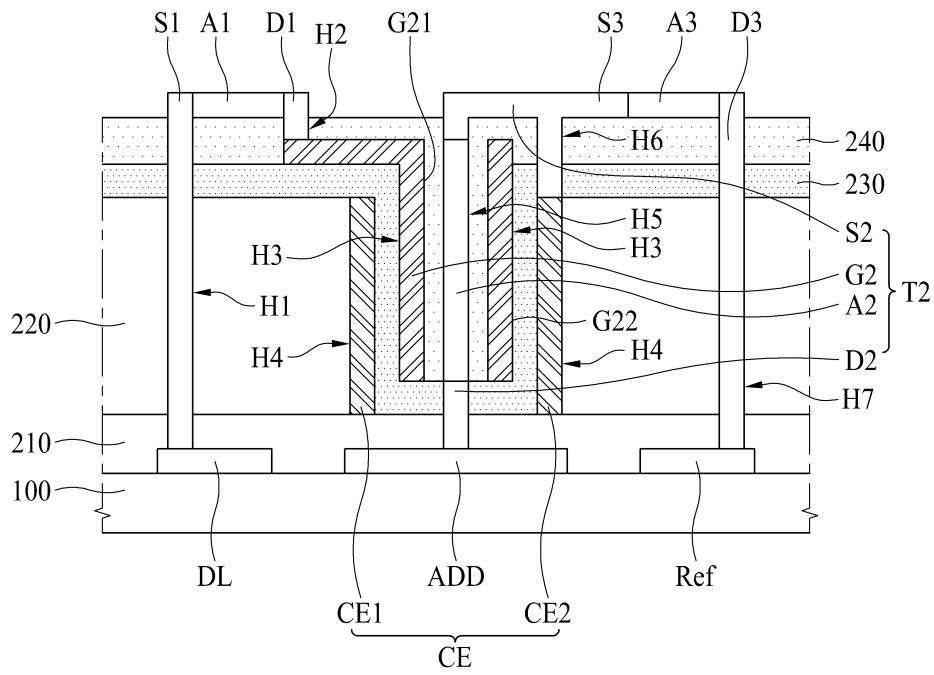
도면4e



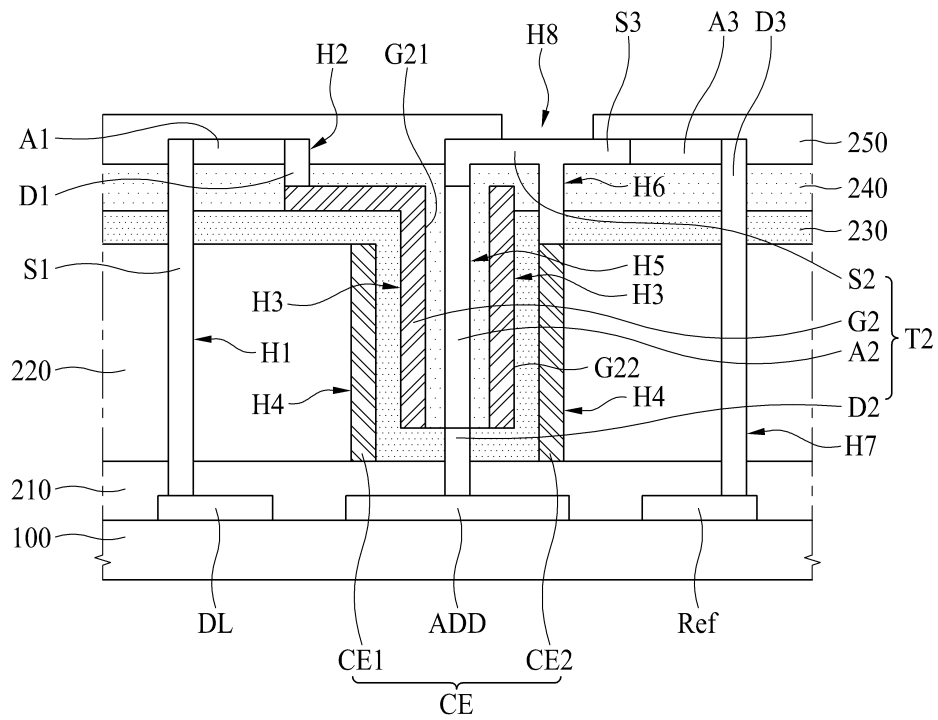
도면4f



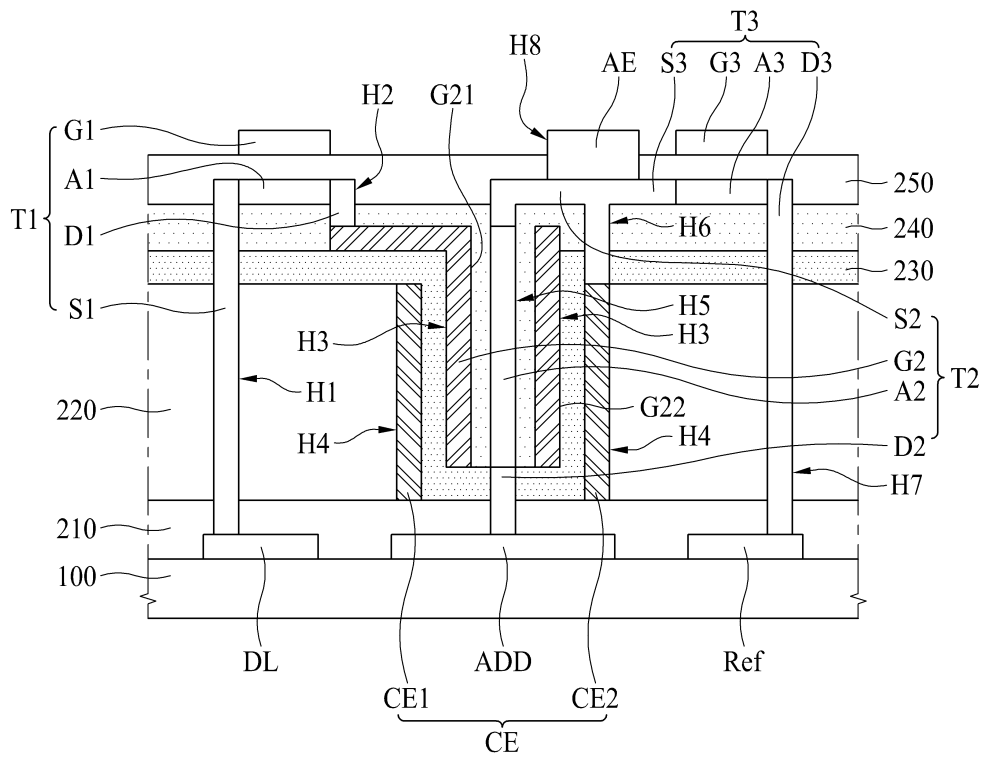
도면4g



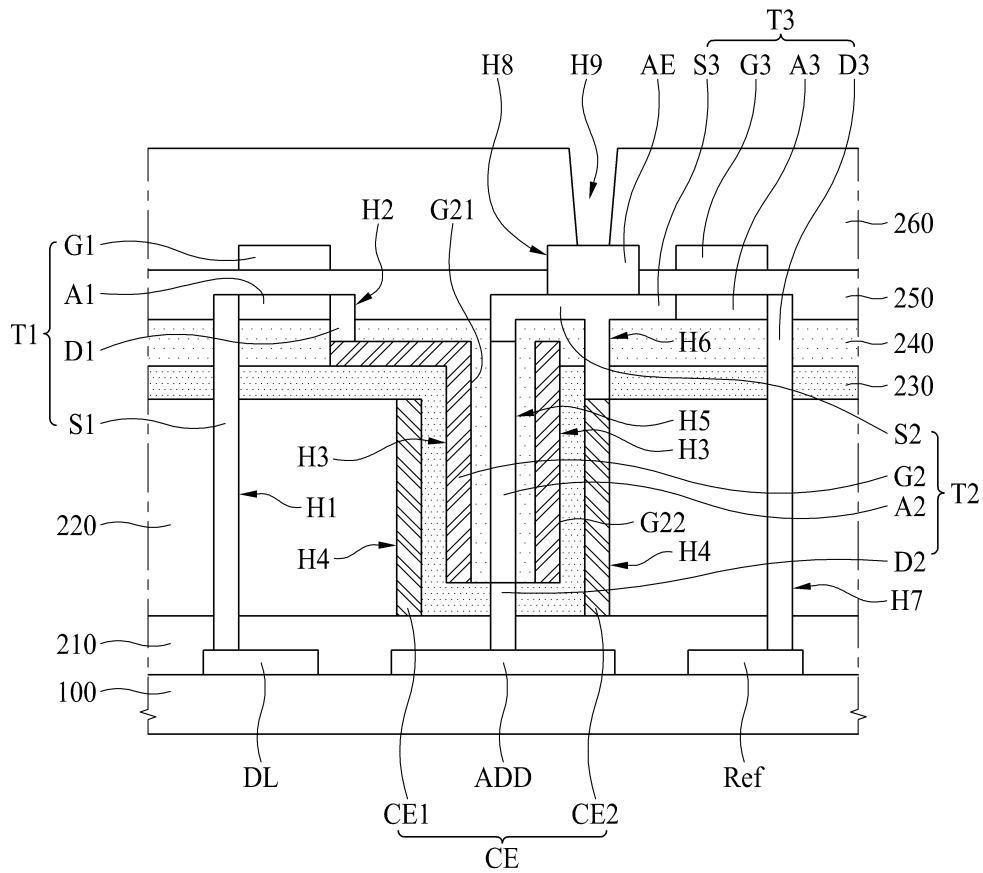
도면4h



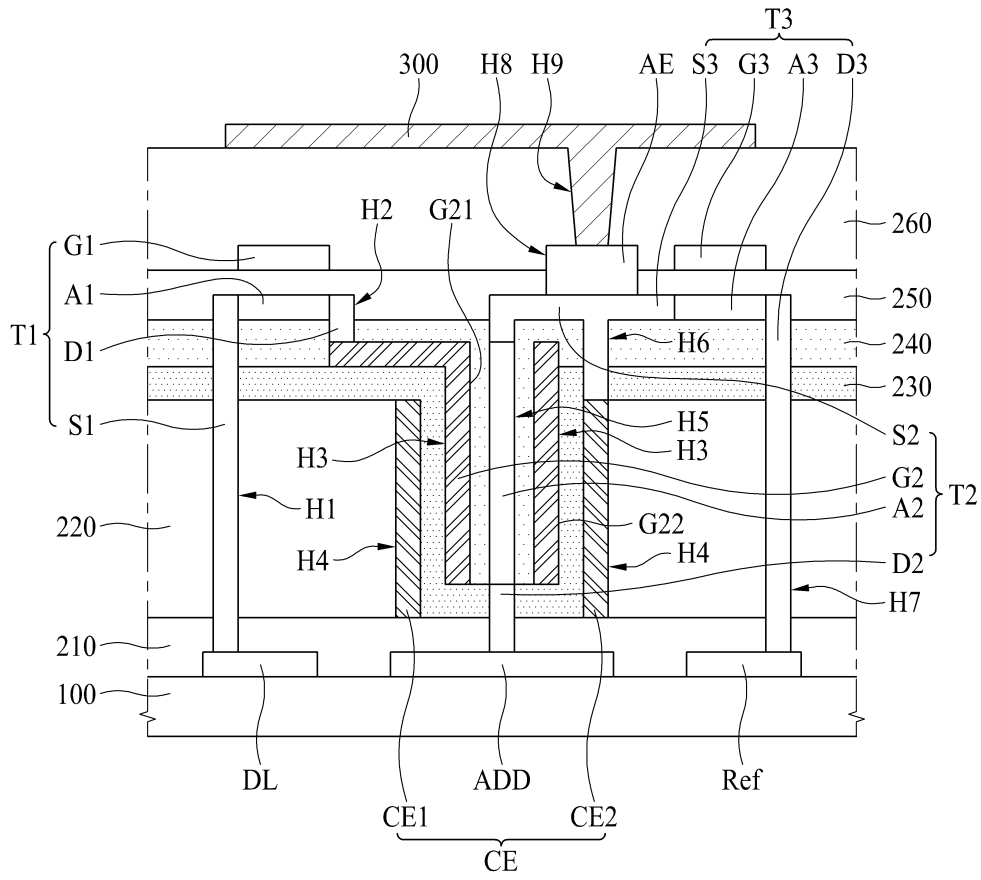
도면4i



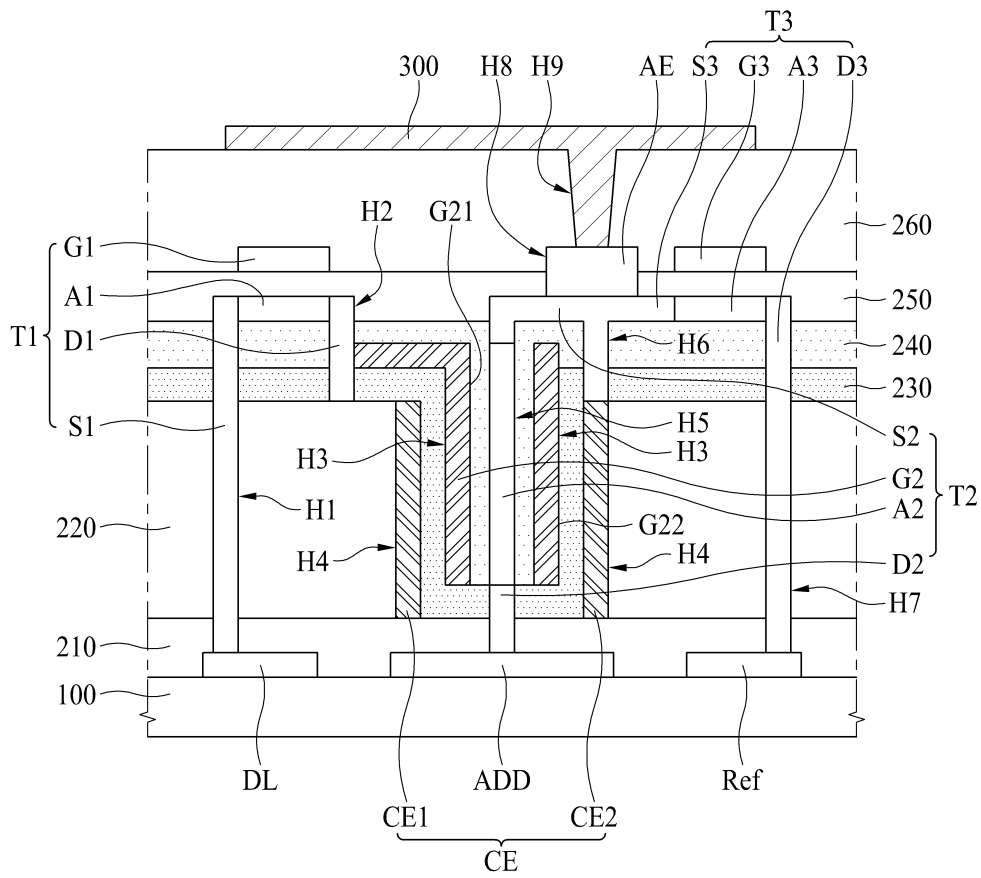
도면4j



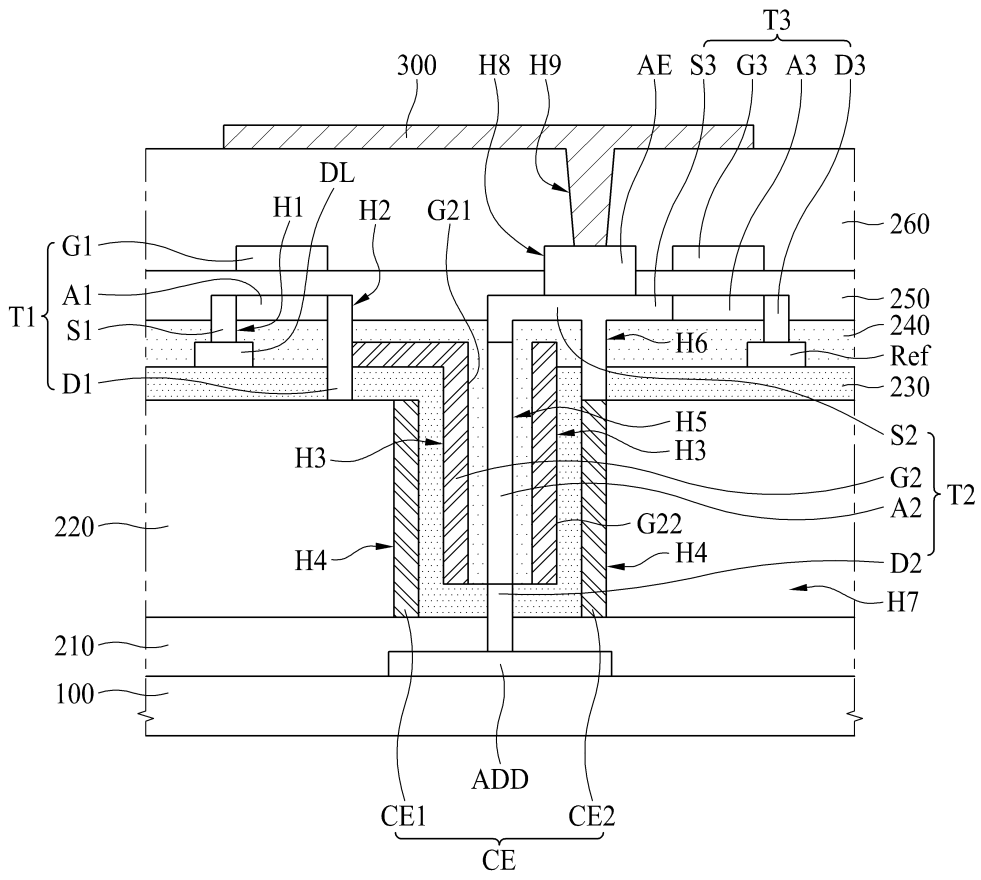
도면4k



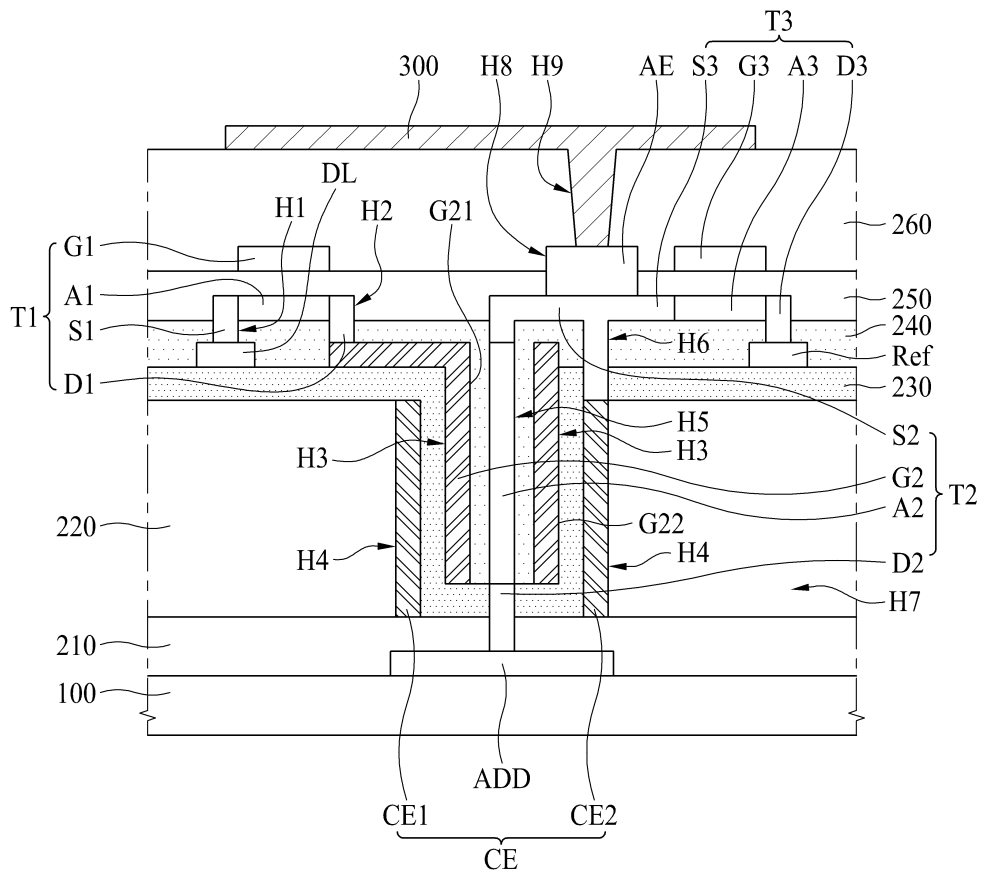
도면5



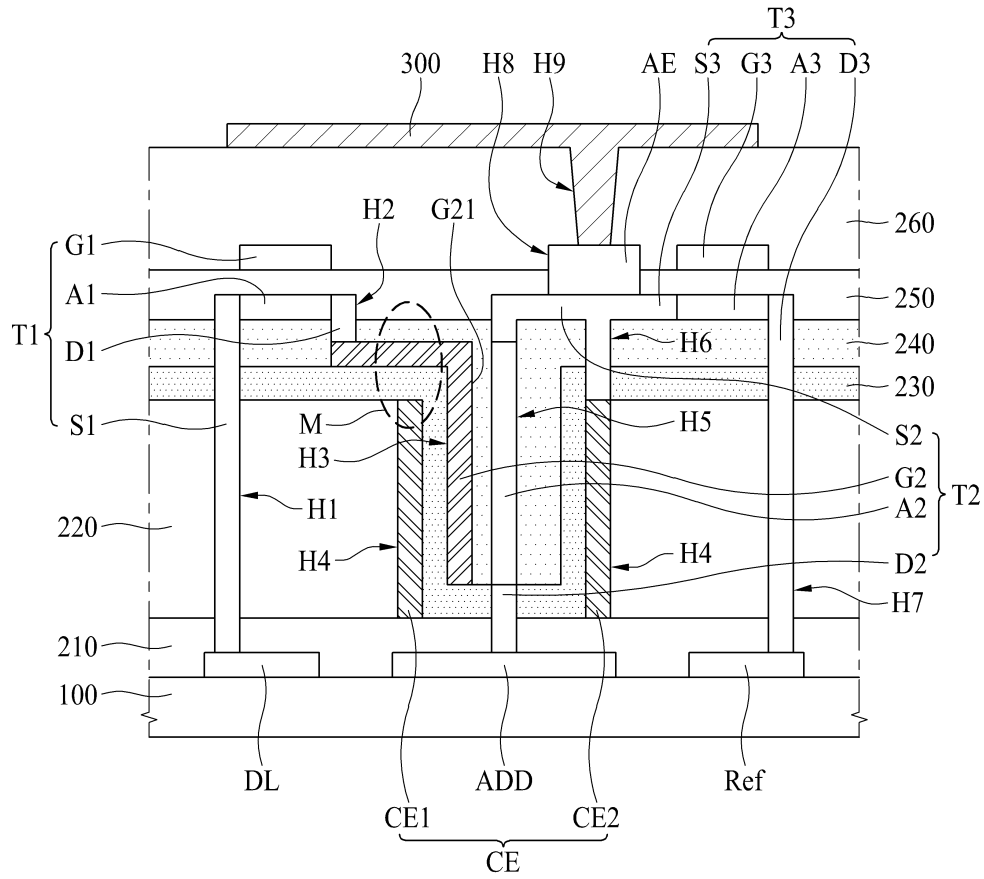
도면6



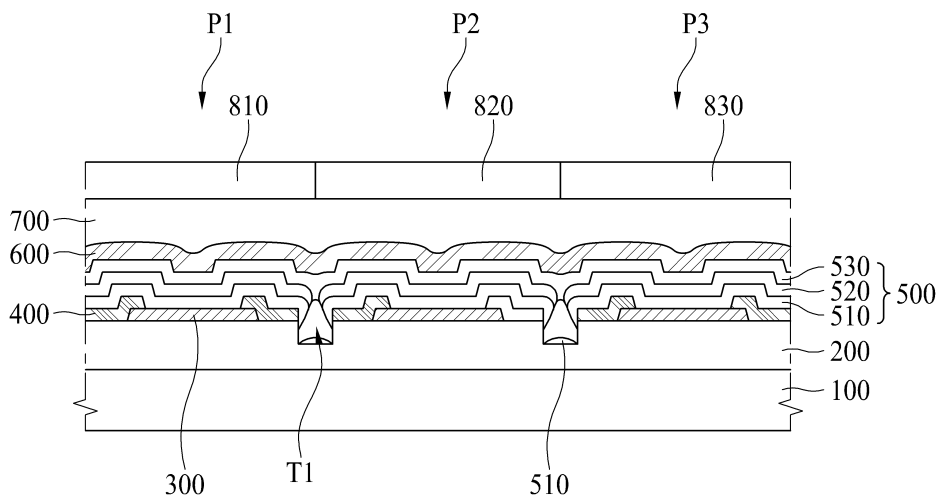
도면7



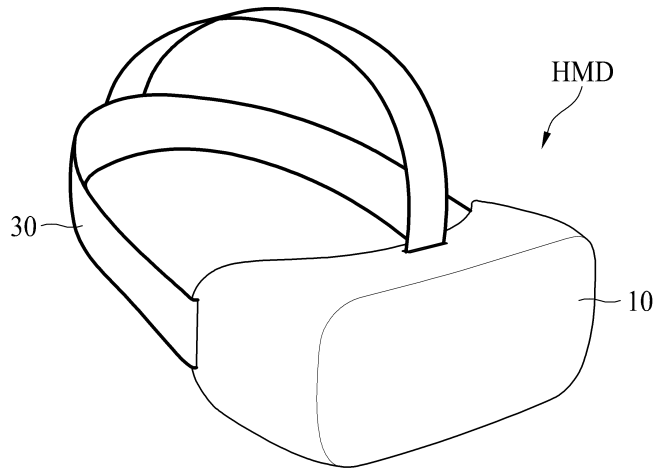
도면9



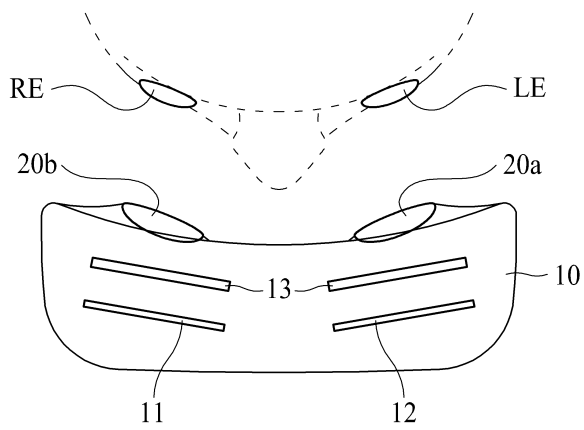
도면10



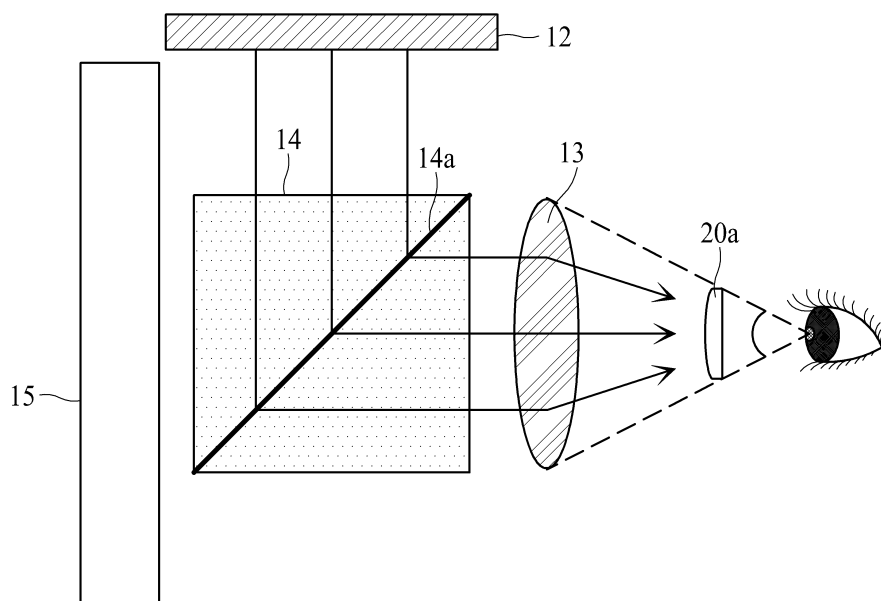
도면11a



도면11b



도면11c



专利名称(译)	电致发光显示装置和显示装置		
公开(公告)号	KR1020200067345A	公开(公告)日	2020-06-12
申请号	KR1020180154119	申请日	2018-12-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	엄혜선 윤두현		
发明人	엄혜선 윤두현		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3265 H01L27/3262 H01L27/3276 H01L51/50 H01L27/1251 H01L27/1255 H01L29/78642		
外部链接	Espacenet		

摘要(译)

公开了一种电致发光显示装置。该电致发光显示设备包括基板(100),设置在基板(100)上并包括栅电极(G2),源电极,漏电极以及有源区,电容器的驱动薄膜晶体管(TFT)。电极(CE)面对栅电极(G2),电连接到源电极的第一电极(300),第一电极(300)上的发光层(500)和灯上的第二电极(600)发射层(500)。栅电极(G2)和电容器电极(CE)相对于基板(100)表面在垂直方向上延伸。

