



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0052511  
(43) 공개일자 2020년05월15일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01) H01L 27/32 (2006.01)  
(52) CPC특허분류  
G09G 3/3233 (2013.01)  
H01L 27/32 (2013.01)  
(21) 출원번호 10-2018-0135422  
(22) 출원일자 2018년11월06일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
김성환  
경기도 용인시 기흥구 삼성로 1 (농서동)  
강철규  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(뒷면에 계속)  
(74) 대리인  
김두식, 오중환, 문용호

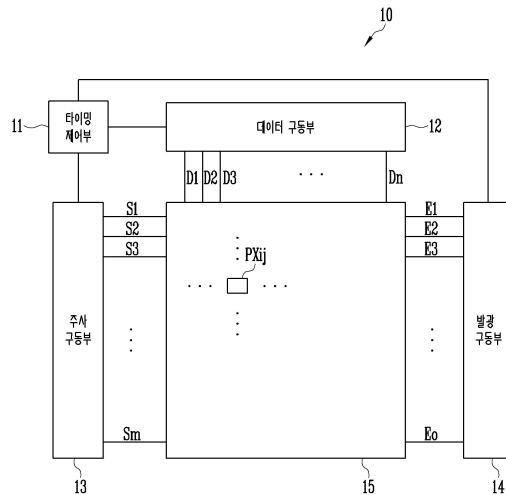
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 화소 회로

(57) 요약

본 발명은 유기 발광 다이오드, 제2 노드와 제3 노드 사이에 접속되고, 게이트 전극이 제1 노드에 접속되는 제1 트랜지스터, 데이터 라인과 상기 제2 노드 사이에 접속되고, 게이트 전극이 제1 주사 라인에 접속되는 제2 트랜지스터, 상기 제1 노드와 초기화 전원 사이에 접속되고, 게이트 전극이 제2 주사 라인에 접속되는 제4 트랜지스터, 제1 전원과 상기 제2 노드 사이에 접속되고, 게이트 전극이 제1 발광 라인에 접속되는 제5 트랜지스터 및 상기 제3 노드와 상기 유기 발광 다이오드 사이에 직렬로 접속되고, 게이트 전극이 제1 발광 라인에 접속되는 제6 트랜지스터 및 게이트 전극이 제2 발광 라인에 접속되는 제8 트랜지스터를 포함하되, 상기 제1 발광 라인에 인가되는 제1 발광 신호의 위상은 상기 제2 발광 라인에 인가되는 제2 발광 신호의 위상보다 지연되는 화소 회로에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

G09G 2230/00 (2013.01)  
G09G 2300/0842 (2013.01)  
G09G 2310/08 (2013.01)  
G09G 2330/021 (2013.01)

**이동선**

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

**오수희**

경기도 용인시 기흥구 삼성로 1 (농서동)

---

## 명세서

### 청구범위

#### 청구항 1

유기 발광 다이오드;

제2 노드와 제3 노드 사이에 접속되고, 게이트 전극이 제1 노드에 접속되는 제1 트랜지스터;

데이터 라인과 상기 제2 노드 사이에 접속되고, 게이트 전극이 제1 주사 라인에 접속되는 제2 트랜지스터;

상기 제1 노드와 초기화 전원 사이에 접속되고, 게이트 전극이 제2 주사 라인에 접속되는 제4 트랜지스터;

제1 전원과 상기 제2 노드 사이에 접속되고, 게이트 전극이 제1 발광 라인에 접속되는 제5 트랜지스터; 및

상기 제3 노드와 상기 유기 발광 다이오드 사이에 직렬로 접속되고, 게이트 전극이 제1 발광 라인에 접속되는 제6 트랜지스터 및 게이트 전극이 제2 발광 라인에 접속되는 제8 트랜지스터를 포함하되,

상기 제1 발광 라인에 인가되는 제1 발광 신호의 위상은 상기 제2 발광 라인에 인가되는 제2 발광 신호의 위상보다 지연되는, 화소 회로.

#### 청구항 2

제1항에 있어서, 상기 제6 트랜지스터는,

상기 제3 노드와 상기 제8 트랜지스터의 일 전극 사이에 접속되고,

상기 제8 트랜지스터는,

상기 제6 트랜지스터의 일 전극과 상기 유기 발광 다이오드 사이에 접속되는, 화소 회로.

#### 청구항 3

제1항에 있어서, 상기 제8 트랜지스터는,

상기 제3 노드와 상기 제6 트랜지스터의 일 전극 사이에 접속되고,

상기 제6 트랜지스터는,

상기 제8 트랜지스터의 일 전극과 상기 유기 발광 다이오드 사이에 접속되는, 화소 회로.

#### 청구항 4

제1항에 있어서,

상기 제1 노드와 상기 제3 노드 사이에 접속되고, 게이트 전극이 상기 제1 주사 라인에 접속되는 제3 트랜지스터를 더 포함하는, 화소 회로.

#### 청구항 5

제4항에 있어서, 상기 제3 트랜지스터는,

상기 제1 노드와 상기 제3 노드 사이에 직렬로 접속되는 복수의 제3 서브 트랜지스터들로 구성되고,

상기 제4 트랜지스터는,

상기 제1 노드와 상기 초기화 전원 사이에 직렬로 접속되는 복수의 제4 서브 트랜지스터들로 구성되는, 화소 회로.

#### 청구항 6

제1항에 있어서,

상기 제1 주사 라인에 인가되는 제1 주사 신호의 위상은 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상보다 지연되는, 화소 회로.

**청구항 7**

제6항에 있어서,

상기 제1 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호의 턴-오프 레벨의 펄스와 중첩되고, 상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제2 발광 신호의 턴-오프 레벨의 펄스와 중첩되는, 화소 회로.

**청구항 8**

제7항에 있어서, 상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호가 턴-온 레벨일 때 발생하는, 화소 회로.

**청구항 9**

제1항에 있어서,

상기 초기화 전원과 상기 유기 발광 다이오드 사이에 접속되고, 게이트 전극이 제3 주사 라인에 접속되는 제7 트랜지스터를 더 포함하는, 화소 회로.

**청구항 10**

제9항에 있어서,

상기 제3 주사 라인에 인가되는 제3 주사 신호의 위상은 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상과 동일한, 화소 회로.

**청구항 11**

제9항에 있어서,

상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상은 상기 제3 주사 라인에 인가되는 제3 주사 신호의 위상보다 지연되는, 화소 회로.

**청구항 12**

제9항에 있어서,

상기 제3 주사 라인에 인가되는 제3 주사 신호의 위상은 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상보다 지연되는, 화소 회로.

**청구항 13**

제1항에 있어서,

상기 제1 전원과 상기 제1 노드 사이에 접속되는 스토리지 커패시터를 더 포함하는, 화소 회로.

**청구항 14**

제9항에 있어서,

상기 제1, 제2, 제4 내지 제6 및 제8 트랜지스터들의 소스 전극들, 드레인 전극들 및 채널들을 커버하는 제1 게이트 절연층을 더 포함하고,

상기 제1, 제2, 제4 내지 제6 및 제8 트랜지스터들의 상기 게이트 전극들, 상기 제1 및 제2 주사 라인들 및 상기 제1 및 제2 발광 라인들은 상기 제1 게이트 절연층 상에 배치되는, 화소 회로.

**청구항 15**

제14항에 있어서,

상기 제2 주사 라인, 상기 제1 주사 라인, 상기 제1 발광 라인 및 상기 제2 발광 라인은 동일 평면 상에서 제1

방향으로 순차적으로 배치되는, 화소 회로.

**청구항 16**

제15항에 있어서, 상기 제2 발광 라인은,

상기 제8 트랜지스터의 소스 전극 및 드레인 전극과 수직으로 중첩되는, 화소 회로.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 화소 회로에 관한 것이다.

**배경 기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결매체인 표시 장치의 중요성이 부각되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display Device), 유기 발광 표시 장치(Organic Light Emitting Display Device), 플라즈마 표시 장치(Plasma Display Device) 등과 같은 표시 장치의 사용이 증가하고 있다.

[0003] 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 광을 생성하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004] 최근에는, 유기 발광 다이오드를 구동시키는 화소 회로의 구동 트랜지스터를 미리 온-바이어스(on-bias) 시킴으로써, 히스테리시스 이슈(hysteresis issue)와 스텝 에피션시 이슈(step efficiency issue)를 해결하는 방안이 고려되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결매체인 표시 장치의 중요성이 부각되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display Device), 유기 발광 표시 장치(Organic Light Emitting Display Device), 플라즈마 표시 장치(Plasma Display Device) 등과 같은 표시 장치의 사용이 증가하고 있다.

[0006] 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 광을 생성하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0007] 최근에는, 유기 발광 다이오드를 구동시키는 화소 회로의 구동 트랜지스터를 미리 온-바이어스(on-bias) 시킴으로써, 히스테리시스 이슈(hysteresis issue)와 스텝 에피션시 이슈(step efficiency issue)를 해결하는 방안이 고려되고 있다.

**과제의 해결 수단**

[0008] 본 발명의 실시 예에 따른 화소 회로는, 유기 발광 다이오드, 제2 노드와 제3 노드 사이에 접속되고, 게이트 전극이 제1 노드에 접속되는 제1 트랜지스터, 데이터 라인과 상기 제2 노드 사이에 접속되고, 게이트 전극이 제1 주사 라인에 접속되는 제2 트랜지스터, 상기 제1 노드와 초기화 전원 사이에 접속되고, 게이트 전극이 제2 주사 라인에 접속되는 제4 트랜지스터, 제1 전원과 상기 제2 노드 사이에 접속되고, 게이트 전극이 제1 발광 라인에 접속되는 제5 트랜지스터 및 상기 제3 노드와 상기 유기 발광 다이오드 사이에 직렬로 접속되고, 게이트 전극이 제1 발광 라인에 접속되는 제6 트랜지스터 및 게이트 전극이 제2 발광 라인에 접속되는 제8 트랜지스터를 포함 하되, 상기 제1 발광 라인에 인가되는 제1 발광 신호의 위상은 상기 제2 발광 라인에 인가되는 제2 발광 신호의 위상보다 지연될 수 있다.

[0009] 또한, 상기 제6 트랜지스터는, 상기 제3 노드와 상기 제8 트랜지스터의 일 전극 사이에 접속되고, 상기 제8 트랜지스터는, 상기 제6 트랜지스터의 일 전극과 상기 유기 발광 다이오드 사이에 접속될 수 있다.

[0010] 또한, 상기 제8 트랜지스터는, 상기 제3 노드와 상기 제6 트랜지스터의 일 전극 사이에 접속되고, 상기 제6 트랜지스터는, 상기 제8 트랜지스터의 일 전극과 상기 유기 발광 다이오드 사이에 접속될 수 있다.

[0011] 또한, 상기 화소 회로는, 상기 제1 노드와 상기 제3 노드 사이에 접속되고, 게이트 전극이 상기 제1 주사 라인

에 접속되는 제3 트랜지스터를 더 포함할 수 있다.

- [0012] 또한, 상기 제3 트랜지스터는, 상기 제1 노드와 상기 제3 노드 사이에 직렬로 접속되는 복수의 제3 서브 트랜지스터들로 구성되고, 상기 제4 트랜지스터는, 상기 제1 노드와 상기 초기화 전원 사이에 직렬로 접속되는 복수의 제4 서브 트랜지스터들로 구성될 수 있다.
- [0013] 또한, 상기 제1 주사 라인에 인가되는 제1 주사 신호의 위상은 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상보다 지연될 수 있다.
- [0014] 또한, 상기 제1 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호의 턴-오프 레벨의 펄스와 중첩되고, 상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제2 발광 신호의 턴-오프 레벨의 펄스와 중첩될 수 있다.
- [0015] 또한, 상기 제2 주사 신호의 턴-온 레벨의 펄스는 상기 제1 발광 신호가 턴-온 레벨일 때 발생할 수 있다.
- [0016] 또한, 상기 화소 회로는, 상기 초기화 전원과 상기 유기 발광 다이오드 사이에 접속되고, 게이트 전극이 제3 주사 라인에 접속되는 제7 트랜지스터를 더 포함할 수 있다.
- [0017] 또한, 상기 제3 주사 라인에 인가되는 제3 주사 신호의 위상은 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상과 동일할 수 있다.
- [0018] 또한, 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상은 상기 제3 주사 라인에 인가되는 제3 주사 신호의 위상보다 지연될 수 있다.
- [0019] 또한, 상기 제3 주사 라인에 인가되는 제3 주사 신호의 위상은 상기 제2 주사 라인에 인가되는 제2 주사 신호의 위상보다 지연될 수 있다.
- [0020] 또한, 상기 화소 회로는, 상기 제1 전원과 상기 제1 노드 사이에 접속되는 스토리지 커패시터를 더 포함할 수 있다.
- [0021] 또한, 상기 화소 회로는, 상기 제1, 제2, 제4 내지 제6 및 제8 트랜지스터들의 소스 전극들, 드레인 전극들 및 채널들을 커버하는 제1 게이트 절연층을 더 포함하고, 상기 제1, 제2, 제4 내지 제6 및 제8 트랜지스터들의 상기 게이트 전극들, 상기 제1 및 제2 주사 라인들 및 상기 제1 및 제2 발광 라인들은 상기 제1 게이트 절연층 상에 배치될 수 있다.
- [0022] 또한, 상기 제2 주사 라인, 상기 제1 주사 라인, 상기 제1 발광 라인 및 상기 제2 발광 라인은 동일 평면 상에서 제1 방향으로 순차적으로 배치될 수 있다.
- [0023] 또한, 상기 제2 발광 라인은, 상기 제8 트랜지스터의 소스 전극 및 드레인 전극과 수직으로 중첩될 수 있다.

**발명의 효과**

- [0024] 본 발명에 따른 화소 회로는 구동 트랜지스터를 온-바이어스 시킴에 있어서, 의도하지 않은 발광 및 과전류 발생을 방지하고, 소비 전력을 저감할 수 있다.

**도면의 간단한 설명**

- [0025] 도 1은 본 발명의 실시 예에 따른 표시 장치를 나타내는 도면이다.
- 도 2는 본 발명의 일 실시 예에 따른 화소 회로를 설명하기 위한 도면이다.
- 도 3은 본 발명의 다른 실시 예에 따른 화소 회로를 설명하기 위한 도면이다.
- 도 4는 본 발명의 또 다른 실시 예에 따른 화소 회로를 설명하기 위한 도면이다.
- 도 5는 본 발명의 일 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 도면이다.
- 도 6은 본 발명의 다른 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 도면이다.
- 도 7은 도 6의 실시 예에 따른 주사 구동부와 발광 구동부의 연결 관계를 설명하기 위한 도면이다.
- 도 8은 본 발명의 일 실시 예에 따른 화소 회로의 예시적인 레이아웃을 설명하기 위한 도면이다.
- 도 9는 도 8의 I-I' 선에 따른 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- [0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 본 발명과 관계없는 부분은 본 발명의 설명을 명확하게 하기 위하여 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- [0029] 도 1은 본 발명의 실시 예에 따른 표시 장치를 나타내는 도면이다.
- [0030] 도 1을 참조하면, 표시 장치(10)는 타이밍 제어부(11), 데이터 구동부(12), 주사 구동부(13), 발광 구동부(14), 및 화소부(15)를 포함할 수 있다.
- [0031] 타이밍 제어부(11)는 데이터 구동부(12)의 사양(specification)에 적합하도록 게조 값들 및 제어 신호들을 데이터 구동부(12)에 제공할 수 있다. 또한, 타이밍 제어부(11)는 주사 구동부(13)의 사양에 적합하도록 클럭 신호, 주사 시작 신호 등을 주사 구동부(13)에 제공할 수 있다. 또한, 타이밍 제어부(11)는 발광 구동부(14)의 사양에 적합하도록 클럭 신호, 발광 중지 신호 등을 발광 구동부(14)에 제공할 수 있다.
- [0032] 데이터 구동부(12)는 타이밍 제어부(11)로부터 수신한 게조 값들 및 제어 신호들을 이용하여 데이터 라인들(D1~Dn)로 제공할 데이터 신호들을 생성할 수 있다. 예를 들어, 데이터 구동부(12)는 클럭 신호를 이용하여 게조 값들을 샘플링하고, 게조 값들에 대응하는 데이터 전압들을 데이터 신호로써 데이터 라인들(D1~Dn)에 인가할 수 있다. n은 자연수 일 수 있다.
- [0033] 주사 구동부(13)는 타이밍 제어부(11)로부터 클럭 신호, 주사 시작 신호 등을 수신하여 주사 라인들(S1~Sm)에 제공할 주사 신호들을 생성할 수 있다. 예를 들어, 주사 구동부(13)는 주사 라인들(S1~Sm)에 순차적으로 턴-온 레벨의 펄스를 갖는 주사 신호들을 제공할 수 있다. 예를 들어, 주사 구동부(13)는 시프트 레지스터(shift register) 형태로 구성될 수 있고, 클럭 신호의 제어에 따라 턴-온 레벨의 펄스 형태인 주사 시작 신호를 다음 스테이지 회로로 순차적으로 전달하는 방식으로 주사 신호들을 생성할 수 있다. m은 자연수 일 수 있다.
- [0034] 발광 구동부(14)는 타이밍 제어부(11)로부터 클럭 신호, 발광 중지 신호 등을 수신하여 발광 라인들(E1~Eo)에 제공할 발광 신호들을 생성할 수 있다. 예를 들어, 발광 구동부(14)는 발광 라인들(E1~Eo)에 순차적으로 턴-오프 레벨의 펄스를 갖는 발광 신호들을 제공할 수 있다. 예를 들어, 발광 구동부(14)는 시프트 레지스터 형태로 구성될 수 있고, 클럭 신호의 제어에 따라 턴-오프 레벨의 펄스 형태인 발광 중지 신호를 다음 스테이지 회로로 순차적으로 전달하는 방식으로 발광 신호들을 생성할 수 있다. o는 자연수 일 수 있다.
- [0035] 화소부(15)는 화소 회로들을 포함한다. 각각의 화소 회로(PXij)는 대응하는 데이터 라인, 주사 라인, 및 발광 라인에 연결될 수 있다. 화소 회로(PXij)의 구성 및 구동 방법에 대해서는 이하에서 상세히 후술한다. i 및 j는 자연수일 수 있다.
- [0037] 도 2는 본 발명의 일 실시 예에 따른 화소 회로를 설명하기 위한 도면이고, 도 3은 본 발명의 다른 실시 예에 따른 화소 회로를 설명하기 위한 도면이며, 도 4는 본 발명의 또 다른 실시 예에 따른 화소 회로를 설명하기 위한 도면이다.
- [0038] 도 2 내지 도 4를 참조하면, 화소 회로(PXij)는 제1 내지 제8 트랜지스터들(M1~M8), 스토리지 커패시터(Cst), 및 유기 발광 다이오드(OLED)를 포함한다.
- [0039] 제1 트랜지스터(M1)는 제2 노드(N2)와 제3 노드(N3) 사이에 접속된다. 제1 트랜지스터(M1)의 게이트 전극은 제1 노드(N1)에 접속된다. 제1 트랜지스터(M1)는 제1 노드(N1)에 전압에 대응하여 턴-온 또는 턴-오프될 수 있다. 제1 트랜지스터(M1)는 구동 트랜지스터로 명명될 수 있다.
- [0040] 제2 트랜지스터(M2)는 데이터 라인(Dj)과 제2 노드(N2) 사이에 접속된다. 제2 트랜지스터(M2)의 게이트 전극은 제1 주사 라인(Si)에 접속된다. 제2 트랜지스터(M2)는 제1 주사 라인(Si)으로 공급되는 제1 주사 신호에 대응하

여 턴-온 또는 턴-오프될 수 있다. 제2 트랜지스터(M2)는 스캔 트랜지스터 또는 스위칭 트랜지스터로 명명될 수 있다.

- [0041] 제3 트랜지스터(M3)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속된다. 제3 트랜지스터(M3)의 게이트 전극은 제1 주사 라인(S<sub>i</sub>)에 접속된다. 제3 트랜지스터(M3)는 제1 주사 라인(S<sub>i</sub>)으로 공급되는 제1 주사 신호에 대응하여 턴-온 또는 턴-오프될 수 있다. 실시 예에 따라, 제3 트랜지스터(M3)는 도 3에 도시된 바와 같이, 누설 전류를 방지하기 위해서 직렬 연결된 복수의 서브 트랜지스터들(M3\_1, M3\_2)을 포함할 수도 있다.
- [0042] 제4 트랜지스터(M4)는 제1 노드(N1)와 초기화 전원(VINT) 사이에 접속된다. 제4 트랜지스터(M4)의 게이트 전극은 제2 주사 라인(S(i-1)) 또는 제3 주사 라인(S(i-2))에 접속된다. 제4 트랜지스터(M4)는 제2 주사 라인(S(i-1))으로 공급되는 제2 주사 신호 또는 제3 주사 라인(S(i-2))으로 공급되는 제3 주사 신호에 대응하여 턴-온 또는 턴-오프될 수 있다. 또한, 실시 예에 따라, 제4 트랜지스터(M4)는 도 3에 도시된 바와 같이, 누설 전류를 방지하기 위해서 직렬 연결된 복수의 서브 트랜지스터들(M4\_1, M4\_2)을 포함할 수도 있다.
- [0043] 제5 트랜지스터(M5)는 제1 전원(ELVDD)과 제2 노드(N2) 사이에 접속된다. 제5 트랜지스터(M5)의 게이트 전극은 제1 발광 라인(E<sub>i</sub>)에 접속된다. 제5 트랜지스터(M5)는 제1 발광 라인(E<sub>i</sub>)으로 공급되는 제1 발광 신호에 대응하여 턴-온 또는 턴-오프될 수 있다.
- [0044] 제6 트랜지스터(M6)는 제3 노드(N3)와 유기 발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 제6 트랜지스터(M6)의 게이트 전극은 제1 발광 라인(E<sub>i</sub>)에 접속된다. 제6 트랜지스터(M6)는 제1 발광 라인(E<sub>i</sub>)으로 공급되는 제1 발광 신호에 대응하여 턴-온 또는 턴-오프될 수 있다.
- [0045] 제7 트랜지스터(M7)는 초기화 전원(VINT)과 유기 발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 제7 트랜지스터(M7)의 게이트 전극은 제3 주사 라인(S(i-2))에 접속된다. 제7 트랜지스터(M7)는 제3 주사 라인(S(i-2))으로 공급되는 제3 주사 신호에 대응하여 턴-온 또는 턴-오프될 수 있다. 도시되진 않았지만, 제7 트랜지스터(M7)의 게이트 전극은 제2 주사 라인(S(i-1))에 접속되도록 구성될 수 있다.
- [0046] 제8 트랜지스터(M8)는 제3 노드(N3)와 유기 발광 다이오드(OLED)의 애노드 전극 사이에 접속된다. 본 발명의 일 실시 예에서, 제8 트랜지스터(M8)는 도 2에 도시된 것처럼 제6 트랜지스터(M6)와 유기 발광 다이오드(OLED)의 애노드 전극 사이에 접속될 수 있다. 또는, 본 발명의 다른 실시 예에서, 제8 트랜지스터(M8)는 도 4에 도시된 것처럼, 제3 노드(N3)와 제6 트랜지스터(M6) 사이에 접속될 수도 있다.
- [0047] 제8 트랜지스터(M8)의 게이트 전극은 제2 발광 라인에 접속된다. 제8 트랜지스터(M8)는 제2 발광 라인으로 공급되는 제2 발광 신호에 대응하여 턴-온 또는 턴-오프될 수 있다. 여기서, 제2 발광 라인은, 예를 들어 i-1번째 제1 발광 라인(E(i-1))이거나 또는 i-2번째 제1 발광 라인(E(i-2))일 수 있다.
- [0048] 스토리지 커패시터(Cst)는 제1 전원(ELVDD)과 제1 노드(N1) 사이에 접속된다.
- [0049] 유기 발광 다이오드(OLED)는 애노드 전극이 제7 트랜지스터(M7)의 및 제8 트랜지스터(M8)의 일 전극에 연결되고, 캐소드 전극이 제2 전원(ELVSS)에 연결될 수 있다.
- [0050] 제1 발광 라인(E<sub>i</sub>)에 인가되는 제1 발광 신호와 제2 발광 라인(E(i-1)) 또는 E(i-2))에 인가되는 제2 발광 신호는 서로 다를 수 있다. 예를 들어, 제1 발광 라인(E<sub>i</sub>)은 i 번째 발광 라인(E(i))이고, 제2 발광 라인은 (i-2) 번째 발광 라인(E(i-2))일 수 있다. i는 자연수일 수 있다.
- [0051] 제1 주사 라인(S<sub>i</sub>)에 인가되는 제1 주사 신호와 제2 주사 라인(S(i-1))에 인가되는 제2 주사 신호는 서로 다를 수 있다. 예를 들어, 제1 주사 라인(S<sub>i</sub>)은 i 번째 주사 라인이고, 제2 주사 라인(S(i-1))은 (i-1) 번째 주사 라인일 수 있다.
- [0052] 제3 주사 라인(S(i-2))에 인가되는 제3 주사 신호와 제1 및 제2 주사 신호들은 다를 수 있다. 예를 들어, 제3 주사 라인(S(i-2))은 (i-2) 번째 주사 라인일 수 있다.
- [0054] 도 5는 본 발명의 일 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 도면이다. 도 5에서는, 도 2의 제2 발광 라인이 (i-1)번째 발광 라인(E(i-1))이고, 제4 트랜지스터(M4)의 게이트 전극이 제2 주사 라인(S(i-1))에 접속된 화소 회로의 구동 방법이 도시된다.
- [0055] 도 2 및 도 5를 참조하면, 제1 발광 라인(E<sub>i</sub>)에 인가되는 제1 발광 신호, 제2 발광 라인(E(i-1))에 인가되는 제

2 발광 신호, 제1 주사 라인(S<sub>i</sub>)에 인가되는 제1 주사 신호, 제2 주사 라인(S<sub>(i-1)</sub>)에 인가되는 제2 주사 신호 및 제3 주사 라인(S<sub>(i-2)</sub>)에 인가되는 제3 주사 신호가 도시된다.

- [0056] 제1 발광 신호의 위상은 제2 발광 신호의 위상보다 지연될 수 있다. 제1 주사 신호의 위상은 제2 주사 신호의 위상보다 지연되고, 제2 주사 신호의 위상은 제3 주사 신호의 위상보다 지연될 수 있다.
- [0057] 제1 주사 신호의 턴-온 레벨의 펄스는 제1 발광 신호의 턴-오프 레벨의 펄스와 시간적으로 중첩될 수 있다. 제2 주사 신호의 턴-온 레벨의 펄스는 제2 발광 신호의 턴-오프 레벨의 펄스와 시간적으로 중첩될 수 있다. 제2 주사 신호의 턴-온 레벨의 펄스는 제2 발광 신호가 턴-온 레벨일 때 발생할 수 있다. 제1 주사 신호의 턴-온 레벨의 펄스는 제1 및 제2 발광 신호들이 턴-온 레벨일 때 발생할 수 있다.
- [0058] 먼저, 제1 시점(t<sub>1</sub>)에서 제3 주사 신호가 턴-온 레벨을 갖는다.
- [0059] 제3 주사 신호에 응답하여, 제7 트랜지스터(M<sub>7</sub>)가 턴-온된다. 이에 따라, 유기 발광 다이오드(OLED)의 애노드 전극이 초기화 전원(VINT)에 연결되고, 애노드 전극에 축적된 전하가 초기화 전원(VINT)의 전압으로 초기화된다.
- [0060] 한편, 제1 시점(t<sub>1</sub>)에서 제1 및 제2 발광 신호가 턴-온 레벨을 가지므로, 제5, 제6 및 제8 트랜지스터들(M<sub>5</sub>, M<sub>6</sub>, M<sub>8</sub>)은 턴-온 상태를 유지한다. 그에 따라 제1 전원(ELVDD), 제5, 제1, 제6, 제8 및 제7 트랜지스터들(M<sub>5</sub>, M<sub>1</sub>, M<sub>6</sub>, M<sub>8</sub>, M<sub>7</sub>) 및 초기화 전원(VINT)을 연결하는 전류 경로가 발생할 수 있다. 그러나 제1 시점(t<sub>1</sub>)에서 턴-오프 상태의 제4 트랜지스터(M<sub>4</sub>)에 의해 제1 트랜지스터(M<sub>1</sub>)의 게이트 전극에 초기화 전원이 인가되지 않으므로, 전류 경로에 과전류가 흐르지 않는다. 즉, 제1 트랜지스터(M<sub>1</sub>)의 게이트 전극에는 해당 계조에 대응하는 데이터 전압이 인가되고 있으므로, 해당 계조에 대응하는 전류량이 흐르게 되어, 소비 전류가 증가되지 않는다.
- [0061] 제2 시점(t<sub>2</sub>)에서 제2 주사 신호가 턴-온 레벨을 갖고, 제2 발광 신호가 턴-오프 레벨을 갖는다.
- [0062] 제2 주사 신호와 제2 발광 신호에 응답하여 제4 트랜지스터(M<sub>4</sub>)는 턴-온되고 제8 트랜지스터(M<sub>8</sub>)는 턴-오프된다. 제4 트랜지스터(M<sub>4</sub>)가 턴-온됨에 따라 제1 노드(N<sub>1</sub>), 즉 제1 트랜지스터(M<sub>1</sub>)의 게이트 전극으로 초기화 전원(VINT)이 인가된다. 초기화 전원(VINT)은 턴-온 레벨보다 낮은 전압으로 설정되므로, 제1 트랜지스터(M<sub>1</sub>)가 턴-온될 수 있다. 이때, 제5 트랜지스터(M<sub>5</sub>) 및 제6 트랜지스터(M<sub>6</sub>)는 턴-온 레벨의 제1 발광 신호에 의해 턴-온 상태이다. 따라서, 제1 트랜지스터(M<sub>1</sub>)의 일 전극은 제1 전원(ELVDD)에 연결되고, 제1 트랜지스터(M<sub>1</sub>)의 게이트 전극은 초기화 전원(VINT)에 연결되므로, 제1 트랜지스터(M<sub>1</sub>)는 온-바이어스된다.
- [0063] 한편, 상기에서 턴-오프 상태의 제8 트랜지스터(M<sub>8</sub>)에 의해 제5, 제1, 제6 및 제7 트랜지스터들(M<sub>5</sub>, M<sub>1</sub>, M<sub>6</sub>, M<sub>7</sub>) 및 초기화 전원(VINT)을 연결하는 전류 경로는 차단되므로, 소비 전류의 증가가 방지될 수 있다.
- [0064] 또한, 제8 트랜지스터(M<sub>8</sub>)가 턴-오프됨에 따라 유기 발광 다이오드(OLED)가 발광하지 않으므로, 온-바이어스 동안 유기 발광 다이오드(OLED)에서 의도하지 않은 발광이 발생하지 않는다. 특히, 화소 회로(PX<sub>ij</sub>)에서 해당 프레임에 블랙 계조를 표현하고자 하는 경우에도, 유기 발광 다이오드(OLED)가 목표 휘도로 올바르게 발광할 수 있다.
- [0065] 또한, 제1 트랜지스터(M<sub>1</sub>)의 게이트 전극에 매 프레임마다 변동하는 이전단의 데이터 전압이 인가되지 않고, 항상 동일한 전압을 유지하는 초기화 전원이 인가되므로, 제1 트랜지스터(M<sub>1</sub>)가 안정적으로 온-바이어스될 수 있다.
- [0066] 제3 시점(t<sub>3</sub>)에서 제1 주사 신호는 턴-온 레벨을 갖고, 제1 발광 신호와 제2 발광 신호가 턴-오프 레벨을 갖는다.
- [0067] 제1 주사 신호와 제1 및 제2 발광 신호에 응답하여, 제2 및 제3 트랜지스터(M<sub>2</sub>, M<sub>3</sub>)는 턴-온되고, 제5, 제6 및 제8 트랜지스터(M<sub>5</sub>, M<sub>6</sub>, M<sub>8</sub>)는 턴-오프된다. 제2 및 제3 트랜지스터(M<sub>2</sub>, M<sub>3</sub>)가 턴-온됨에 따라 데이터 라인(D<sub>j</sub>) 및 제2, 제1, 제3 트랜지스터들(M<sub>2</sub>, M<sub>1</sub>, M<sub>3</sub>)을 통해서 데이터 신호가 스토리지 커패시터(C<sub>st</sub>)의 일 전극에 인가되고, 스토리지 커패시터(C<sub>st</sub>)는 데이터 신호의 전압과 제1 전원(ELVDD)의 전압 간의 차이를 기록한다. 이때, 기록된 전압에는 제1 트랜지스터(M<sub>1</sub>)의 문턱 전압 감소분이 반영될 수 있다.
- [0068] 이후에, 제4 시점(t<sub>4</sub>)에서 제2 및 제1 발광 신호가 순차적으로 턴-온되면, 제8 트랜지스터(M<sub>8</sub>)와 제5 및 제6 트랜지스터(M<sub>5</sub>, M<sub>6</sub>)가 순차적으로 턴-온된다. 그에 따라, 제1 전원(ELVDD), 제5, 제6, 제8 트랜지스터들(M<sub>5</sub>, M<sub>6</sub>, M<sub>8</sub>), 유기 발광 다이오드(OLED) 및 제2 전원(ELVSS)을 연결하는 전류 경로가 생성된다. 전류 경로를 흐르는 전

류량은 제1 트랜지스터(M1)의 게이트 전극에 연결된 스토리지 커패시터(Cst)에 저장된 전압의 크기에 따라 결정될 수 있다.

- [0070] 도 6은 본 발명의 다른 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 도면이다. 도 6에서는, 도 2의 제2 발광 라인이 (i-2)번째 발광 라인(E(i-2))이고, 제4 트랜지스터(M4)의 게이트 전극이 제3 주사 라인(S(i-2))에 접속된 화소 회로의 구동 방법이 도시된다.
- [0071] 도 2 및 도 6을 참조하면, 제1 발광 라인(E<sub>i</sub>)에 인가되는 제1 발광 신호, 제2 발광 라인(E(i-2))에 인가되는 제2 발광 신호, 제1 주사 라인(S<sub>i</sub>)에 인가되는 제1 주사 신호, 제3 주사 라인(S(i-2))에 인가되는 제3 주사 신호가 도시된다. 제2 주사 라인(S(i-1))에 인가되는 제2 주사 신호는 제1 주사 신호 및 제3 주사 신호와의 위상 비교를 위해 도시되었다.
- [0072] 제1 발광 신호의 위상은 제2 발광 신호의 위상보다 지연될 수 있다. 제1 주사 신호의 위상은 제2 주사 신호의 위상보다 지연될 수 있다.
- [0073] 제1 주사 신호의 턴-온 레벨의 펄스는 제1 발광 신호의 턴-오프 레벨의 펄스와 시간적으로 중첩될 수 있다. 제3 주사 신호의 턴-온 레벨의 펄스는 제2 발광 신호의 턴-오프 레벨의 펄스와 시간적으로 중첩될 수 있다. 제3 주사 신호의 턴-온 레벨의 펄스는 제2 발광 신호가 턴-오프 레벨일 때 발생할 수 있다. 제1 주사 신호의 턴-온 레벨의 펄스는 제1 및 제2 발광 신호들이 턴-오프 레벨일 때 발생할 수 있다.
- [0074] 먼저, 제1 시점(t<sub>1</sub>)에서 제3 주사 신호가 턴-온 레벨을 갖고, 제2 발광 신호가 턴-오프 레벨을 갖는다.
- [0075] 제3 주사 신호에 응답하여, 제7 트랜지스터(M7)가 턴-온된다. 이에 따라, 유기 발광 다이오드(OLED)의 애노드 전극이 초기화 전원(VINT)에 연결되고, 애노드 전극에 축적된 전하가 초기화 전원(VINT)의 전압으로 초기화된다.
- [0076] 또한, 제3 주사 신호와 제2 발광 신호에 응답하여 제4 트랜지스터(M4)가 턴-온되고, 제8 트랜지스터(M8)가 턴-오프된다. 제4 트랜지스터(M4)가 턴-온됨에 따라 제1 노드(N1), 즉 제1 트랜지스터(M1)의 게이트 전극으로 초기화 전원(VINT)이 인가된다. 초기화 전원(VINT)은 턴-온 레벨보다 낮은 전압으로 설정되므로, 제1 트랜지스터(M1)가 턴-온될 수 있다. 이때, 제5 트랜지스터(M5) 및 제6 트랜지스터(M6)는 턴-온 레벨의 제1 발광 신호에 의해 턴-온 상태이다. 제1 트랜지스터(M1)의 일 전극은 제1 전원(ELVDD)에 연결되고, 제1 트랜지스터(M1)의 게이트 전극은 초기화 전원(VINT)에 연결되므로, 제1 트랜지스터(M1)는 온-바이어스된다.
- [0077] 한편, 상기에서 턴-오프 상태의 제8 트랜지스터(M8)에 의해 제5, 제1, 제6 및 제7 트랜지스터들(M5, M1, M6, M7) 및 초기화 전원(VINT)을 연결하는 전류 경로는 차단되므로, 소비 전류의 증가가 방지될 수 있다.
- [0078] 또한, 제8 트랜지스터(M8)가 턴-오프됨에 따라 유기 발광 다이오드(OLED)가 발광하지 않으므로, 온-바이어스 동안 유기 발광 다이오드(OLED)에서 의도하지 않은 발광이 발생하지 않는다. 특히, 화소 회로(PX<sub>ij</sub>)에서 해당 프레임에 블랙 계조를 표현하고자 하는 경우에도, 유기 발광 다이오드(OLED)가 목표 휘도로 올바르게 발광할 수 있다.
- [0079] 또한, 제1 트랜지스터(M1)의 게이트 전극에 매 프레임마다 변동하는 이전단의 데이터 전압이 인가되지 않고, 항상 동일한 전압을 유지하는 초기화 전원이 인가되므로, 제1 트랜지스터(M1)가 안정적으로 온-바이어스될 수 있다.
- [0080] 제2 시점(t<sub>2</sub>)에서 제1 주사 신호는 턴-온 레벨을 갖고, 제1 발광 신호와 제2 발광 신호가 턴-오프 레벨을 갖는다.
- [0081] 제1 주사 신호와 제1 및 제2 발광 신호에 응답하여, 제2 및 제3 트랜지스터(M2, M3)는 턴-온되고, 제5, 제6 및 제8 트랜지스터(M5, M6, M8)는 턴-오프된다. 제2 및 제3 트랜지스터(M2, M3)가 턴-온됨에 따라 데이터 라인(D<sub>j</sub>) 및 제2, 제1, 제3 트랜지스터들(M2, M1, M3)을 통해서 데이터 신호가 스토리지 커패시터(Cst)의 일 전극에 인가되고, 스토리지 커패시터(Cst)는 데이터 신호의 전압과 제1 전원(ELVDD)의 전압 간의 차이를 기록한다. 이때, 기록된 전압에는 제1 트랜지스터(M1)의 문턱 전압 감소분이 반영될 수 있다.
- [0082] 이후에, 제3 시점(t<sub>3</sub>)에서 제2 및 제1 발광 신호가 순차적으로 턴-온되면, 제8 트랜지스터(M8)와 제5 및 제6 트랜지스터(M5, M6)가 순차적으로 턴-온된다. 그에 따라, 제1 전원(ELVDD), 제5, 제6, 제8 트랜지스터들(M5, M6, M8), 유기 발광 다이오드(OLED) 및 제2 전원(ELVSS)을 연결하는 전류 경로가 생성된다. 전류 경로를 흐르는 전

류량은 제1 트랜지스터(M1)의 게이트 전극에 연결된 스토리지 커패시터(Cst)에 저장된 전압의 크기에 따라 결정될 수 있다.

- [0084] 도 7은 도 6의 실시 예에 따른 주사 구동부와 발광 구동부의 연결 관계를 설명하기 위한 도면이다.
- [0085] 도 7을 참조하면, 본 발명의 일 실시 예에서, 주사 구동부(13)는 각각의 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)에 연결되는 복수개의 스테이지들(SSTi, SST(i+1), SST(i+2), SST(i+3), ...)을 포함하여 구성될 수 있다. 각각의 스테이지들(SSTi, SST(i+1), SST(i+2), SST(i+3), ...)은 시프트 레지스터로 동작할 수 있다. 각각의 스테이지들(SSTi, SST(i+1), SST(i+2), SST(i+3), ...)은 각각의 주사 라인(Si, S(i+1), S(i+2), S(i+3), ...)을 통해, 대응되는 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)로 주사 신호를 공급할 수 있다.
- [0086] 본 발명의 다양한 실시 예에서, 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)은 대응되는 스테이지들(SSTi, SST(i+1), SST(i+2), SST(i+3), ...)로부터 각각의 주사 라인(Si, S(i+1), S(i+2), S(i+3), ...)을 통해, 제1 주사 신호를 공급받을 수 있다. 또한, 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)은 이전단 스테이지로부터 제2 주사 신호 및/또는 제3 주사 신호를 공급받을 수 있다. 도 7의 실시 예에서, 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)은 전전단 스테이지의 주사 라인과 접속되어 제3 주사 신호로써 (i-2)번째 주사 신호를 공급받을 수 있다.
- [0087] 본 발명의 일 실시 예에서, 발광 구동부(14)는 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)에 연결되는 복수개의 스테이지들(ESTi, EST(i+2), ...)을 포함하여 구성될 수 있다. 본 발명에서 각각의 스테이지들(ESTi, EST(i+2), ...)은 2개의 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)에 연결된다. 각각의 스테이지들(ESTi, EST(i+2), ...)은 각각의 발광 라인(Ei, E(i+1), E(i+2), E(i+3), ...)을 통해, 대응되는 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)로 발광 신호를 공급할 수 있다. 이러한 실시 예에서, 하나의 스테이지에 연결된 2개의 화소 행들로 공급되는 발광 신호는 동일한 파형을 가질 수 있다.
- [0088] 본 발명의 다양한 실시 예에서, 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)은 발광 라인(Ei, E(i+1), E(i+2), E(i+3), ...)을 통해 대응되는 스테이지들(ESTi, EST(i+2), ...)로부터 제1 발광 신호를 공급받을 수 있다. 또한, 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)은 이전단 스테이지로부터 제2 발광 신호를 공급받을 수 있다.
- [0089] 도 7의 실시 예에서, 화소 행들(PXi, PX(i+1), PX(i+2), PX(i+3), ...)은 전단 스테이지 또는 전전단 스테이지의 발광 라인과 접속되어 제2 발광 신호를 공급받을 수 있다. 예를 들어, 도 7에서 (i+2)번째 화소행(PX(i+2))은 제2 발광 라인(E(i+1))과 접속되어 (i-1)번째 발광 신호를 공급받고, (i+3)번째 화소행(PX(i+3))은 제2 발광 라인(E(i+1))과 접속되어 (i-2)번째 발광 신호를 공급받을 수 있다.
- [0091] 도 8은 본 발명의 일 실시 예에 따른 화소 회로의 예시적인 레이아웃을 설명하기 위한 도면이다. 특히, 도 8은 도 3에 도시된 바와 같이 제3 및 제4 트랜지스터들(M3, M4)이 각각 서브 트랜지스터들(M3\_1, M3\_2, M4\_1, M4\_2)로 구성된 화소 회로의 레이아웃이 도시된다. 도 9는 도 8의 I-I' 선에 따른 단면도이다.
- [0092] 도 8 및 도 9를 참조하면, 기관(SUB)은 경성(Rigid) 기관 또는 가요성(Flexible) 기관일 수 있다.
- [0093] 경성 기관은 유리 기관, 석영 기관, 유리 세라믹 기관, 및 결정질 유리 기관을 포함할 수 있다.
- [0094] 가요성 기관은 고분자 유기물을 포함하는 필름 기관 및 플라스틱 기관을 포함할 수 있다. 예를 들면, 상기 가요성 기관은 폴리에테르술폰(PES, polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(PEI, polyetherimide), 폴리에틸렌 나프탈레이트(PEN, polyethylene naphthalate), 폴리에틸렌 테레프탈레이트(PET, polyethylene terephthalate), 폴리페닐렌 설파이드(PPS, polyphenylene sulfide), 폴리아릴레이트(PAR, polyarylate), 폴리이미드(PI, polyimide), 폴리카보네이트(PC, polycarbonate), 트리아세이트 셀룰로오스(TAC, triacetate cellulose), 및 셀룰로오스아세이트 프로피오네이트(CAP, cellulose acetate propionate) 중 하나를 포함할 수 있다. 또한, 가요성 기관은 유리 섬유 강화플라스틱(FRP, fiber glass reinforced plastic)을 포함할 수도 있다.
- [0095] 버퍼 층(BUF)은 기관(SUB)을 커버할 수 있다. 버퍼 층(BUF)은 기관(SUB)으로부터 액티브 층(ACT)으로 불순물들

이 확산되는 것을 방지할 수 있다. 버퍼 층(BUF)은 무기 절연층일 수 있다. 예를 들어, 버퍼 층(BUF)은 질화규소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy), 또는 이들의 조합 등으로 형성될 수 있으며, 기판(SUB)의 재료 및 공정 조건에 따라 생략될 수도 있다.

- [0096] 액티브 층(ACT)은 버퍼 층(BUF) 상에 제공될 수 있다. 액티브 층(ACT)은 반도체 소재로 형성될 수 있다. 예를 들어, 액티브 층(ACT)은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등으로 구성될 수 있다. 액티브 층(ACT)에서 불순물이 도핑되지 않은 부분은 트랜지스터들(M1~M7)의 채널(CH1~CH7)을 구성하고, 액티브 층(ACT)에서 불순물이 도핑된 부분은 전극들(SE1~SE7, DE1~DE7) 또는 배선들을 구성할 수 있다. 불순물은 p 형 불순물일 수 있다. 실시 예에 따라, 불순물은 p 형 불순물, n 형 불순물, 기타 금속 중 적어도 하나일 수 있다.
- [0097] 제1 게이트 절연층(GI1)은 기판(SUB) 및 액티브 층(ACT)을 커버할 수 있다. 제1 게이트 절연층(GI1)은 트랜지스터들(M1~M7)의 소스 전극들(SE1~SE7), 드레인 전극들(DE1~DE7), 및 채널들(CH1~CH7)을 커버할 수 있다. 제1 게이트 절연층(GI1)은 무기 절연층일 수 있다. 예를 들어, 제1 게이트 절연층(GI1)은 질화규소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy), 또는 이들의 조합 등으로 형성될 수 있다.
- [0098] 트랜지스터들(M1~M7)의 게이트 전극들(GE1~GE7), 제1 내지 제3 주사 라인들(Si, S(i-1), S(i-2)), 제1 및 제2 발광 라인들(Ei, E(i-1)), 초기화 전원(VINT), 및 스토리지 커패시터(Cst)의 일전극(LE)은 제1 게이트 절연층(GI1) 상에 위치할 수 있다. 제1 게이트 절연층(GI1) 상의 전극들 및 배선들은 동일한 도전성 물질로 구성될 수 있다. 예를 들어, 제1 게이트 절연층(GI1) 상의 전극들 및 배선들은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 은(Ag), 금(Au), 구리(Cu), 또는 이들의 조합 등으로 구성될 수 있다.
- [0099] 제2 게이트 절연층(GI2)은 제1 게이트 절연층(GI1), 트랜지스터들(M1~M7)의 게이트 전극들(GE1~GE7), 제1 내지 제3 주사 라인들(Si, S(i-1), S(i-2)), 제1 및 제2 발광 라인들(Ei, E(i-1)), 초기화 전압 라인(VINT), 및 스토리지 커패시터(Cst)의 일전극(LE)을 커버할 수 있다. 제2 게이트 절연층(GI2)은 무기 절연층일 수 있다. 예를 들어, 제2 게이트 절연층(GI2)은 질화규소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy), 또는 이들의 조합 등으로 형성될 수 있다.
- [0100] 스토리지 커패시터(Cst)의 타전극(UE)은 제2 게이트 절연층(GI2) 상에 위치할 수 있다. 예를 들어, 스토리지 커패시터(Cst)의 타전극(UE)은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 은(Ag), 금(Au), 구리(Cu), 또는 이들의 조합 등으로 구성될 수 있다.
- [0101] 층간 절연층(ILD)은 제2 게이트 절연층(GI2) 및 스토리지 커패시터(Cst)의 타전극(UE)을 커버할 수 있다. 층간 절연층(ILD)은 무기 절연층일 수 있다. 예를 들어, 층간 절연층(ILD)은 질화규소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy), 또는 이들의 조합 등으로 형성될 수 있다.
- [0102] 데이터 라인(Dj) 및 제1 전원(ELVDD)의 전원 공급 라인은 층간 절연층(ILD) 상에 위치할 수 있다. 층간 절연층(ILD) 상의 전극들 및 배선들은 동일한 도전성 물질로 구성될 수 있다. 예를 들어, 층간 절연층(ILD) 상의 전극들 및 배선들은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 은(Ag), 금(Au), 구리(Cu), 또는 이들의 조합 등으로 구성될 수 있다.
- [0103] 비아 층(VIA)은 층간 절연층(ILD), 데이터 라인(Dj), 및 제1 전원(ELVDD)의 전원 공급 라인을 커버할 수 있다. 비아 층(VIA)은 유기 절연층일 수 있다. 예를 들어, 비아 층(VIA)은 폴리스티렌(polystyrene), 폴리메틸메타아크릴레이트(PMMA, polymethylmethacrylate), 폴리아크릴로니트릴(PAN, polyacrylonitrile), 폴리아미드(PA, polyamide), 폴리아미드(Pi, polyimide), 폴리아릴에테르(PAE, polyarylether), 헤테로사이클릭 폴리머(heterocyclic polymer), 파릴렌(parylene), 에폭시(epoxy), 벤조시클로부텐(BCB, benzocyclobutene), 실록산계 수지(siloxane based resin) 및 실란계 수지(silane based resin) 중 적어도 하나를 포함할 수 있다. 다른 실시 예에서, 비아 층(VIA)은 무기 절연층일 수도 있고, 유기 절연층 및 무기 절연층을 반복 적층한 다중 층 구조일 수도 있다.
- [0104] 제2 주사 라인(S(n-1)), 제1 주사 라인(Sn), 제1 발광 라인(Ei), 제2 발광 라인(E(i-2))이 동일 평면상에서 제1 방향(DR1)으로 순차적으로 위치할 수 있다. 제2 주사 라인(S(n-1)), 제1 주사 라인(Sn), 제1 발광 라인(Ei), 제2 발광 라인(E(i-2))은 대략 제2 방향(DR2)으로 연장될 수 있다.
- [0105] 제2 발광 라인(E(i-2))은 제8 트랜지스터(M8)의 소스 전극(SE8) 및 드레인 전극(DE8)과 수직으로 중첩될 수 있다. 달리 표현하면, 제2 발광 라인(E(i-2))은 제8 트랜지스터(M8)의 소스 전극(SE8) 및 드레인 전극(DE8)이 접하는 지점과 수직으로 중첩될 수 있다.

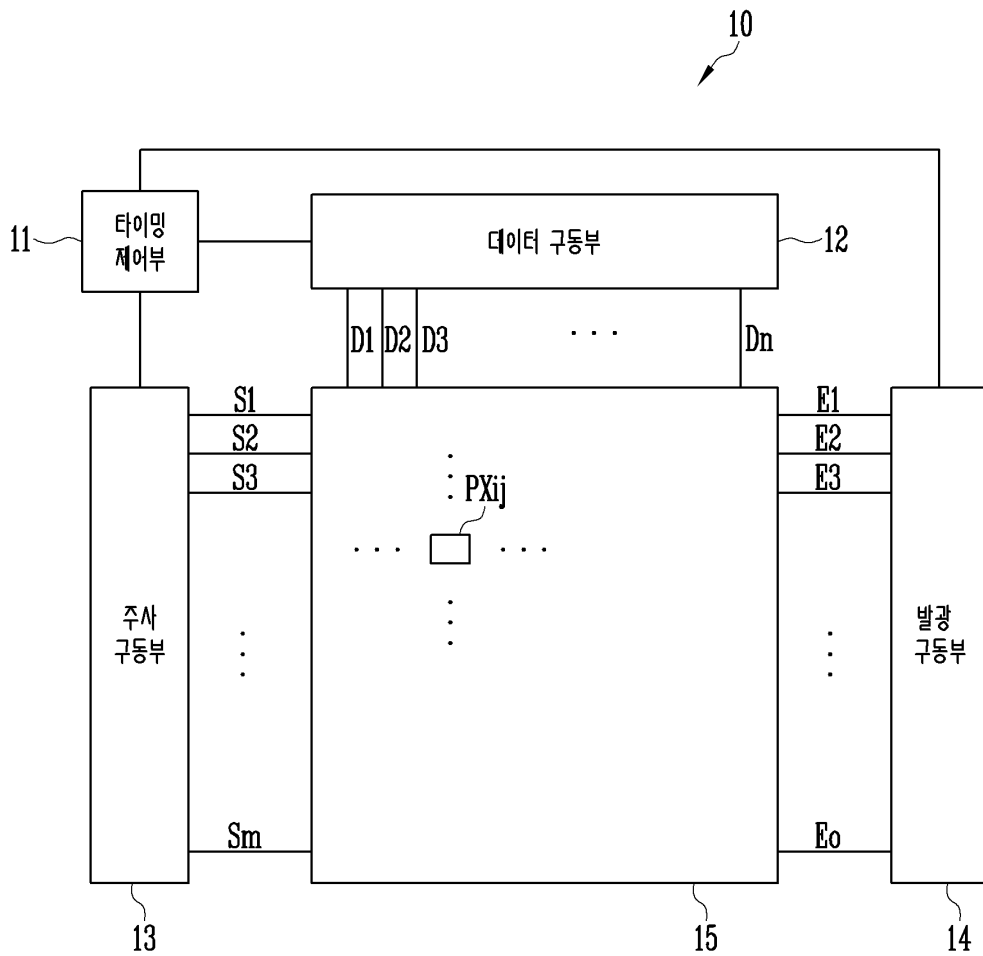
[0107] 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구의 범위에 의하여 나타내어지며, 특허청구의 범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

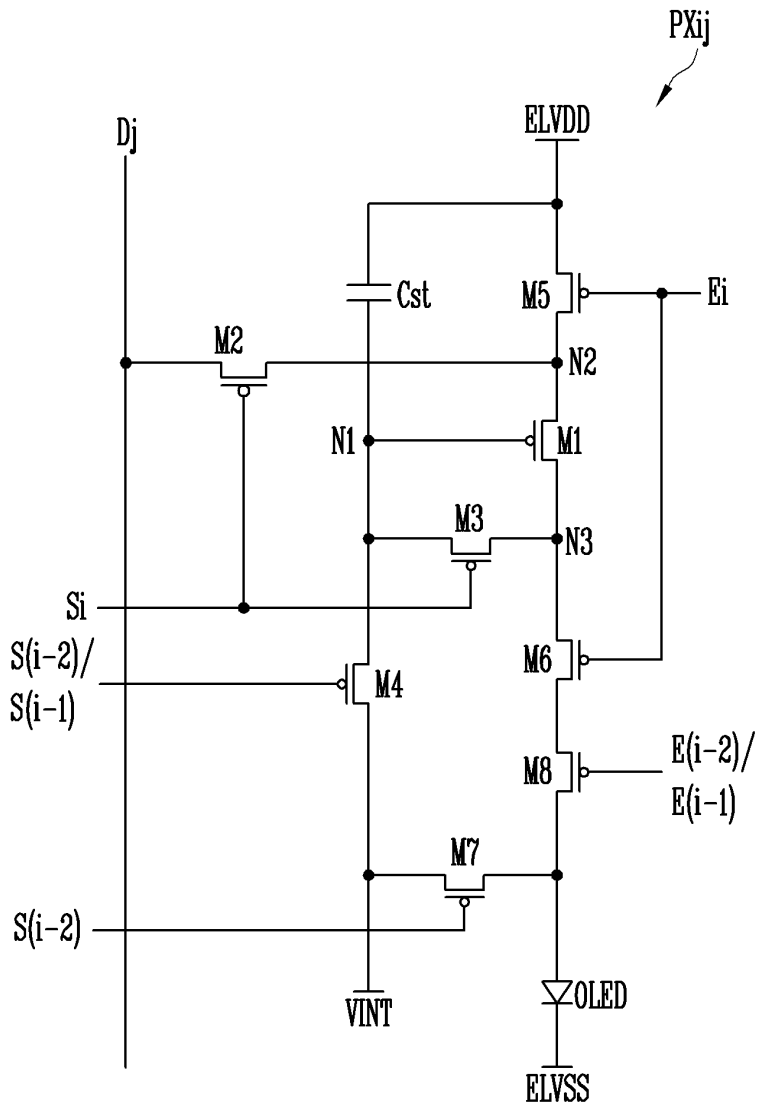
- [0108] 10: 표시 장치
- 11: 타이밍 제어부
- 12: 데이터 구동부
- 13: 주사 구동부
- 14: 발광 구동부
- 15: 화소부

**도면**

**도면1**

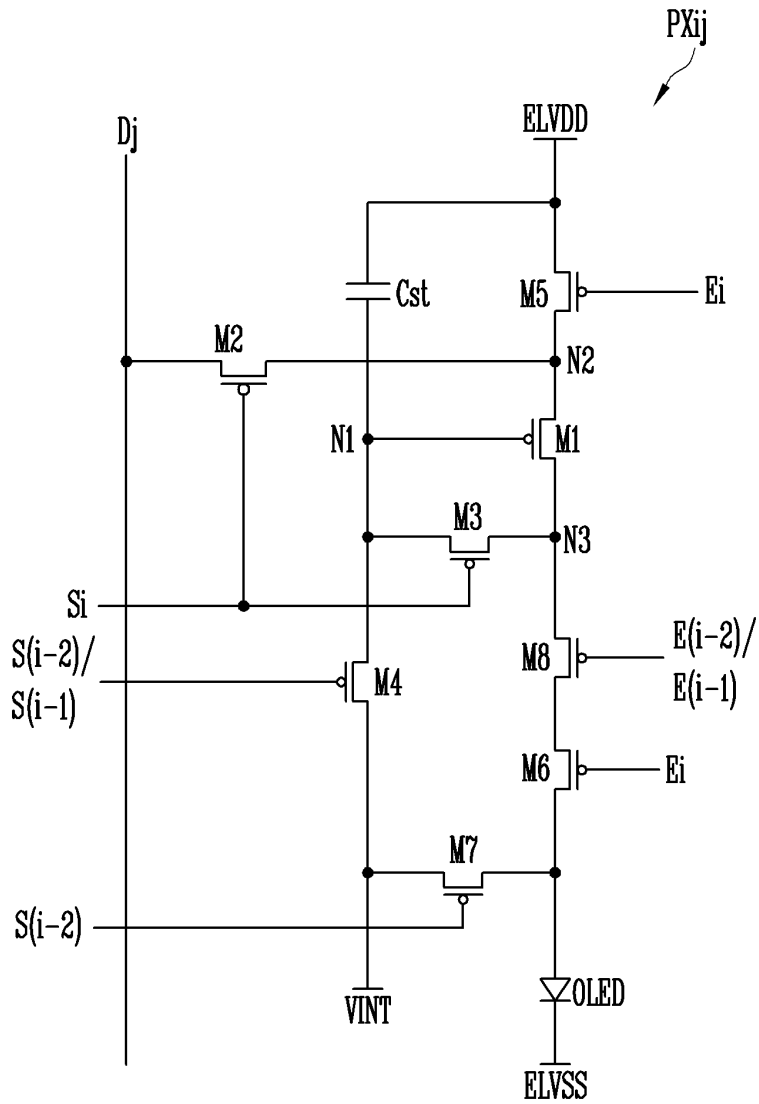


도면2

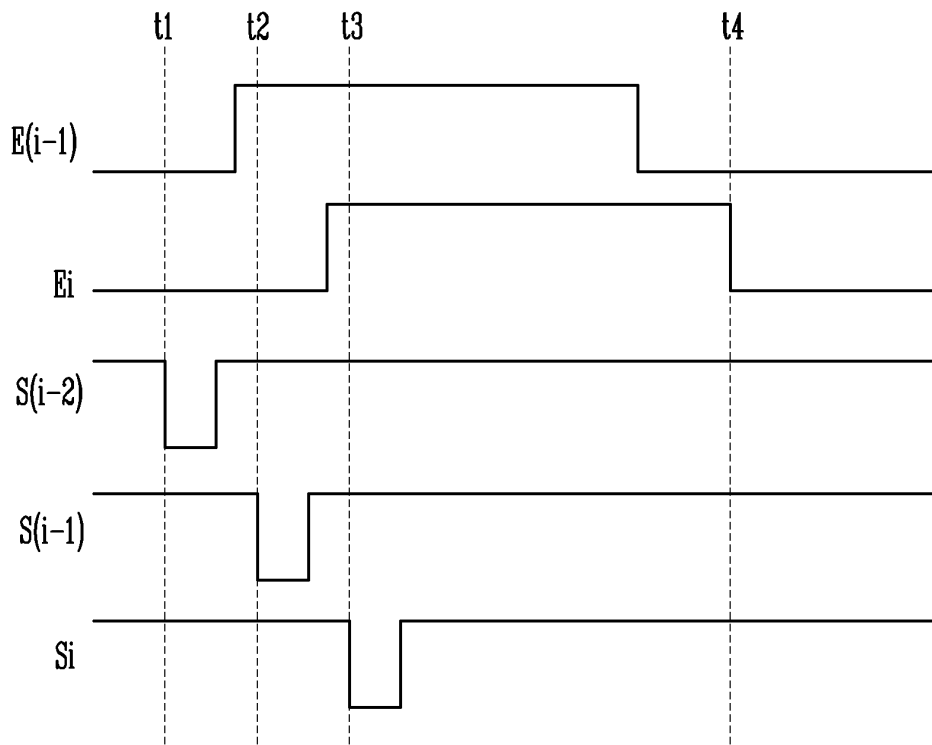




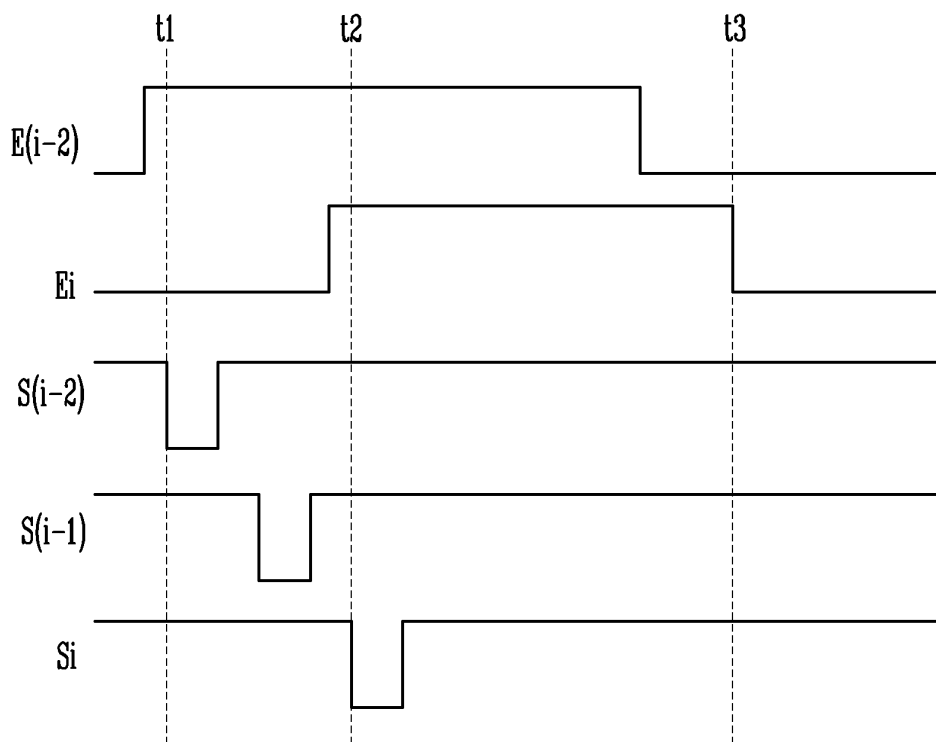
도면4



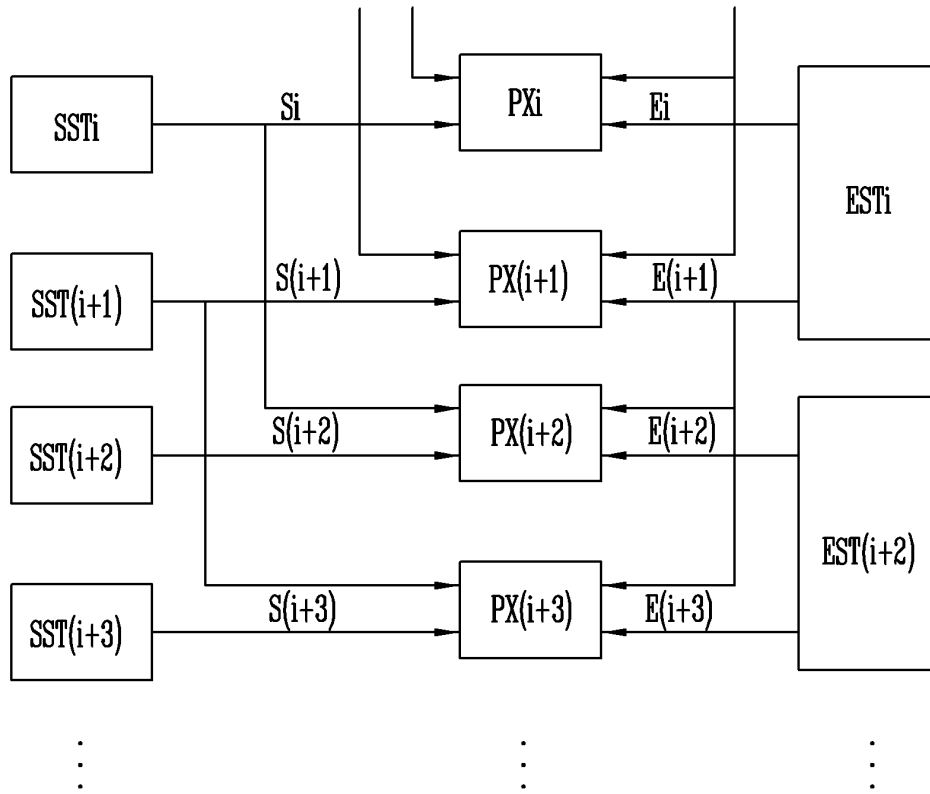
도면5



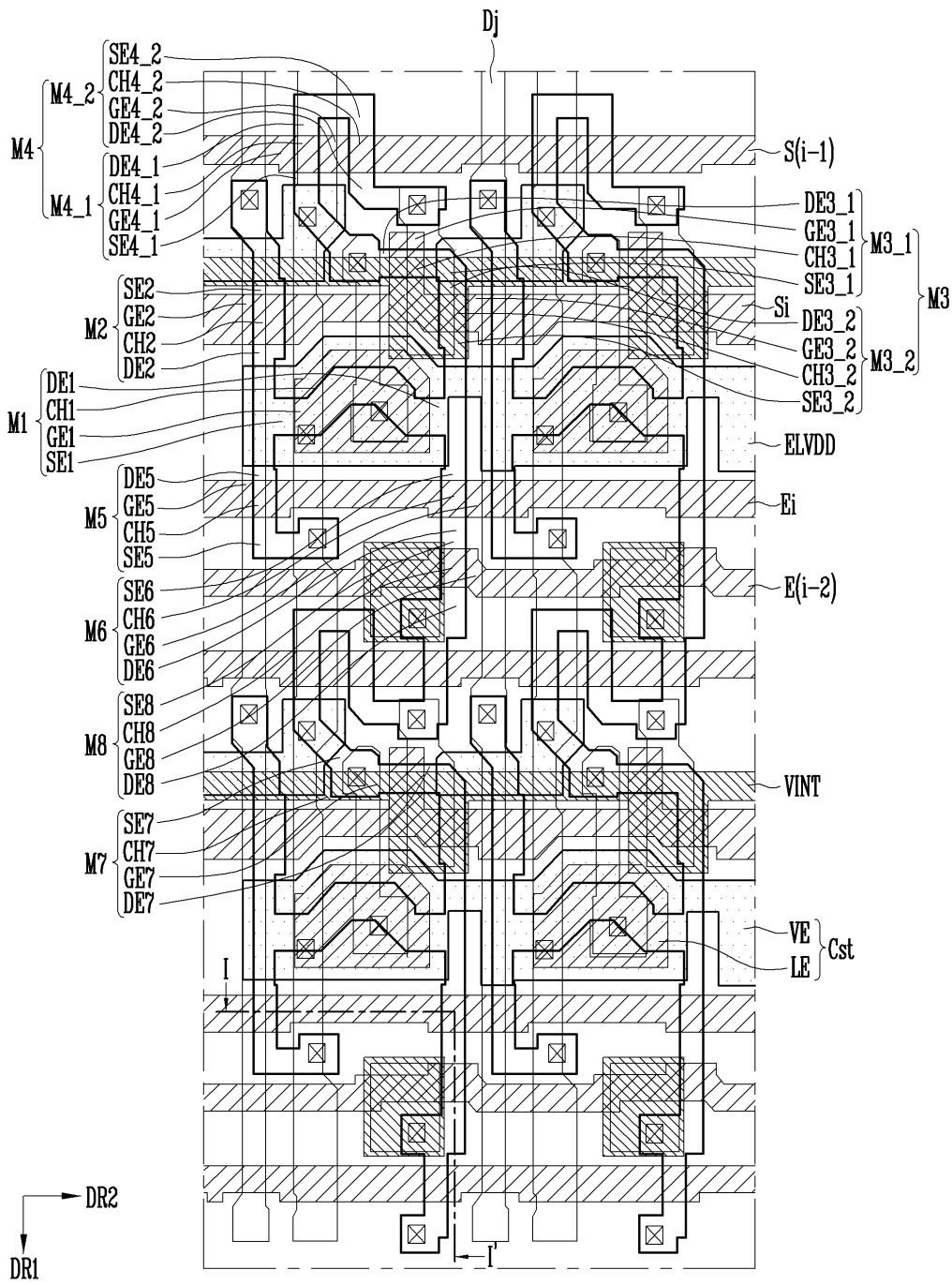
도면6



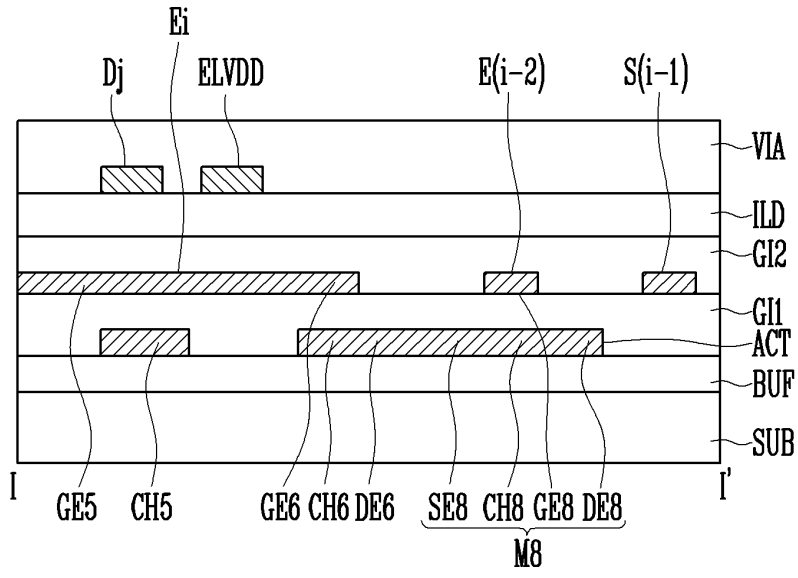
도면7



도면8



도면9



专利名称(译)	像素电路		
公开(公告)号	<a href="#">KR1020200052511A</a>	公开(公告)日	2020-05-15
申请号	KR1020180135422	申请日	2018-11-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김성환 강철규 오수희 이동선		
发明人	김성환 강철규 오수희 이동선		
IPC分类号	G09G3/3233 H01L27/32		
CPC分类号	G09G3/3233 H01L27/32 G09G2230/00 G09G2300/0842 G09G2310/08 G09G2330/021 G09G2300/0819 G09G2300/0861 G09G3/3266 G09G3/3291 G09G2310/027		
代理人(译)	Gimdusik Ohjonghan Munyongho		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

一种像素电路，包括：有机发光二极管；第一晶体管，其耦合在第二节点和第三节点之间，其中，第一晶体管的栅电极耦合至第一节点；第二晶体管，耦合在数据线和第二节点之间，其中，第二晶体管的栅电极耦合到第一扫描线；第四晶体管，耦合在第一节点和初始化电源之间，其中，第四晶体管的栅电极耦合到第二扫描线；第五晶体管，耦接在第一电源和第二节点之间，其中，第五晶体管的栅电极耦接至第一发射线；第六晶体管和第八晶体管串联耦合在第三节点和有机发光二极管之间。

