



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0003334
(43) 공개일자 2020년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 51/5237 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2018-0075944
(22) 출원일자 2018년06월29일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이형섭
경기도 용인시 기흥구 흥덕중앙로105번길 41
1110동 803호 (영덕동, 흥덕마을11단지경남아너스
빌아파트)
서정환
서울특별시 강서구 강서로7길 52-11 302호 (화곡
동, 강서뉴아파트)
성우용
서울특별시 구로구 경인로 638 103동 701호 (신
도림동, 신도림에스케이뷰)
(74) 대리인
특허법인 고려

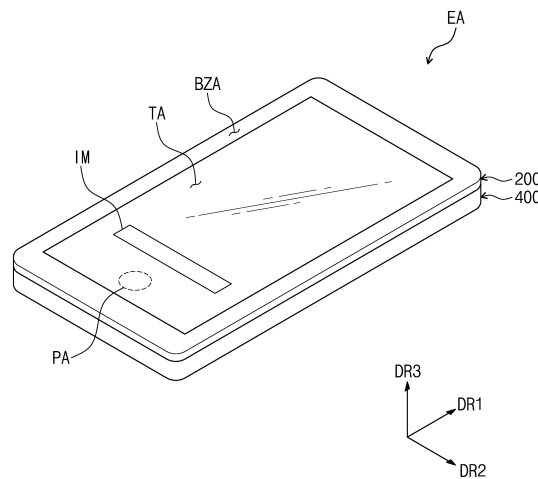
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 표시 패널, 이를 포함하는 전자 장치, 및 표시 패널의 제조 방법

(57) 요약

표시 패널은 전면과 배면을 포함하고, 전면과 배면을 관통하는 관통 홀 및 관통 홀을 에워싸고 전면으로부터 함몰된 홈 부가 정의된 홀 영역, 홀 영역을 에워싸는 액티브 영역, 및 액티브 영역에 인접한 주변 영역을 포함하는 베이스 기판, 베이스 기판 상에 배치된 제1 회로 절연층, 제1 회로 절연층 상에 배치된 제2 회로 절연층, 및 액티브 영역에 배치된 박막 트랜지스터를 포함하는 회로층, 회로층 상에 배치된 제1 표시 절연층, 제1 표시 절연층 상에 배치된 제2 표시 절연층, 및 액티브 영역에 배치되고 박막 트랜지스터에 연결된 발광 소자를 포함하는 표시층, 회로층 상에 배치되고, 발광 소자와 홈 부 사이에 배치된 가이드 패턴, 및 발광 소자를 커버하고, 제1 무기층, 제2 무기층, 및 유기층을 포함하는 봉지층을 포함하고, 유기층은 가이드 패턴의 적어도 일부를 커버한다.

대표도 - 도1



(52) CPC특허분류
H01L 51/0002 (2013.01)

명세서

청구범위

청구항 1

전면과 배면을 포함하고, 상기 전면과 상기 배면을 관통하는 관통 홀 및 상기 관통 홀을 에워싸고 상기 전면으로부터 함몰된 홈 부가 정의된 홀 영역, 상기 홀 영역을 에워싸는 액티브 영역, 및 상기 액티브 영역에 인접한 주변 영역을 포함하는 베이스 기판;

상기 베이스 기판 상에 배치된 제1 회로 절연층, 상기 제1 회로 절연층 상에 배치된 제2 회로 절연층, 및 상기 액티브 영역에 배치된 박막 트랜지스터를 포함하는 회로층;

상기 회로층 상에 배치된 제1 표시 절연층, 상기 제1 표시 절연층 상에 배치된 제2 표시 절연층, 및 상기 액티브 영역에 배치되고 상기 박막 트랜지스터에 연결된 발광 소자를 포함하는 표시층;

상기 회로층 상에 배치되고, 상기 발광 소자와 상기 홈 부 사이에 배치된 가이드 패턴; 및

상기 발광 소자를 커버하고, 상기 액티브 영역 및 상기 홀 영역에 배치된 제1 무기층, 상기 제1 무기층 상에 배치된 제2 무기층, 및 상기 제1 무기층과 상기 제2 무기층 사이에 배치된 유기층을 포함하는 봉지층을 포함하고,

상기 유기층은 상기 가이드 패턴의 적어도 일부를 커버하는 표시 패널.

청구항 2

제1 항에 있어서,

상기 가이드 패턴은, 상기 제1 표시 절연층 및 상기 제2 표시 절연층 중 적어도 어느 하나에 정의된 함몰 패턴인 표시 패널.

청구항 3

제2 항에 있어서,

상기 가이드 패턴은, 단면상에서 상기 제2 표시 절연층을 관통하고 상기 제1 표시 절연층의 상면으로부터 함몰된 표시 패널.

청구항 4

제2 항에 있어서,

상기 가이드 패턴은, 상기 제2 표시 절연층에 정의되고 상기 제1 표시 절연층으로부터 이격된 표시 패널.

청구항 5

제2 항에 있어서,

상기 가이드 패턴은,

상기 제2 표시 절연층에 정의되고 상기 제2 표시 절연층의 상면으로부터 함몰된 제1 가이드 패턴;

상기 제1 표시 절연층에 정의되고 상기 제1 표시 절연층의 상면으로부터 함몰된 제2 가이드 패턴을 포함하고,

상기 제1 가이드 패턴과 상기 제2 가이드 패턴은 평면상에서 볼 때 서로 이격된 표시 패널.

청구항 6

제1 항에 있어서,

상기 가이드 패턴은, 평면상에서 볼 때, 상기 제2 회로 절연층 상에 배치되어 상기 제1 표시 절연층 및 상기 제2 표시 절연층 중 적어도 어느 하나로부터 이격된 패턴인 표시 패널.

청구항 7

제6 항에 있어서,

상기 가이드 패턴은 상기 제1 표시 절연층 및 상기 제2 표시 절연층 중 적어도 어느 하나와 동일한 물질을 포함하는 표시 패널.

청구항 8

제1 항에 있어서,

상기 가이드 패턴은 평면상에서 서로 이격된 복수의 아일랜드 패턴들을 포함하는 표시 패널.

청구항 9

제8 항에 있어서,

상기 아일랜드 패턴들은, 상기 관통홀의 중심으로부터 방사형으로 정렬된 표시 패널.

청구항 10

제8 항에 있어서,

상기 아일랜드 패턴들은, 랜덤하게 배열된 표시 패널.

청구항 11

제1 항에 있어서,

상기 가이드 패턴은, 평면상에서 볼 때 상기 홈 부를 에워싸는 페라인 형상을 가진 표시 패널.

청구항 12

제11 항에 있어서,

상기 페라인 형상은 원, 타원, 또는 다각형을 포함하는 표시 패널.

청구항 13

제1 항에 있어서,

상기 홈 부는 단면상에서 언더-컷된 형상을 가진 표시 패널.

청구항 14

제1 항에 있어서,

상기 홈 부는,

상기 관통 홀에 인접한 제1 홈 부; 및

상기 제1 홈 부와 상기 가이드 패턴 사이에 배치되어 상기 제1 홈 부를 에워싸는 제2 홈 부를 포함하고,

상기 제1 홈 부의 내면 및 상기 제2 홈 부의 내면 각각은 상기 제1 무기층에 의해 커버되는 표시 패널.

청구항 15

제14 항에 있어서,

평면상에서 볼 때, 유기층은 상기 제2 홈 부와 중첩하고 상기 제1 홈 부로부터 이격된 표시 패널.

청구항 16

제15 항에 있어서,

상기 제1 홈 부에 배치되고 상기 유기층으로부터 이격되어 상기 제1 무기층과 상기 제2 무기층에 의해 밀봉된

충진 패턴을 더 포함하고,

상기 충진 패턴은 상기 유기층과 동일한 물질을 포함하는 표시 패널.

청구항 17

제14 항에 있어서,

평면상에서 볼 때, 유기층은 상기 제1 홈 부 및 상기 제2 홈 부와 중첩하는 표시 패널.

청구항 18

제1 항에 있어서,

상기 홈 부와 상기 관통 홀 사이에 배치되어 상기 홈 부를 에워싸는 댐 부를 더 포함하고,

상기 제1 무기층은 상기 댐 부를 커버하는 표시 패널.

청구항 19

관통 홀 및 상기 관통 홀에 인접하고 소정의 함몰 공간을 제공하는 그루브 패턴이 정의된 표시 패널; 및

평면상에서 볼 때 상기 관통 홀과 중첩하는 전자 모듈을 포함하고,

상기 표시 패널은,

베이스 기관;

상기 베이스 기관 상에 배치되고 제1 회로 절연층, 상기 제1 회로 절연층 상에 배치된 제2 회로 절연층, 및 상기 액티브 영역에 배치된 박막 트랜지스터를 포함하는 회로층;

상기 회로층 상에 배치된 제1 표시 절연층, 상기 제1 표시 절연층 상에 배치된 제2 표시 절연층, 및 상기 액티브 영역에 배치되고 상기 박막 트랜지스터에 연결된 발광 소자를 포함하는 표시층;

평면상에서 볼 때, 상기 그루브 패턴과 상기 액티브 영역 사이에 배치되고 상기 제1 표시 절연층 및 상기 제2 표시 절연층 중 적어도 어느 하나에 정의된 함몰 패턴; 및

상기 발광 소자를 커버하고, 상기 액티브 영역 및 상기 홀 영역에 배치된 제1 무기층, 상기 제1 무기층 상에 배치된 제2 무기층, 상기 제1 무기층과 상기 제2 무기층 사이에 배치된 유기층을 포함하는 봉지층을 포함하고,

상기 함몰 패턴의 적어도 일부는 상기 유기층에 의해 충전되는 전자 장치.

청구항 20

제19 항에 있어서,

상기 함몰 패턴은 상기 제2 표시 절연층의 상면으로부터 함몰된 전자 장치.

청구항 21

제20 항에 있어서,

상기 함몰 패턴은 상기 제2 표시 절연층을 관통하고 상기 제1 표시 절연층까지 연장된 전자 장치.

청구항 22

제19 항에 있어서,

상기 함몰 패턴은 상기 제1 표시 절연층의 상면으로부터 함몰되고 평면상에서 볼 때 상기 제2 표시 절연층으로부터 이격된 전자 장치.

청구항 23

제19 항에 있어서,

상기 함몰 패턴은 복수로 제공되고 각각이 아일랜드 형상을 갖고, 상기 함몰 패턴들은 상기 관통 홀의 중심으로

부터 방사형으로 배열된 전자 장치.

청구항 24

제19 항에 있어서,

상기 함몰 패턴은 복수로 제공되고 각각이 아일랜드 형상을 갖고, 상기 함몰 패턴들은 랜덤하게 배열된 전자 장치.

청구항 25

제24 항에 있어서,

상기 표시 패널은 상기 관통 홀에 인접하여 배치된 댐 부를 더 포함하고,

상기 그루브 패턴은 복수로 제공되어 상기 관통 홀과 상기 댐 부 사이에 배치된 제1 그루브 패턴 및 상기 댐 부와 상기 함몰 패턴 사이에 배치되고 상기 제1 그루브 패턴을 에워싸는 제2 그루브 패턴을 포함하고,

상기 제2 그루브 패턴은 상기 유기층에 의해 충전되는 전자 장치.

청구항 26

제19 항에 있어서,

상기 함몰 패턴은 상기 관통 홀을 에워싸는 페라인 형상을 가진 전자 장치.

청구항 27

평면상에서 볼 때, 홀 영역, 상기 홀 영역을 에워싸는 액티브 영역으로 구분되는 베이스 기판 상에 제1 회로 절연층, 제2 회로 절연층, 및 박막 트랜지스터를 포함하는 회로층을 형성하는 단계;

상기 회로층 상에 제1 표시 절연층, 제2 표시 절연층을 형성하는 단계;

상기 베이스 기판에 홈 부를 형성하는 단계; 및

상기 제1 예비 표시 절연층 및 상기 제2 예비 표시 절연층 중 적어도 어느 하나를 패터닝하여 가이드 패턴을 형성하는 단계를 포함하는 표시 패널 제조 방법.

청구항 28

제27 항에 있어서,

상기 가이드 패턴은 상기 홈 부와 동시에 형성되는 표시 패널 제조 방법.

청구항 29

제28 항에 있어서,

상기 베이스 기판의 상기 홀 영역의 일부를 노출시키는 제1 오픈부 및 상기 제2 표시 절연층 중 상기 홀 영역의 일부를 노출시키는 제2 오픈부를 포함하는 마스크를 형성하는 단계를 더 포함하고,

상기 홈 부는 상기 제1 오픈부를 통해 노출되는 영역의 일부를 제거하여 형성되고,

상기 그루브 패턴은 상기 제2 오픈부를 통해 노출되는 영역의 일부를 제거하여 형성되는 표시 패널 제조 방법.

청구항 30

제27 항에 있어서,

상기 제2 표시 절연층은 상기 제1 표시 절연층을 형성하는 단계 이후에 형성되고,

상기 제2 표시 절연층을 형성하는 단계는,

상기 제1 표시 절연층 상에 상기 박막 트랜지스터와 연결되는 제1 전극을 형성하는 단계;

상기 제1 전극을 커버하는 예비 절연층을 형성하는 단계; 및

상기 예비 절연층에 상기 제1 전극의 적어도 일부를 노출시키는 개구부를 형성하는 단계를 포함하고,
상기 가이드 패턴은 상기 개구부와 동시에 형성되는 표시 패널 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 패널 및 이의 제조 방법에 관한 것으로, 상세하게는 신뢰성이 향상된 표시 패널 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 패널은 유기 발광 소자를 포함한다. 유기 발광 소자는 수분이나 산소에 취약하여 쉽게 손상될 수 있다. 이에 따라, 유기 발광 표시 패널에 있어서, 외부로부터 유입되는 수분이나 산소를 안정적으로 차단할수록 유기 발광 표시 장치의 신뢰성이 향상되고 수명이 향상되는 결과를 가져올 수 있다.

발명의 내용

해결하려는 과제

[0003] 따라서, 본 발명은 공정 신뢰성이 향상된 표시 패널 및 이의 제조 방법을 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 표시 패널은 전면과 배면을 포함하고, 상기 전면과 상기 배면을 관통하는 관통 홀 및 상기 관통 홀을 에워싸고 상기 전면으로부터 함몰된 홈 부가 정의된 홀 영역, 상기 홀 영역을 에워싸는 액티브 영역, 및 상기 액티브 영역에 인접한 주변 영역을 포함하는 베이스 기판, 상기 베이스 기판 상에 배치된 제1 회로 절연층, 상기 제1 회로 절연층 상에 배치된 제2 회로 절연층, 및 상기 액티브 영역에 배치된 박막 트랜지스터를 포함하는 회로층, 상기 회로층 상에 배치된 제1 표시 절연층, 상기 제1 표시 절연층 상에 배치된 제2 표시 절연층, 및 상기 액티브 영역에 배치되고 상기 박막 트랜지스터에 연결된 발광 소자를 포함하는 표시층, 상기 회로층 상에 배치되고, 상기 발광 소자와 상기 홈 부 사이에 배치된 가이드 패턴, 및 상기 발광 소자를 커버하고, 상기 액티브 영역 및 상기 홀 영역에 배치된 제1 무기층, 상기 제1 무기층 상에 배치된 제2 무기층, 및 상기 제1 무기층과 상기 제2 무기층 사이에 배치된 유기층을 포함하는 봉지층을 포함하고, 상기 유기층은 상기 가이드 패턴의 적어도 일부를 커버한다.

[0005] 상기 가이드 패턴은, 상기 제1 표시 절연층 및 상기 제2 표시 절연층 중 적어도 어느 하나에 정의된 함몰 패턴일 수 있다.

[0006] 상기 가이드 패턴은, 단면상에서 상기 제2 표시 절연층을 관통하고 상기 제1 표시 절연층의 상면으로부터 함몰될 수 있다.

[0007] 상기 가이드 패턴은, 상기 제2 표시 절연층에 정의되고 상기 제1 표시 절연층으로부터 이격될 수 있다.

[0008] 상기 가이드 패턴은, 상기 제2 표시 절연층에 정의되고 상기 제2 표시 절연층의 상면으로부터 함몰된 제1 가이드 패턴, 상기 제1 표시 절연층에 정의되고 상기 제1 표시 절연층의 상면으로부터 함몰된 제2 가이드 패턴을 포함하고, 상기 제1 가이드 패턴과 상기 제2 가이드 패턴은 평면상에서 볼 때 서로 이격될 수 있다.

[0009] 상기 가이드 패턴은, 평면상에서 볼 때, 상기 제2 회로 절연층 상에 배치되어 상기 제1 표시 절연층 및 상기 제2 표시 절연층 중 적어도 어느 하나로부터 이격된 패턴일 수 있다.

[0010] 상기 가이드 패턴은 상기 제1 표시 절연층 및 상기 제2 표시 절연층 중 적어도 어느 하나와 동일한 물질을 포함할 수 있다.

[0011] 상기 가이드 패턴은 평면상에서 서로 이격된 복수의 아일랜드 패턴들을 포함할 수 있다.

[0012] 상기 아일랜드 패턴들은, 상기 관통홀의 중심으로부터 방사형으로 정렬될 수 있다.

[0013] 상기 아일랜드 패턴들은, 랜덤하게 배열될 수 있다.

- [0014] 상기 가이드 패턴은, 평면상에서 볼 때 상기 홈 부를 에워싸는 페라인 형상을 가질 수 있다.
- [0015] 상기 페라인 형상은 원, 타원, 또는 다각형을 포함할 수 있다.
- [0016] 상기 홈 부는 단면상에서 언더-컷 형상을 가질 수 있다.
- [0017] 상기 홈 부는, 상기 관통 홀에 인접한 제1 홈 부, 및 상기 제1 홈 부와 상기 가이드 패턴 사이에 배치되어 상기 제1 홈 부를 에워싸는 제2 홈 부를 포함하고, 상기 제1 홈 부의 내면 및 상기 제2 홈 부의 내면 각각은 상기 제1 무기층에 의해 커버될 수 있다.
- [0018] 평면상에서 볼 때, 유기층은 상기 제2 홈 부와 중첩하고 상기 제1 홈 부로부터 이격될 수 있다.
- [0019] 본 발명의 일 실시예에 따른 표시 패널은 상기 제1 홈 부에 배치되고 상기 유기층으로부터 이격되어 상기 제1 무기층과 상기 제2 무기층에 의해 밀봉된 충전 패턴을 더 포함하고, 상기 충전 패턴은 상기 유기층과 동일한 물질질을 포함할 수 있다.
- [0020] 평면상에서 볼 때, 유기층은 상기 제1 홈 부 및 상기 제2 홈 부와 중첩할 수 있다.
- [0021] 본 발명의 일 실시예에 따른 표시 패널은 상기 홈 부와 상기 관통 홀 사이에 배치되어 상기 홈 부를 에워싸는 댄 부를 더 포함하고, 상기 제1 무기층은 상기 댄 부를 커버할 수 있다.
- [0022] 본 발명의 일 실시예에 따른 전자 장치는 관통 홀 및 상기 관통 홀에 인접하고 소정의 함몰 공간을 제공하는 그루브 패턴이 정의된 표시 패널, 및 평면상에서 볼 때 상기 관통 홀과 중첩하는 전자 모듈을 포함하고, 상기 표시 패널은, 베이스 기관, 상기 베이스 기관 상에 배치되고 제1 회로 절연층, 상기 제1 회로 절연층 상에 배치된 제2 회로 절연층, 및 상기 액티브 영역에 배치된 박막 트랜지스터를 포함하는 회로층, 상기 회로층 상에 배치된 제1 표시 절연층, 상기 제1 표시 절연층 상에 배치된 제2 표시 절연층, 및 상기 액티브 영역에 배치되고 상기 박막 트랜지스터에 연결된 발광 소자를 포함하는 표시층, 평면상에서 볼 때, 상기 그루브 패턴과 상기 액티브 영역 사이에 배치되고 상기 제1 표시 절연층 및 상기 제2 표시 절연층 중 적어도 어느 하나에 정의된 함몰 패턴, 및 상기 발광 소자를 커버하고, 상기 액티브 영역 및 상기 홈 영역에 배치된 제1 무기층, 상기 제1 무기층 상에 배치된 제2 무기층, 상기 제1 무기층과 상기 제2 무기층 사이에 배치된 유기층을 포함하는 봉지층을 포함하고, 상기 함몰 패턴의 적어도 일부는 상기 유기층에 의해 충전된다.
- [0023] 상기 함몰 패턴은 상기 제2 표시 절연층의 상면으로부터 함몰될 수 있다.
- [0024] 상기 함몰 패턴은 상기 제2 표시 절연층을 관통하고 상기 제1 표시 절연층까지 연장될 수 있다.
- [0025] 상기 함몰 패턴은 상기 제1 표시 절연층의 상면으로부터 함몰되고 평면상에서 볼 때 상기 제2 표시 절연층으로부터 이격될 수 있다.
- [0026] 상기 함몰 패턴은 복수로 제공되고 각각이 아일랜드 형상을 갖고, 상기 함몰 패턴들은 상기 관통 홀의 중심으로부터 방사형으로 배열될 수 있다.
- [0027] 상기 함몰 패턴은 복수로 제공되고 각각이 아일랜드 형상을 갖고, 상기 함몰 패턴들은 랜덤하게 배열될 수 있다.
- [0028] 상기 표시 패널은 상기 관통 홀에 인접하여 배치된 댄 부를 더 포함하고, 상기 그루브 패턴은 복수로 제공되어 상기 관통 홀과 상기 댄 부 사이에 배치된 제1 그루브 패턴 및 상기 댄 부와 상기 함몰 패턴 사이에 배치되고 상기 제1 그루브 패턴을 에워싸는 제2 그루브 패턴을 포함하고, 상기 제2 그루브 패턴은 상기 유기층에 의해 충전될 수 있다.
- [0029] 상기 함몰 패턴은 상기 관통 홀을 에워싸는 페라인 형상을 가질 수 있다.
- [0030] 본 발명의 일 실시예에 따른 표시 패널 제조 방법은 평면상에서 볼 때, 홀 영역, 상기 홀 영역을 에워싸는 액티브 영역으로 구분되는 베이스 기관 상에 제1 회로 절연층, 제2 회로 절연층, 및 박막 트랜지스터를 포함하는 회로층을 형성하는 단계, 상기 회로층 상에 제1 표시 절연층, 제2 표시 절연층을 형성하는 단계, 상기 베이스 기관에 홈 부를 형성하는 단계, 및 상기 제1 예비 표시 절연층 및 상기 제2 예비 표시 절연층 중 적어도 어느 하나를 패터닝하여 가이드 패턴을 형성하는 단계를 포함한다.
- [0031] 상기 가이드 패턴은 상기 홈 부와 동시에 형성될 수 있다.
- [0032] 본 발명의 일 실시예에 따른 표시 패널 제조 방법은 상기 베이스 기관의 상기 홈 영역의 일부를 노출시키는 제1

오픈부 및 상기 제2 표시 절연층 중 상기 홈 영역의 일부를 노출시키는 제2 오픈부를 포함하는 마스크를 형성하는 단계를 더 포함하고, 상기 홈 부는 상기 제1 오픈부를 통해 노출되는 영역의 일부를 제거하여 형성되고, 상기 그루브 패턴은 상기 제2 오픈부를 통해 노출되는 영역의 일부를 제거하여 형성될 수 있다.

[0033] 상기 제2 표시 절연층은 상기 제1 표시 절연층을 형성하는 단계 이후에 형성되고, 상기 제2 표시 절연층을 형성하는 단계는, 상기 제1 표시 절연층 상에 상기 박막 트랜지스터와 연결되는 제1 전극을 형성하는 단계, 상기 제1 전극을 커버하는 예비 절연층을 형성하는 단계, 및 상기 예비 절연층에 상기 제1 전극의 적어도 일부를 노출시키는 개구부를 형성하는 단계를 포함하고, 상기 가이드 패턴은 상기 개구부와 동시에 형성될 수 있다.

발명의 효과

[0034] 본 발명에 따르면, 봉지층의 유기층 패턴 형성 시 유기층의 퍼짐을 제어할 수 있다. 이에 따라, 유기층 패턴이 형성되는 영역을 용이하게 제어할 수 있어 공정이 단순화될 수 있다.

[0035] 또한, 본 발명에 따르면, 별도의 공정 추가 없이 기존의 공정 내에서 가이드 패턴을 형성할 수 있으므로 공정 시간이 감소되고 공정 비용이 절감될 수 있다.

도면의 간단한 설명

[0036] 도 1은 본 발명의 일 실시예에 따른 전자 장치를 도시한 사시도이다.

도 2a는 도 1에 도시된 전자 장치의 분해 사시도이다.

도 2b는 도 1에 도시된 전자 장치의 블록도이다.

도 3a는 도 2a에 도시된 일부 구성을 간략히 도시한 등가 회로도이다.

도 3b는 도 2a에 도시된 I-I'를 따라 자른 단면도이다.

도 4a 및 도 4b는 도 2a에 도시된 XX'영역을 도시한 평면도들이다.

도 5a는 도 2a에 도시된 II-II'를 따라 자른 단면도이다.

도 5b는 도 5a에 도시된 일부 영역을 확대한 단면도이다.

도 6a 내지 도 6c는 본 발명의 일 실시예에 따른 표시 패널들의 단면도들이다.

도 7a 및 도 7b는 본 발명의 일 실시예에 따른 표시 패널의 일부 영역을 도시한 단면도들이다.

도 8a 내지 도 8d는 본 발명의 일 실시예에 따른 표시 패널들의 일부 영역들을 간략히 도시한 평면도들이다.

도 9a 내지 도 9c는 본 발명의 일 실시예에 따른 표시 패널들의 일부 영역들을 도시한 단면도들이다.

도 10a 내지 도 10i는 본 발명의 일 실시예에 따른 표시 패널의 제조 방법을 간략히 도시한 단면도들이다.

도 11a 내지 도 11f는 본 발명의 일 실시예에 따른 표시 패널의 제조 방법을 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0037] 상기 서술한 목적을 달성하기 위한 본 발명의 실시예에 대하여 이하, 첨부한 도면을 참조하여 상세히 설명하기로 한다.

[0038] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 또한, 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 첨부한 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 일부 구성요소의 스케일을 과장하거나 축소하여 나타내었다. 이하, 도면들을 참조하여 본 발명에 대해 설명한다.

[0039] 도 1은 본 발명의 일 실시예에 따른 전자 장치를 도시한 사시도이다. 도 2a는 도 1에 도시된 전자 장치의 분해 사시도이다. 도 2b는 도 1에 도시된 전자 장치의 블록도이다. 이하, 도 1 내지 도 2b를 참조하여 본 발명의 일 실시예에 따른 전자 장치에 대해 설명하기로 한다.

- [0040] 전자 장치(EA)는 전기적 신호에 따라 활성화되는 장치일 수 있다. 전자 장치(EA)는 다양한 실시예들을 포함할 수 있다. 예를 들어, 전자 장치(EA)는 태블릿, 노트북, 컴퓨터, 스마트 텔레비전 등을 포함할 수 있다. 본 실시예에서, 전자 장치(EA)는 스마트 폰으로 예시적으로 도시되었다.
- [0041] 도 1에 도시된 것과 같이, 전자 장치(EA)는 전면에 이미지(IM)를 표시하는 표시면을 제공할 수 있다. 표시면은 제1 방향(DR1)과 제2 방향(DR2)이 정의하는 면에 평행하게 정의될 수 있다. 표시면은 투과 영역(TA) 및 투과 영역(TA)에 인접한 베젤 영역(BZA)을 포함한다.
- [0042] 전자 장치(EA)는 투과 영역(TA)에 이미지(IM)를 표시한다. 도 1에서 이미지(IM)의 일 예로 인터넷 검색창이 도시되었다. 투과 영역(TA)은 제1 방향(DR1) 및 제2 방향(DR2) 각각에 평행한 사각 형상을 가질 수 있다. 다만, 이는 예시적으로 도시한 것이고, 투과 영역(TA)은 다양한 형상을 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0043] 베젤 영역(BZA)은 투과 영역(TA)에 인접한다. 베젤 영역(BZA)은 투과 영역(TA)을 에워쌀 수 있다. 다만, 이는 예시적으로 도시한 것이고, 베젤 영역(BZA)은 투과 영역(TA)의 일 측에만 인접하여 배치될 수도 있고, 생략될 수도 있다. 본 발명의 일 실시예에 따른 전자 장치는 다양한 실시예들을 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0044] 표시면의 법선 방향은 전자 장치(EA)의 두께 방향(DR3, 이하, 제3 방향)과 대응될 수 있다. 본 실시예에서는 이미지(IM)가 표시되는 방향을 기준으로 각 부재들의 전면(또는 전면)과 배면(또는 하면)이 정의된다. 전면과 배면은 제3 방향(DR3)에서 서로 대향된다.
- [0045] 한편, 제1 내지 제3 방향들(DR1, DR2, DR3)이 지시하는 방향은 상대적인 개념으로서 다른 방향으로 변환될 수 있다. 이하, 제1 내지 제3 방향들은 제1 내지 제3 방향들(DR1, DR2, DR3)이 각각 지시하는 방향으로 동일한 도면 부호를 참조한다.
- [0046] 도 2a에 도시된 것과 같이, 전자 장치(EA)는 전자 패널(100), 윈도우 부재(200), 전자 모듈(300), 및 수납 부재(400)를 포함한다. 도 2b에 도시된 것과 같이, 전자 장치(EA)는 전자 패널(100), 제1 전자 모듈(EM1), 제2 전자 모듈(EM2), 및 전원공급 모듈(PM)을 더 포함할 수 있다. 도 2a에는 도 2b에 도시된 구성들 중 일부 구성들을 생략하여 도시하였다. 이하, 도 2a 및 도 2b를 참조하여 전자 장치(EA)에 대해 상세히 설명한다.
- [0047] 전자 패널(100)은 이미지(IM)를 표시하거나 외부에서 인가되는 입력을 감지할 수 있다. 예를 들어, 전자 패널(100)은 이미지(IM)를 표시하는 표시 유닛(DPU) 및 외부 입력을 감지하는 입력 감지 유닛(ISU)을 포함할 수 있다.
- [0048] 입력 감지 유닛(ISU)은 외부에서 인가되는 입력을 감지한다. 외부 입력은 사용자 신체의 일부, 광, 열, 또는 압력 등 다양한 형태의 외부 입력들을 포함한다. 외부 입력은 윈도우 부재(200)에 인가되는 입력일 수 있다.
- [0049] 표시 유닛(DPU)과 입력 감지 유닛(ISU)은 독립적으로 형성되어 소정의 접촉 부재를 통해 물리적으로 결합될 수 있다. 또는, 표시 유닛(DPU)과 입력 감지 유닛(ISU)은 단일의 베이스 기판 상에 순차적으로 적층되어 형성될 수도 있다.
- [0050] 한편, 본 발명의 일 실시예에 따른 전자 패널(100)에 있어서, 입력 감지 유닛(ISU)은 생략될 수도 있다. 본 실시예에 따른 전자 패널(100, 이하 표시 패널)은 표시 유닛(DPU)을 포함하고 입력 감지 유닛(ISU)이 생략된 경우를 예시적으로 설명한다.
- [0051] 도 2a를 참조하면, 표시 패널(100)은 평면상에서 구분되는 액티브 영역(DA), 주변 영역(NDA), 및 홀 영역(PA)을 포함할 수 있다. 액티브 영역(DA)은 이미지(IM)가 표시되는 영역일 수 있다. 표시 패널(100)은 액티브 영역(DA)에 배치된 화소(PX)를 포함한다. 화소(PX)는 복수로 구비되어 액티브 영역(DA)에 배열될 수 있다. 화소(PX)가 생성하는 광은 이미지(IM)를 구현한다.
- [0052] 주변 영역(NDA)은 베젤 영역(BZA)에 의해 커버되는 영역일 수 있다. 주변 영역(NDA)은 액티브 영역(DA)에 인접한다. 주변 영역(NDA)은 액티브 영역(DA)을 에워쌀 수 있다. 주변 영역(NDA)에는 액티브 영역(DA)을 구동하기 위한 구동 회로나 구동 배선 등이 배치될 수 있다.
- [0053] 한편, 도시되지 않았으나, 표시 패널(100) 중 주변 영역(NDA)의 일부는 휘어질 수 있다. 이에 따라, 주변 영역(NDA) 중 일부는 전자 장치(EA)의 전면을 향하고 주변 영역(NDA)의 다른 일부는 전자 장치(EA)의 배면을 향할 수 있다. 또는, 본 발명의 일 실시예에 따른 표시 패널(100)에 있어서 주변 영역(NDA)은 생략될 수도 있다.

- [0054] 홀 영역(PA)은 모듈 홀(MH)이 정의된 영역일 수 있다. 본 발명의 일 실시예에 따른 표시 패널(100)은 적어도 하나의 모듈 홀(MH)을 포함할 수 있다.
- [0055] 홀 영역(PA)의 가장자리는 액티브 영역(DA)에 의해 에워싸일 수 있다. 평면상에서 홀 영역(PA)은 액티브 영역(DA)을 사이에 두고 주변 영역(NDA)으로부터 이격될 수 있다. 모듈 홀(MH)은 홀 영역(PA)에 배치될 수 있다. 이에 따라, 모듈 홀(MH)은 영상이 표시되는 액티브 영역(DA)에 의해 평면상에서 에워싸일 수 있다.
- [0056] 모듈 홀(MH)은 표시 패널(100)을 관통한다. 모듈 홀(MH)은 표시 패널(100)의 전면으로부터 배면까지 연결된 관통 홀일 수 있다. 모듈 홀(MH)은 제3 방향(DR3)에서의 높이를 가진 원통 형상을 가질 수 있다. 모듈 홀(MH)은 전자 모듈(300)과 평면상에서 중첩한다. 전자 모듈(300)은 모듈 홀(MH) 내에 수용되거나, 모듈 홀(MH)과 유사한 크기를 가질 수 있다. 표시 패널(100)의 배면에 배치되어 모듈 홀(MH)과 중첩하는 구성은 표시 패널(100)의 전면에서 모듈 홀(MH)을 통해 시인될 수 있다. 전자 모듈(300)은 모듈 홀(MH)을 통해 외부 입력을 수신할 수 있다. 전자 모듈(300)에 대한 상세한 설명은 후술하기로 한다.
- [0057] 윈도우 부재(200)는 전자 장치(EA)의 전면을 제공한다. 윈도우 부재(200)는 표시 패널(100)의 전면에서 배치되어 표시 패널(100)을 보호할 수 있다. 예를 들어, 윈도우 부재(200)는 유리 기관, 사파이어 기관, 또는 플라스틱 필름을 포함할 수 있다. 윈도우 부재(200)는 다층 또는 단층구조를 가질 수 있다. 예를 들어, 윈도우 부재(200)는 접착제로 결합된 복수 개의 플라스틱 필름의 적층 구조를 가지거나, 접착제로 결합된 유리 기관과 플라스틱 필름의 적층 구조를 가질 수도 있다.
- [0058] 윈도우 부재(200)는 투과 영역(TA) 및 베젤 영역(BZA)으로 구분될 수 있다. 투과 영역(TA)은 입사되는 광을 투과시키는 영역일 수 있다. 투과 영역(TA)은 액티브 영역(DA)과 대응되는 형상을 가질 수 있다. 예를 들어, 투과 영역(TA)은 액티브 영역(DA)의 전면 또는 적어도 일부와 중첩한다. 표시 패널(100)의 액티브 영역(DA)에 표시되는 이미지(IM)는 투과 영역(TA)을 통해 외부에서 시인될 수 있다.
- [0059] 베젤 영역(BZA)은 투과 영역(TA)에 비해 상대적으로 광 투과율이 낮은 영역일 수 있다. 베젤 영역(BZA)은 투과 영역(TA)의 형상을 정의한다. 베젤 영역(BZA)은 투과 영역(TA)에 인접하며, 투과 영역(TA)을 에워쌀 수 있다.
- [0060] 베젤 영역(BZA)은 소정의 컬러를 가질 수 있다. 베젤 영역(BZA)은 표시 패널(100)의 주변 영역(NDA)을 커버하여 주변 영역(NDA)이 외부에서 시인되는 것을 차단할 수 있다. 한편, 이는 예시적으로 도시된 것이고, 본 발명의 일 실시예에 따른 윈도우 부재(200)에 있어서, 베젤 영역(BZA)은 생략될 수도 있다.
- [0061] 수납 부재(400)는 윈도우 부재(200)와 결합될 수 있다. 수납 부재(400)는 전자 장치(EA)의 배면을 제공한다. 수납 부재(400)는 윈도우 부재(200)와 결합되어 내부 공간을 정의한다.
- [0062] 수납 부재(400)는 상대적으로 높은 강성을 가진 물질을 포함할 수 있다. 예를 들어, 수납 부재(400)는 글라스, 플라스틱, 메탈로 구성된 복수 개의 프레임 및/또는 플레이트를 포함할 수 있다. 수납 부재(400)는 내부 공간에 수용된 전자 장치(EA)의 구성들을 외부 충격으로부터 안정적으로 보호할 수 있다. 수납 부재(400)가 제공하는 내부 공간에는 표시 패널(100) 및 도 2b에 도시된 각종 구성들이 수용될 수 있다.
- [0063] 도 2b를 참조하면, 전자 장치(EA)는 전원공급 모듈(PM), 제1 전자 모듈(EM1), 및 제2 전자 모듈(EM2)을 포함할 수 있다. 전원공급 모듈(PM)은 전자 장치(EA)의 전반적인 동작에 필요한 전원을 공급한다. 전원공급 모듈(PM)은 통상적인 배터리 모듈을 포함할 수 있다.
- [0064] 제1 전자 모듈(EM1) 및 제2 전자 모듈(EM2)은 전자 장치(EA)를 동작시키기 위한 다양한 기능성 모듈을 포함한다. 제1 전자모듈(EM1)은 표시 패널(100)과 전기적으로 연결된 마더보드에 직접 실장되거나 별도의 기관에 실장되어 커넥터(미 도시) 등을 통해 마더보드에 전기적으로 연결될 수 있다.
- [0065] 제1 전자모듈(EM1)은 제어 모듈(CM), 무선통신 모듈(TM), 영상입력 모듈(IIM), 음향입력 모듈(AIM), 메모리(MM), 및 외부 인터페이스(PMIF)를 포함할 수 있다. 상기 모듈들 중 일부는 마더보드에 실장되지 않고, 연성회로기판을 통해 마더보드에 전기적으로 연결될 수도 있다.
- [0066] 제어 모듈(CM)은 전자 장치(EA)의 전반적인 동작을 제어한다. 제어 모듈(CM)은 마이크로프로세서일 수 있다. 예를 들어, 제어 모듈(CM)은 표시 패널(100)을 활성화 시키거나, 비활성화 시킨다. 제어 모듈(CM)은 표시 패널(100)로부터 수신된 터치 신호에 근거하여 영상입력 모듈(IIM)이나 음향입력 모듈(AIM) 등의 다른 모듈들을 제어할 수 있다.
- [0067] 무선통신 모듈(TM)은 블루투스 또는 와이파이 회선을 이용하여 다른 단말기와 무선 신호를 송/수신할 수 있다.

무선통신 모듈(TM)은 일반 통신회선을 이용하여 음성신호를 송/수신할 수 있다. 무선통신 모듈(TM)은 송신할 신호를 변조하여 송신하는 송신부(TM1)와, 수신되는 신호를 복조하는 수신부(TM2)를 포함한다.

- [0068] 영상입력 모듈(IIM)은 영상 신호를 처리하여 표시 패널(100)에 표시 가능한 영상 데이터로 변환한다. 음향입력 모듈(AIM)은 녹음 모드, 음성인식 모드 등에서 마이크로폰(Microphone)에 의해 외부의 음향 신호를 입력받아 전기적인 음성 데이터로 변환한다.
- [0069] 외부 인터페이스(PMIF)는 외부 충전기, 유/무선 데이터 포트, 카드 소켓(예를 들어, 메모리 카드(Memory card), SIM/UIM card) 등에 연결되는 인터페이스 역할을 한다.
- [0070] 제2 전자 모듈(EM2)은 음향출력 모듈(AOM), 발광 모듈(LM), 수광 모듈(LRM), 및 카메라 모듈(CMM) 등을 포함할 수 있다. 상기 구성들은 마더보드에 직접 실장되거나, 별도의 기판에 실장되어 커넥터(미 도시) 등을 통해 표시 패널(100)과 전기적으로 연결되거나, 제1 전자 모듈(EM1)과 전기적으로 연결될 수 있다.
- [0071] 음향출력 모듈(AOM)은 무선통신 모듈(TM)로부터 수신된 음향 데이터 또는 메모리(MM)에 저장된 음향 데이터를 변환하여 외부로 출력한다.
- [0072] 발광 모듈(LM)은 광을 생성하여 출력한다. 발광 모듈(LM)은 적외선을 출력할 수 있다. 발광 모듈(LM)은 LED 소자를 포함할 수 있다. 수광 모듈(LRM)은 적외선을 감지할 수 있다. 수광 모듈(LRM)은 소정 레벨 이상의 적외선이 감지된 때 활성화될 수 있다. 수광 모듈(LRM)은 CMOS 센서를 포함할 수 있다. 발광 모듈(LM)에서 생성된 적외광이 출력된 후, 외부 물체(예컨대 사용자 손가락 또는 얼굴)에 의해 반사되고, 반사된 적외광이 수광 모듈(LRM)에 입사될 수 있다. 카메라 모듈(CMM)은 외부의 이미지를 촬영한다.
- [0073] 도 2a에 도시된 전자 모듈(300)은 모듈 홀(MH)을 통해 전달되는 외부 입력을 수신하거나 모듈 홀(MH)을 통해 출력을 제공할 수 있다. 전자 모듈(300)은 제1 전자 모듈(EM1) 및 제2 전자 모듈(EM2)을 구성하는 모듈들 중 어느 하나일 수 있다. 예를 들어, 전자 모듈(300)은 카메라, 스피커, 또는 광이나 열 등의 감지 센서일 수 있다. 전자 모듈(300)은 모듈 홀(MH)을 통해 수신되는 외부 피사체를 감지하거나 모듈 홀(MH)을 통해 음성 등의 소리 신호를 외부에 제공할 수 있다. 이때, 제1 전자 모듈(EM1) 및 제2 전자 모듈(EM2) 중 나머지 구성들은 다른 위치에 배치되어 미 도시될 수 있다. 다만, 이는 예시적으로 도시한 것이고, 전자 모듈(300)은 제1 전자 모듈(EM1) 및 제2 전자 모듈(EM2)을 구성하는 모듈들 중 복수를 포함할 수도 있으며, 어느 하나의 실시예로 한정되지 않는다. 한편, 도시되지 않았으나, 본 발명의 일 실시예에 따른 전자 장치(EA)는 전자 모듈(300)과 표시 패널(100) 사이에 배치되는 투명 부재를 더 포함할 수도 있다. 모듈 홀(MH)을 통해 전달되는 외부 입력이 투명 부재를 통과하여 전자 모듈(300)에 전달되도록 투명 부재는 광학적으로 투명한 필름일 수 있다. 투명 부재는 표시 패널(100)의 배면에 부착되거나 별도의 점착층 없이 표시 패널(100)과 전자 모듈(300) 사이에 배치될 수 있다. 본 발명의 일 실시예에 따른 전자 장치(EA)는 다양한 구조를 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0074] 본 발명에 있어서, 표시 패널(100)은 모듈 홀(MH)을 포함함으로써, 주변 영역(NDA)의 외 측에 전자 모듈(300)을 위해 제공되는 별도의 공간이 생략될 수 있다. 또한, 모듈 홀(MH)을 액티브 영역(DA)에 의해 에워싸인 홀 영역(PA)에 정의함으로써 정의함으로써, 전자 모듈(300)을 베젤 영역(BZA)이 아닌 투과 영역(TA)에 중첩하도록 배치할 수 있다. 이에 따라, 베젤 영역(BZA)의 면적이 감소되어 네로우 베젤을 가진 전자 장치(EA)가 구현될 수 있다. 또한, 전자 모듈(300)이 모듈 홀(MH) 내에 수용되는 경우, 박형의 전자 장치(EA)가 구현될 수 있다.
- [0076] 도 3a는 도 2a에 도시된 일부 구성을 간략히 도시한 등가 회로도이다. 도 3b는 도 2a에 도시된 I-I'를 따라 자른 단면도이다. 도 3a에는 용이한 설명을 위해 일 화소(PX)의 등가 회로도를 간략히 도시하였다. 이하, 도 3a 및 도 3b를 참조하여, 본 발명에 대해 설명한다.
- [0077] 표시 패널(100)은 절연 기판(10), 화소(PX), 복수의 배선들(CL), 전원 접속 패턴(E-VSS), 주변 댄 부(DM), 및 복수의 절연층들(20, 30, 40)을 포함할 수 있다. 절연층들(20, 30, 40)은 회로 절연층(20), 표시 절연층(30), 및 봉지층(40)을 포함할 수 있다.
- [0078] 절연 기판(10)은 베이스 층(11) 및 보조층(12)을 포함할 수 있다. 베이스 층(11)은 절연 물질을 포함한다. 베이스 층(11)은 플렉서블한 물질을 포함할 수 있다. 예를 들어, 베이스 층(11)은 폴리 이미드(Polyimide, PI)를 포함할 수 있다. 다만, 이는 예시적으로 설명한 것이고, 베이스 층(11)은 리지드한 물질을 포함하거나, 유리, 플라스틱 등 다양한 물질로 구성될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

- [0079] 보조층(12)은 베이스 층(11) 상에 배치된다. 보조층(12)은 베이스 층(11)을 전면적으로 커버할 수 있다.
- [0080] 보조층(12)은 배리어층(barrier layer) 및/또는 버퍼층(buffer layer)을 포함할 수 있다. 이에 따라, 보조층(12)은 베이스 층(11)을 통해 유입되는 산소나 수분이 화소(PX)에 침투되는 것을 방지하거나, 화소(PX)가 절연 기판(10) 상에 안정적으로 형성되도록 절연 기판(10)의 표면 에너지를 감소시킬 수 있다.
- [0081] 한편, 절연 기판(10)에 있어서, 베이스 층(11) 및 보조층(12) 중 적어도 어느 하나는 복수로 제공되어 서로 교번하여 적층될 수도 있다. 또는, 보조층(12)을 구성하는 배리어층 및 버퍼층의 적어도 어느 하나는 복수로 제공될 수도 있고 생략될 수도 있다. 다만, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따른 절연 기판(10)은 다양한 실시예들을 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0082] 화소(PX)는 절연 기판(10) 상에 배치될 수 있다. 상술한 바와 같이, 화소(PX)는 절연 기판(10) 중 액티브 영역(DA)에 배치될 수 있다. 도 3a를 참조하면, 화소(PX)는 복수의 신호 라인들과 연결될 수 있다. 본 실시예에서는 신호 라인들 중 게이트 라인(GL), 데이터 라인(DL), 및 전원 라인(VDD)을 예시적으로 도시하였다. 다만, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따른 화소(PX)는 다양한 신호 라인들에 추가적으로 연결될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0083] 화소(PX)는 제1 박막 트랜지스터(TR1), 커패시터(CAP), 제2 박막 트랜지스터(TR2), 및 발광 소자(OD)를 포함할 수 있다. 제1 박막 트랜지스터(TR1)는 화소(PX)의 온-오프를 제어하는 스위칭 소자일 수 있다. 제1 박막 트랜지스터(TR1)는 게이트 라인(GL)을 통해 전달된 게이트 신호에 응답하여 데이터 라인(DL)을 통해 전달된 데이터 신호를 전달 또는 차단할 수 있다.
- [0084] 커패시터(CAP)는 제1 박막 트랜지스터(TR1)와 전원 라인(VDD)에 연결된다. 커패시터(CAP)는 제1 박막 트랜지스터(TR1)로부터 전달된 데이터 신호와 전원 라인(VDD)에 인가된 제1 전원전압 사이의 차이에 대응하는 전하량을 충전한다.
- [0085] 제2 박막 트랜지스터(TR2)는 제1 박막 트랜지스터(TR1), 커패시터(CAP), 및 발광 소자(OD)에 연결된다. 제2 박막 트랜지스터(TR2)는 커패시터(CAP)에 저장된 전하량에 대응하여 발광 소자(OD)에 흐르는 구동전류를 제어한다. 커패시터(CAP)에 충전된 전하량에 따라 제2 박막 트랜지스터(TR2)의 턴-온 시간이 결정될 수 있다. 제2 박막 트랜지스터(TR2)는 턴-온 시간 동안 전원 라인(VDD)을 통해 전달된 제1 전원전압을 발광 소자(OD)에 제공한다.
- [0086] 발광 소자(OD)는 제2 박막 트랜지스터(TR2)와 전원 단자(VSS)에 연결된다. 발광 소자(OD)는 제2 박막 트랜지스터(TR2)를 통해 전달된 신호와 전원 단자(VSS)를 통해 수신된 제2 전원전압 사이의 차이에 대응하는 전압으로 발광한다. 발광 소자(OD)는 제2 박막 트랜지스터(TR2)의 턴-온 시간 동안 발광할 수 있다.
- [0087] 발광 소자(OD)는 발광 물질을 포함한다. 발광 소자(OD)는 발광 물질에 대응하는 컬러의 광을 생성할 수 있다. 발광 소자(OD)에서 생성된 광의 컬러는 적색, 녹색, 청색, 백색 중 어느 하나일 수 있다.
- [0088] 도 3b에는 화소(PX)의 구성들 중 하나의 박막 트랜지스터(TR)와 발광 소자(OD)를 예시적으로 도시하였다. 박막 트랜지스터(TR)는 도 3a에 도시된 제2 박막 트랜지스터(TR2)와 대응될 수 있다.
- [0089] 박막 트랜지스터(TR)는 절연 기판(10) 상에 배치된다. 박막 트랜지스터(TR)는 회로 절연층(20)과 함께 회로층을 구성할 수 있다. 박막 트랜지스터(TR)는 반도체 패턴(SP), 제어 전극(CE), 입력 전극(IE), 및 출력 전극(OE)을 포함한다. 회로 절연층(20)은 절연 기판(10) 상에 순차적으로 적층된 제1 회로 절연층(21), 및 제2 회로 절연층(22)을 포함할 수 있다.
- [0090] 반도체 패턴(SP)은 절연 기판(10) 상에 배치된다. 반도체 패턴(SP)은 반도체 물질을 포함할 수 있다. 제어 전극(CE)은 제1 회로 절연층(21)을 사이에 두고 반도체 패턴(SP)으로부터 이격된다. 제어 전극(CE)은 상술한 제1 박막 트랜지스터(TR1) 및 커패시터(CAP)의 일 전극과 연결될 수 있다.
- [0091] 입력 전극(IE)과 출력 전극(OE)은 제2 회로 절연층(22)을 사이에 두고 제어 전극(CE)으로부터 이격된다. 트랜지스터(TR)의 입력 전극(IE)과 출력 전극(OE)은 제1 회로 절연층(21) 및 제2 회로 절연층(22)을 관통하여 반도체 패턴(SP)의 일 측 및 타 측에 각각 접속된다.
- [0092] 한편, 박막 트랜지스터(TR)에 있어서, 제어 전극(CE)은 반도체 패턴(SP) 하측에 배치될 수도 있고, 입력 전극(IE)과 출력 전극(OE)은 반도체 패턴(SP) 하측에 배치되거나, 반도체 패턴(SP)과 동일 층 상에 배치되어 반도체 패턴(SP)에 직접 접속될 수도 있다. 본 발명의 일 실시예에 따른 박막 트랜지스터(TR)는 다양한 구조들로 형성

될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

- [0093] 발광 소자(OD)는 회로 절연층(20) 상에 배치된다. 발광 소자(OD)는 표시 절연층(30)과 함께 표시 소자층을 구성할 수 있다. 발광 소자(OD)는 제1 전극(E1), 발광층(EL), 제어층(OL), 및 제2 전극(E2)을 포함한다. 표시 절연층(30)은 순차적으로 적층된 제1 표시 절연층(31) 및 제2 표시 절연층(32)을 포함할 수 있다. 제1 표시 절연층(31) 및 제2 표시 절연층(32) 각각은 유기물 및/또는 무기물을 포함할 수 있다.
- [0094] 제1 전극(E1)은 제1 표시 절연층(31)을 관통하여 박막 트랜지스터(TR)에 접속될 수 있다. 한편, 도시되지 않았으나, 표시 패널(100)은 제1 전극(E1)과 박막 트랜지스터(TR) 사이에 배치되는 별도의 연결 전극을 더 포함할 수도 있고, 이때, 제1 전극(E1)은 연결 전극을 통해 박막 트랜지스터(TR)에 전기적으로 접속될 수 있다.
- [0095] 제2 표시 절연층(32)은 제1 표시 절연층(31) 상에 배치된다. 제2 표시 절연층(32)에는 개구부가 정의될 수 있다. 개구부는 제1 전극(E1)의 적어도 일부를 노출시킨다. 제2 표시 절연층(32)은 화소 정의막일 수 있다.
- [0096] 발광층(EL)은 개구부에 배치되어, 개구부에 의해 노출된 제1 전극(E1) 상에 배치된다. 발광층(EL)은 발광 물질을 포함할 수 있다. 예를 들어, 발광층(EL)은 적색, 녹색, 및 청색을 발광하는 물질들 중 적어도 어느 하나의 물질로 구성될 수 있으며, 형광 물질 또는 인광 물질을 포함할 수 있다. 발광층(EL)은 유기물 및/또는 무기물을 포함할 수 있다. 발광층(EL)은 제1 전극(E1) 및 제2 전극(E2) 사이의 전위 차이에 응답하여 광을 발광할 수 있다.
- [0097] 제어층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 배치된다. 제어층(OL)은 발광층(EL)에 인접하여 배치된다. 본 실시예에서, 제어층(OL)은 발광층(EL)과 제2 전극(E2) 사이에 배치된 것으로 도시되었다. 다만, 이는 예시적으로 도시한 것이고, 제어층(OL)은 발광층(EL)과 제1 전극(E1) 사이에 배치될 수도 있고, 발광층(EL)을 사이에 두고 제3 방향(DR3)을 따라 적층되는 복수의 층들로 제공될 수도 있다.
- [0098] 제어층(OL)은 액티브 영역(DA)으로부터 주변 영역(NDA)까지 연장된 일체의 형상을 가질 수 있다. 제어층(OL)은 복수의 화소들에 공통적으로 제공될 수 있다.
- [0099] 제2 전극(E2)은 발광층(EL) 상에 배치된다. 제2 전극(E2)은 액티브 영역(DA)으로부터 주변 영역(NDA)까지 연장된 일체의 형상을 가질 수 있다. 제2 전극(E2)은 복수의 화소들에 공통적으로 제공될 수 있다.
- [0100] 제2 전극(E2)은 제1 전극(E1)과 대향될 수 있다. 제2 전극(E2)은 도 2a의 전원 단자(VSS)와 연결될 수 있다. 발광 소자(OD)는 제2 전극(E2)을 통해 제2 전원 전압을 수신한다.
- [0101] 제2 전극(E2)은 투과형 도전 물질 또는 반 투과형 도전 물질을 포함할 수 있다. 이에 따라, 발광층(EL)에서 생성된 광은 제2 전극(E2)을 통해 제3 방향(DR3)을 향해 용이하게 출사될 수 있다. 다만, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따른 발광 소자(OD)는 설계에 따라, 제1 전극(E1)이 투과형 또는 반 투과형 물질을 포함하는 배면 발광 방식으로 구동되거나, 전면과 배면 모두를 향해 발광하는 양면 발광 방식으로 구동될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0102] 봉지층(40)은 발광 소자(OD) 상에 배치되어 발광 소자(OD)를 봉지한다. 봉지층(40)은 액티브 영역(DA)으로부터 주변 영역(NDA)까지 연장된 일체의 형상을 가질 수 있다. 봉지층(40)은 복수의 화소들에 공통적으로 제공될 수 있다. 한편, 도시되지 않았으나, 제2 전극(E2)과 봉지층(40) 사이에는 제2 전극(E2)을 커버하는 캡핑층이 더 배치될 수도 있다.
- [0103] 봉지층(40)은 제3 방향(DR3)을 따라 순차적으로 적층된 제1 무기층(41), 유기층(42), 및 제2 무기층(43)을 포함할 수 있다. 다만 이에 한정되지 않고, 봉지층(40)은 복수의 무기층들 및 유기층들을 더 포함할 수 있다.
- [0104] 제1 무기층(41)은 제2 전극(E2)을 커버할 수 있다. 제1 무기층(41)은 외부 수분이나 산소가 발광 소자(OD)에 침투하는 것을 방지할 수 있다. 예를 들어, 제1 무기층(41)은 실리콘 질화물, 실리콘 산화물, 또는 이들이 조합된 화합물을 포함할 수 있다. 제1 무기층(41)은 증착 공정을 통해 형성될 수 있다.
- [0105] 유기층(42)은 제1 무기층(41) 상에 배치되어 제1 무기층(41)에 접촉할 수 있다. 유기층(42)은 제1 무기층(41) 상에 평탄면을 제공할 수 있다. 제1 무기층(41) 상면에 형성된 굴곡이나 제1 무기층(41) 상에 존재하는 파티클(particle) 등은 유기층(42)에 의해 커버되어, 제1 무기층(41)의 상면의 표면 상태가 유기층(42) 상에 형성되는 구성들에 미치는 영향을 차단할 수 있다. 또한, 유기층(42)은 접촉하는 층들 사이의 응력을 완화시킬 수 있다. 유기층(42)은 유기물을 포함할 수 있고, 스핀 코팅, 슬릿 코팅, 잉크젯 공정과 같은 용액 공정을 통해 형성될 수 있다.

- [0106] 제2 무기층(43)은 유기층(42) 상에 배치되어 유기층(42)을 커버한다. 제2 무기층(43)은 제1 무기층(41) 상에 배치되는 것보다 상대적으로 평탄한 면에 안정적으로 형성될 수 있다. 제2 무기층(43)은 유기층(42)으로부터 방출되는 수분 등을 방지하여 외부로 유입되는 것을 방지한다. 제2 무기층(43)은 실리콘 질화물, 실리콘 산화물, 또는 이들이 조합된 화합물을 포함할 수 있다. 제2 무기층(43)은 증착 공정을 통해 형성될 수 있다.
- [0107] 한편, 도시되지 않았으나, 봉지층(40) 상에는 복수의 센서 패턴들을 포함하는 입력 감지 유닛(ISU, 도 2b 참조)이 더 배치될 수도 있다. 입력 감지 유닛(ISU)을 구성하는 센서 패턴들은 증착 및 패터닝 공정을 통해 봉지층(40) 상에 직접 형성되거나, 별도로 형성된 후 봉지층(40) 상에 결합될 수도 있다. 한편, 이는 예시적으로 설명한 것이고, 본 발명의 일 실시예에 따른 표시 패널은 다양한 실시예들을 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0108] 한편, 구동 신호 라인(CL), 주변 댐 부(DM), 및 전원 접속 패턴(E-VSS)은 주변 영역(NDA)에 배치될 수 있다. 구동 신호 라인(CL)은 복수로 제공되어 회로 절연층(20) 상에 배치될 수 있다. 구동 신호 라인(CL)은 패드(미도시)와 연결되는 라우팅(routing) 배선이거나, 집적 회로(IC)를 구성하는 배선일 수도 있다. 예를 들어, 구동 신호 라인(CL)은 전원 공급 라인, 초기화 전압 라인, 또는 발광 제어 라인 등을 포함할 수 있다.
- [0109] 전원 접속 패턴(E-VSS)은 발광 소자(OD)에 제2 전원 전압을 공급한다. 전원 접속 패턴(E-VSS)은 화소(PX)의 전원 단자(VSS)와 대응될 수 있다. 제2 전극(E2)은 주변 영역(NDA)까지 연장되어 전원 접속 패턴(E-VSS)에 접속된다. 본 실시예에서, 화소들(PX)에 공급되는 제2 전원 전압들은 모든 화소들(PX)에 대해 공통된 전압일 수 있다.
- [0110] 주변 댐 부(DM)는 전원 접속 패턴(E-VSS)의 일부를 커버하는 위치에 배치될 수 있다. 본 실시예에서, 주변 댐 부(DM2)는 제1 층(DM2-L1) 및 제2 층(DM2-L2)을 포함하는 복층 구조를 가질 수 있다.
- [0111] 제1 댐(DM1)은 제1 표시 절연층(31)과 동일한 물질을 포함할 수 있다. 제1 댐(DM1)은 제1 표시 절연층(31)과 동시에 형성될 수 있고, 제1 표시 절연층(31)과 동일 층상에 배치될 수 있다.
- [0112] 제2 댐(DM2)은 제1 댐(DM1) 상에 적층된다. 본 실시예에서, 제2 전극(E2)의 일부는 제1 댐(DM-L1)과 제2 댐(DM-L2) 사이에 삽입될 수 있다. 즉, 본 실시예에 따른 제2 댐(DM-L2)은 제2 전극(E2)이 형성된 이후에 별도의 공정을 통해 형성될 수 있다. 한편, 이는 예시적으로 도시한 것이고, 제2 댐(DM-L2)은 제2 표시 절연층(32)과 동시에 형성될 수도 있다. 또는 주변 댐 부(DMP)는 단일층 구조를 가질 수도 있으며 어느 하나의 실시예로 한정되지 않는다.
- [0113] 주변 댐 부(DM)는 액티브 영역(DA)의 적어도 일 측에 인접하여 배치될 수 있다. 주변 댐 부(DM)는 평면상에서 액티브 영역(DA)을 에워쌀 수 있다. 주변 댐 부(DM)는 유기층(42)을 형성하는 과정에서 액상의 유기물질이 퍼지는 영역을 정의할 수 있다. 유기층(42)은 액상의 유기물질을 제1 무기층(41) 상에 도포하는 잉크젯 방식으로 형성될 수 있는데, 이때, 주변 댐 부(DM)는 액상의 유기물질이 배치되는 영역의 경계를 설정하고, 액상의 유기물질이 주변 댐 부(DM) 외측으로 넘치는 것을 방지한다.
- [0114] 제1 무기층(41) 및 제2 무기층(43)은 액티브 영역(DA)으로부터 주변 댐 부(DM)의 외 측까지 연장될 수 있다. 이에 따라, 주변 댐 부(DM)는 제1 무기층(41) 및 제2 무기층(43)에 의해 커버될 수 있다. 유기층(42)은 주변 댐 부(DM)의 내 측에 배치될 수 있다. 다만, 이는 예시적으로 도시한 것이고, 유기층(42)의 일부는 주변 댐 부(DM)와 중첩하는 영역까지 연장되어 형성될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0116] 도 4a 및 도 4b는 도 2a에 도시된 XX'영역을 도시한 평면도들이다. 용이한 설명을 위해, 도 4a 및 도 4b에는 일부 구성들을 생략하여 도시되었다. 도 4a 및 도 4b를 비교할 때, 도 4a에는 가이드 패턴(GPT)과 유기층(42)을 생략하여 도시하였고, 도 4b에는 신호 배선들이나, 도 4a 및 도 4b를 참조하여 본 발명에 대해 설명한다. 한편, 도 1 내지 도 3b에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.
- [0117] 홀 영역(PA)은 액티브 영역(DA)에 의해 에워싸일 수 있다. 홀 영역(PA)은 그루브 영역(GA) 및 배선 영역(LA)을 포함할 수 있다. 모듈 홀(MH)은 홀 영역(PA)의 중심에 정의될 수 있다. 배선 영역(LA)과 그루브 영역(GA)은 각각 모듈 홀(MH)을 에워싸며, 액티브 영역(DA)으로부터 모듈 홀(MH)에 인접하는 방향을 따라 순차적으로 배열될 수 있다. 구체적으로, 그루브 영역(GA)은 모듈 홀(MH)을 에워싸는 링(ring) 형상으로 정의되고, 배선 영역(LA)은 그루브 영역(GA)을 에워싸는 링 형상으로 정의될 수 있다.
- [0118] 본 실시예에 따른 표시 패널(100)은 홀 영역(PA)에 배치된 복수의 신호 라인들(SCL1, SCL2), 그루브 패턴(GV),

및 가이드 패턴(GPT)을 포함할 수 있다.

- [0119] 신호 라인들(SCL1, SCL2)은 배선 영역(LA)을 경유하여 화소들(PX-A1, PX-A2, PX-B1, PX-B2)에 접속된다. 본 실시예에서는 용이한 설명을 위해 두 개의 신호 라인들(SCL1, SCL2) 및 이에 연결된 네 개의 화소들(PX-A1, PX-A2, PX-B1, PX-B2)을 예시적으로 도시하였다. 이하, 두 개의 신호 라인들(SCL1, SCL2)은 제1 신호 라인(SCL1) 및 제2 신호 라인(SCL2)으로 명명하고, 네 개의 화소들(PX-A1, PX-A2, PX-B1, PX-B2)은 제1 내지 제4 화소들(PX-A1, PX-A2, PX-B1, PX-B2)로 명명하기로 한다.
- [0120] 제1 신호 라인(SCL1)은 홀 영역(PA)을 사이에 두고 서로 이격되어 배치된 제1 화소(PX-A1)와 제2 화소(PX-A2) 각각에 접속한다. 제1 화소(PX-A1)와 제2 화소(PX-A2)는 동일한 행을 구성하는 화소들일 수 있다. 제1 화소(PX-A1)와 연결된 제1 신호 라인(SCL1)은 홀 영역(PA)의 배선 영역(LA)을 경유하여 제2 화소(PX-A2)에 연결된다.
- [0121] 제1 화소(PX-A1)와 제2 화소(PX-A2)는 제1 신호 라인(SCL1)을 통해 연결됨으로써, 동일한 전기적 신호를 제공할 수 있다. 예를 들어, 제1 신호 라인(SCL1)은 도 3a에 도시된 게이트 라인(GL: 도 3a)과 대응될 수 있다. 이에 따라, 모듈 홀(MH)을 사이에 두고 이격된 제1 화소(PX-A1)와 제2 화소(PX-A2)는 실질적으로 동일한 게이트 신호에 의해 온/오프 될 수 있다.
- [0122] 제2 신호 라인(SCL2)은 홀 영역(PA)을 사이에 두고 서로 이격되어 배치된 제3 화소(PX-B1)와 제4 화소(PX-B2) 각각에 접속한다. 제3 화소(PX-B1)와 제4 화소(PX-B2)는 동일한 열을 구성하는 화소들일 수 있다. 제3 화소(PX-B1)와 연결된 제1 신호 라인(SCL1)은 홀 영역(PA)의 배선 영역(LA)을 경유하여 제4 화소(PX-B2)에 연결된다.
- [0123] 제3 화소(PX-B1)와 제4 화소(PX-B2)는 제2 신호 라인(SCL2)을 통해 연결됨으로써, 동일한 전기적 신호를 제공할 수 있다. 예를 들어, 제2 신호 라인(SCL2)은 도 3a에 도시된 데이터 라인(DL: 도 3a)과 대응될 수 있다. 이에 따라, 모듈 홀(MH)을 사이에 두고 이격된 제3 화소(PX-B1)와 제4 화소(PX-B2)는 실질적으로 동일한 데이터 신호를 제공할 수 있다.
- [0124] 한편, 본 실시예에서, 제1 신호 라인(SCL1)과 제2 신호 라인(SCL2)은 배선 영역(LA)에만 배치된 패턴일 수도 있다. 이때, 제1 신호 라인(SCL1)과 제2 신호 라인(SCL2)은 화소들(PX-A1, PX-A2, PX-B1, PX-B2)에 각각 연결된 신호 라인들에 접속되어 신호 라인들을 연결하는 브릿지 패턴으로 기능할 수도 있다. 다만, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따른 표시 패널(100)은 배선 영역(LA)에 배치된 복수의 신호 라인들을 포함함으로써, 모듈 홀(MH)을 중심으로 이격된 화소들 사이의 유기적 결합을 향상시킬 수 있다. 이에 따라, 모듈 홀(MH)을 중심으로 이격된 화소들에 대한 전기적 제어를 용이하게 할 수 있다.
- [0125] 그루브 패턴(GV)은 그루브 영역(GA)에 배치될 수 있다. 그루브 패턴(GV)은 표시 패널(100)의 전면으로부터 함몰된 패턴일 수 있다. 그루브 패턴(GV)은 표시 패널(100)의 전면으로부터 함몰되도록 표시 패널(100)의 구성들 중 일부를 제거하여 형성될 수 있다. 이에 대한 상세한 설명은 후술하기로 한다.
- [0126] 한편, 그루브 패턴(GV)은 모듈 홀(MH)과 달리 표시 패널(100)을 관통하지 않는다. 이에 따라, 그루브 패턴(GV)은 적어도 절연 기관(10)의 배면을 오픈 시키지 않을 수 있다.
- [0127] 그루브 패턴(GV)은 모듈 홀(MH)을 에워싸며 형성될 수 있다. 그루브 패턴(GV)은 모듈 홀(MH)을 에워싸는 페 라인 형상을 가질 수 있다. 본 실시예에서, 그루브 패턴(GV)은 원 형상의 페 라인 형상으로 도시되었다. 다만, 이는 예시적으로 도시한 것이고, 그루브 패턴(GV)은 다각형이나 타원 등 다양한 형상의 페 라인 형상을 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0128] 가이드 패턴(GPT)은 평면상에서 볼 때, 화소들(PX-A1, PX-A2, PX-B1, PX-B2)과 그루브 패턴(GV) 사이에 배치될 수 있다. 예를 들어, 가이드 패턴(GPT)은 배선 영역(LA)에 배치될 수 있다. 가이드 패턴(GPT)은 서로 이격된 복수의 패턴들(GPTs)을 포함할 수 있다. 패턴들(GPTs)은 모듈 홀(MH)을 중심으로 방사형으로 배열될 수 있다. 본 실시예에서, 패턴들(GPTs)은 모듈 홀(MH)의 중심으로부터 액티브 영역을 향하는 방향을 따라 네 개씩 정렬된 것으로 도시되었다. 다만, 이는 예시적으로 도시된 것이고, 패턴들(GPTs)은 다양한 수로 배열될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0129] 가이드 패턴(GPT)은 유기층(42)의 퍼짐의 균일성을 향상시킨다. 도 4b에는 용이한 설명을 위해 유기층(42)을 음영 처리하여 도시하였다. 본 실시예에서 유기층(42)은 배선 영역(LA)에 형성된 것으로 도시되었다. 다만, 이는 예시적으로 도시한 것이고, 유기층(42)은 그루브 영역(GA)까지 연장되어 형성될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0130] 유기층(42)은 가이드 패턴(GPT)을 커버한다. 평면상에서 볼 때 유기층(42)과 가이드 패턴(GPT)은 중첩할 수 있

다. 유기층(42)은 가이드 패턴(GPT)에 의해 홀 영역(PA) 내에서 고른 두께로 형성될 수 있다. 또한, 유기층(42)이 홀 영역(PA) 내에서 형성되는 영역은 가이드 패턴(GPT)에 의해 고르게 분포될 수 있다.

- [0131] 본 발명에 따르면, 홀 영역(PA) 내에서의 유기층(42)의 퍼짐이 균일하게 이루어짐에 따라, 홀 영역(PA) 내에서의 유기층(42)이 차지하는 영역을 용이하게 설계할 수 있다. 또한, 홀 영역(PA) 특히, 가이드 패턴(GPT)이 배치된 배선 영역(LA)에서의 유기층(42)의 균일한 도포로 인해, 배선 영역(LA)을 지나 그루브 영역(GA)으로의 유기층(42)의 과도한 넘침을 방지할 수 있다. 이에 따라, 유기층(42)은 홀 영역(PA), 특히 배선 영역(LA) 내에서 안정적으로 형성될 수 있다.
- [0133] 도 5a는 도 2a에 도시된 II-II'를 따라 자른 단면도이고, 도 5b는 도 5a에 도시된 일부 영역을 확대한 단면도이다. 용이한 설명을 위해, 도 5a 및 도 5b에는 일부 영역을 확대하거나 축소하여 도시되었다. 이하, 도 5a 및 도 5b를 참조하여 본 발명에 대해 설명한다.
- [0134] 도 5a에 도시된 것과 같이, 모듈 홀(MH)은 액티브 영역(DA)에 배치된 화소들로부터 이격되어 홀 영역(PA)에 배치된다. 모듈 홀(MH)은 홀 영역(PA)의 중심에 정의될 수 있다. 모듈 홀(MH)은 표시 패널(100)을 관통하는 관통홀일 수 있다. 모듈 홀(MH)은 표시 패널(100)의 구성들 중 홀 영역(PA)에 배치된 구성들을 관통한다.
- [0135] 구체적으로, 모듈 홀(MH)은 베이스 층(11), 보조층(12), 제1 회로 절연층(21), 제2 회로 절연층(22), 제1 표시 절연층(31), 제2 표시 절연층(32), 제어층(OL), 제2 전극(E2), 제1 무기층(41), 및 제2 무기층(43)을 관통하여 형성될 수 있다. 이에 따라, 모듈 홀(MH)의 내면(MH-IS)은 베이스 층의 단면(11-E), 보조층의 단면(12-E), 제1 절연층의 단면(21-E), 제2 절연층의 단면(22-E), 제1 표시 절연층의 단면(31-E), 제2 표시 절연층의 단면(32-E), 제어층의 단면(OL-E), 제2 전극의 단면(E2-E), 제1 무기층의 단면(41-E), 및 제2 무기층의 단면(43-E)에 의해 정의될 수 있다.
- [0136] 본 실시예에서, 그루브 패턴(GV)은 모듈 홀(MH)을 에워싸는 그루브 영역(GA)에 정의되고, 가이드 패턴(GPT)은 그루브 패턴(GV)을 에워싸는 배선 영역(LA)에 정의될 수 있다. 이하, 도 5b를 참조하여 그루브 패턴(GV) 및 가이드 패턴(GPT)에 대해 상세히 살펴본다.
- [0137] 그루브 패턴(GV)은 절연 기관(10)의 홈 부(HM)와 대응되어 형성될 수 있다. 그루브 패턴(GV)은 홈 부(HM)와 대응되는 평면상에서의 위치 및 단면상에서의 형상을 가질 수 있다. 즉, 그루브 패턴(GV)이 제공하는 소정의 함몰 공간은 홈 부(HM)가 제공하는 함몰 공간과 위치 및 형상에 있어서 유사할 수 있다.
- [0138] 그루브 패턴(GV)은 홈 부(HM)의 내면이 제1 무기층(41) 및 제2 무기층(43) 중 적어도 어느 하나에 의해 커버되어 형성될 수 있다. 제1 무기층(41) 또는 제2 무기층(43) 중 홈 부(HM)의 내면을 커버하는 부분은 홈 부(HM) 주변을 커버하는 부분보다 함몰되어 소정의 함몰 공간을 가진 그루브 패턴(GV)을 형성할 수 있다. 제1 무기층(41)은 홈 부(HM)의 내면을 커버하며 그루브 패턴(GV)의 내면을 정의한다. 이에 따라, 그루브 패턴(GV)의 내면의 형상은 홈 부(HM)의 내면의 형상과 대응될 수 있다. 본 실시예에서, 그루브 패턴(GV)은 제1 무기층(41) 및 제2 무기층(43)에 의해 커버된 홈 부(HM)로 도시되었다.
- [0139] 홈 부(HM)는 절연 기관(10) 중 베이스 층(11)의 일 부분만을 남기고 나머지 구성들을 관통하여 형성될 수 있다. 홈 부(HM)는 보조층(12)에 형성된 제1 부분(H1) 및 베이스 층(11)에 형성된 제2 부분(H2)을 포함할 수 있다.
- [0140] 제1 부분(H1)은 보조층(12)을 관통하는 관통홀일 수 있다. 제1 부분(H1)은 홈 부(HM)의 입구 부분을 정의할 수 있다. 제2 부분(H2)은 베이스 층(11)의 일부를 제거하여 형성된 함몰 패턴일 수 있다. 제2 부분(H2)은 베이스 층(11)의 상면으로부터 함몰되어 형성된다. 베이스 층(11)의 상면은 보조층(12)과 접촉하는 면일 수 있다. 한편, 이는 예시적으로 도시한 것이고, 홈 부(HM)의 형상이나 깊이는 절연 기관(10)의 층 구성에 따라 다양하게 나타날 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0141] 본 실시예에서, 베이스 층(11)은 보조층(12)에 대해 상대적으로 언더-컷 되어 형성될 수 있다. 이에 따라, 홈 부(HM)는 보조층(12)의 끝 단이 홈 부(HM)의 내측을 향해 돌출된 턱부(TP)를 형성하도록 언더-컷(under-cut)된 형상을 가질 수 있다. 구체적으로, 제1 부분(H1)의 너비는 제2 부분(H2) 중 상측의 너비보다 작을 수 있다. 보조층(12) 중 제1 부분(H1)을 정의하는 턱 부(TP)는 평면상에서 볼 때 제2 부분(H2)과 중첩할 수 있다. 한편, 본 발명의 일 실시예에 따른 표시 패널(100)은 홈 부(HM)에 턱부(TP)가 형성될 수 있다면, 다양한 층 구조를 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0142] 제1 무기층(41)은 홈 부(HM)의 내면을 커버한다. 구체적으로, 제1 무기층(41)은 홈 부(HM)를 구성하는 제1 부분

(H1)의 내 측 및 제2 부분(H2)의 내 측을 커버한다. 제2 무기층(43)은 제1 무기층(41)을 따라 배치된다. 이에 따라, 팁 부(TP)는 제1 무기층(41) 및 제2 무기층(43)에 의해 커버된 상태로 그루브 패턴(GV)을 형성할 수 있다.

[0143] 유기층(42)은 발광 소자(OD) 상에 배치된다. 본 실시예에서, 유기층(42)은 그루브 패턴(GV)으로부터 이격될 수 있다. 유기층(42)은 가이드 패턴(GPT) 상에 배치되고 제1 무기층(41) 및 제2 무기층(43)에 의해 밀봉될 수 있다. 이에 따라, 모듈 홀(MH)로부터 침투되는 외부 오염/습기 등의 이동 경로가 될 수 있는 유기층(42)과 모듈 홀(MH) 사이의 이격 거리를 증가시킴으로써, 외부 오염 등에 따른 표시 패널(100)의 손상을 방지하고 표시 패널(100)의 공정 신뢰성을 향상시킬 수 있다.

[0144] 또는, 도시되지 않았으나, 본 발명의 일 실시예에 따른 유기층(42)은 그루브 패턴(GV)이 배치된 그루브 영역(GA)까지 연장되어 그루브 패턴(GV)의 적어도 일부를 충전할 수도 있다. 유기층(42)은 그루브 패턴(GV)의 내부를 충전함으로써, 팁 부(TP)를 지지할 수 있다. 이에 따라, 팁 부(TP)의 돌출된 형상으로 인해 팁 부(TP)가 손상되는 문제를 방지할 수 있어, 표시 패널(100)의 내구성이 향상될 수 있다. 본 발명의 일 실시예에 따른 표시 패널(100)은 다양한 실시예들을 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

[0145] 한편, 본 실시예에서, 제어층(OL)과 제2 전극(E2)은 보조층(12), 및 제1 회로 절연층(21)의 일부가 제거된 이후에 형성될 수 있다. 제어층(OL)과 제2 전극(E2)은 증착(deposition) 공정을 통해 형성될 수 있다. 이에 따라, 제어층(OL)과 제2 전극(E2)은 보조층(12)이 관통된 단면들을 커버할 수 있다. 이후 제어층(OL)과 제2 전극(E2)은 제1 무기층(41)에 의해 커버될 수 있다.

[0146] 한편, 표시 패널(100)은 홈 부(HM) 내에 배치된 소정의 추가 유기 패턴(OL-P)을 더 포함할 수 있다. 추가 유기 패턴(OL-P)은 제어층(OL) 및 제2 전극(E2) 중 적어도 어느 하나와 동일한 물질을 포함할 수 있다. 추가 유기 패턴(OL-P)은 제어층(OL) 및 제2 전극(E2)으로부터 이격되어 홈 부(HM) 내에 배치되고 제1 무기층(41)에 의해 커버되어 외부로 노출되지 않을 수 있다.

[0147] 가이드 패턴(GPT)은 평면상에서 볼 때, 발광 소자(OD)와 그루브 패턴(GV) 사이에 배치될 수 있다. 가이드 패턴(GPT)은 제1 표시 절연층(31) 및 제2 표시 절연층(32) 중 적어도 어느 하나에 정의된 함몰 패턴(recess pattern)일 수 있다.

[0148] 가이드 패턴(GPT)은 제2 표시 절연층(32)을 관통하고 제1 표시 절연층(31)의 적어도 일부를 제거하는 깊이로 형성될 수 있다. 가이드 패턴(GPT)은 단면상에서 볼 때, 제2 표시 절연층(32)을 관통하고 제1 표시 절연층(31)의 상면으로부터 함몰된 형상을 가진다.

[0149] 가이드 패턴(GPT)은 각각이 제2 표시 절연층(32)의 상면으로부터 함몰된 패턴들(GPTs)로 구성될 수 있다. 본 실시예에서, 패턴들(GPTs) 각각은 동일 너비 및 동일 깊이를 가진 함몰 패턴들로 도시되었다. 다만, 이는 예시적으로 도시된 것이고, 공정 오차 또는 공정 설계에 따라 패턴들(GPTs)의 너비들이나 깊이들은 서로 다르게 형성될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.

[0150] 본 실시예에서, 제어층(OL), 제2 전극(E2), 및 제1 무기층(41)은 패턴들(GPTs) 각각의 내면을 따라 형성될 수 있다. 이에 따라, 제어층(OL), 제2 전극(E2), 및 제1 무기층(41)이 형성되더라도 가이드 패턴(GPT)의 함몰된 형상은 안정적으로 유지될 수 있다.

[0151] 본 실시예에 따른 유기층(42)은 스크린 프린트 공정이나 잉크젯 공정 등과 같은 용액 공정을 통해 액상의 유기 물질을 액티브 영역(DA)에 도포하여 형성될 수 있다. 소정의 퍼짐성을 가진 액상의 유기물질은 액티브 영역(DA)의 중심으로부터 홀 영역(PA)을 향해 서서히 퍼져나갈 수 있다. 액상의 유기 물질이 가이드 패턴(GPT)을 커버하면서, 부분적으로 가이드 패턴(GPT)의 함몰된 형상을 충전할 수 있다. 가이드 패턴(GPT)에 의해 액상의 유기 물질의 유량이나 퍼짐성이 제어될 수 있다. 이에 따라, 유기층(42)은 가이드 패턴(GPT)에 의해 배선 영역(LA) 내에서 고른 퍼짐성을 가지며 형성될 수 있다.

[0152] 한편, 본 실시예에 따른 표시 패널(100)은 스페이서(SPS)를 더 포함할 수 있다. 스페이서(SPS)는 제2 표시 절연층(42) 상면으로부터 돌출될 수 있다. 스페이서(SPS)는 제2 표시 절연층(42)으로부터 독립되어 제2 표시 절연층(42) 및 제어층(OL) 사이에 배치되거나 제2 표시 절연층(42)과 일체로 형성될 수 있다. 스페이서(SPS)는 절연 물질을 포함할 수 있다. 스페이서(SPS)는 발광층(EL) 형성 시 사용되는 마스크가 제2 표시 절연층(42) 사이의 접촉이 방지되도록 마스크를 지지할 수 있다. 다만, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따른 표시 패널(100)에 있어서, 스페이서(SPS)는 생략될 수도 있다. 본 발명의 일 실시예에 따른 표시 패널(100)

은 다양한 구조를 가질 수 있으며, 어느 하나의 실시예로 한정되지 않는다.

- [0154] 도 6a 내지 도 6c는 본 발명의 일 실시예에 따른 표시 패널들의 단면도들이다. 용이한 설명을 위해 도 5b에 도시된 영역과 대응되는 영역들을 도시하였다. 이하, 도 6a 내지 도 6c를 참조하여 본 발명에 대해 설명한다.
- [0155] 도 6a에 도시된 것과 같이, 가이드 패턴(GPT-1)은 제2 표시 절연층(32)에 정의된 함몰 패턴일 수 있다. 가이드 패턴(GPT-1)은 제2 표시 절연층(32)의 상면으로부터 함몰된 형상을 가진다.
- [0156] 가이드 패턴(GPT-1)은 제2 표시 절연층(32)의 일부를 제거하고 제1 표시 절연층(31)까지 도달하지 않는 깊이로 형성될 수 있다. 가이드 패턴(GPT-1)은 단면상에서 볼 때, 제2 표시 절연층(32)의 상면으로부터 함몰되고 제1 표시 절연층(31)으로부터 이격된 형상을 가진다.
- [0157] 또는, 도 6b에 도시된 것과 같이, 가이드 패턴(GPT-2)은 제1 표시 절연층(31)에 정의된 함몰 패턴일 수 있다. 가이드 패턴(GPT-2)은 제1 표시 절연층(31)의 상면으로부터 함몰된 형상을 가진다. 가이드 패턴(GPT-2)은 제1 표시 절연층(31)의 일부를 제거하고 제2 회로 절연층(22)까지 도달하지 않는 깊이로 형성될 수 있다.
- [0158] 가이드 패턴(GPT-2)은 평면상에서 볼 때, 제2 표시 절연층(32)으로부터 이격된 형상을 가진다. 가이드 패턴(GPT-2)은 제2 표시 절연층(32)으로부터 노출되어 가이드 패턴(GPT-2)의 함몰된 형상이 유기층(42)에 안정적으로 노출될 수 있다.
- [0159] 또는, 도 6c에 도시된 것과 같이, 가이드 패턴(GPT-3)은 제1 표시 절연층(31) 및 제2 표시 절연층(32) 각각에 정의된 함몰 패턴일 수 있다. 가이드 패턴(GPT-3)은 제2 표시 절연층(32)에 정의된 제1 함몰 패턴(GPTa) 및 제1 표시 절연층(31)에 정의된 제2 함몰 패턴(GPTb)을 포함할 수 있다.
- [0160] 제1 함몰 패턴(GPTa)은 제2 표시 절연층(32)의 상면으로부터 함몰되고 제1 표시 절연층(31)과 단면상에서 이격된다. 제2 함몰 패턴(GPTb)은 제1 표시 절연층(31)의 상면으로부터 함몰되고 제2 회로 절연층(22)과 단면상에서 이격된다. 제1 함몰 패턴(GPTa)이 제2 회로 절연층(22)의 상면으로부터 이격된 거리와 제2 함몰 패턴(GPTb)이 제2 회로 절연층(22)의 상면으로부터 이격된 거리는 동일하거나 상이할 수 있다.
- [0161] 제1 함몰 패턴(GPTa)과 제2 함몰 패턴(GPTb)은 평면상에서 볼 때 서로 이격되어 배치될 수 있다. 제2 함몰 패턴(GPTb)은 제2 표시 절연층(32)으로부터 노출될 수 있다. 이에 따라, 제1 함몰 패턴(GPTa)과 제2 함몰 패턴(GPTb) 각각의 함몰된 형상들은 유기층(42)에 안정적으로 노출되어 유기층(42)의 퍼짐성을 용이하게 제어할 수 있다.
- [0163] 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 표시 패널의 일부 영역을 도시한 단면도들이다. 도 7a 및 도 7b에는 용이한 설명을 위해 도 5b와 대응되는 영역을 도시하였다. 이하, 도 7a 및 도 7b를 참조하여 본 발명에 대해 설명한다. 한편, 도 1 내지 도 6c에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.
- [0164] 도 7a 및 도 7b에 도시된 것과 같이, 본 발명의 일 실시예에 따른 가이드 패턴(GPT-R1, GPT-R2)은 평면상에서 볼 때, 제1 표시 절연층(31) 및 제2 표시 절연층(32) 중 적어도 하나로부터 이격된 돌출 패턴일 수 있다. 도 7a 및 도 7b에 도시된 가이드 패턴(GPT-R1, GPT-R2)은 표시층의 절연층들(31, 32)로부터 독립되며 분리 가능한 구성일 수 있다.
- [0165] 예를 들어, 도 7a에 도시된 것과 같이, 가이드 패턴(GPT-R1)은 제1 표시 절연층(31) 및 제2 표시 절연층(32)으로부터 이격되고, 제2 회로 절연층(22)의 상면으로부터 돌출된 형상을 가진다. 본 실시예에서, 가이드 패턴(GPT-R1)은 제1 층(R1) 및 제2 층(R2)을 포함하는 적층 구조물일 수 있다. 제1 층(R1)은 제1 표시 절연층(31)과 동일한 층 상에 배치되고 동일한 물질을 포함할 수 있다. 제2 층(R2)은 제1 층(R1) 상에 배치되고, 제2 표시 절연층(32)과 동일한 층 상에 배치되고 동일한 물질을 포함할 수 있다.
- [0166] 유기층(42)은 가이드 패턴(GPT-R1)을 커버하며 형성될 수 있다. 가이드 패턴(GPT-R1)을 구성하는 복수의 돌출 패턴들 사이의 공간(IV1) 또는 가이드 패턴(GPT-R1)과 표시 절연층(30) 사이의 공간에 유기층(42)의 적어도 일부가 충전될 수 있다. 가이드 패턴(GPT-R1)은 유기층(42)의 퍼짐성을 제어하여 유기층(42)이 형성되는 영역을 자유롭게 설계할 수 있다.

- [0167] 또는, 예를 들어, 도 7b에 도시된 것과 같이, 가이드 패턴(GPT-R2)은 제1 표시 절연층(31) 상에 배치되고 제2 표시 절연층(32)으로부터 이격된 돌출 패턴을 포함할 수 있다. 가이드 패턴(GPT-R2)은 제1 표시 절연층(31) 상면으로부터 돌출되고 제2 표시 절연층(32)으로부터 이격된 형상을 가진다.
- [0168] 가이드 패턴(GPT-R2)을 구성하는 복수의 돌출 패턴들 사이의 공간(IV2) 또는 가이드 패턴(GPT-R2)과 제2 표시 절연층(32) 사이의 공간에 유기층(42)의 적어도 일부가 충전될 수 있다. 가이드 패턴(GPT-R2)은 유기층(42)의 퍼짐성을 제어하여 유기층(42)이 형성되는 영역을 자유롭게 설계할 수 있다.
- [0170] 도 8a 내지 도 8d는 본 발명의 일 실시예에 따른 표시 패널들의 일부 영역들을 간략히 도시한 평면도들이다. 도 8a 내지 도 8d에는 도 4b에 도시된 영역 중 홀 영역(PA: 도 4b 참조)과 대응되는 영역을 간략히 도시하였다. 이하, 도 8a 내지 도 8d를 참조하여 본 발명에 대해 설명한다. 한편, 도 1 내지 도 7에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.
- [0171] 도 8a에 도시된 것과 같이, 가이드 패턴(GPT-A)은 서로 이격된 복수의 아일랜드 패턴들(GPTs-A)로 구성될 수 있다. 아일랜드 패턴들(GPTs-A)은 배선 영역(LA)에 서로 이격되어 배치될 수 있다. 본 실시예에서, 아일랜드 패턴들(GPTs-A)은 랜덤(random)하게 배열될 수 있다. 이에 따라, 도 4b에 도시된 아일랜드 패턴들(GPTs)과 달리, 모듈 홀(MH)을 중심(HC)으로 열이나 행 등의 구분 없이 배선 영역(LA) 내에 서로 분산되어 배치될 수 있다.
- [0172] 또는, 도 8b에 도시된 것과 같이, 가이드 패턴(GPT-B)은 서로 이격된 복수의 라인 패턴들(GPTs-B)로 구성될 수 있다. 라인 패턴들(GPTs-B) 각각은 일 방향을 따라 연장된 라인 형상을 가질 수 있다. 라인 패턴들(GPTs-B)은 라인 패턴들(GPTs-B) 각각의 연장 방향이 어느 하나에 한정되지 않고 서로 상이한 방향을 향하도록 배열될 수 있다.
- [0173] 본 발명의 일 실시예에 따른 라인 패턴들(GPTs-B)은 적어도 모듈 홀(MH)을 에워싸는 방향으로 연장 방향들이 배치되도록 배열될 수 있다. 이에 따라, 라인 패턴들(GPTs-B)의 일 단들은 모듈 홀(MH)의 중심(HC)이 아닌 방향으로 배치될 수 있다. 이에 따라, 라인 패턴들(GPTs-B)은 각각의 연장 방향들이 유기층(42: 도 5a 참조)의 퍼짐이 진행되는 방향과 교차되는 방향으로 놓여질 수 있다. 이에 따라, 유기층(42)이 모듈 홀(MH)을 향해 넘치는 불량이나 그루브 영역(GA)을 향해 유기층(42)의 퍼짐이 과도하게 진행되는 문제를 용이하게 방지할 수 있다.
- [0174] 또는, 도 8c에 도시된 것과 같이, 가이드 패턴(GPT-C)은 서로 이격된 페라인 형상의 패턴들(GPTs-C)로 구성될 수 있다. 페라인 형상의 패턴들(GPTs-C) 각각은 모듈 홀(MH)을 에워쌀 수 있다. 페라인 형상의 패턴들(GPTs-C) 각각은 모듈 홀(MH)과 대응되는 원 형상을 가질 수 있다.
- [0175] 또는, 도 8d에 도시된 것과 같이, 가이드 패턴(GPT-D)을 구성하는 페라인 형상의 패턴들(GPTs-D) 각각은 모듈 홀(MH)과 상이한 형상을 가질 수도 있다. 본 실시예에서, 페라인 형상의 패턴들(GPTs-D) 각각은 다각 형상을 가진 것으로 도시되었다. 한편, 본 실시예에서, 페라인 형상의 패턴들(GPTs-D) 각각은 유사한 형상을 가진 것으로 도시되었다. 이에 따라, 페라인 형상의 패턴들(GPTs-D) 각각은 육각형 형상으로 도시되었다. 다만, 이는 예시적으로 도시한 것이고, 페라인 형상의 패턴들(GPTs-D) 각각은 서로 상이한 형상을 가질 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0176] 한편, 가이드 패턴들(GPT-C, GPT-D)은 단일의 페라인 형상의 패턴으로 구성되거나 세 개 이상의 페라인 형상의 패턴들로 구성될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0178] 도 9a 내지 도 9c는 본 발명의 일 실시예에 따른 표시 패널들의 일부 영역들을 도시한 단면도들이다. 이하, 도 9a 내지 도 9c를 참조하여 본 발명에 대해 설명한다. 한편, 도 1 내지 도 8d에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.
- [0179] 도 9a에 도시된 것과 같이, 표시 패널(100-1)은 복수의 그루브 패턴들(GV1, GV2)을 포함할 수 있다. 그루브 패턴들(GV1, GV2)은 평면상에서 볼 때 서로 이격된 제1 그루브 패턴(GV1) 및 제2 그루브 패턴(GV2)을 포함할 수 있다.
- [0180] 제1 그루브 패턴(GV1)은 모듈 홀(MH)을 에워싼다. 제1 그루브 패턴(GV1)은 제1 및 제2 그루브 패턴들(GV1, GV2) 중 모듈 홀(MH)에 더 인접한 그루브 패턴일 수 있다. 제1 그루브 패턴(GV1)은 기판(10-1)에 정의된 제1 홈 부(HM1)와 대응될 수 있다. 제1 그루브 패턴(GV1)의 함몰된 공간은 제1 홈 부(HM1)의 내면을 커버하는 제1 무기층

(41) 및 제2 무기층(43)에 의해 제공될 수 있다.

- [0181] 제2 그루브 패턴(GV2)은 제1 그루브 패턴(GV1)을 에워싼다. 제2 그루브 패턴(GV2)은 제1 및 제2 그루브 패턴들(GV1, GV2) 중 액티브 영역(DA)에 더 인접한 그루브 패턴일 수 있다. 제2 그루브 패턴(GV2)은 기관(10-1)에 정의된 제2 홈 부(HM2)와 대응될 수 있다. 제2 그루브 패턴(GV2)의 함몰된 공간은 제2 홈 부(HM2)의 내면을 커버하는 제1 무기층(41)에 의해 제공될 수 있다.
- [0182] 본 실시예에서, 제2 그루브 패턴(GV2)은 유기층(42)에 의해 충전되고 제1 그루브 패턴(GV1)은 유기층(42)으로부터 노출될 수 있다. 평면상에서 볼 때, 유기층(42)은 제2 홈 부(HM2)와 중첩하고 제1 홈 부(HM1)와 이격될 수 있다.
- [0183] 한편, 본 발명에 따른 표시 패널(100-1)은 홀 댐 부(DM-H, 이하 댐 부)를 더 포함할 수 있다. 댐 부(DM-H)는 홀 영역(PA)에 배치되고, 제1 그루브 패턴(GV1)과 제2 그루브 패턴(GV2) 사이에 배치될 수 있다. 댐 부(DM-H)는 제1 표시 절연층(31)과 동일한 층 상에 배치되거나 제2 표시 절연층(32)과 동일한 층 상에 배치될 수 있다. 댐 부(DM-H)는 유기층(42)이 제1 그루브 패턴(GV1)까지 연장되지 않도록 유기층(42)의 퍼짐을 제어할 수 있다.
- [0184] 또는, 도 9b에 도시된 것과 같이, 표시 패널(100-2)은 도 9a에 도시된 표시 패널(100-1)에 비해 제1 그루브 패턴(GV1)에 배치된 충전 패턴(FL)을 더 포함할 수 있다. 충전 패턴(FL)은 제1 그루브 패턴(GV1)의 적어도 일부를 충전한다.
- [0185] 충전 패턴(FL)은 유기층(42)으로부터 이격될 수 있다. 충전 패턴(FL)은 제1 무기층(41) 및 제2 무기층(43)에 의해 밀봉될 수 있다. 충전 패턴(FL)은 유기층(42)과 동일한 물질을 포함할 수 있다. 이때, 충전 패턴(FL)은 유기층(42)으로부터 분리된 패턴일 수 있다. 즉, 본 발명에 따르면, 표시 패널(100-2)에 댐 부(DM-H)가 구비되더라도 유기층(42)의 일부가 댐 부(DM-H)를 지나 제1 그루브 패턴(GV1)에 충전될 수도 있다.
- [0186] 또는, 도 9c에 도시된 것과 같이, 표시 패널(100-3)에 있어서, 유기층(42-F)의 일부는 댐 부(DM-H)와 중첩할 수도 있다. 유기층(42-F)의 유동성 및 적하된 정도가 클 경우, 유기층(42-F)의 일부가 댐 부(DM-H)와 중첩하는 영역까지 퍼져나감으로써, 댐 부(DM-H)의 적어도 일부가 유기층(42-F)에 의해 커버될 수도 있다.
- [0187] 한편, 이는 예시적으로 설명한 것이고, 충전 패턴(FL)은 유기층(42, 42-F)과 상이한 물질을 포함할 수도 있다. 본 발명의 일 실시예에 따른 표시 패널(100-1, 100-2, 100-3)은 다양한 실시예들을 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0189] 도 10a 내지 도 10i는 본 발명의 일 실시예에 따른 표시 패널의 제조 방법을 간략히 도시한 단면도들이다. 도 10a 내지 도 10i에는 용이한 설명을 위해 도 5a에 도시된 영역과 대응되는 영역에서의 단면도들을 도시하였다. 이하, 도 10a 내지 도 10i를 참조하여 본 발명에 대해 설명한다. 한편, 도 1 내지 도 9b에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.
- [0190] 도 10a에 도시된 것과 같이, 예비 절연 기관(10-I), 및 예비 회로 절연층(20-I) 및 예비 표시층(30-I)을 형성한다. 예비 절연 기관(10-I)은 예비 베이스 층(11-I) 및 예비 베이스 층(11-I) 상에 형성된 예비 보조층(12-I)을 포함할 수 있다. 예비 보조층(12-I)은 액티브 영역(DA) 및 홀 영역(PA)을 커버하도록 예비 베이스 층(11-I) 전면에 무기물을 증착하여 형성될 수 있다.
- [0191] 예비 표시층(30-I)이 형성되기 전에 박막 트랜지스터(TR), 복수의 신호 라인들(SCL1, SCL2), 제1 예비 회로 절연층(21-I), 및 제2 예비 회로 절연층(22-I)이 형성될 수 있다. 박막 트랜지스터(TR)는 반도체 물질을 증착/패터닝하여 형성된 반도체 패턴(SP), 각각이 도전 물질을 증착/패터닝하여 형성된 제어 전극(CE), 입력 전극(IE), 및 출력 전극(OE)을 포함할 수 있다.
- [0192] 신호 라인들(SCL1, SCL2)은 배선 영역(LA)에 도전 물질을 증착/패터닝하여 형성될 수 있다. 이때, 신호 라인들(SCL1, SCL2) 각각은 제어 전극(CE) 및 입력 전극(IE) 각각과 동일한 물질로 형성될 수 있고, 동일 공정에 의해 동시에 형성될 수 있다. 다만, 이는 예시적으로 설명한 것이고, 신호 라인들(SCL1, SCL2)은 박막 트랜지스터(TR)와 별도 공정을 통해 형성될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다. 제1 예비 회로 절연층(21-I) 및 제2 예비 회로 절연층(22-I) 각각은 절연물질을 증착/패터닝하여 형성될 수 있다.
- [0193] 예비 표시층(30-I)은 예비 회로 절연층(20-I) 상에 형성된다. 예비 표시층(30-I)은 제1 예비 표시 절연층(31-I) 및 제2 예비 표시 절연층(32-I)을 포함할 수 있다.

- [0194] 제1 예비 표시 절연층(31-I)은 제2 예비 회로 절연층(22) 상에 형성될 수 있다. 제1 예비 표시 절연층(31-I)은 절연 물질을 증착/패터닝하여 형성될 수 있다. 이때, 제1 예비 표시 절연층(31-I)은 액티브 영역(DA) 및 배선 영역(LA)을 커버하고 예비 홀 영역(HA)과 대응되는 영역을 오픈시키는 개구부(31-OP)가 형성되도록 패터닝될 수 있다. 다만, 이는 예시적으로 도시한 것이고, 제1 예비 표시 절연층(31-I)에서 개구부(31-OP)는 생략될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0195] 이때, 제1 전극(E1)이 제1 예비 표시 절연층(31-I) 상에 형성될 수 있다. 제1 전극(E1)은 도전 물질을 증착/패터닝하여 형성될 수 있다. 제1 전극(E1)은 제1 예비 표시 절연층(31-I)을 관통하여 박막 트랜지스터(TR)에 접속된다. 제1 전극(E1)에 의해 관통되는 제1 예비 표시 절연층(31-I)의 관통 부분은 개구부(31-OP)와 동시에 형성될 수 있다. 다만, 이는 예시적으로 설명한 것이고, 제1 전극(E1)에 의해 관통되는 부분은 개구부(31-OP)와 다른 공정에서 형성될 수도 있다.
- [0196] 제2 예비 표시 절연층(32-I)은 제1 예비 표시 절연층(31-I) 상에 형성된다. 제2 예비 표시 절연층(32-I)은 제1 전극(E1)을 커버하고 개구부(31-OP)를 충전하도록 절연 기관(10) 전면에서 형성될 수 있다. 제2 예비 표시 절연층(32-I)은 절연 물질을 증착하여 형성될 수 있다.
- [0197] 이후, 도 10b에 도시된 것과 같이, 제1 예비 표시 절연층(31-I)을 패터닝하여 표시 절연층(30)을 형성한다. 이때, 화소 개구부(OP) 및 가이드 패턴(GPT)이 형성될 수 있다. 화소 개구부(OP)는 액티브 영역(DA)에 형성된다. 화소 개구부(OP)는 제1 예비 표시 절연층(31-I) 중 제1 전극(E1)의 적어도 일부가 노출되도록 제1 예비 표시 절연층(31-I)의 일부를 제거하여 형성될 수 있다. 화소 개구부(OP) 및 가이드 패턴(GPT)은 하나의 마스크를 통해 동일 공정 내에서 형성될 수 있다.
- [0198] 가이드 패턴(GPT)은 홀 영역(PA)에 형성된다. 가이드 패턴(GPT)은 액티브 영역(DA)으로부터 이격되어 배선 영역(LA)에 형성될 수 있다. 가이드 패턴(GPT)은 제2 예비 표시 절연층(32-I)의 적어도 일부가 제거되어 형성될 수 있다.
- [0199] 이때, 제2 예비 표시 절연층(32-I)의 식각 정도에 따라, 가이드 패턴(GPT)의 깊이가 결정될 수 있다. 본 실시예에서, 가이드 패턴(GPT)은 제1 예비 표시 절연층(31-I)의 적어도 일부가 제거되는 깊이로 형성될 수 있다. 이에 따라, 가이드 패턴(GPT)은 제2 예비 표시 절연층(32-I)을 관통하고 제1 예비 표시 절연층(31-I)의 일부를 함몰시키는 깊이로 형성된다. 다만, 이는 예시적으로 도시한 것이고, 제2 예비 표시 절연층(32-I)의 식각 속도나 시간을 제어함으로써, 가이드 패턴(GPT)의 깊이를 다양하게 설계할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0200] 한편, 제2 표시 절연층(32) 형성 시 예비 홀 영역(HA)을 오픈시키는 개구부(32-OP)가 추가로 더 형성될 수도 있다. 본 실시예에서, 제1 표시 절연층(31)의 개구부(31-OP)와 제2 표시 절연층(32)의 개구부(32-OP)는 다른 공정에 의해 독립적으로 형성된 것으로 도시되었으나, 이에 한정되지 않고, 제1 표시 절연층(31)의 개구부(31-OP)와 제2 표시 절연층(32)의 개구부(32-OP)는 동일 공정에 의해 동시에 형성될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0201] 이후, 도 10c에 도시된 것과 같이, 예비 회로 절연층(20-I)에 개구부(20-OP)를 형성하여 회로 절연층(20)을 형성한다. 개구부(20-OP)는 제1 예비 회로 절연층(21-I) 및 제2 예비 회로 절연층(22-I)을 관통하도록 형성된다.
- [0202] 개구부(20-OP)는 홀 영역(HA)에 형성될 수 있다. 개구부(20-OP)는 후술하는 홈 부가 형성되는 영역과 대응될 수 있다. 따라서, 후술하는 모듈 홀을 에워싸도록 예비 홀 영역(HA)의 중심을 에워싸는 페라인 형상으로 형성될 수 있다.
- [0203] 이후, 도 10d에 도시된 것과 같이, 소정의 오픈부(OP-M)가 형성된 마스크(MSK)를 형성한다. 마스크(MSK)는 표시 절연층(30) 및 회로 절연층(20) 상에 형성될 수 있다. 마스크(MSK)는 무기물을 증착/패터닝하여 형성될 수 있다. 예를 들어, 마스크(MSK)는 금속 산화물로 형성될 수 있다. 마스크의 오픈부(OP-M)는 회로 절연층(20)에 형성된 개구부(20-OP)와 중첩하는 영역에 형성되어 예비 절연 기관(10-I)의 전면의 일부를 노출시킨다.
- [0204] 이후, 도 10e에 도시된 것과 같이, 마스크(MSK)를 이용하여 예비 보조층(12-I)을 식각하여 보조층(12)을 형성한다. 예비 보조층(12-I) 중 마스크의 오픈부(OP-M)에 의해 노출된 부분이 식각되어 제1 부분(H1)이 형성된다. 제1 부분(H1)은 예비 베이스 층(11-I)의 상면을 노출시킨다.
- [0205] 이후, 도 10f에 도시된 것과 같이, 마스크(MSK)를 이용하여 예비 베이스 층(11-I)을 추가 식각하여 절연 기관(10)을 형성한다. 예비 베이스 층(11-I)과 예비 보조층(12-I) 사이의 식각 선택비 차이에 따라, 예비 베이스 층

(11-I)에는 마스크의 오픈부(OP-M)나 제1 부분(H1)으로부터 언더-컷 된 제2 부분(H2)이 형성될 수 있다. 제1 부분(H1)의 제2 방향(DR2)에서의 너비는 제2 부분(H2) 중 최 상 측의 제2 방향(D2)에서의 너비보다 작을 수 있다. 보조층(12)에는 언더-컷에 의해 돌출된 팁 부(TP)가 형성될 수 있다. 이에 따라, 홈 부(HM)는 제1 부분(H1) 및 제2 부분(H2)을 포함함으로써, 언더 컷된 형상을 갖고 팁 부(TP)를 포함할 수 있다.

- [0206] 이후, 도 10g에 도시된 것과 같이, 발광 소자(OL) 및 제1 무기층(41)을 형성한다. 발광 소자(OD)는 발광층(EL), 제어층(OL), 및 제2 전극(E2)을 순차적으로 형성하여 형성될 수 있다. 발광층(EL)은 제2 표시 절연층(32) 상면에 형성된 스페이서(SPS)에 의해 지지되는 마스크를 통해 발광 물질을 개구부(OP)에 프린팅 또는 젯팅하여 형성될 수 있다.
- [0207] 제어층(OL)은 유기 물질을 증착하여 형성될 수 있다. 제어층(OL)은 열 증착(evaporation)에 의해 형성될 수 있다. 이때, 유기 물질 중 일부는 홈 부(HM)에 증착되어 유기 패턴(OL-P)을 형성할 수 있다. 제2 전극(E2)은 도전 물질을 증착하여 형성될 수 있다. 제2 전극(E2)의 증착은 열 증착, 스퍼터링을 포함하는 물리적 증착 공정을 포함할 수 있다. 이에 따라, 도시되지 않았으나, 제2 전극(E2)의 증착 공정 중 도전 물질의 일부는 홈 부(HM)에 형성되어 패턴을 형성할 수도 있다.
- [0208] 제1 무기층(41)은 액티브 영역(DA) 및 홀 영역(PA)에 형성될 수 있다. 제1 무기층(41)은 절연물질을 증착하여 형성될 수 있다. 예를 들어, 제1 무기층(41)은 무기물을 증착하여 형성될 수 있으며, 화학 기상 증착을 통해 형성될 수 있다. 이때, 제1 무기층(41)은 홈 부(HM) 내면을 따라 형성될 수 있다.
- [0209] 이후, 도 10h에 도시된 것과 같이, 액티브 영역(DA)에 유기층(42)을 형성한다. 유기층(42)은 스크린 프린팅 공정이나 잉크젯 공정과 같은 용액 공정을 통해 액상의 유기 물질을 제1 무기층(41) 상에 도포하여 형성될 수 있다.
- [0210] 본 실시예에 따른 유기층(42)은 액상의 유기물질을 액티브 영역(DA)에 적하시키고 적하된 유기물질의 퍼짐을 제어하여 형성한다. 이때, 적하된 유기 물질은 화살표 방향을 따라 액티브 영역(DA)으로부터 홀 영역(PA)을 향해 퍼져나가며 가이드 패턴(GPT)에 접할 수 있다. 적하된 유기 물질은 가이드 패턴(GPT)의 적어도 일부를 충전하거나, 가이드 패턴(GPT)에 의해 퍼짐 경로가 제어됨으로써, 배선 영역(LA)의 전면에 고르게 퍼질 수 있다. 이에 따라, 가이드 패턴(GPT)을 더 포함함으로써, 유기층(42)이 형성되는 영역을 안정적으로 설계할 수 있다.
- [0211] 이후, 도 10i에 도시된 것과 같이, 제2 무기층(43)을 형성한 후, 모듈 홀(MH)을 형성하여 표시 패널(100)을 형성한다. 제2 무기층(43)은 무기물을 증착하여 형성될 수 있다. 예를 들어, 제2 무기층(43)은 무기물을 화학 기상 증착을 통해 유기층(42) 상에 증착하여 형성될 수 있다. 제2 무기층(43)은 홈 부(HM) 내측을 따라 형성되어 그루브 패턴(GV)을 형성할 수 있다. 제2 무기층(43)은 제1 무기층(41)과 접촉하도록 형성되고, 유기층(42) 제1 무기층(41) 및 제2 무기층(43)에 의해 밀봉될 수 있다.
- [0212] 이후, 홀 영역(PA)에 모듈 홀(MH)을 형성한다. 모듈 홀(MH)은 표시 패널(100)을 관통하여 형성될 수 있다. 홀 영역(PA)에 배치된 베이스 층(11), 보조층(12), 제1 회로 절연층(21), 제2 회로 절연층(22), 제1 표시 절연층(31), 제2 표시 절연층(32), 제어층(OL), 제2 전극(E2), 제1 무기층(41), 및 제2 무기층(43)은 레이저 또는 드릴링에 의해 관통될 수 있다. 이에 따라, 베이스 층의 단면(11-E), 보조층의 단면(12-E), 제1 회로 절연층의 단면(21-E), 제2 회로 절연층의 단면(22-E), 제1 표시 절연층의 단면(31-E), 제2 표시 절연층의 단면(32-E), 제어층의 단면(OL-E), 제2 전극의 단면(E2-E), 제1 무기층의 단면(41-E), 및 제2 무기층의 단면(43-E)이 형성되고, 단면들에 의해 모듈 홀(MH)의 내면이 정의될 수 있다.
- [0214] 도 11a 내지 도 11f는 본 발명의 일 실시예에 따른 표시 패널의 제조 방법을 도시한 단면도들이다. 도 11a 내지 도 11f에는 용이한 설명을 위해 도 5a에 도시된 영역과 대응되는 영역에서의 단면도들을 도시하였다. 이하, 도 11a 내지 도 11f를 참조하여 본 발명에 대해 설명한다. 한편, 도 1 내지 도 10i에서 설명한 구성과 동일한 구성에 대해서는 동일한 참조부호를 부여하고 중복된 설명은 생략하기로 한다.
- [0215] 도 11a에 도시된 것과 같이, 예비 절연 기관(10-I1), 예비 회로 절연층(20-I1), 및 예비 표시 절연층(30-I1)을 형성한다. 예비 절연 기관(10-I1) 및 예비 회로 절연층(20-I1)은 도 10a에서 설명한 내용과 대응되므로 중복된 설명은 생략하기로 한다. 예비 표시 절연층(30-I1)에는 제1 전극(E1)을 노출시키는 개구부(OP) 및 예비 홀 영역(HA)을 노출시키는 개구부(32-OP)가 형성될 수 있다. 이때, 도 10b와 달리, 예비 표시 절연층(30-I1)에는 가이드 패턴(GPT: 도 10b 참조)이 형성되지 않는다.

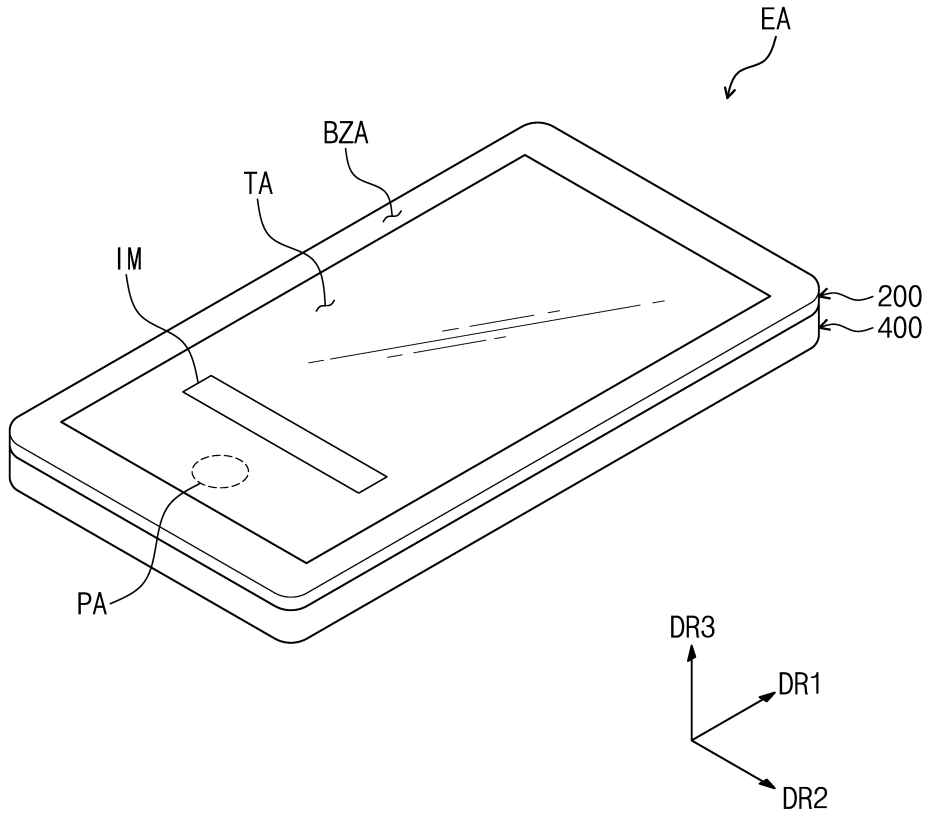
- [0216] 이후, 도 11b에 도시된 것과 같이, 예비 회로 절연층(20-I1)에 개구부(20-OP)를 형성하여 회로 절연층(20)을 형성한다. 예비 회로 절연층의 개구부(20-OP)는 예비 홀 영역(HA)에 형성될 수 있으며, 도 10c에서 설명된 내용과 대응되므로, 중복된 설명은 생략하기로 한다.
- [0217] 이후, 도 11c에 도시된 것과 같이, 예비 절연 기관(10-I1) 상에 마스크(MSK1)를 형성한다. 마스크(MSK1)는 홀 영역(PA) 및 액티브 영역(DA)에 증착하도록 형성되고 무기 물질을 증착/패터닝하여 형성될 수 있다. 본 실시예에서, 마스크(MSK1)는 금속 산화물로 형성될 수 있다.
- [0218] 마스크(MSK1)는 예비 홀 영역(HA)에 형성된 제1 오픈부(OP-M1) 및 배선 영역(LA)에 형성된 제2 오픈부(OP-M2)를 포함할 수 있다. 제1 오픈부(OP-M1)는 홈 부(HM)를 형성하기 위한 부분으로 도 10d에 도시된 오픈부(OP-M: 도 10d 참조)와 대응되므로, 이하 중복된 설명은 생략하기로 한다. 제2 오픈부(OP-M2)는 예비 표시 절연층(30-I1) 상에 배치되어 제2 예비 표시 절연층(32-I1)의 상면의 적어도 일부를 노출시킨다.
- [0219] 이후, 도 11d에 도시된 것과 같이, 마스크(MSK1)를 통해 예비 절연 기관(10-I1) 및 예비 표시 절연층(30-I1)을 식각하여 표시 절연층(30)을 형성한다. 이때, 홈 부(HM) 및 가이드 패턴(GPT)이 형성될 수 있다. 본 실시예에서, 홈 부(HM) 및 가이드 패턴(GPT)은 하나의 마스크(MSK1)를 통해 동일 공정 내에서 형성될 수 있다. 예비 표시 절연층(30-I1)의 식각 속도 및 시간을 제어하여 가이드 패턴(GPT)의 깊이 및 홈 부(HM)의 깊이를 다양하게 제어할 수 있다.
- [0220] 이후, 도 11e 및 도 11f에 도시된 것과 같이, 마스크(MSK1)를 제거한 후, 발광 소자(OD) 및 봉지층(40)을 형성한 후, 모듈 홀(MH)을 형성하여 표시 패널(100)을 형성한다. 이에 대한 상세한 설명은 도 10g 내지 도 10i와 대응되므로, 이하 중복된 설명은 생략하기로 한다.
- [0221] 본 발명에 따르면, 가이드 패턴(GPT)과 홈 부(HM)를 동일 공정에서 동시에 형성할 수 있다. 이에 따라, 별도의 추가 공정 없이 가이드 패턴(GPT)을 형성할 수 있으므로, 공정이 단순화되고 공정 비용 및 공정 시간이 절감될 수 있어 경제적이다.
- [0222] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0223] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

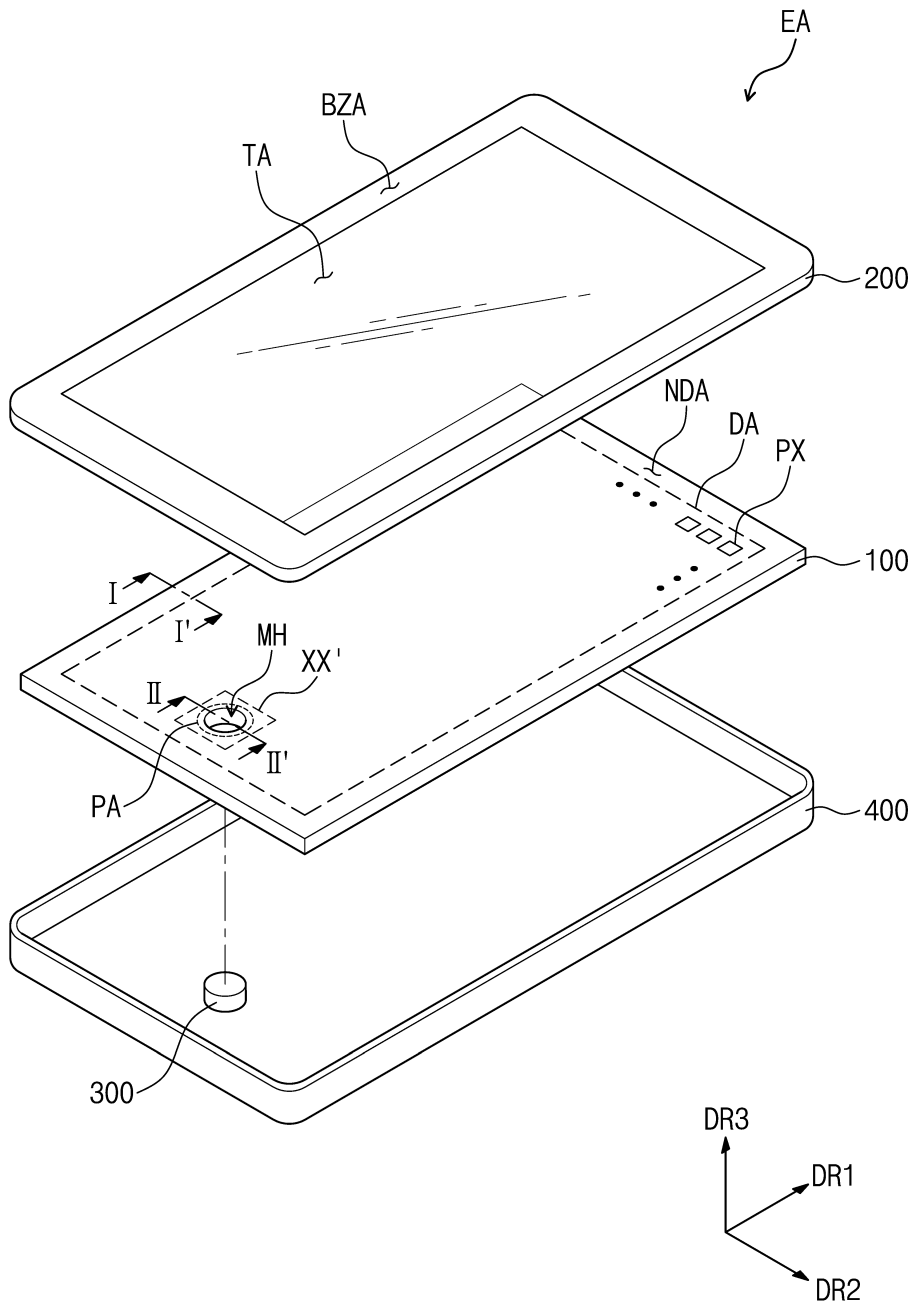
- [0224] 100: 표시 패널 GV: 그루브 패턴
- HM: 홈 부 40: 봉지층
- GPT: 가이드 패턴

도면

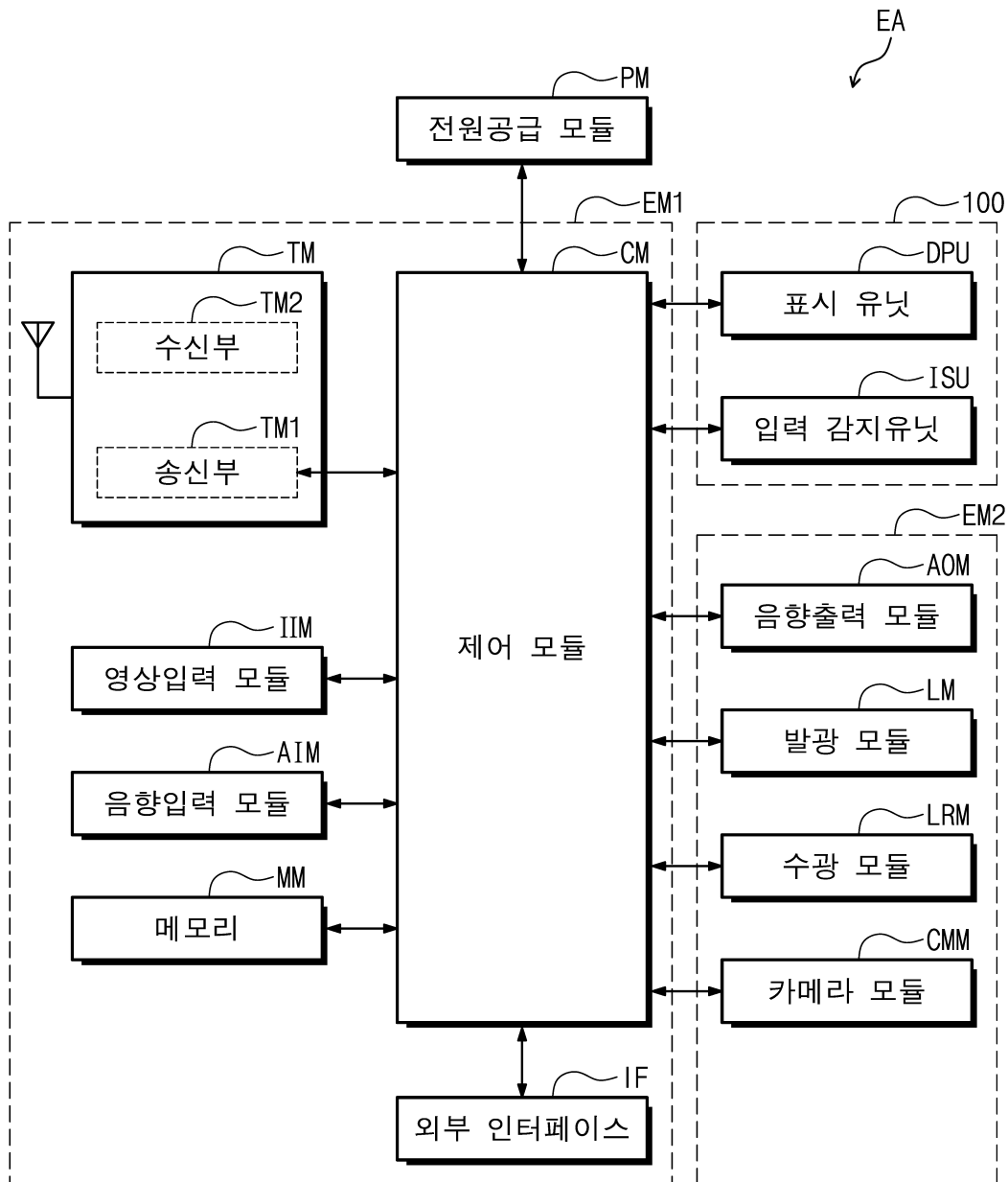
도면1



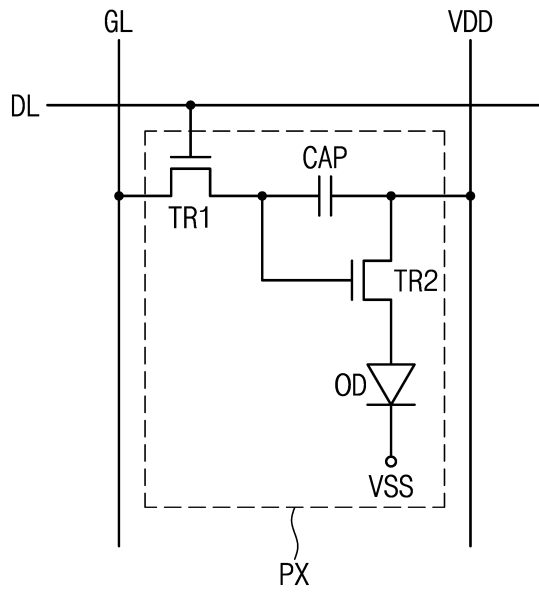
도면2a



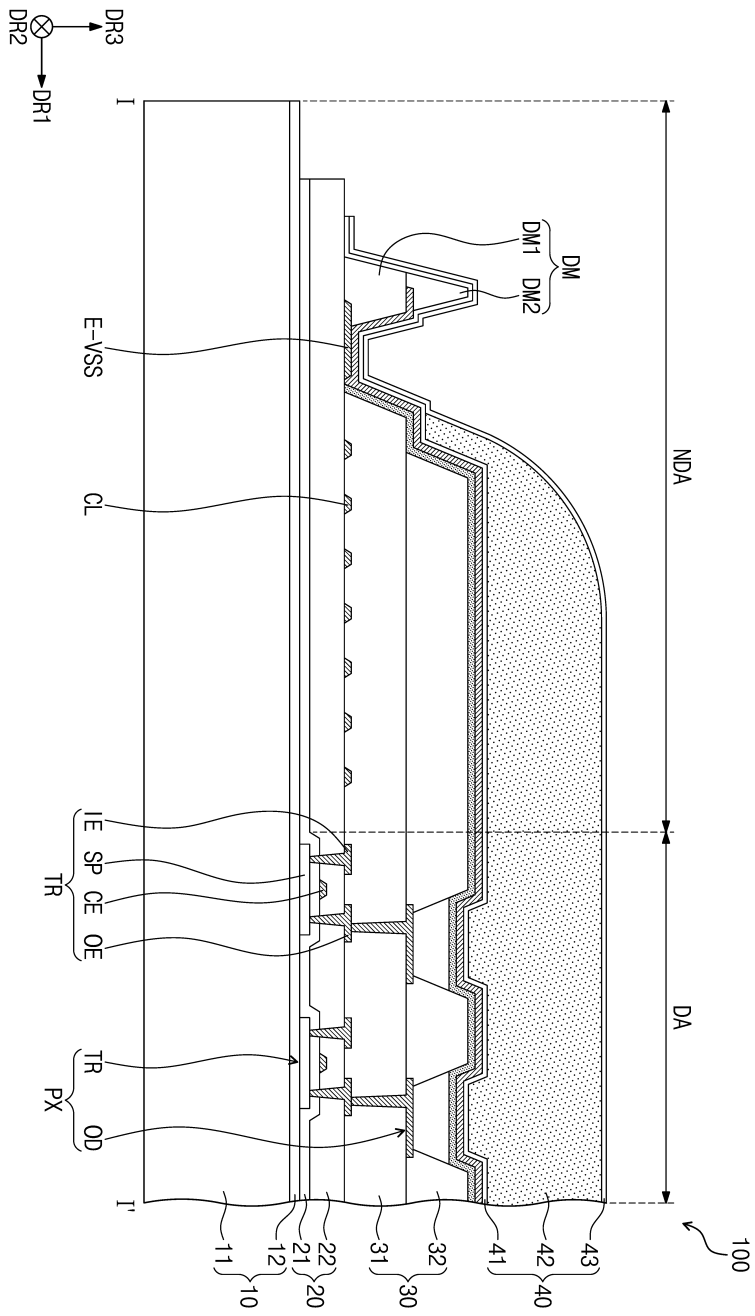
도면2b



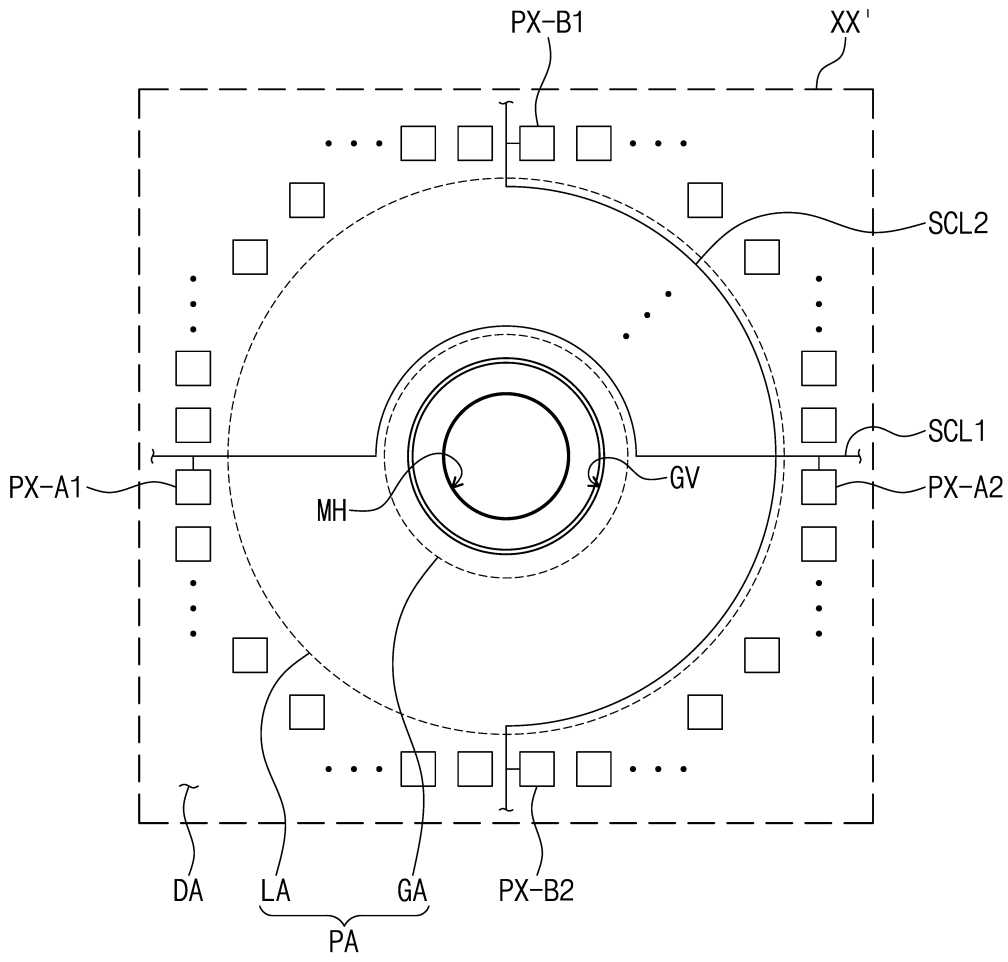
도면3a



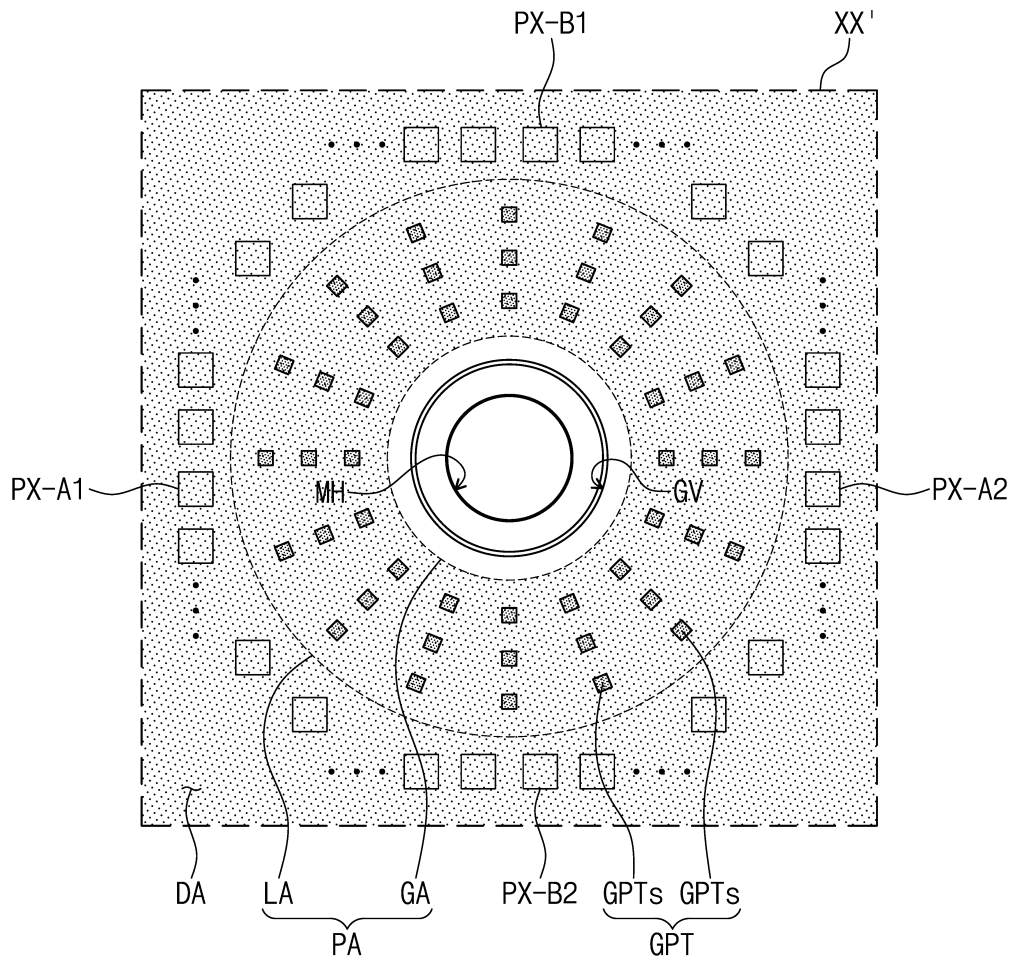
도면3b



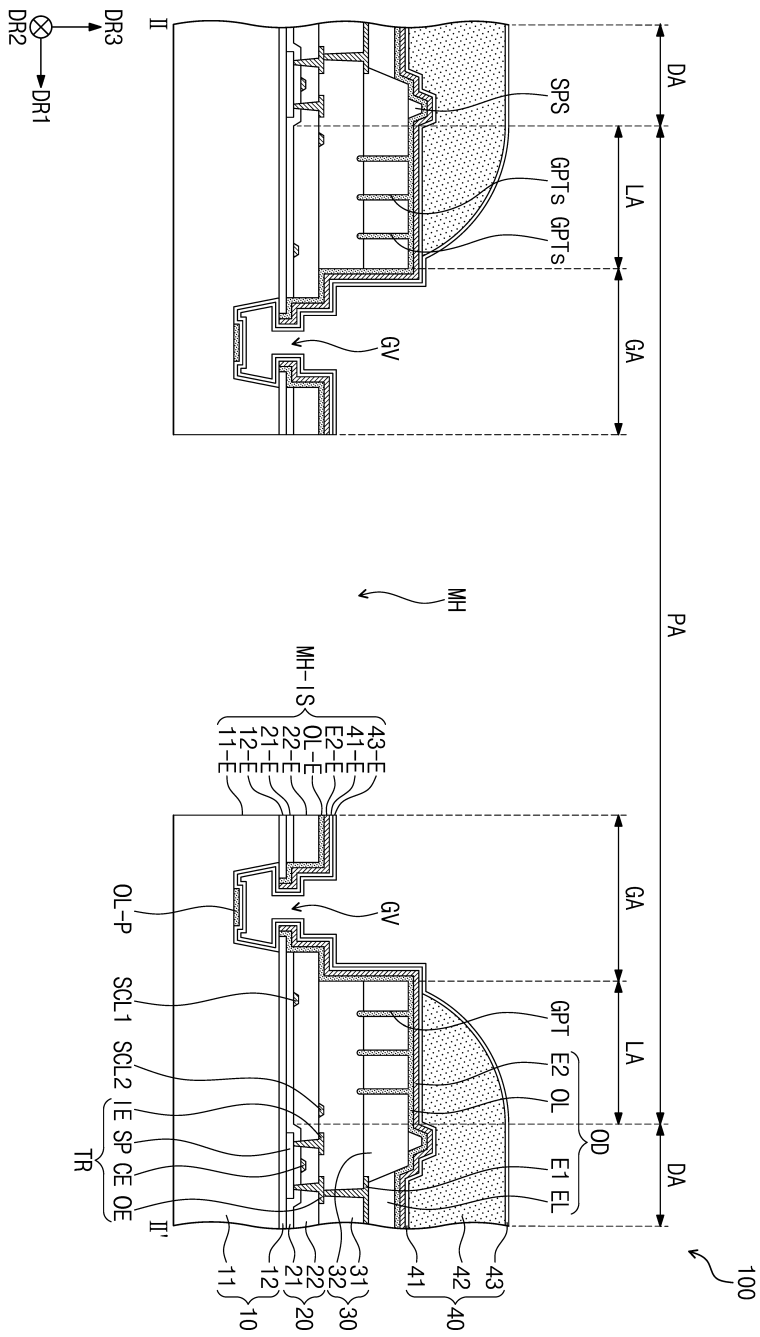
도면4a



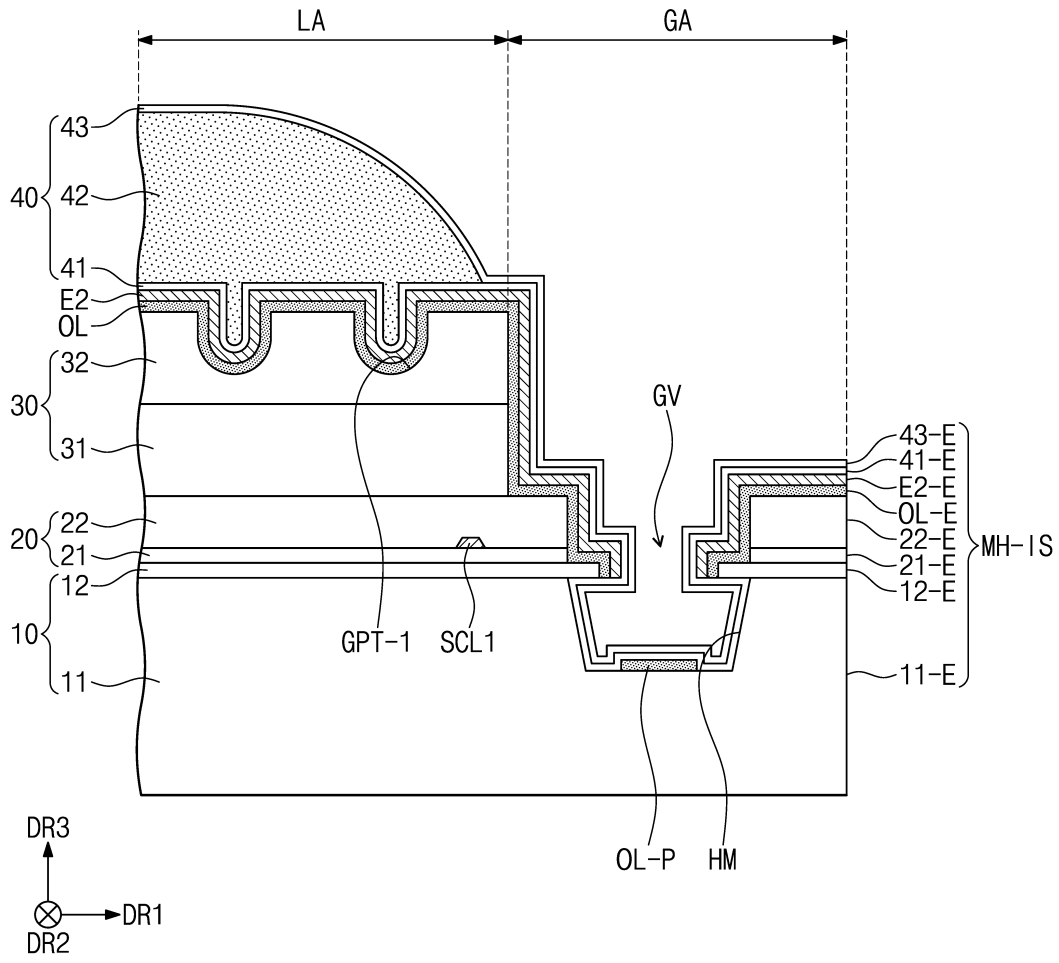
도면4b



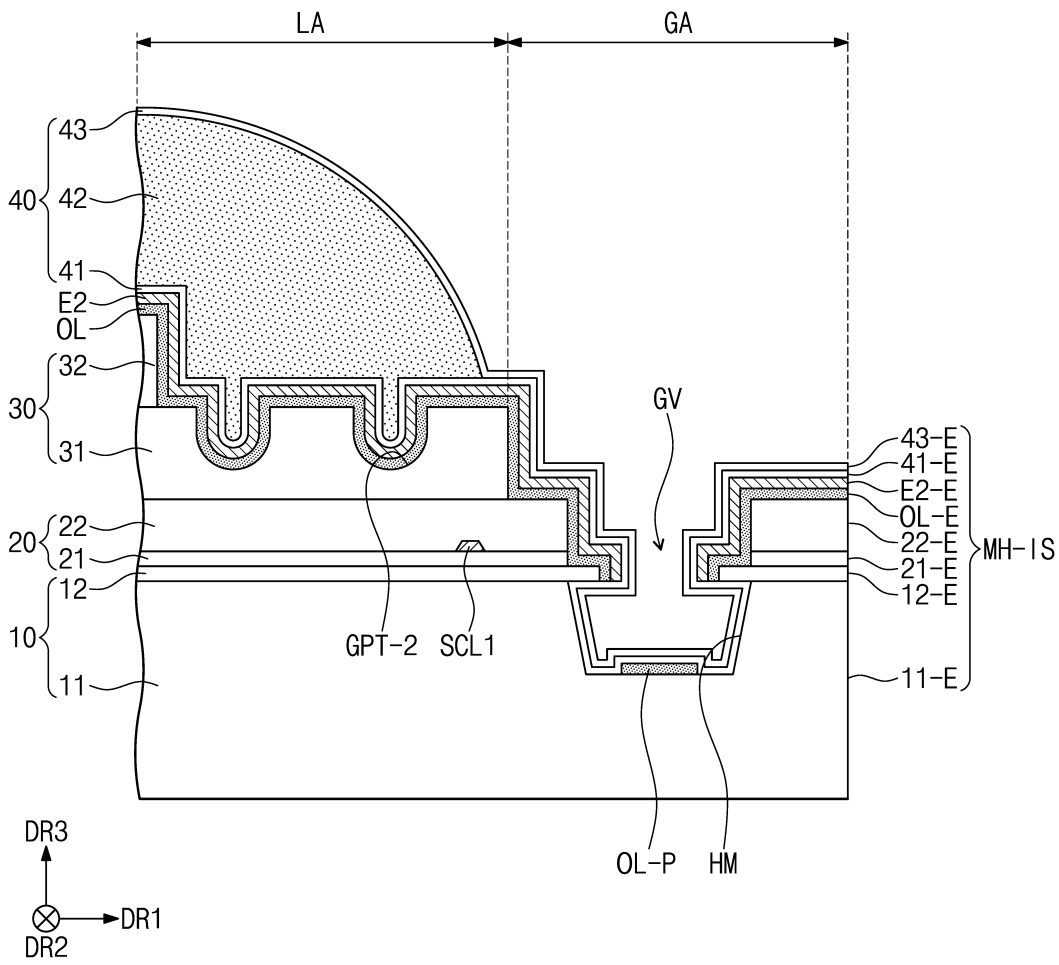
도면5a



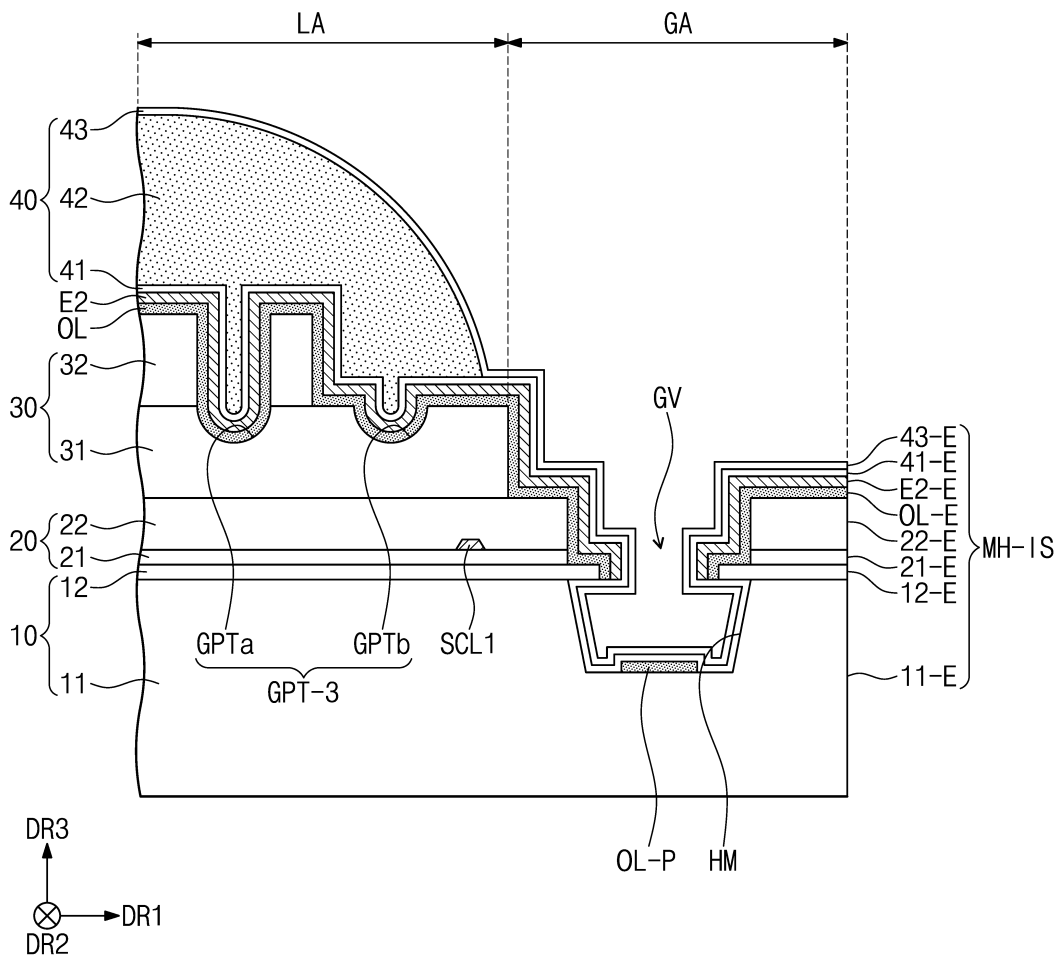
도면6a



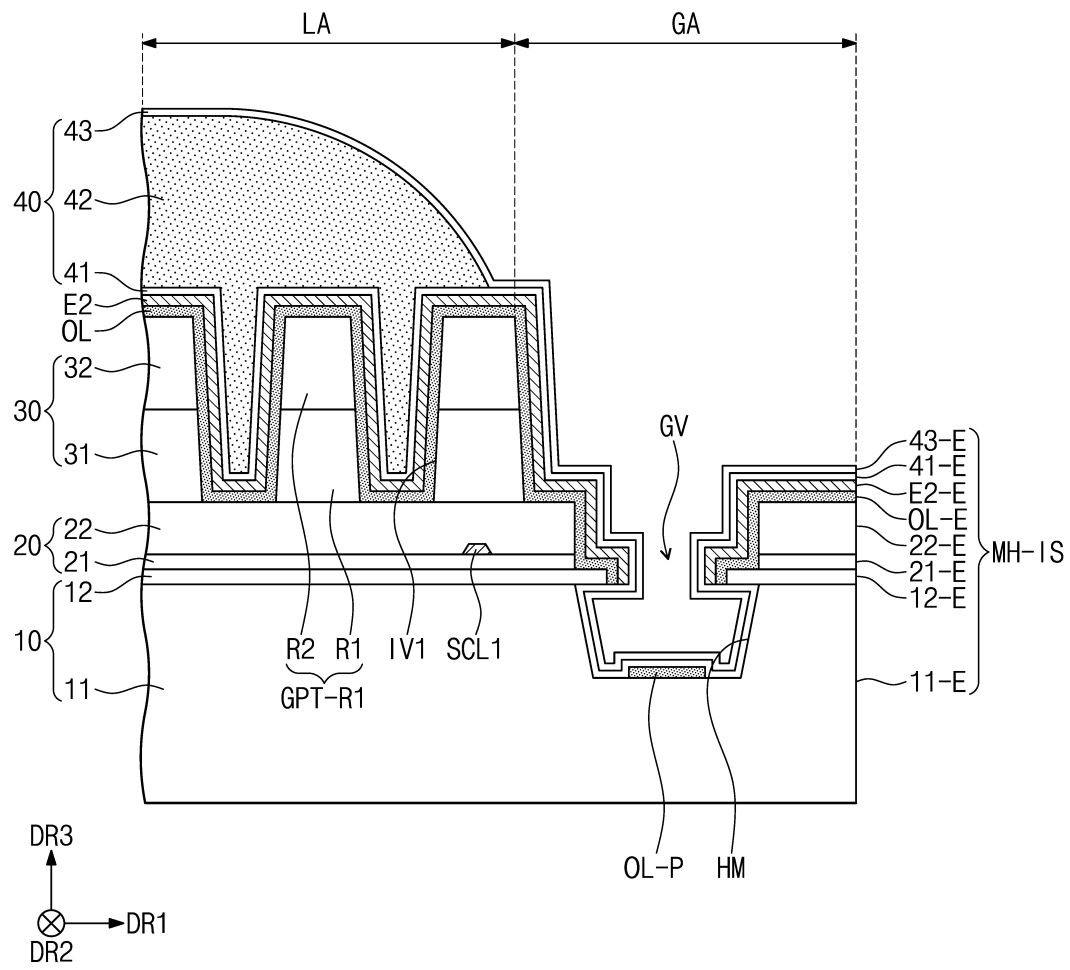
도면6b



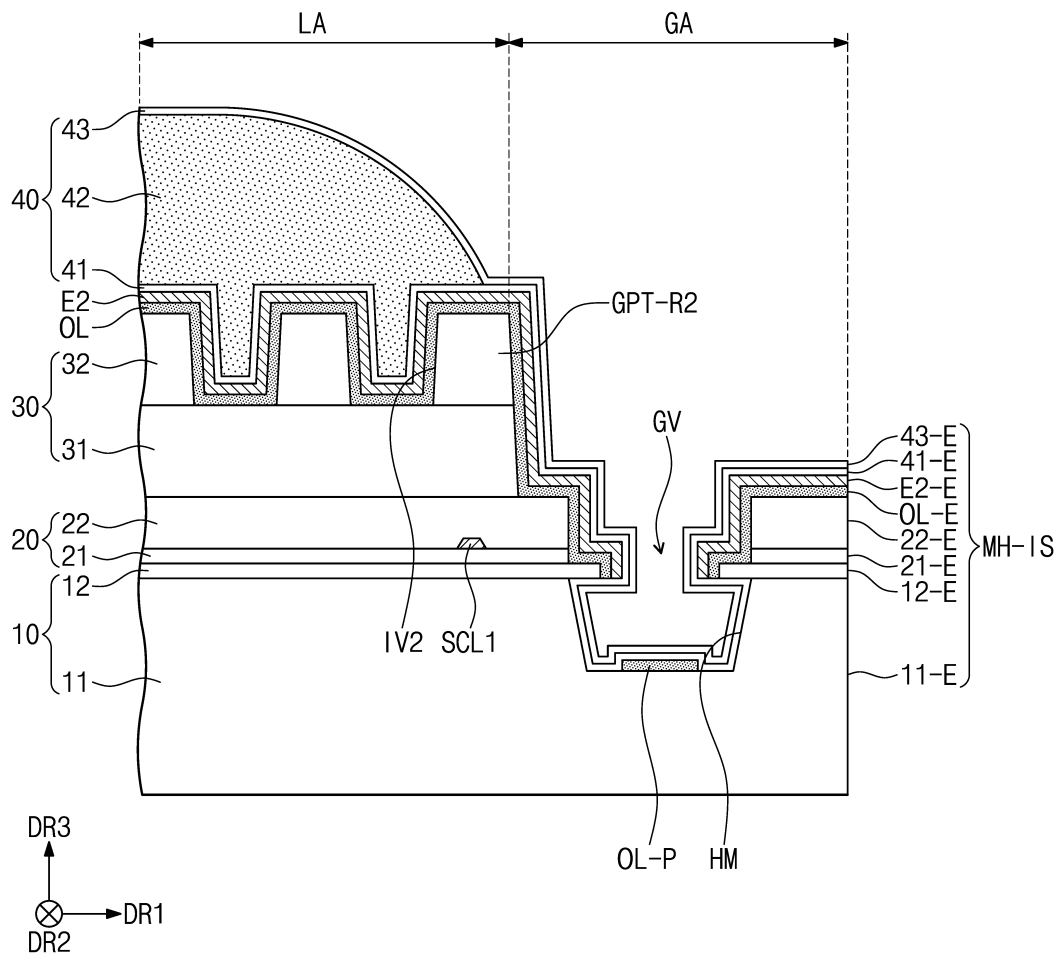
도면6c



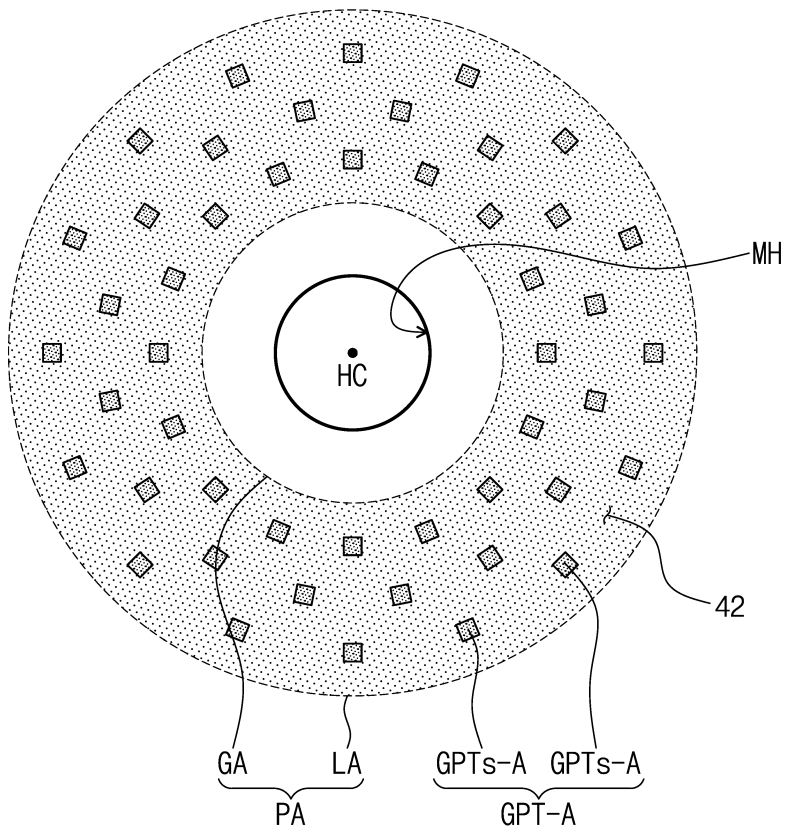
도면7a



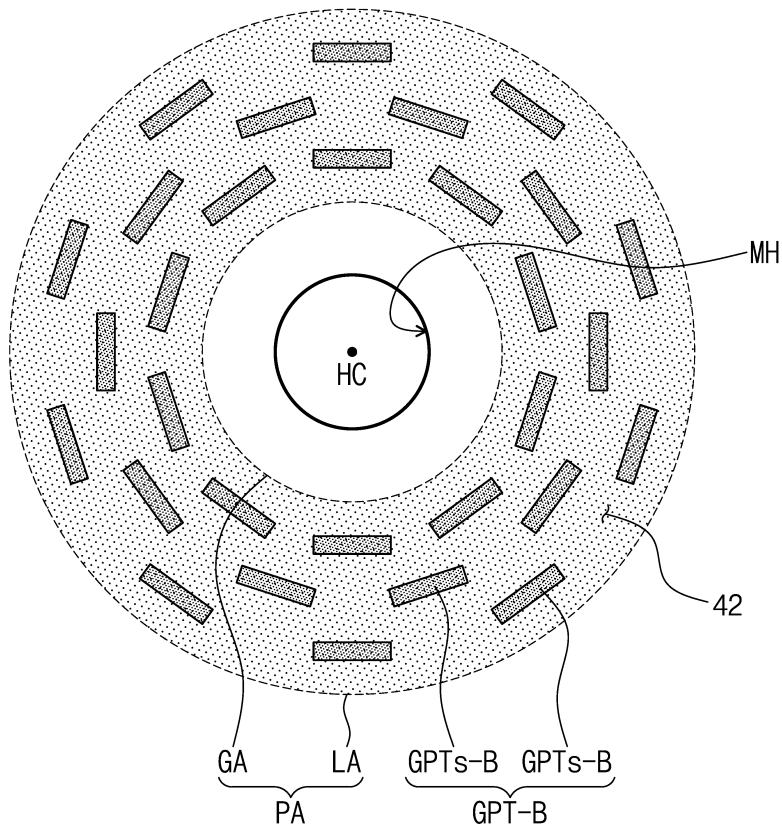
도면7b



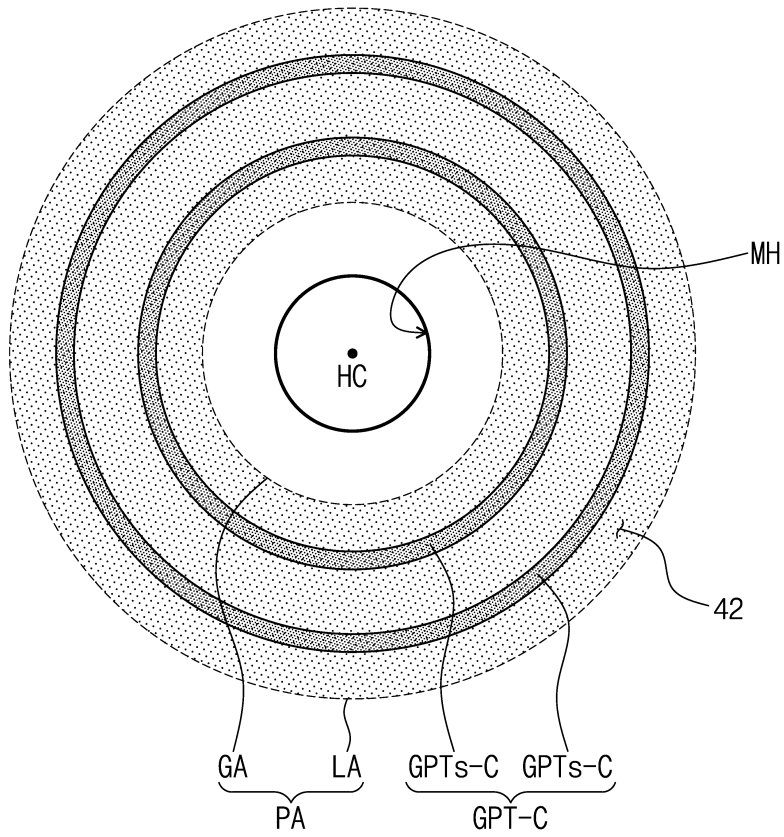
도면8a



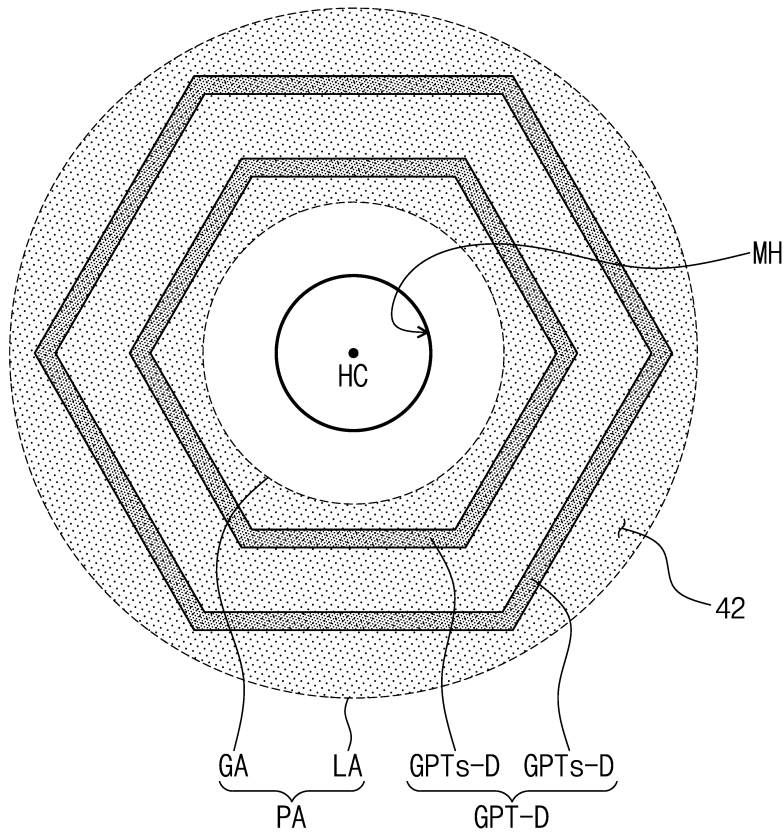
도면8b



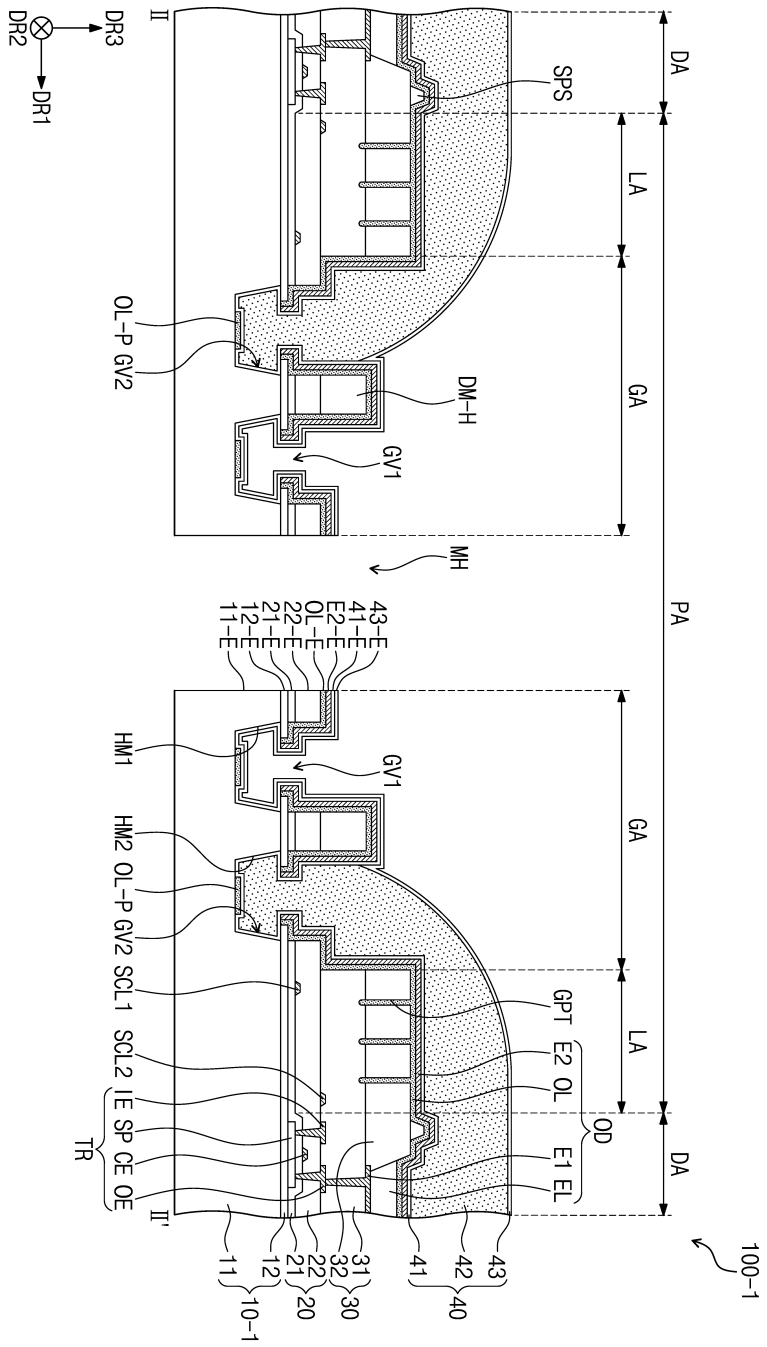
도면8c



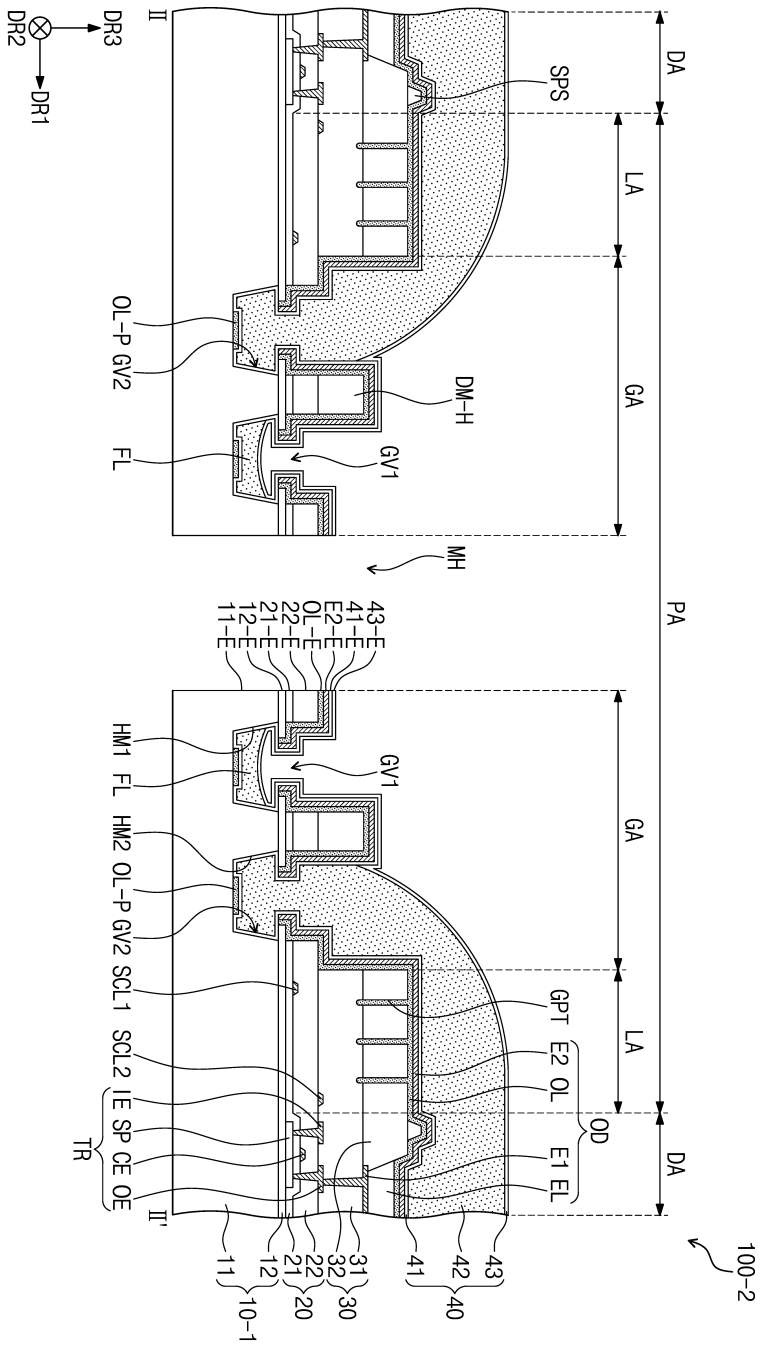
도면8d



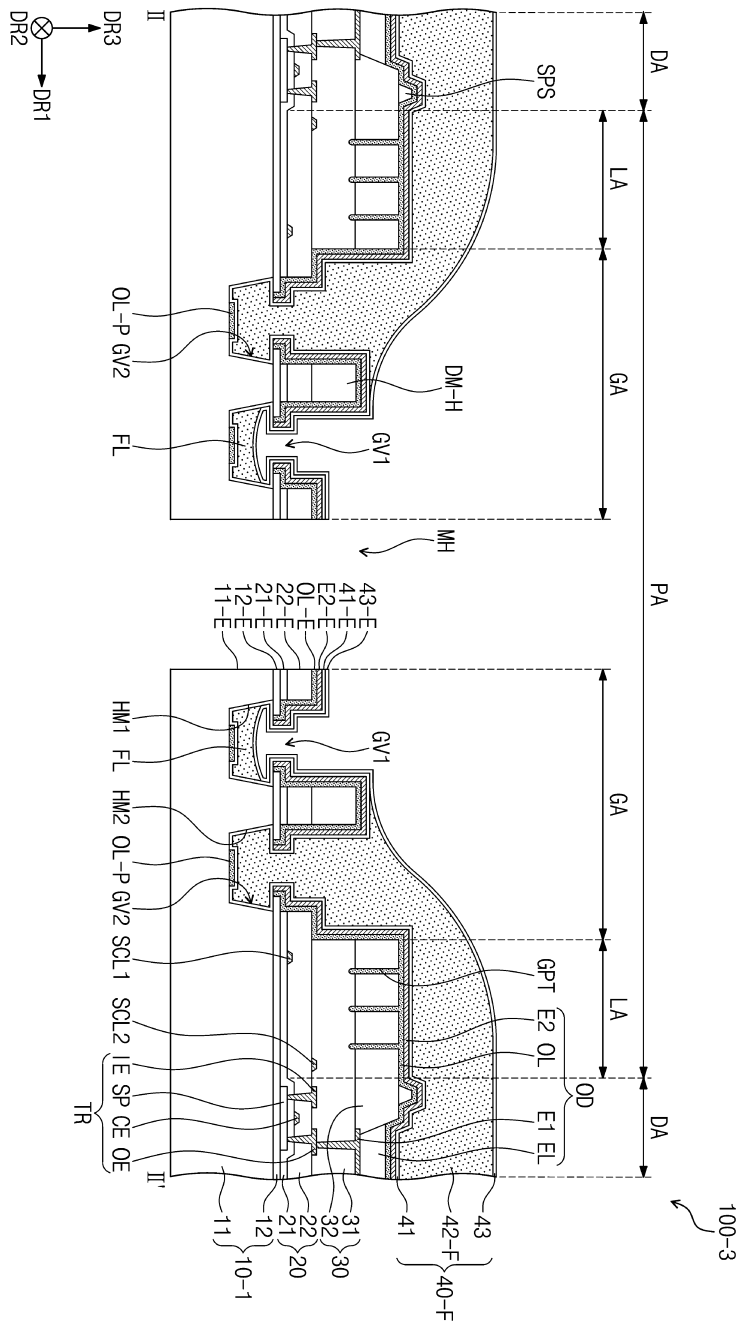
도면9a



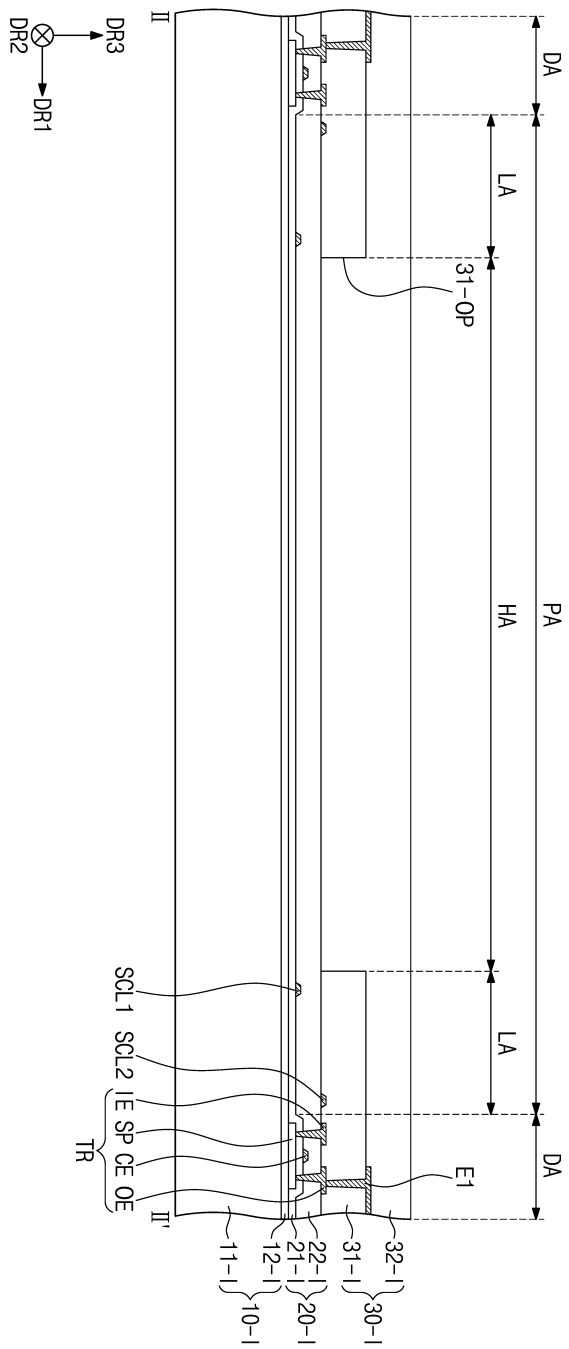
도면9b



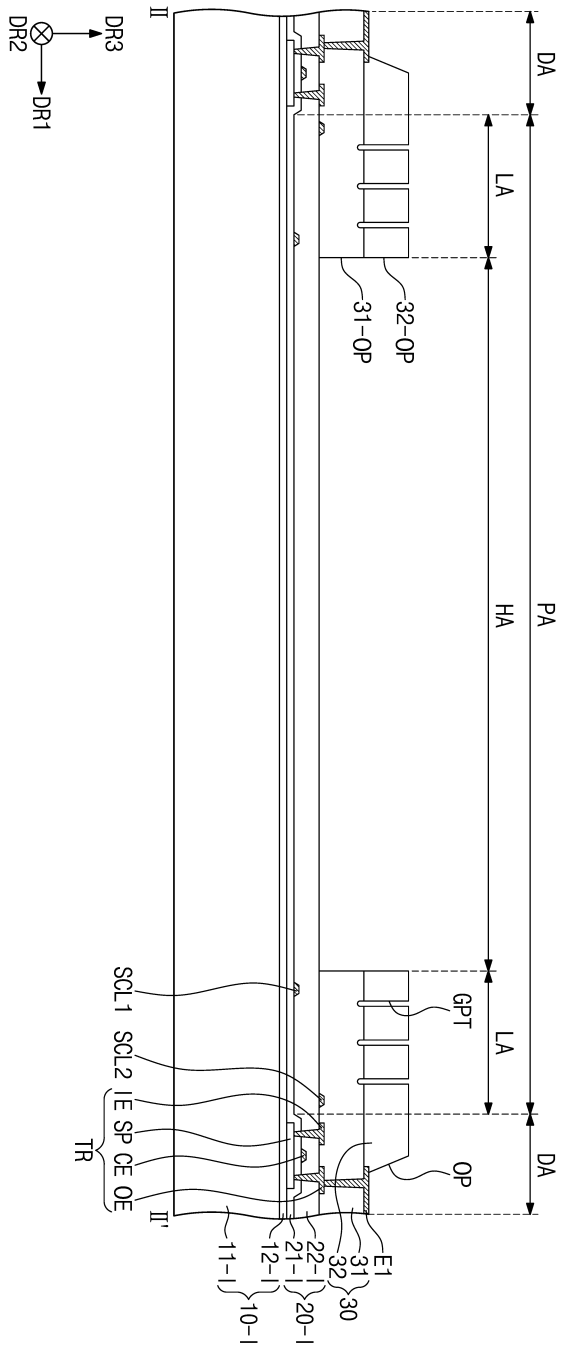
도면9c



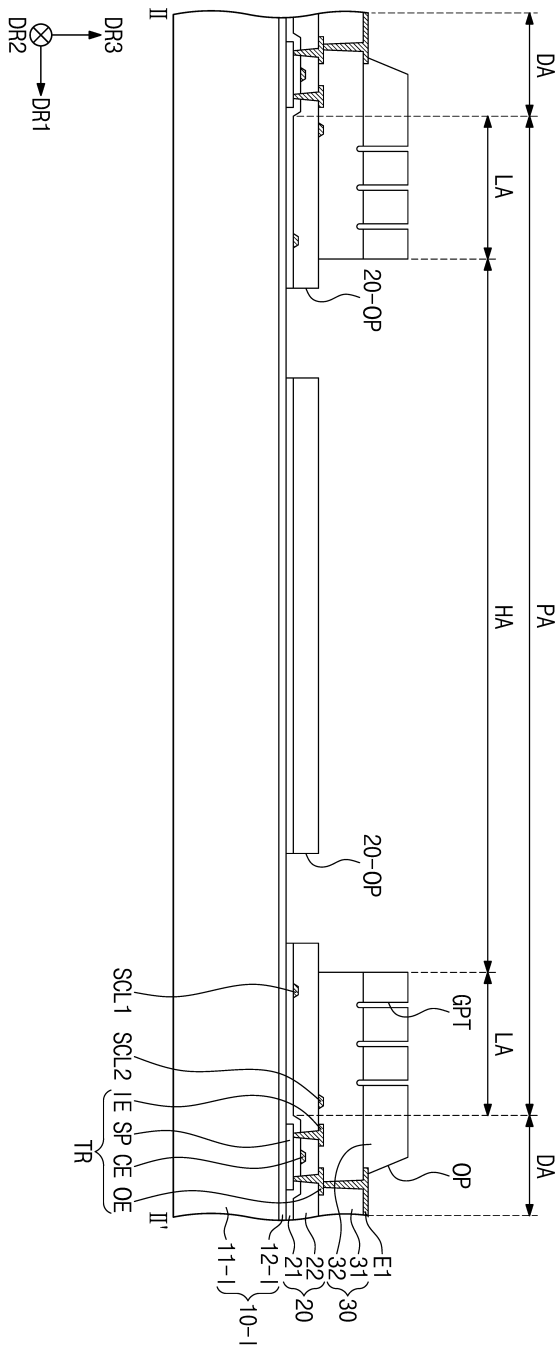
도면10a



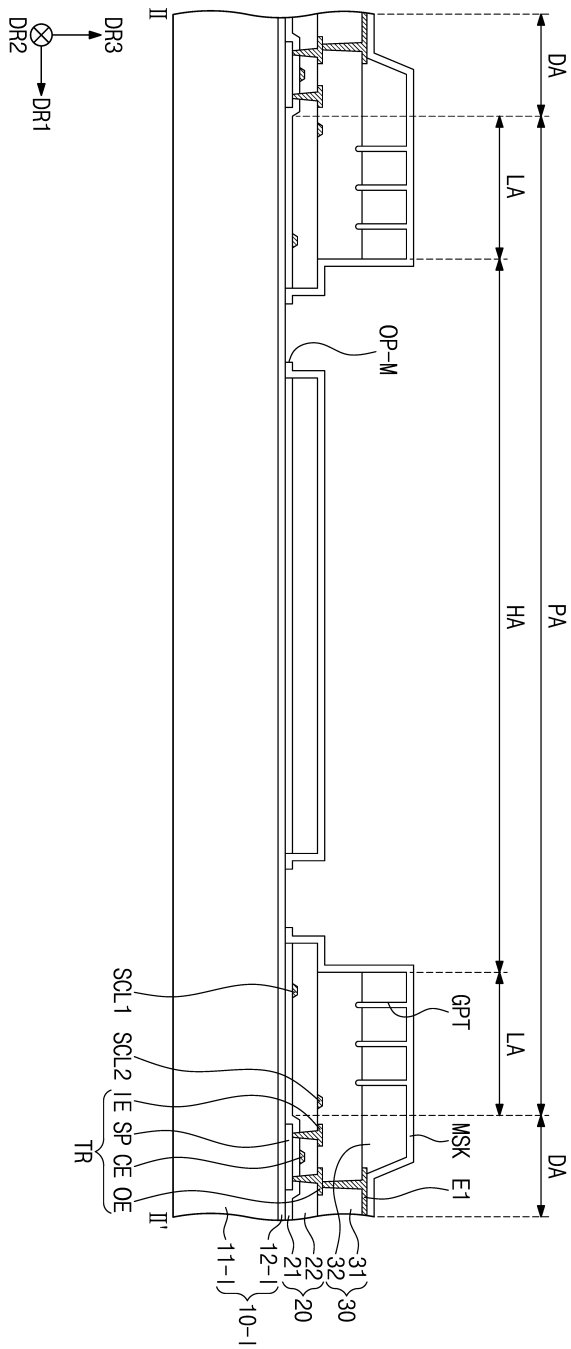
도면10b



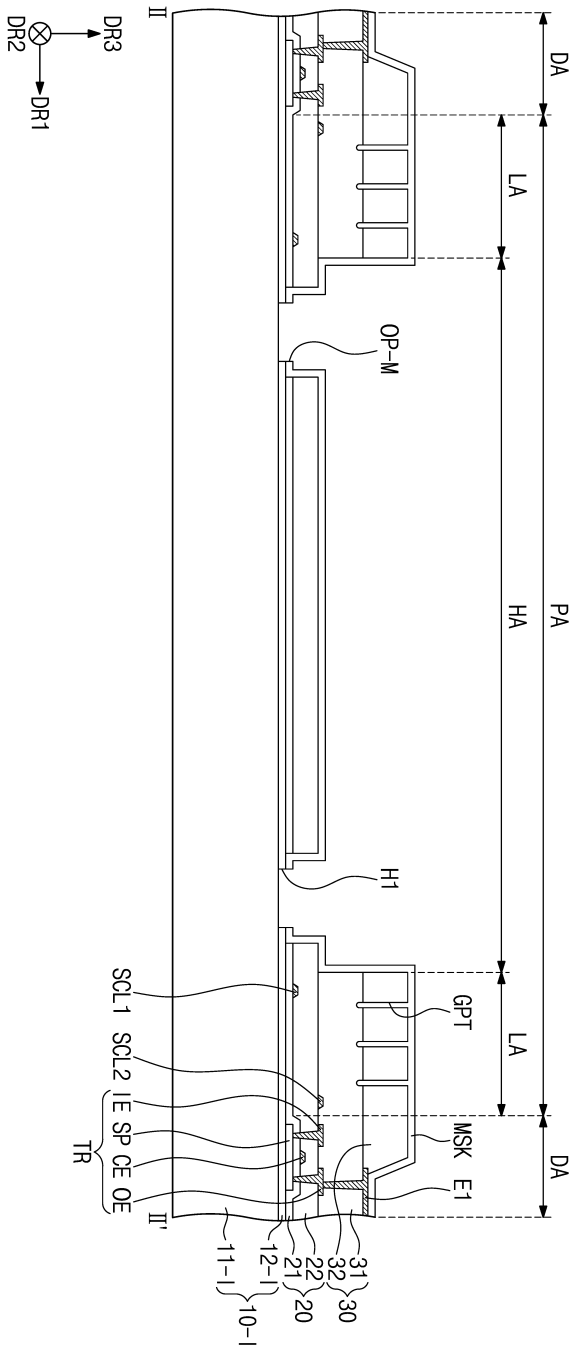
도면10c



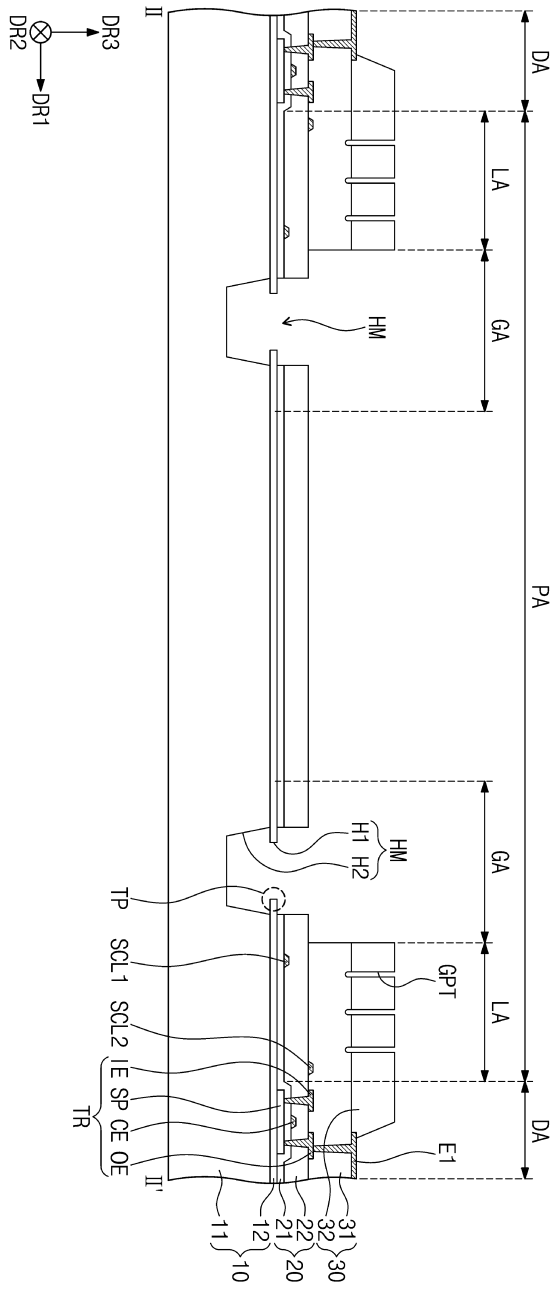
도면10d



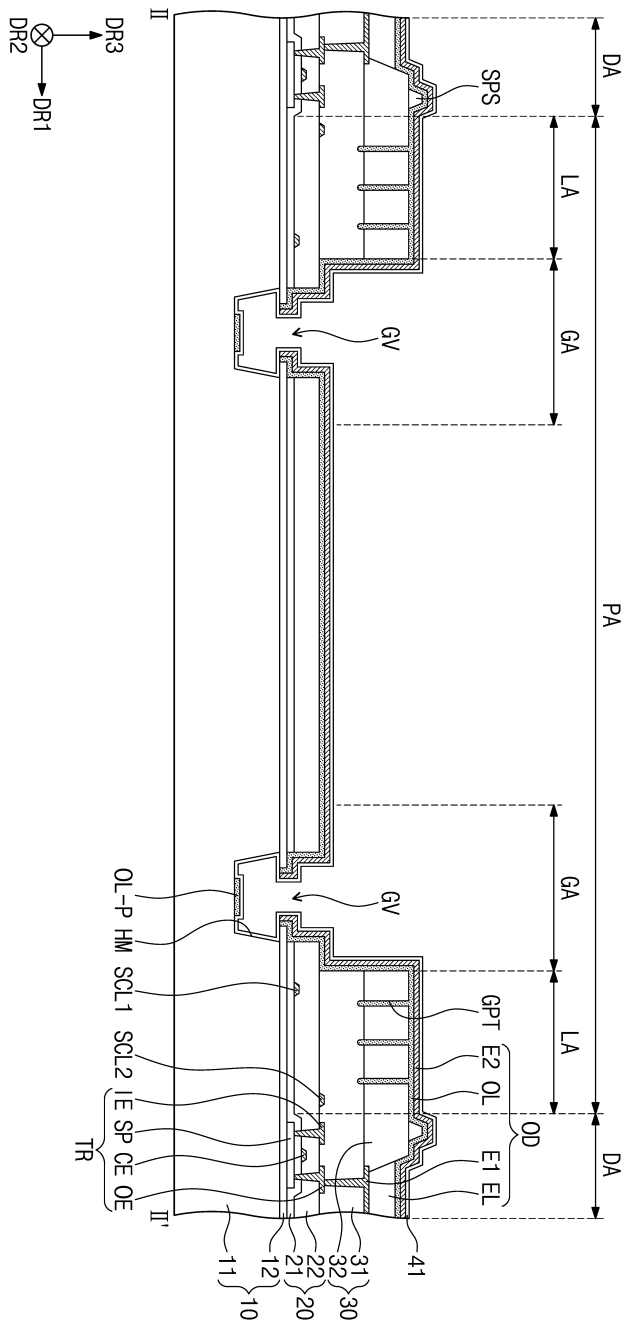
도면10e



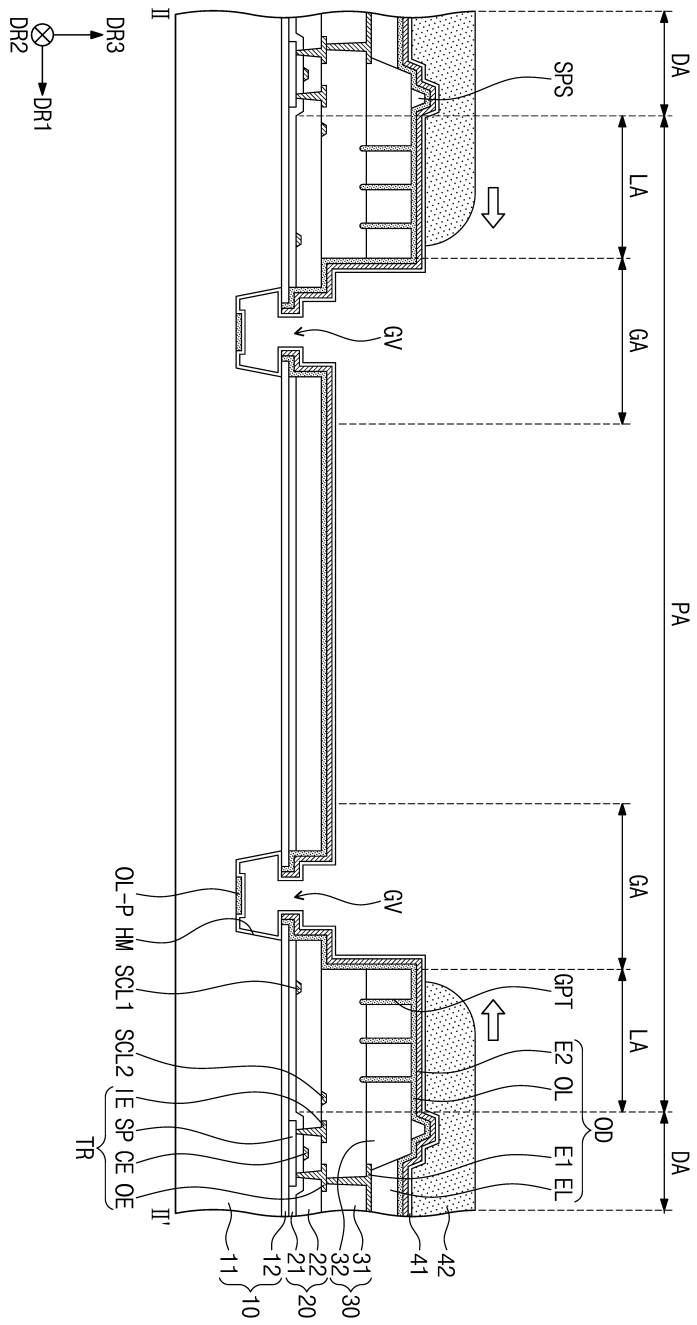
도면10f



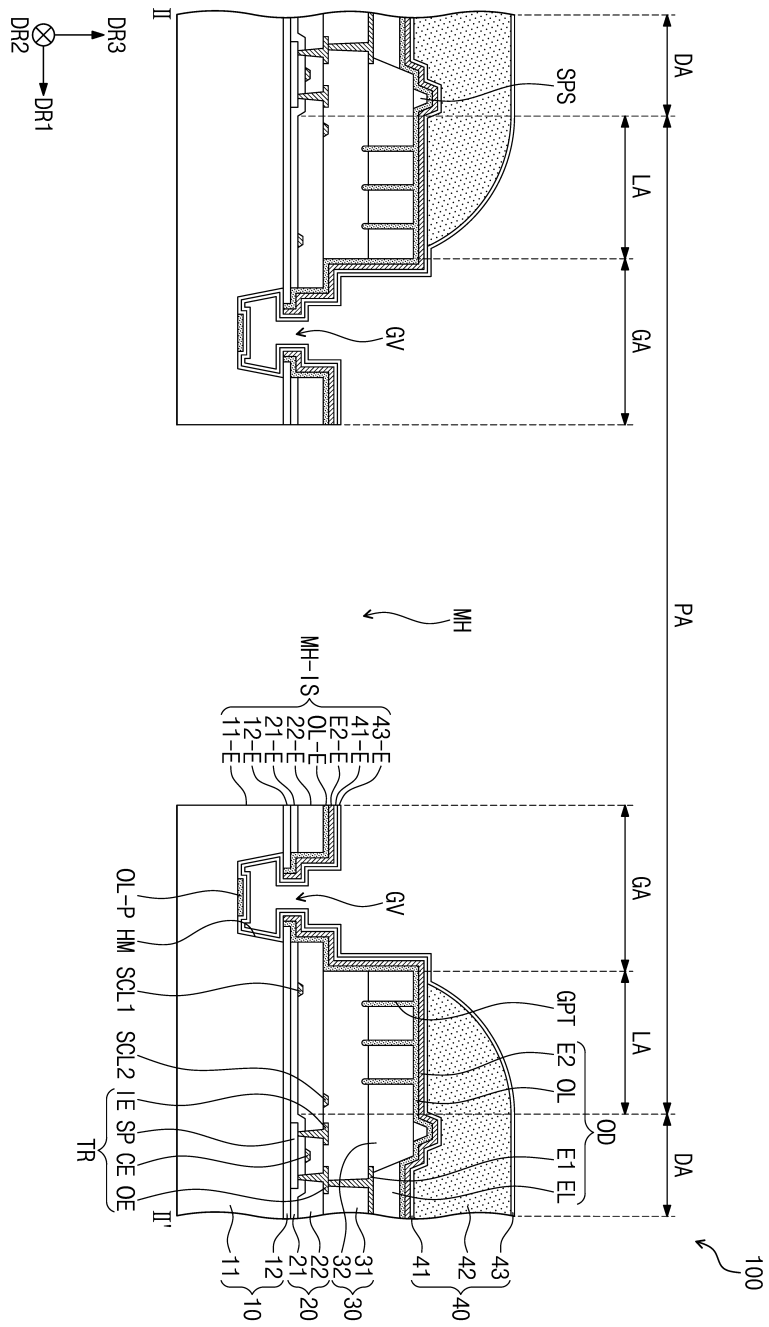
도면10g



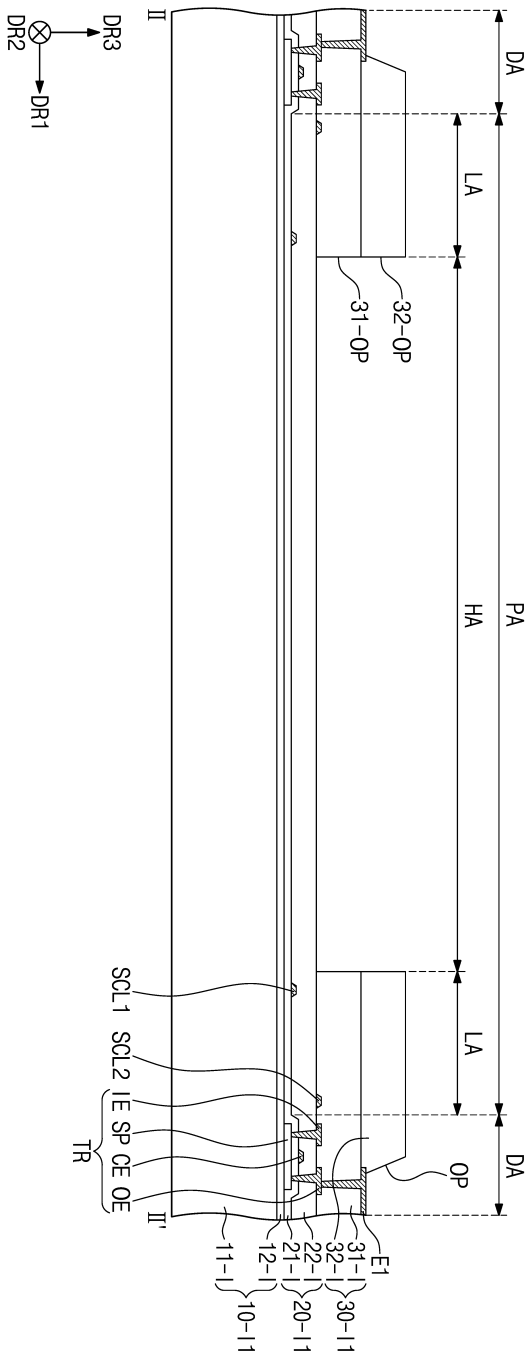
도면10h



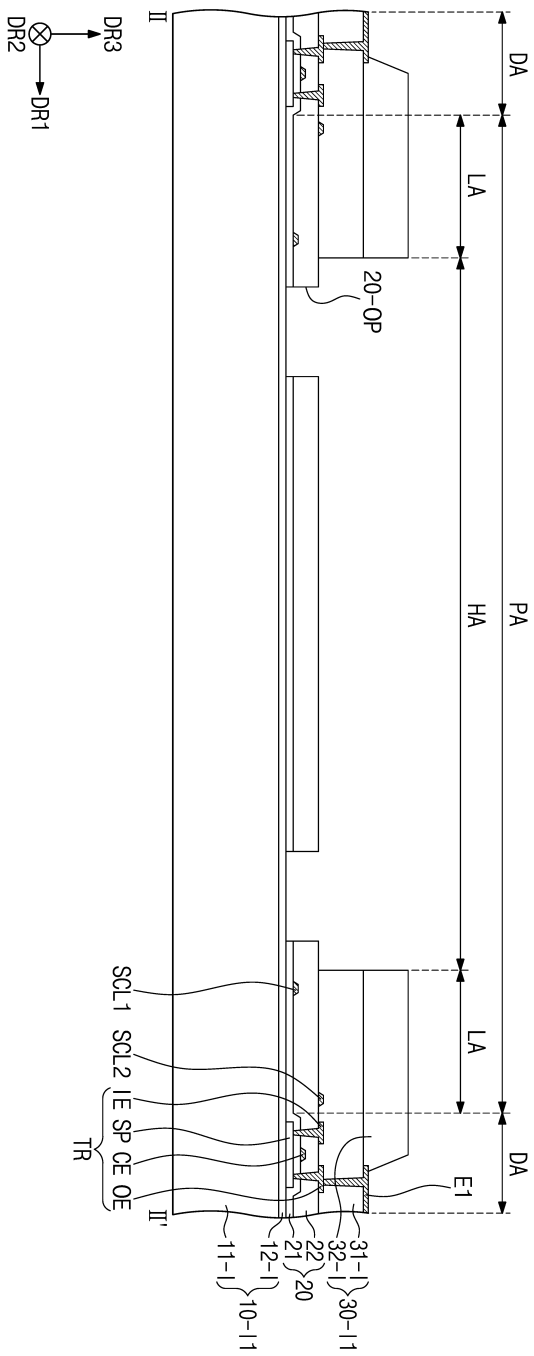
도면10i



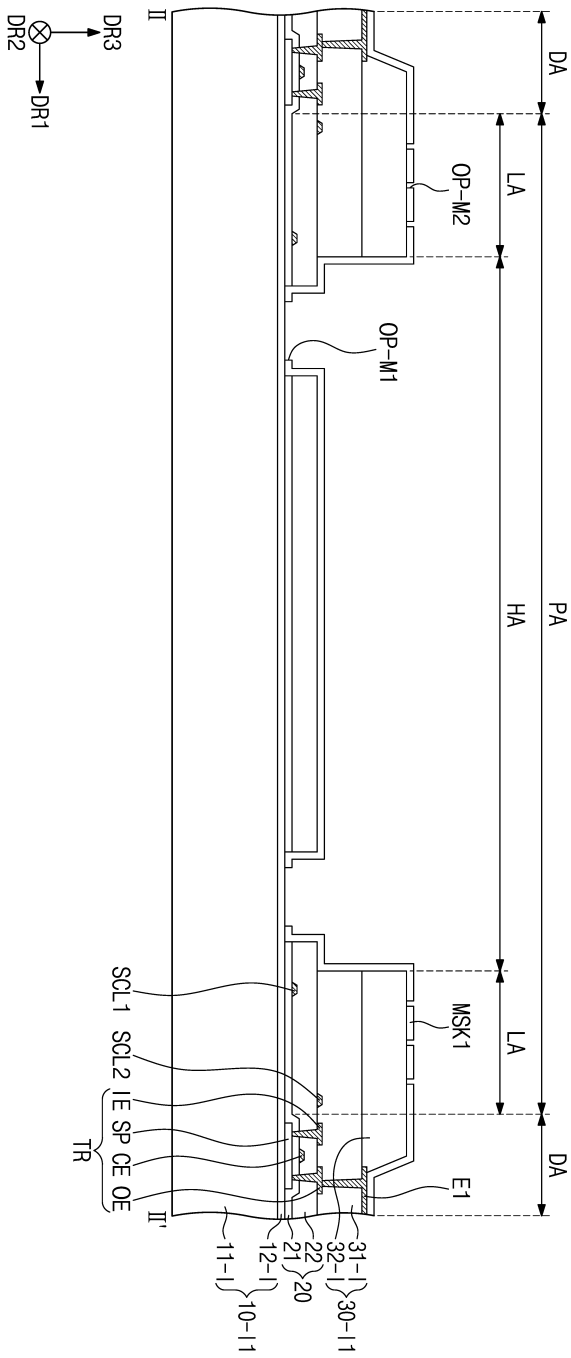
도면11a



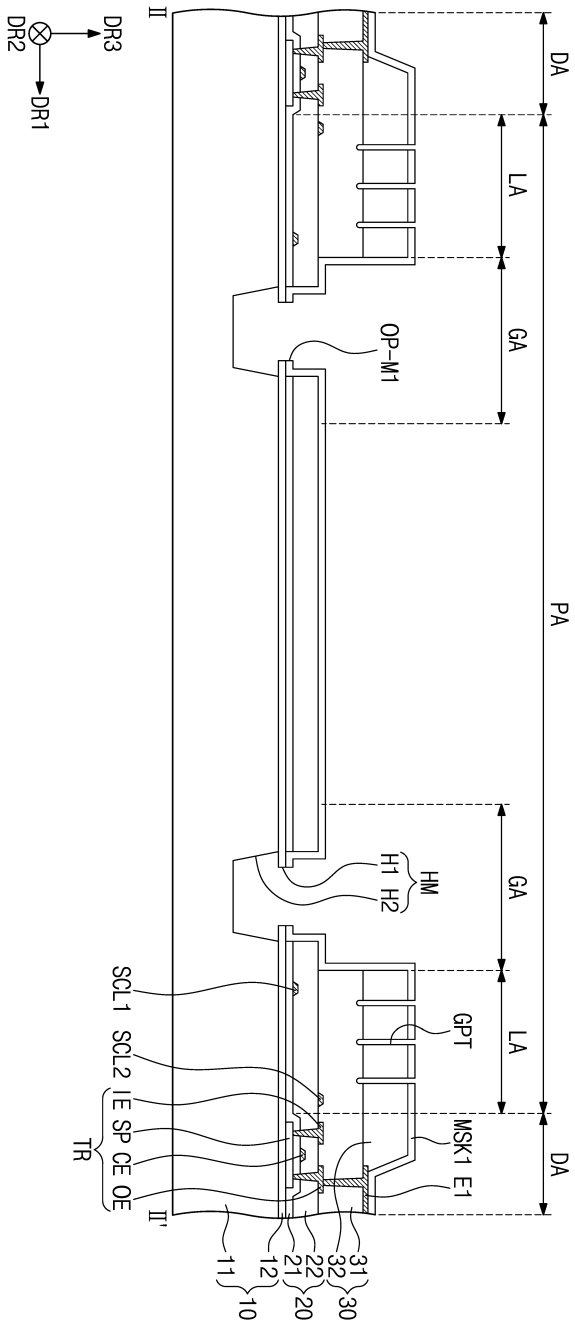
도면11b



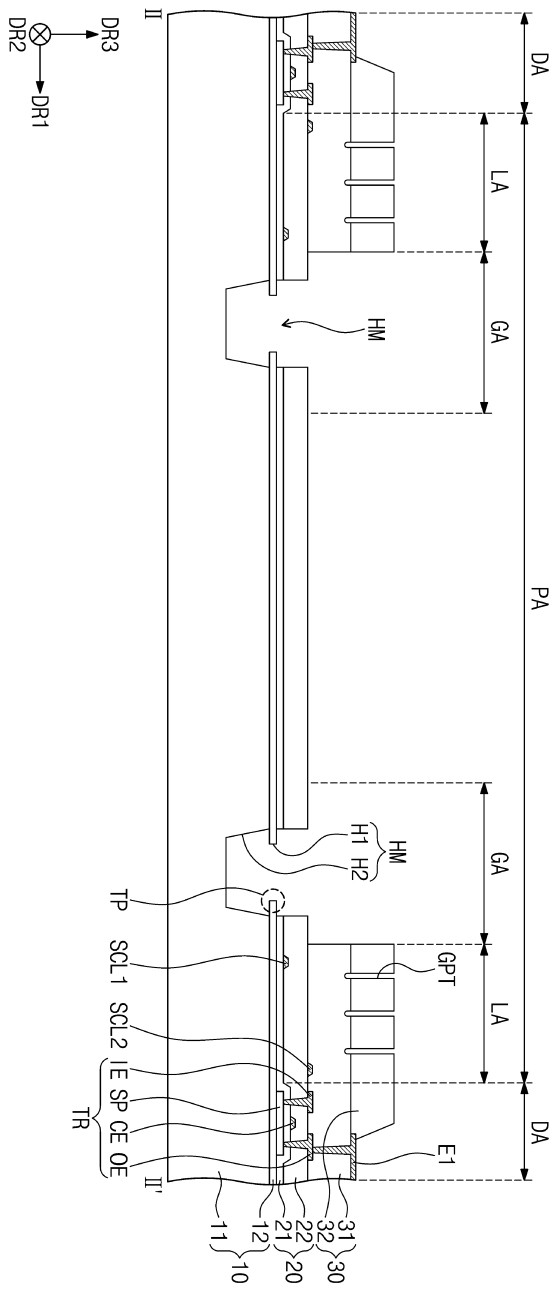
도면11c



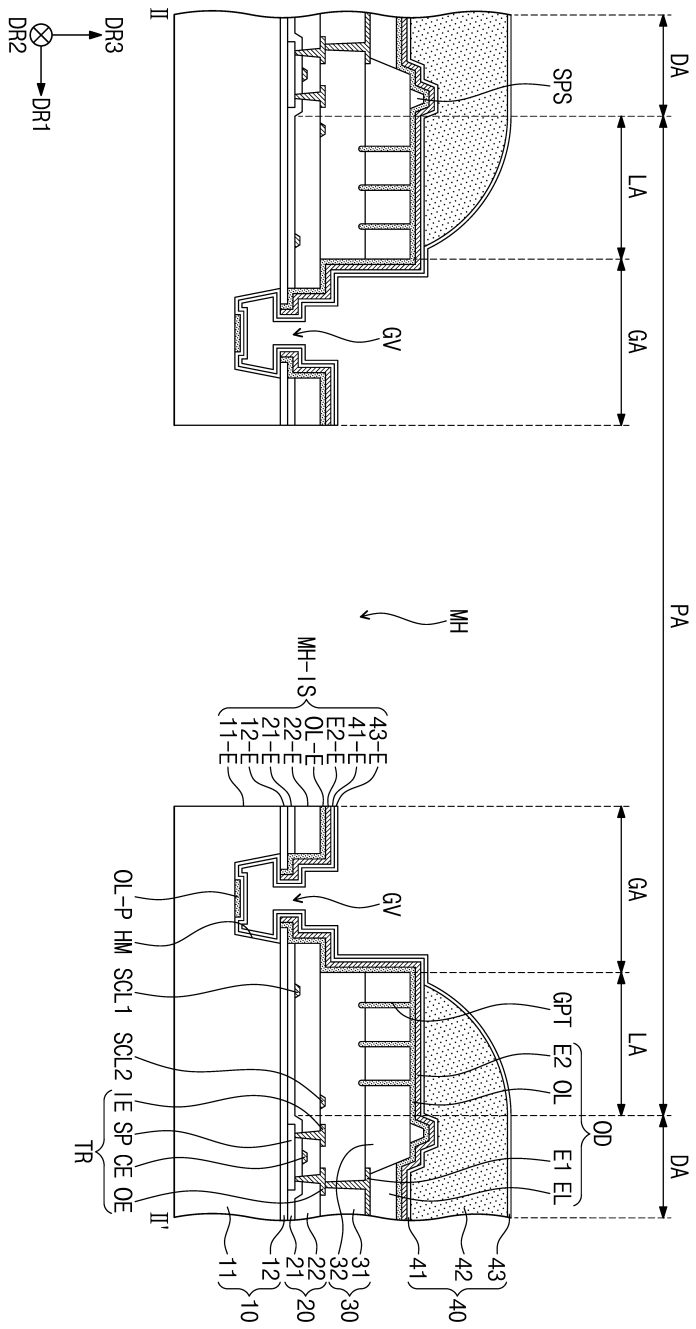
도면11d



도면11e



도면11f



专利名称(译)	显示面板，包括该显示面板的电子设备，制造该显示面板的方法		
公开(公告)号	KR1020200003334A	公开(公告)日	2020-01-09
申请号	KR1020180075944	申请日	2018-06-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이형섭 서정한 성우용		
发明人	이형섭 서정한 성우용		
IPC分类号	H01L51/52 H01L27/32 H01L51/00		
CPC分类号	H01L51/5237 H01L27/3246 H01L51/0002 H01L27/32 H01L51/00 H01L51/52		
外部链接	Espacenet		

摘要(译)

显示面板，包括该显示面板的电子设备以及制造该显示面板的方法技术领域本发明涉及一种显示面板，包括该显示面板的电子设备以及该显示面板的制造方法。根据本发明，显示面板包括：基底基板，其包括前表面和后表面，并且包括孔区域，在该孔区域中贯穿前表面和后表面的通孔以及围绕该通孔的凹槽部分。限定出从前表面凹进的孔，围绕孔区域的有效区域以及与该有效区域相邻的外围区域。电路层，其包括设置在基底基板上的第一电路绝缘层，设置在第一电路绝缘层上的第二电路绝缘层以及设置在有源区域中的薄膜晶体管。显示层，其包括设置在电路层上的第一显示绝缘层，设置在第一显示绝缘层上的第二显示绝缘层以及设置在有源区域中并连接至薄膜晶体管的发光器件；引导图案设置在电路层上并布置在发光器件和凹槽部分之间；覆盖层覆盖发光器件，并包括第一无机层，第二无机层和有机层，其中有机层覆盖引导图案的至少一部分。

