



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0138179
(43) 공개일자 2019년12월12일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 27/32 (2006.01)
H01L 51/50 (2006.01)</p> <p>(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/3211 (2013.01)</p> <p>(21) 출원번호 10-2018-0064438
(22) 출원일자 2018년06월04일
심사청구일자 없음</p> | <p>(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
정일기
경기도 파주시 월롱면 엘지로 245</p> <p>(74) 대리인
특허법인로얄</p> |
|--|---|

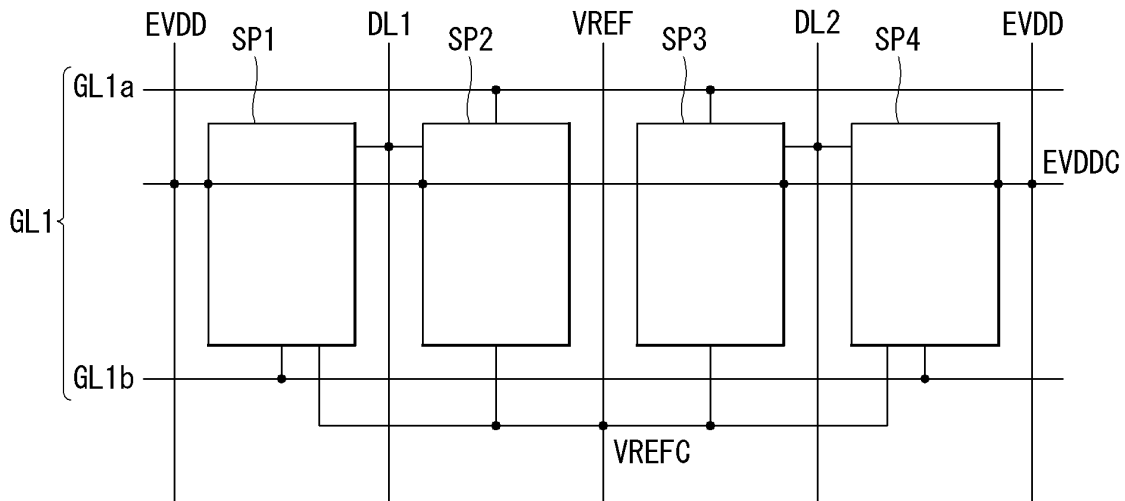
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 전계발광표시장치

(57) 요약

본 발명은 기관, 픽셀, 제1전원라인, 및 제1전원연결라인을 포함하는 전계발광표시장치를 제공한다. 픽셀은 기관 상에 위치하고 두 개의 서브 픽셀씩 하나의 데이터라인을 공유하고 두 개의 서브 픽셀씩 하나의 스캔라인을 공유하도록 배치된 제1 내지 제4서브 픽셀을 포함한다. 제1전원라인은 제1서브 픽셀의 일측과 제4서브 픽셀의 타측에 배치된다. 제1전원연결라인은 하나의 라인으로 적어도 두 개의 서브 픽셀을 제1전원라인에 연결한다.

대표도 - 도3



(52) CPC특허분류

H01L 51/50 (2013.01)

G09G 2300/0452 (2013.01)

G09G 2300/0465 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2320/043 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 위치하고, 두 개의 서브 픽셀씩 하나의 데이터라인을 공유하고 두 개의 서브 픽셀씩 하나의 스퀘어라인을 공유하도록 배치된 제1 내지 제4서브 픽셀을 포함하는 픽셀;

상기 제1서브 픽셀의 일측과 상기 제4서브 픽셀의 타측에 배치된 제1전원라인; 및

상기 제1전원라인에 상기 제1 내지 제4서브 픽셀을 연결하는 제1전원연결라인을 포함하고,

상기 제1전원연결라인은

하나의 라인으로 적어도 두 개의 서브 픽셀을 상기 제1전원라인에 연결하는 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 제1전원연결라인은

하나의 라인으로 두 개의 서브 픽셀을 상기 제1전원라인에 연결하는 제1-1전원연결라인과,

두 개의 분리된 라인으로 남은 두 개의 서브 픽셀을 상기 제1전원라인에 각각 연결하는 제1-2전원연결라인을 포함하는 전계발광표시장치.

청구항 3

제2항에 있어서,

상기 제1-1전원연결라인은

상기 제1 내지 제4서브 픽셀들 중 적어도 두 개의 서브 픽셀에 정의된 발광영역을 가로지르도록 배치되거나,

상기 제1 내지 제4서브 픽셀들에 정의된 발광영역과 회로영역 사이의 공간을 가로지르도록 배치된 전계발광표시장치.

청구항 4

제2항에 있어서,

상기 제1-1전원연결라인은

상기 제1서브 픽셀과 상기 제4서브 픽셀에 정의된 발광영역의 중앙 영역과 인접하는 전계발광표시장치.

청구항 5

제2항에 있어서,

상기 제1-1전원연결라인은

상기 제2서브 픽셀과 상기 제3서브 픽셀에 정의된 발광영역과 회로영역 사이의 공간을 가로지르는 전계발광표시장치.

청구항 6

제1항에 있어서,

상기 제1 및 제4서브 픽셀은 상단에 발광영역이 위치하고 하단에 회로영역이 위치하며,

상기 제2 및 제3서브 픽셀은 상단에 회로영역이 위치하고 하단에 발광영역이 위치하는 전계발광표시장치.

청구항 7

제1항에 있어서,

상기 제1 및 제4서브 픽셀은 하단에 발광영역이 위치하고 상단에 회로영역이 위치하며,

상기 제2 및 제3서브 픽셀은 하단에 회로영역이 위치하고 상단에 발광영역이 위치하는 전계발광표시장치.

청구항 8

제1항에 있어서,

상기 제1 및 제3서브 픽셀은 상단에 발광영역이 위치하고 하단에 회로영역이 위치하며,

상기 제2 및 제4서브 픽셀은 상단에 회로영역이 위치하고 하단에 발광영역이 위치하는 전계발광표시장치.

청구항 9

제1항에 있어서,

상기 제1 및 제2서브 픽셀은 제1데이터라인을 공유하고, 상기 제3 및 제4서브 픽셀은 제2데이터라인을 공유하고, 상기 제2 및 제3서브 픽셀은 홀수 스캔라인을 공유하고, 상기 제1 및 제4서브 픽셀은 짝수 스캔라인을 공유하는 전계발광표시장치.

청구항 10

제1항에 있어서,

상기 기관 상의 제1금속층,

상기 제1금속층 상의 버퍼층,

상기 버퍼층 상의 반도체층,

상기 반도체층 상의 절연층, 및

상기 절연층 상의 제2금속층을 포함하고,

상기 제1전원연결라인은 상기 제2금속층으로 이루어진 전계발광표시장치.

청구항 11

제1항에 있어서,

상기 제1 및 제4서브 픽셀은 적색 및 녹색 서브 픽셀이고 상기 제2 및 제3서브 픽셀은 백색 및 청색 서브 픽셀인 전계발광표시장치.

청구항 12

제1항에 있어서,

상기 제1전원연결라인은

상기 제1서브 픽셀에 정의된 발광영역과 회로영역 사이의 공간을 지나도록 배치된 부분과 상기 제1서브 픽셀과 상기 제2서브 픽셀 사이의 공간을 지나도록 배치된 부분으로 이루어진 제1전원의 제1우회연결라인과,

상기 제4서브 픽셀에 정의된 발광영역과 회로영역 사이의 공간을 지나도록 배치된 부분과 상기 제3서브 픽셀과 상기 제4서브 픽셀 사이의 공간을 지나도록 배치된 부분으로 이루어진 제1전원의 제2우회연결라인을 포함하는 전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치, 액정표시장치 및 플라즈마표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 발광다이오드는 유기물을 기반으로 구현되거나 무기물을 기반으로 구현된다.

[0005] 전계발광표시장치는 구동 시간이 지남에 따라 소자의 특성이 열화 된다. 그러므로 소자의 특성이나 열화를 보상하기 위한 보상 회로를 추가하기도 한다. 보상 회로를 추가할 경우 개구율은 물론이고 소비전력 등을 고려한 표시 패널의 설계가 필요하므로 이와 관련된 연구가 필요하다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 적층 구조 단순화 및 레이아웃 복잡도를 완화하여 보상 회로 추가 시, 개구율을 확보(감소시키지 않는 범위)하면서 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄여 소비전력을 절감하고, 또한 불필요한 노드 사용의 최소화로 공정 특성과 생산 수율을 향상하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 기관, 픽셀, 제1전원라인, 및 제1전원연결라인을 포함하는 전계발광표시장치를 제공한다. 픽셀은 기관 상에 위치하고 두 개의 서브 픽셀씩 하나의 데이터라인을 공유하고 두 개의 서브 픽셀씩 하나의 스캔라인을 공유하도록 배치된 제1 내지 제4서브 픽셀을 포함한다. 제1전원라인은 제1서브 픽셀의 일측과 제4서브 픽셀의 타측에 배치된다. 제1전원연결라인은 하나의 라인으로 적어도 두 개의 서브 픽셀을 제1전원라인에 연결한다.

[0008] 제1전원연결라인은 하나의 라인으로 두 개의 서브 픽셀을 제1전원라인에 연결하는 제1-1전원연결라인과, 두 개의 분리된 라인으로 남은 두 개의 서브 픽셀을 제1전원라인에 각각 연결하는 제1-2전원연결라인을 포함할 수 있다.

[0009] 제1-1전원연결라인은 제1 내지 제4서브 픽셀들 중 적어도 두 개의 서브 픽셀에 정의된 발광영역을 가로지르도록 배치되거나, 제1 내지 제4서브 픽셀들에 정의된 발광영역과 회로영역 사이의 공간을 가로지르도록 배치될 수 있다.

[0010] 제1-1전원연결라인은 제1서브 픽셀과 제4서브 픽셀에 정의된 발광영역의 중앙 영역과 인접할 수 있다.

[0011] 제1-1전원연결라인은 제2서브 픽셀과 제3서브 픽셀에 정의된 발광영역과 회로영역 사이의 공간을 가로지를 수 있다.

[0012] 제1 및 제4서브 픽셀은 상단에 발광영역이 위치하고 하단에 회로영역이 위치하며, 제2 및 제3서브 픽셀은 상단에 회로영역이 위치하고 하단에 발광영역이 위치할 수 있다.

[0013] 제1 및 제4서브 픽셀은 하단에 발광영역이 위치하고 상단에 회로영역이 위치하며, 제2 및 제3서브 픽셀은 하단에 회로영역이 위치하고 상단에 발광영역이 위치할 수 있다.

[0014] 제1 및 제3서브 픽셀은 상단에 발광영역이 위치하고 하단에 회로영역이 위치하며, 제2 및 제4서브 픽셀은 상단에 회로영역이 위치하고 하단에 발광영역이 위치할 수 있다.

[0015] 제1 및 제2서브 픽셀은 제1데이터라인을 공유하고, 제3 및 제4서브 픽셀은 제2데이터라인을 공유하고, 제2 및

제3서브 픽셀은 홀수 스캔라인을 공유하고, 제1 및 제4서브 픽셀은 짝수 스캔라인을 공유할 수 있다.

[0016] 기관 상의 제1금속층, 제1금속층 상의 버퍼층, 버퍼층 상의 반도체층, 반도체층 상의 절연층, 및 절연층 상의 제2금속층을 포함하고, 제1전원연결라인은 제2금속층으로 이루어질 수 있다.

[0017] 제1 및 제4서브 픽셀은 적색 및 녹색 서브 픽셀이고 제2 및 제3서브 픽셀은 백색 및 청색 서브 픽셀일 수 있다.

[0018] 제1전원연결라인은 제1서브 픽셀에 정의된 발광영역과 회로영역 사이의 공간을 지나도록 배치된 부분과 제1서브 픽셀과 제2서브 픽셀 사이의 공간을 지나도록 배치된 부분으로 이루어진 제1전원의 제1우회연결라인과, 제4서브 픽셀에 정의된 발광영역과 회로영역 사이의 공간을 지나도록 배치된 부분과 제3서브 픽셀과 제4서브 픽셀 사이의 공간을 지나도록 배치된 부분으로 이루어진 제1전원의 제2우회연결라인을 포함할 수 있다.

발명의 효과

[0019] 본 발명은 보상 회로 추가 시, 개구율을 확보(감소시키지 않는 범위)하면서 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄여 소비전력을 절감할 수 있는 효과가 있다. 또한, 본 발명은 보상 회로 추가 시, 불필요한 노드 사용의 최소화(점핑전극의 최소화에 따른 전원라인의 최적 설계)가 가능하므로 공정 특성과 생산 수율을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 두 개의 금속층을 기반으로 소자를 형성하므로 보상 회로를 추가하더라도 적층 구조를 단순화할 수 있고 또한 레이아웃 복잡도를 완화할 수 있는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 유기전계발광표시장치의 개략적인 블록도.

도 2는 보상 회로를 갖는 서브 픽셀의 회로 구성 예시도.

도 3은 픽셀의 구성 및 결선 예시도.

도 4는 도 3에 도시된 픽셀의 구동을 위한 스캔 파형 예시도.

도 5는 제1예시에 따라 제1전원연결라인의 배치를 간략히 나타낸 픽셀의 구성 및 결선 예시도.

도 6은 제2예시에 제1전원연결라인의 배치를 간략히 나타낸 픽셀의 구성 및 결선 예시도.

도 7은 도 5의 제1예시를 기반으로 한 픽셀의 평면 레이아웃 예시도.

도 8은 도 7의 A1-A2 영역의 단면도.

도 9는 도 7의 변형예에 따른 픽셀의 평면 레이아웃 예시도.

도 10은 도 9의 B1-B2 영역의 단면도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0022] 이하에서 설명되는 전계발광표시장치는 유기 발광다이오드를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)는 물론이고, 무기 발광다이오드를 기반으로 구현된 무기전계발광표시장치(Inorganic Light Emitting Display Device)에도 적용 가능하다. 그러나 이하에서는 유기전계발광표시장치를 일례로 설명한다.

[0023] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 보상 회로를 갖는 서브 픽셀의 회로 구성 예시도이다.

[0024] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(151), 데이터 구동부(155), 스캔 구동부(157), 표시 패널(110) 및 전원 공급부(153)를 포함한다.

[0025] 타이밍 제어부(151)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기 신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호 등을 공급받는다. 타이밍 제어부(151)는 구동신호에 기초하여 스캔 구동부(157)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(155)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(151)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

- [0026] 데이터 구동부(155)는 타이밍 제어부(151)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(151)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 디지털 데이터신호를 아날로그 데이터신호(이하 데이터전압)로 변환하여 출력한다. 데이터 구동부(155)는 데이터라인들(DL1 ~ DLn)을 통해 데이터전압을 출력한다. 데이터 구동부(155)는 IC 형태로 형성될 수 있다.
- [0027] 스캔 구동부(157)는 타이밍 제어부(151)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(157)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(157)는 IC 형태로 형성되거나 표시 패널(110)에 게이트인패널(Gate In Panel) 방식(박막 공정으로 트랜지스터를 형성하는 방식)으로 형성된다.
- [0028] 전원 공급부(153)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(153)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(110)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(110)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(110)에 공급된다. 전원 공급부(153)는 IC 형태로 형성될 수 있다.
- [0029] 표시 패널(110)은 데이터 구동부(155)로부터 공급된 데이터신호(DATA), 스캔 구동부(157)로부터 공급된 스캔신호 그리고 전원 공급부(153)로부터 공급된 전원을 기반으로 영상을 표시한다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.
- [0030] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다. 서브 픽셀들(SP)은 컬러필터층을 기반으로 유기 발광다이오드로부터 생성된 백색의 빛을 적색, 녹색 및 청색 등의 빛으로 변환할 수 있으나 이에 한정되지 않는다.
- [0031] 도 2에 도시된 바와 같이, 하나의 서브 픽셀은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST), 구동 트랜지스터(DT), 커패시터(CST), 및 유기 발광다이오드(OLED)를 포함한다.
- [0032] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)에 게이트전극이 연결되고 제1데이터라인(DL1)에 제1전극이 연결되고 구동 트랜지스터(DT)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DT)는 커패시터(CST)에 게이트전극이 연결되고 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(CST)는 구동 트랜지스터(DT)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 제1스캔라인(GL1)에 게이트전극이 연결되고 센싱라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0033] 센싱 트랜지스터(ST)는 구동 트랜지스터(DT)와 유기 발광다이오드(OLED)의 열화나 문턱전압 등을 보상하기 위해 추가된 보상 회로이다. 센싱 트랜지스터(ST)는 보상을 위한 센싱값을 취득한다. 센싱 트랜지스터(ST)로부터 취득된 센싱값은 센싱라인(VREF)을 통해 서브 픽셀의 외부에 마련된 외부 보상 회로로 전달된다.
- [0034] 센싱 트랜지스터(ST)와 스위칭 트랜지스터(SW)의 게이트전극은 제1스캔라인(GL1)에 공통으로 연결되어 있어 동시에 턴 온 및 턴 오프된다. 즉, 센싱 트랜지스터(ST)와 스위칭 트랜지스터(SW)는 게이트전극 공통 접속 구조를 갖는다. 게이트전극 공통 접속 구조는 스캔라인의 개수를 줄일 수 있고 그 결과 보상 회로의 추가에 따른 개구율을 감소를 방지할 수 있다.
- [0035] 도 3은 픽셀의 구성 및 결선 예시도이고, 도 4는 도 3에 도시된 픽셀의 구동을 위한 스캔 파형 예시도이다.
- [0036] 본 발명의 픽셀은 일측 방향(예: 수평방향)으로 배치된 4개의 서브 픽셀을 포함한다. 4개의 서브 픽셀은 적색, 백색, 청색 및 녹색을 발광할 수 있다. 본 발명의 픽셀은 두 개의 서브 픽셀이 하나의 데이터라인을 공유하도록 설계된다. 또한, 본 발명의 픽셀은 두 개의 서브 픽셀이 하나의 스캔라인을 공유하도록 설계된다. 그러나 데이터라인을 공유하는 서브 픽셀들은 동일한 스캔라인을 공유하지 않고 구분된다. 그 이유는 데이터라인을 공유하지만 각기 다른 구동 시간에 각기 다른 데이터전압을 전달받기 위함이다.
- [0037] 이처럼, 두 개의 서브 픽셀씩 하나의 데이터라인과 하나의 스캔라인을 공유하도록 설계하면 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄일 수 있다. 그리고 그 결과로, 장치의 소비전력을 절감(기준 대비 데이터 구동부의 출력채널의 개수를 절반으로 줄일 수 있음, 즉 앰프 등에서 사용되는 전류/전압이 절반으로 감소되므로 소비전력이 절감하게 됨)할 수 있는데, 이의 예시를 설명하면 다음의 도 3 및 도 4와 같다.

- [0038] 도 3에 도시된 바와 같이, 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2) 사이에는 제1데이터라인(DL1)이 그리고 제3서브 픽셀(SP3)과 제4서브 픽셀(SP4) 사이에는 제2데이터라인(DL2)이 수직방향으로 배치된다. 제1 내지 제4서브 픽셀들(SP1~SP4)의 상단에는 제1A스캔라인(GL1a)(또는 상단 스캔라인)이 그리고 제1 내지 제4서브 픽셀들(SP1~SP4)의 하단에는 제1B스캔라인(GL1b)(또는 하단 스캔라인)이 상호 이격하여 수평방향으로 배치된다.
- [0039] 제1서브 픽셀(SP1)의 좌측과 제4서브 픽셀(SP4)의 우측에는 제1전원라인(EVDD)이 수직방향으로 배치된다. 제1 내지 제4서브 픽셀들(SP1~SP4)의 일부 영역을 가로지르도록 제1전원연결라인(EVDDC)이 수평방향으로 배치된다. 제1전원연결라인(EVDDC)은 제1전원라인(EVDD)으로부터 멀리 떨어진 서브 픽셀들(예: SP2, SP3)까지 고전위전압을 전달하기 위해 배치된다.
- [0040] 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에는 센싱라인(VREF)이 수직방향으로 배치된다. 제1B스캔라인(GL1b)의 하단에는 센싱연결라인(VREFC)이 수평방향으로 배치된다. 센싱연결라인(VREFC)은 센싱라인(VREF)으로부터 멀리 떨어진 서브 픽셀들(예: SP1, SP4)까지 센싱하기 위해 배치된다.
- [0041] 예시에 따른 픽셀은 동일한 제1데이터라인(DL1)에 제1 및 제2서브 픽셀(SP1, SP2)이 연결되지만 제1B스캔라인(GL1b)과 제1A스캔라인(GL1a)과 같이 각기 다른 스캔라인에 연결된다. 또한, 동일한 제2데이터라인(DL2)에 제3 및 제4서브 픽셀(SP3, SP4)이 연결되지만 제1A스캔라인(GL1a)과 제1B스캔라인(GL1b)과 같이 각기 다른 스캔라인에 연결된다.
- [0042] 도 3 및 도 4를 함께 참고하면, 제1A스캔라인(GL1a)에는 제1A스캔신호(Scan/Sense1a)가 전달되고 제1B스캔라인(GL1b)에는 제1B스캔신호(Scan/Sense1b)가 전달된다. 제1A스캔신호(Scan/Sense1a)는 제1B스캔신호(Scan/Sense1b) 보다 앞서 로직하이의 파형을 이루는 것을 일례로 하였으나 이와 반대가 될 수도 있다. 또한, 제1A스캔신호(Scan/Sense1a)와 제1B스캔신호(Scan/Sense1b)는 로직하이를 이루는 구간이 일부 중첩(OVR)할 수 있으나 이에 한정되지 않는다.
- [0043] 그러므로 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)은 제1데이터라인(DL1)을 공유하고 제3서브 픽셀(SP3)과 제4서브 픽셀(SP4)은 제2데이터라인(DL2)을 공유하지만, 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 그리고 제1서브 픽셀(SP1)과 제4서브 픽셀(SP4)로 스캔라인이 구분됨에 따라 프로그래밍(데이터전압 인가)기간 & 센싱(센싱값 취득)기간이 달라진다. 이와 같은 구동방식은 컬러별 충전율 차이의 발생 가능성을 방지 또는 개선할 수 있는 이점이 있다.
- [0044] 이하, 제1 내지 제4서브 픽셀들(SP1~SP4)의 일부 영역을 가로지르도록 배치된 제1전원연결라인(EVDDC)과 관련된 설명을 다루면 다음과 같다.
- [0045] 도 5는 제1예시에 따라 제1전원연결라인의 배치를 간략히 나타낸 픽셀의 구성 및 결선 예시도이고, 도 6은 제2예시에 제1전원연결라인의 배치를 간략히 나타낸 픽셀의 구성 및 결선 예시도이다.
- [0046] 도 5의 제1예시 및 도 6의 제2예시와 같이, 제1 내지 제4서브 픽셀들(SP1~SP4)은 빛을 발광하는 발광영역(EMA)과 빛을 비발광하는 회로영역(DRA)을 포함한다. 발광영역(EMA)에는 빛을 발광하는 유기 발광다이오드 등이 배치되고, 회로영역(DRA)에는 유기 발광다이오드를 발광시키기 위한 구동전류를 공급하는 구동 트랜지스터 등이 배치된다.
- [0047] 도 5의 제1예시와 같이, 제1 및 제4서브 픽셀(SP1, SP4)은 제1A스캔라인(GL1a)과 인접하여 발광영역(EMA)이 정의되고 제1B스캔라인(GL1b)과 인접하여 회로영역(DRA)이 정의 된다. 제2 및 제3서브 픽셀(SP2, SP3)은 제1B스캔라인(GL1b)과 인접하여 발광영역(EMA)이 정의되고 제1A스캔라인(GL1a)과 인접하여 회로영역(DRA)이 정의 된다.
- [0048] 제1전원연결라인(EVDDC)은 제1 및 제4서브 픽셀(SP1, SP4)에 정의된 발광영역(EMA)의 일부 공간 그리고 제2 및 제3서브 픽셀(SP2, SP3)에 정의된 발광영역(EMA)과 회로영역(DRA) 사이의 공간을 가로지르도록 배치될 수 있다.
- [0049] 도 6의 제2예시와 같이, 제1 및 제4서브 픽셀(SP1, SP4)은 제1A스캔라인(GL1a)과 인접하여 회로영역(DRA)이 정의되고 제1B스캔라인(GL1b)과 인접하여 발광영역(EMA)이 정의 된다. 제2 및 제3서브 픽셀(SP2, SP3)은 제1B스캔라인(GL1b)과 인접하여 회로영역(DRA)이 정의되고 제1A스캔라인(GL1a)과 인접하여 발광영역(EMA)이 정의 된다.
- [0050] 제1전원연결라인(EVDDC)은 제2 및 제3서브 픽셀들(SP2, SP3)에 정의된 발광영역(EMA)의 일부 공간 그리고 제1 및 제4서브 픽셀(SP1, SP4)에 정의된 발광영역(EMA)과 회로영역(DRA) 사이의 공간을 가로지르도록 배치될 수 있다.

다.

- [0051] 위의 두 예시를 통해 알 수 있듯이, 제1 및 제4서브 픽셀(SP1, SP4)은 제1전원라인(EVDD)과 인접 배치된다. 따라서, 제1 및 제4서브 픽셀(SP1, SP4)은 제1전원라인(EVDD)에 연결된다. 반면, 제2 및 제3서브 픽셀(SP2, SP3)은 제1전원라인(EVDD)과 이격 배치된다. 따라서, 제2 및 제3서브 픽셀(SP2, SP3)은 제1전원연결라인(EVDDC)에 연결된다.
- [0052] 덧붙여, 제1 내지 제4서브 픽셀(SP1 ~ SP4)의 내부에 배치된 발광영역(EMA)과 회로영역(DRA)은 지그재그 형태로 배치될 수도 있다. 예컨대, 제1서브 픽셀(SP1)의 상부에 발광영역(EMA)이 그리고 하부에 회로영역(DRA)이 배치된 경우, 제2서브 픽셀(SP2)의 하부에 발광영역(EMA)이 그리고 상부에 회로영역(DRA)이 배치될 수 있다. 그리고 이들과 같은 형태로, 제3서브 픽셀(SP3)의 상부에 발광영역(EMA)이 그리고 하부에 회로영역(DRA)이 배치될 수 있고, 제4서브 픽셀(SP4)의 하부에 발광영역(EMA)이 그리고 상부에 회로영역(DRA)이 배치될 수 있다.
- [0053] 이하, 도 5의 제1예시를 기반으로 표시 패널 제작을 위한 픽셀 레이아웃 등을 설명한다.
- [0054] 도 7은 도 5의 제1예시를 기반으로 한 픽셀의 평면 레이아웃 예시도이고, 도 8은 도 7의 A1-A2 영역의 단면도이다.
- [0055] 도 7에 도시된 바와 같이, 픽셀은 적색 서브 픽셀(SPR), 백색 서브 픽셀(SPW), 청색 서브 픽셀(SPB) 및 녹색 서브 픽셀(SPG)의 순으로 배치된다. 적색 서브 픽셀(SPR), 백색 서브 픽셀(SPW), 청색 서브 픽셀(SPB) 및 녹색 서브 픽셀(SPG)은 빛을 발광하는 발광영역(EMA)과 빛을 비발광하는 회로영역(DRA)을 포함한다.
- [0056] 적색 서브 픽셀(SPR)과 녹색 서브 픽셀(SPG)은 상단에 발광영역(EMA)이 정의 되고 하단에 회로영역(DRA)이 정의 된다. 그리고 백색 서브 픽셀(SPW)과 청색 서브 픽셀(SPB)은 상단에 회로영역(DRA)이 정의 되고 하단에 발광영역(EMA)이 정의 된다. 한편, 픽셀의 회로영역과 관련된 도면 부호를 이전의 설명과 동일하게 "DRA"로 사용하였지만, 도면 상에서의 구분을 용이하게 하기 위해 "R_DRA, W_DRA, B_DRA, G_DRA"와 그 앞에 색에 해당하는 약자를 추가로 표기하였음을 참조한다.
- [0057] 발광영역(EMA)에는 유기 발광다이오드와 더불어 컬러필터층(RCF, BCF, GCF)이 배치되고, 회로영역(DRA)에는 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST), 구동 트랜지스터(DT) 및 커패시터(CST)가 배치된다. 발광영역(EMA)을 제외한 모든 영역은 빛을 발광하지 않는 비발광영역으로 정의될 수 있다.
- [0058] 적색 서브 픽셀(SPR)과 백색 서브 픽셀(SPW) 사이에는 제1데이터라인(DL1)이 그리고 청색 서브 픽셀(SPB)과 녹색 서브 픽셀(SPG) 사이에는 제2데이터라인(DL2)이 수직방향으로 배치된다. 적색, 백색, 청색 및 녹색 서브 픽셀들(SPR, SPW, SPB, SPG)의 상단과 하단에는 제1A스캔라인(GL1a)과 제1B스캔라인(GL1b)이 수평방향으로 인접 배치된다.
- [0059] 적색 서브 픽셀(SPR)의 좌측과 녹색 서브 픽셀(SPG)의 우측에는 제1전원라인(EVDD)이 수직방향으로 배치된다. 제1 및 제4서브 픽셀(SP1, SP4)에 정의된 발광영역(EMA)의 일부 공간 그리고 제2 및 제3서브 픽셀(SP2, SP3)에 정의된 발광영역(EMA)과 회로영역(DRA) 사이의 공간에는 제1전원연결라인(EVDDC)이 수평방향으로 배치된다.
- [0060] 제1전원연결라인(EVDDC)은 하나의 라인으로 두 개의 서브 픽셀을 제1전원라인(EVDD)에 연결하는 제1-1전원연결라인(EVDDC1)과, 두 개의 분리된 라인으로 남은 두 개의 서브 픽셀을 제1전원라인(EVDD)에 각각 연결하는 제1-2전원연결라인(EVDDC2)을 포함한다. 예컨대, 제1-1전원연결라인(EVDDC1)은 제2 및 제3서브 픽셀(SP2, SP3)과 같이 제1전원라인(EVDD)으로부터 멀리 떨어진 두 개의 서브 픽셀을 제1전원라인(EVDD)에 연결하기 위해 사용될 수 있다. 그리고 제1-2전원연결라인(EVDDC2)은 제1 및 제4서브 픽셀(SP1, SP4)과 같이 제1전원라인(EVDD)에 가까운 두 개의 서브 픽셀을 제1전원라인(EVDD)에 연결하기 위해 사용될 수 있다.
- [0061] 제1전원연결라인(EVDDC)은 콘택홀을 통해 제1전원라인(EVDD)과 전기적으로 연결된다. 콘택홀은 제1전원라인(EVDD)과 제1전원연결라인(EVDDC)이 중첩하는 영역 사이에 존재한다. 제1-1전원연결라인(EVDDC1)과 제1-2전원연결라인(EVDDC2)은 도시된 바와 같이 이격 배치된 상태이므로 이들의 콘택홀 또한 이격 배치된다.
- [0062] 백색 서브 픽셀(SPW)과 청색 서브 픽셀(SPB) 사이에는 센싱라인(VREF)이 수직방향으로 배치된다. 제1B스캔라인(GL1b)의 하단에는 센싱연결라인(VREFC)이 수평방향으로 배치된다. 센싱연결라인(VREFC)은 제1B스캔라인(GL1b)에 인접하여 배치된다. 참고로, 제1A스캔라인(GL1a)의 상단에 배치된 센싱연결라인(VREFC)은 도시된 픽셀보다 더 전단에 위치하는 픽셀에 포함된다.
- [0063] 제1데이터라인(DL1), 제2데이터라인(DL2), 제1A스캔라인(GL1a), 제1B스캔라인(GL1b), 제1전원라인(EVDD), 센싱

라인(VREF), 센싱연결라인(VREFC) 및 제1-2전원연결라인(EVDDC2)은 비발광영역에 배치된다. 반면, 제1-1전원연결라인(EVDDC1)은 비발광영역에 배치되는 부분과 더불어 제1 및 제4서브 픽셀(SP1, SP4)에서 볼 수 있는 바와 같이 발광영역(EMA)에 배치되는 부분도 포함된다.

- [0064] 제1-1전원연결라인(EVDDC1)을 이와 같은 구조로 배치하면 불필요한 노드 사용을 최소화(점핑전극의 최소화에 따른 전원라인의 최적 설계)가 가능하므로 공정 특성과 생산 수율을 향상시킬 수 있다. {점핑전극은 불필요한 노드를 생성하는 요인이 된다. 따라서, 점핑전극의 개수가 증가할수록 개구율 감소는 물론이고 다른 신호라인(예: 스캔라인)과의 간섭으로 라인로드를 증가시키는 등의 사이드 이펙트(side effect)을 야기한다. 그러나 본 발명을 따르면 불필요한 노드 사용을 최소화할 수 있기 때문에 공정 특성과 생산 수율을 향상시킬 수 있다.}
- [0065] 도 7 및 도 8에 도시된 바와 같이, 제1금속층(111)은 기판(110a) 상에 위치한다. 도시된 제1금속층(111)은 구동 트랜지스터(DT)의 광차단(Light shield) 전극 부분이다. 제1금속층(111)은 기판(110a) 상에 형성되고 구동 트랜지스터(DT)의 광차단 전극뿐만 아니라 수직방향으로 배치된 제1전원라인(EVDD), 제1데이터라인(DL1), 제2데이터라인(DL2), 커패시터(CST)의 하부전극 및 일부 점핑전극들 등을 구성하기 위해 패턴되어 분리된다. 구동 트랜지스터(DT)의 광차단 전극 부분이 되는 제1금속층(111)은 구동 트랜지스터(DT)의 채널영역과 중첩하는 영역을 갖는다. 이 구조로 인하여, 외부광에 의한 구동 트랜지스터(DT)의 전류누설 발생 문제는 해소된다. 즉, 도시된 제1금속층(111)은 구동 트랜지스터(DT)의 광차단 전극과 더불어 커패시터(CST)의 하부전극 역할 등을 겸한다.
- [0066] 버퍼층(112)은 기판(110a) 상에 위치한다. 버퍼층(112)은 제1금속층(111)을 덮는다. 반도체층(113a, 113b)은 버퍼층(112) 상에 위치한다. 반도체층(113a, 113b)은 산화물(Oxide)이나 실리콘(Si) 등으로 선택될 수 있다. 반도체층(113a, 113b)이 산화물(Oxide)로 선택된 경우, 외부로 노출되지 않은 영역은 반도체 특성을 갖지만 노출된 영역은 도체화된다. 반도체층(113a, 113b)은 버퍼층(112) 상에 형성되고 구동 트랜지스터(DT)의 액티브 부분(113a)과 센싱 트랜지스터(ST)의 액티브 부분(113b) 등을 구성하기 위해 패턴되어 분리된다.
- [0067] 제1절연층(114)은 버퍼층(112) 상에 위치한다. 제1절연층(114)은 무기재료로 선택될 수 있다. 제1절연층(114)은 반도체층(113a, 113b)을 덮고 또한 일부 영역을 노출한다. 제2금속층(115a ~ 115f)은 제1절연층(114) 상에 위치한다. 제2금속층(115a ~ 115f)은 제1절연층(114) 상에 형성되고 제1A스캔라인(GL1a)의 라인 부분(115a), 제1전원연결라인(EVDDC)의 라인 부분(115b), 구동 트랜지스터(DT)의 전극 부분(115c, 115d), 센싱 트랜지스터(ST)의 전극 부분(115d, 115e, 115f), 제1B스캔라인(GL1b)의 라인 부분(115e), 및 센싱연결라인(VREFC)의 라인 부분(115f) 등을 구성하기 위해 패턴되어 분리된다.
- [0068] 한편, 구동 트랜지스터(DT)의 소스 전극 부분과 센싱 트랜지스터(ST)의 드레인 전극 부분의 경우 분리되지 않고 일체형으로 형성되므로 "115d"와 같이 동일한 도면부호로 표기함을 참조한다. 또한, 센싱 트랜지스터(ST)의 게이트 전극 부분과 제1B스캔라인(GL1b)의 라인 부분의 경우에도 분리되지 않고 일체형으로 형성되므로 "115e"와 같이 동일한 도면부호로 표기함을 참조한다. 또한, 센싱 트랜지스터(ST)의 소스 전극 부분과 센싱연결라인(VREFC)의 라인 부분의 경우에도 분리되지 않고 일체형으로 형성되므로 "115f"와 같이 동일한 도면부호로 표기함을 참조한다.
- [0069] 제2절연층(116)은 제2금속층(115a ~ 115f) 상에 위치한다. 제2절연층(116)은 무기재료로 선택될 수 있다. 제2절연층(116)은 제2금속층(115a ~ 115f)을 덮는다. 적색 컬러필터층(RCF)은 제2절연층(116) 상에 위치한다. 적색 컬러필터층(RCF)은 발광영역(EMA)에 대응하는 면적을 갖도록 위치할 수 있다. 제3절연층(117)은 제2절연층(116) 상에 위치한다. 제3절연층(117)은 유기재료로 선택될 수 있다. 제3절연층(117)은 제2절연층(116)과 적색 컬러필터층(RCF)을 덮는다.
- [0070] 픽셀전극층(118)은 제3절연층(117) 상에 위치한다. 픽셀전극층(118)은 투명전극 재료로 선택될 수 있다. 픽셀전극층(118)은 발광영역(EMA)에 대응하는 면적을 갖도록 위치할 수 있다. 픽셀전극층(118)은 제3절연층(117) 상에 형성되고 커패시터(CST)의 상부전극 부분 등을 구성하기 위해 패턴되어 분리된다.
- [0071] 제4절연층(119)은 제3절연층(117) 상에 위치한다. 제4절연층(119)은 유기재료로 선택될 수 있다. 제4절연층(119)은 제3절연층(117) 상에 형성되고 픽셀전극층(118)을 덮고 일부 영역을 노출한다. 제4절연층(119)은 뱅크층 역할을 하므로 발광영역(EMA)에 위치하는 픽셀전극(118)만 노출할 수 있다. 픽셀전극(118)은 애노드전극으로 선택될 수 있다.
- [0072] 유기 발광층(120)은 제4절연층(119) 상에 위치한다. 유기 발광층(120)은 백색을 발광하는 재료 등으로 선택될 수 있다. 유기 발광층(120)은 제4절연층(119)의 전면에 형성되거나 노출된 픽셀전극(118) 부분에만 형성될 수도 있다. 도면에서는 유기 발광층(120)이 제4절연층(119)의 전면에 형성된 것을 일례로 한 것이다. 공통전극(121)

은 유기 발광층(120) 상에 위치한다. 공통전극(121)은 캐소드전극으로 선택될 수 있다.

- [0073] 이상 제1금속층(111)과 제2금속층(115a ~ 115f)을 기반으로 구현된 픽셀 구조(또는 2 Metal 픽셀 구조)는 종래 3개의 금속층을 사용하는 방식 대비 공정을 단순화할 수 있다. 그 결과, 전극들 간의 연결을 위한 콘택홀의 개수를 줄일 수 있고 그 결과 개구율을 확보(또는 증가)할 수 있다. 또한, 소스 드레인 형성시 사용되던 층간 절연층을 제거할 수 있어 적층 구조를 단순화할 수 있고 레이아웃 복잡도 또한 완화할 수 있다.
- [0074] 한편, 본 발명의 제1예시를 따르면 제1-1전원연결라인(EVDDC1)은 적색 및 녹색 서브 픽셀(SPR, SPG)에 정의된 발광영역(EMA)을 가로지르게 된다. {이와 달리, 제2예시를 따르면 제1-1전원연결라인(EVDDC1)은 백색 및 청색 서브 픽셀(SPW, SPB)에 정의된 발광영역(EMA)을 가로지르게 된다.}
- [0075] 통상, 제1예시(제2예시 포함)의 구조를 하부발광 방식(유기 발광다이오드가 픽셀전극의 방향 또는 기관의 방향으로 빛을 출사하는 방식)에 적용할 경우 개구율 저하를 일으키는 것으로 사료되어 지양하는 것이 일반적이다. 그러나 제1예시(제2예시 포함)의 구조를 하부발광 방식에 적용한 후 실험한 결과에 따르면, 개구율을 저하와 크게 무관하게 발광 특성을 나타냈다.
- [0076] 그 이유를 설명하면, 제1-1전원연결라인(EVDDC1)이 점핑전극으로 사용됨에 따라 그 메인인 제1전원라인(EVDD) 대비 얇은 두께를 가지고 형성되기 때문이다. 또한, 제1-1전원연결라인(EVDDC1)이 발광영역(EMA)의 시작되는 일측 영역(예컨대, 제1A스캔라인의 바로 아래)에 인접하지 않고 발광영역(EMA)의 중앙 영역에 인접하기 때문이다. 또한, 제1-1전원연결라인(EVDDC1)의 주변을 통과하는 빛의 회절현상이 발생하기 때문이다. {위의 설명에서, 중앙 영역이란 발광영역(EMA)을 1/2로 나누기 위해 수평방향으로 자를 때 정의할 수 있는 정중앙을 의미한다.}
- [0077] 아울러, 제1예시(제2예시 포함)에서는 제1-1전원연결라인(EVDDC1)이 직선형에 가깝게 배치된 것을 일례로 하였으나 개구율 확보 및 회절현상 등을 고려하여 발광영역(EMA)을 지나는 부분만 물결형으로 형성할 수도 있다. 또한, 개구율 확보 및 회절현상 등을 고려한 실험을 통해 제1-1전원라인(EVDD1)의 두께 대비 제1전원연결라인(EVDDC)의 두께로 최적의 두께 조건을 설정할 수도 있다.
- [0078] 한편, 앞서 설명된 실시예에서는 공정 특성상(불필요한 노드 사용의 최소화) 제1전원연결라인(EVDDC)에 포함된 제1-1전원연결라인(EVDDC1)이 일부 서브 픽셀의 발광영역을 가로지르도록 배치한 것을 일례로 하였다. 그러나 공정 특성보다 발광 특성에 치중할 경우 다음과 같이 제1전원연결라인(EVDDC)의 배치 구조를 변경할 수도 있다. 단, 이하의 변형예에서는 도 7 대비 변경된 부분을 위주로 설명한다.
- [0079] 도 9는 도 7의 변형예에 따른 픽셀의 평면 레이아웃 예시도이고, 도 10은 도 9의 B1-B2 영역의 단면도이다.
- [0080] 도 9 및 도 10에 도시된 바와 같이, 변형예에 따르면 픽셀은 제1전원연결라인(EVDDC)을 제외하고 대부분 도 7과 같은 구조를 갖는다.
- [0081] 변형예에 따른 제1전원연결라인(EVDDC)은 백색 및 청색 서브 픽셀(SPW, SPB)에 정의된 발광영역(EMA)과 회로영역(DRA) 사이의 공간을 지나지만 적색 및 녹색 서브 픽셀(SPR, SPG)에 정의된 발광영역(EMA)을 가로지르지 않고 비발광영역을 따라 우회한다.
- [0082] 변형예에 따른 제1전원연결라인(EVDDC)은 제1-1과 제1-2전원연결라인으로 분리될 수 있지만, 하나의 라인으로 통합된 것을 일례로 도시 및 설명한다. 대신, 변형예에 따른 제1전원연결라인(EVDDC)은 제1전원의 우회연결라인들(EVDDCa, EVDDCb)을 포함하는 것을 일례로 도시 및 설명한다.
- [0083] 도시된 바와 같이, 변형예에 따른 제1전원의 제1우회연결라인(EVDDCa)은 적색 서브 픽셀(SPR)에 정의된 발광영역(EMA)과 회로영역(DRA) 사이의 공간을 지나도록 수평방향으로 배치된 부분과 적색 서브 픽셀(SPR)과 백색 서브 픽셀(SPW) 사이의 공간을 지나도록 수직방향으로 배치된다.
- [0084] 그리고 변형예에 따른 제1전원의 제2우회연결라인(EVDDCb)은 녹색 서브 픽셀(SPG)에 정의된 발광영역(EMA)과 회로영역(DRA) 사이의 공간을 지나도록 수평방향으로 배치된 부분과 청색 서브 픽셀(SPW)과 녹색 서브 픽셀(SPG) 사이의 공간을 지나도록 사선 및 수직방향으로 배치된다.
- [0085] 도시된 도면에서는 청색 서브 픽셀(SPW)이 녹색 서브 픽셀(SPG) 방향으로 일부 영역이 확장됨에 따라 청색 서브 픽셀(SPW)과 녹색 서브 픽셀(SPG) 사이의 공간이 사선 및 수직방향으로 이루어진 구간을 갖는 것을 일례로 하였다. 그러나 청색 서브 픽셀(SPW)과 녹색 서브 픽셀(SPG) 사이의 공간은 적색 서브 픽셀(SPR)과 백색 서브 픽셀(SPW) 사이의 공간처럼 수직하게 이루어질 수도 있다. 이 경우, 제1전원의 제2우회연결라인(EVDDCb)에서 청색 서브 픽셀(SPW)과 녹색 서브 픽셀(SPG) 사이의 공간을 지나는 부분은 수직방향을 갖게 된다.

[0086] 제1전원연결라인(EVDDC)은 제1절연층(114) 상에 위치하는 제2금속층(115a ~ 115f) 중 구동 트랜지스터(DT)의 게이트전극 부분(115c)과 인접하는 "115b"으로 이루어진다. "115b"는 제1전원라인(EVDD)과 적색 서브 픽셀(SPR)을 연결하는 점핑전극 부분이 됨은 물론이고 제1전원의 제1우회연결라인(EVDDCa)을 구성하는 부분이 된다. 단면에 도시되어 있지 않지만 제1전원라인(EVDD)과 녹색 서브 픽셀(SPG)을 연결하는 부분 또한 이와 마찬가지로 구성된다.

[0087] 이상 본 발명은 보상 회로 추가 시, 개구율을 확보(감소시키지 않는 범위)하면서 데이터라인의 개수와 데이터 구동부의 출력채널의 개수를 줄여 소비전력을 절감할 수 있는 효과가 있다. 또한, 본 발명은 보상 회로 추가 시, 불필요한 노드 사용의 최소화(점핑전극의 최소화에 따른 전원라인의 최적 설계)가 가능하므로 공정 특성과 생산 수율을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 두 개의 금속층을 기반으로 소자를 형성하므로 보상 회로를 추가하더라도 적층 구조를 단순화할 수 있고 또한 레이아웃 복잡도를 완화할 수 있는 효과가 있다.

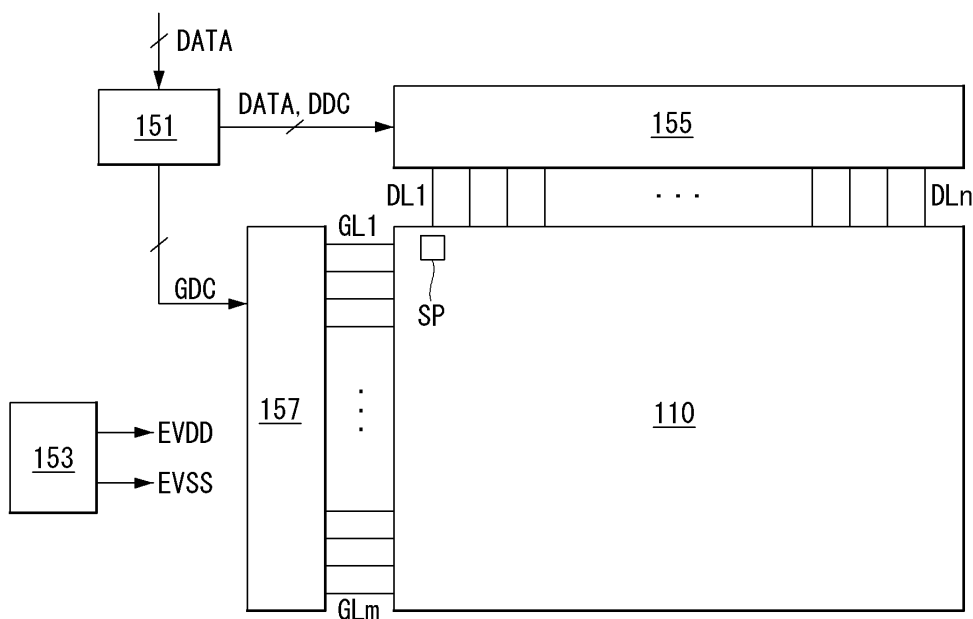
[0088] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

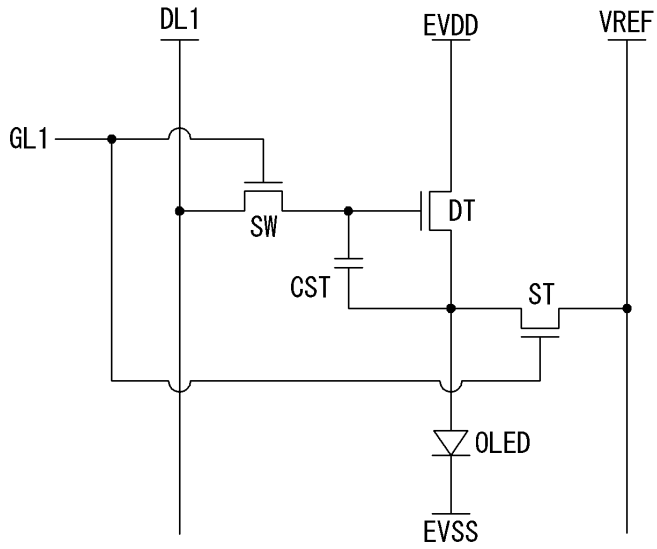
- [0089] SW: 스위칭 트랜지스터 ST: 센싱 트랜지스터
- DT: 구동 트랜지스터 CST: 커패시터
- OLED: 유기 발광다이오드 GL1a: 제1A스캔라인
- GL1b: 제1B스캔라인 EVDD: 제1전원라인
- EVDDC: 제1전원연결라인 EVDDCa, b: 제1전원의 우회연결라인들
- 110a: 기판 115a ~ 115f: 제2금속층

도면

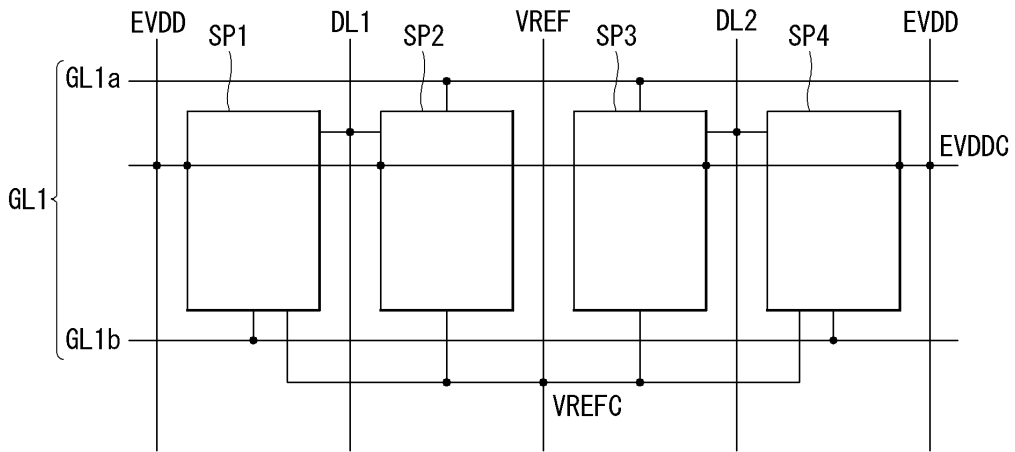
도면1



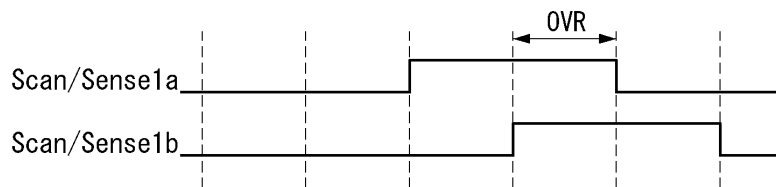
도면2



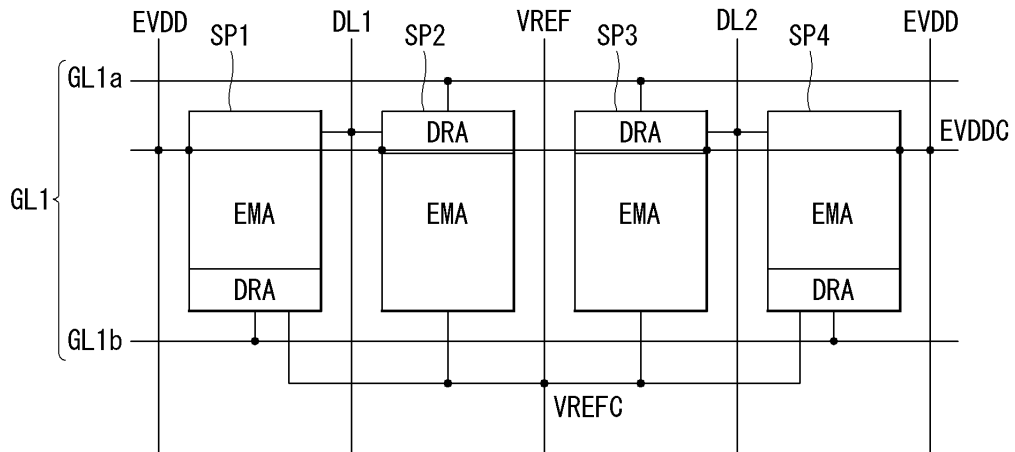
도면3



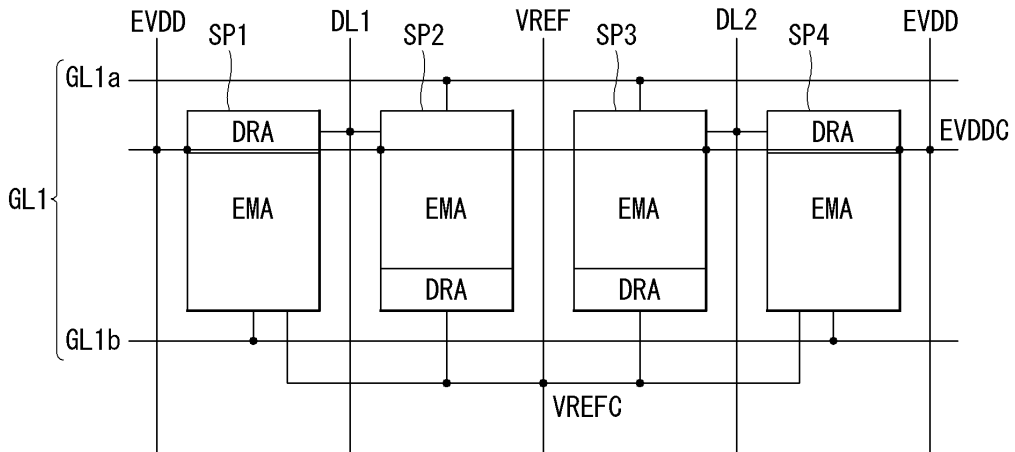
도면4



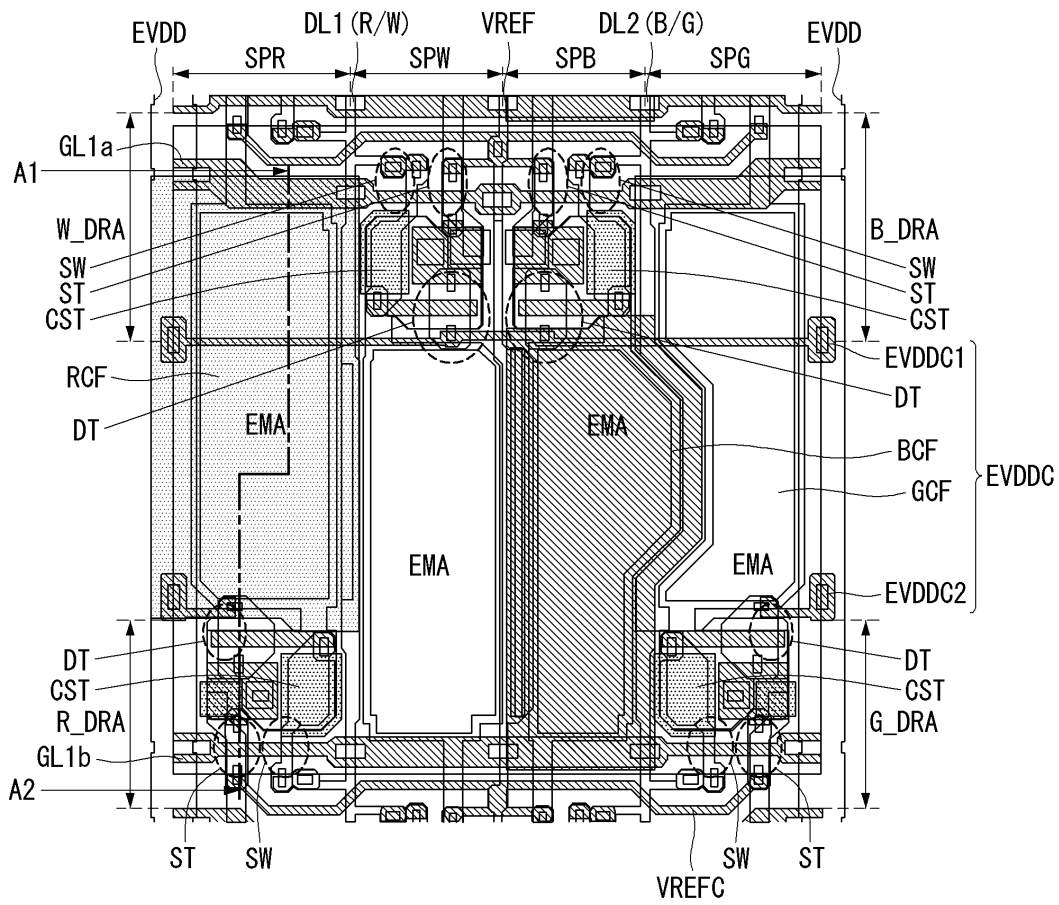
도면5



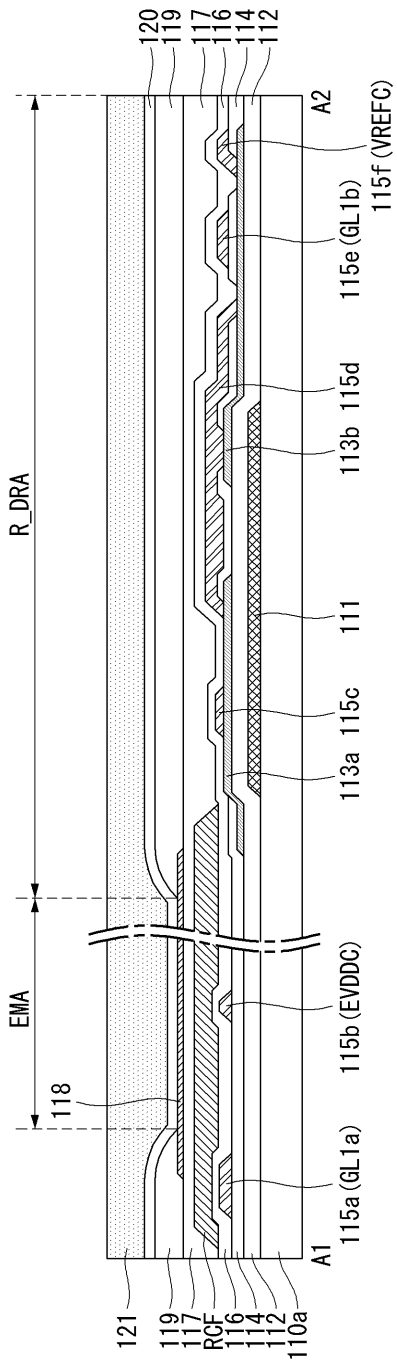
도면6



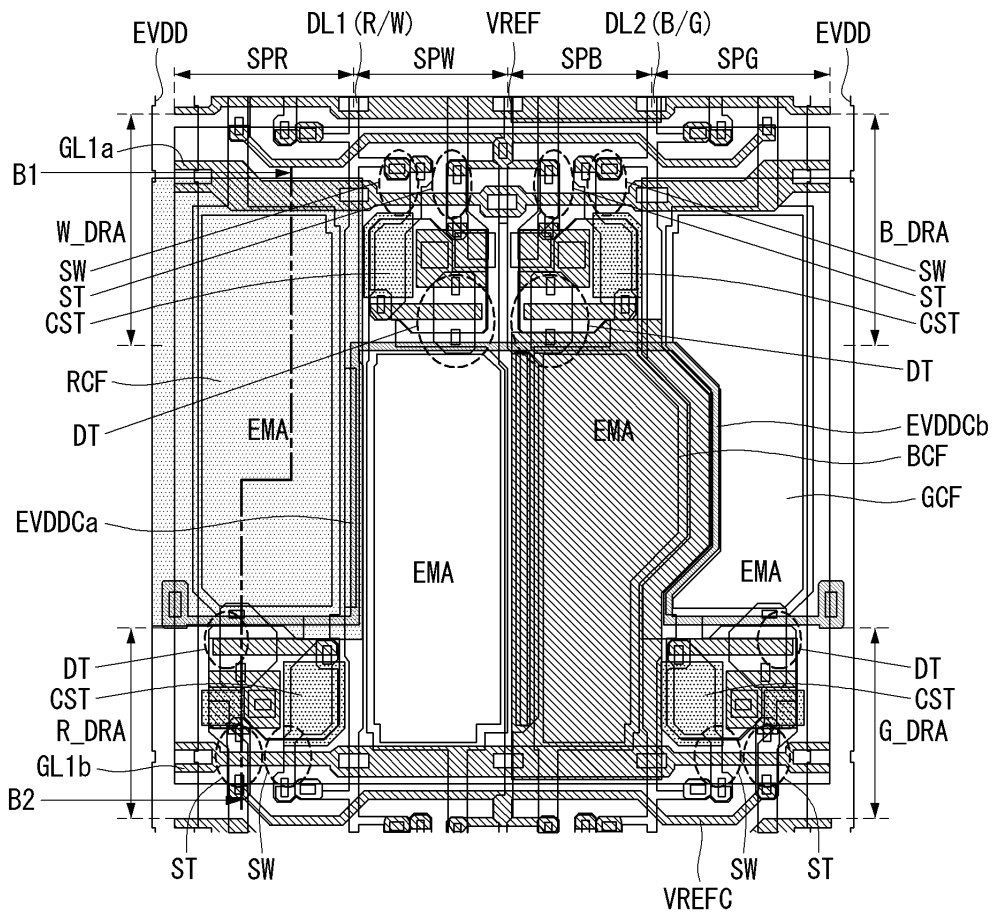
도면7



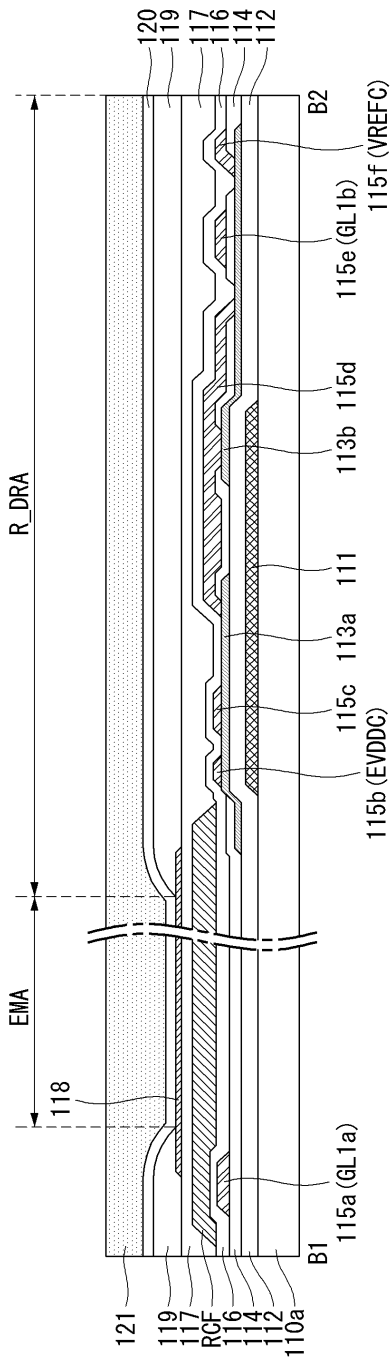
도면8



도면9



도면10



专利名称(译)	发光显示装置		
公开(公告)号	KR1020190138179A	公开(公告)日	2019-12-12
申请号	KR1020180064438	申请日	2018-06-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정일기		
发明人	정일기		
IPC分类号	G09G3/3233 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 H01L27/3211 H01L51/50 G09G2300/0452 G09G2300/0465 G09G2300/0842 G09G2320/043 G09G2330/028		
外部链接	Espacenet		

摘要(译)

本发明提供了一种电致发光显示器，包括基板，像素，第一电源线和第一电源连接线。像素位于基板上，并且该像素包括第一至第四子像素，该第一至第四子像素被设置为通过两个子像素共享一条数据线，并且通过两个子像素共享一条扫描线。第一电源线设置在第一子像素的一侧和第四子像素的另一侧。第一电源连接线将至少两个子像素与一条线连接。电致发光显示器提高了产量。

